

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6222540号
(P6222540)

(45) 発行日 平成29年11月1日(2017.11.1)

(24) 登録日 平成29年10月13日(2017.10.13)

(51) Int.Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 8 E
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 T
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 G
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 2 H
HO 1 L 21/20 (2006.01)	HO 1 L 29/78 6 5 5 B
請求項の数 8 (全 36 頁) 最終頁に続く	

(21) 出願番号	特願2013-19159 (P2013-19159)	(73) 特許権者	301041553
(22) 出願日	平成25年2月4日(2013.2.4)		株式会社パウデック
(65) 公開番号	特開2014-150211 (P2014-150211A)		栃木県小山市若木町一丁目23番15号
(43) 公開日	平成26年8月21日(2014.8.21)	(74) 代理人	100120640
審査請求日	平成28年2月3日(2016.2.3)		弁理士 森 幸一
		(72) 発明者	河合 弘治
			神奈川県横浜市旭区市沢町739番地 株
			式会社パウデック内
		審査官	早川 朋一
			最終頁に続く

(54) 【発明の名称】 絶縁ゲート型電界効果トランジスタの製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の基板上に六方晶系の結晶構造を有する第1の半導体層を成長させる工程と、
 上記第1の半導体層を上記第1の基板がエッチングされるまでストライプ状にエッチングすることにより複数のストライプ状のシードを形成する工程と、
 上記シードを形成した後の上記第1の基板の表面を六方晶系の結晶構造を有する半導体層が実質的に成長しないように処理する工程と、
 それぞれの上記シードから六方晶系の結晶構造を有する第2の半導体層を相互に接触しないように横方向成長させる工程と、
上記第2の半導体層を横方向成長させた後、上記第2の半導体層を覆うように全面に六方晶系の結晶構造を有する第3の半導体層を成長させる工程と、
上記第3の半導体層上に第2の基板を設ける工程と、
上記シード、上記第2の半導体層、上記第3の半導体層および上記第2の基板から上記第1の基板を剥離する工程と、
上記第1の基板を剥離した後、上記第1の基板を剥離することにより露出した上記第2の半導体層および上記第3の半導体層側の剥離面において、上記シードを構成する上記第1の半導体層に接続されたソース電極を形成するとともに、少なくとも上記第2の半導体層および上記第3の半導体層上にゲート絶縁膜を形成する工程と、
上記ゲート絶縁膜上にゲート電極を形成する工程と、
上記ソース電極および上記ゲート電極側に第3の基板を設ける工程と、

10

20

上記第3の半導体層から上記第2の基板を剥離する工程と、
上記第3の半導体層上にドレイン電極を形成する工程とを有し、
上記ソース電極が接続された上記第1の半導体層はソース領域として機能し、上記ドレイン電極が形成された上記第3の半導体層はドレイン領域として機能する絶縁ゲート型電界効果トランジスタの製造方法。

【請求項2】

上記六方晶系の結晶構造を有する半導体層が実質的に成長しないように処理する工程が上記第1の基板を酸化または窒化する工程である請求項1記載の絶縁ゲート型電界効果トランジスタの製造方法。

【請求項3】

上記シードを形成する工程において、上記第1の基板がエッチングされることにより形成される上記第1の基板からなるストライプ状の柱の断面のアスペクト比が1以上となるまで、または、上記第1の基板からなるストライプ状の柱の高さが4 μm 以上になるまで上記第1の基板がエッチングされるようにする請求項1または2記載の絶縁ゲート型電界効果トランジスタの製造方法。

【請求項4】

上記第1の半導体層は第1の導電型、上記第2の半導体層は第2の導電型、上記第3の半導体層は第1の導電型である請求項1記載の絶縁ゲート型電界効果トランジスタの製造方法。

【請求項5】

上記第1の半導体層は第1の導電型、上記第2の半導体層は第2の導電型、上記第3の半導体層のうち最上層の部分は第2の導電型、その他の部分の上記第3の半導体層は第1の導電型である請求項1記載の絶縁ゲート型電界効果トランジスタの製造方法。

【請求項6】

上記第1の半導体層は第1の導電型、上記第2の半導体層は第2の導電型、上記第3の半導体層のうち最上層の部分は第1の導電型の半導体層およびその上の第2の導電型の半導体層からなり、その他の部分の上記第3の半導体層は第1の導電型である請求項1記載の絶縁ゲート型電界効果トランジスタの製造方法。

【請求項7】

上記第1の半導体層は第1の導電型、上記第2の半導体層は第1の導電型、上記第3の半導体層のうち上記第2の半導体層を覆う部分は第2の導電型、その他の部分は第1の導電型である請求項1記載の絶縁ゲート型電界効果トランジスタの製造方法。

【請求項8】

上記第1の半導体層および上記第2の半導体層または上記第1の半導体層、上記第2の半導体層および上記第3の半導体層は窒化物系ⅢⅤ族化合物半導体からなる請求項1～7のいずれか一項記載の絶縁ゲート型電界効果トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体素子の製造方法、絶縁ゲート型電界効果トランジスタ、絶縁ゲート型電界効果トランジスタの製造方法、半導体発光素子の製造方法および太陽電池の製造方法に関し、例えば、窒化ガリウム（ GaN ）系半導体を用いた絶縁ゲート型電界効果トランジスタ、半導体発光素子または太陽電池に適用して好適なものである。

【背景技術】

【0002】

省エネ社会実現のために電気エネルギーの重要性が増しており、21世紀は益々電力に依存しようとしている。電気・電子機器のキーデバイスはトランジスタやダイオードなどの半導体素子である。従って、これらの半導体素子の省エネ性が非常に重要である。現在、電力変換素子はシリコン（ Si ）半導体素子が担っているが、その Si 半導体素子はほぼその物性限界まで性能向上が図られており、これ以上の省エネ化は難しい状況である。

10

20

30

40

50

【 0 0 0 3 】

そこで、S i に代えて、シリコンカーバイド (S i C) や窒化ガリウム (G a N) などのワイドギャップ半導体による電力変換素子の研究開発が精力的になされてきている。その中でも、G a N は電力効率性・耐電圧性において S i C よりも格段に優れた物性値を持っているので、G a N 系半導体素子の研究開発が盛んに行われている。

【 0 0 0 4 】

G a N 系半導体素子は、電界効果トランジスタ (F E T) 型の横型、すなわち、基板に平行に走行チャネルが形成されている構成の素子が開発されている。例えば、サファイアや S i C などからなるベース基板上にアンドープ G a N 層が厚さ数 μm 、その上に A l 組成が約 25 % 程度の A l G a N 層が厚さ 25 ~ 30 nm 程度積層され、A l G a N / G a N ヘテロ界面に生ずる 2 次元電子ガス (2 D E G) を利用する素子である。この素子は通常は H F E T (hetero-junction FET) と呼ばれている。

10

【 0 0 0 5 】

さて、電力変換素子として、現行の絶縁ゲート型バイポーラトランジスタ (I G B T) やパワー M O S トランジスタなどの S i パワー半導体素子から、G a N 系半導体素子に置き換えるには、その製造コストが性能に見合うほどに低コストである必要がある。しかしながら、G a N 系半導体素子を製造するために、サファイア基板や S i C 基板を G a N 系半導体成長用基板に用いることは基板コストの面で難しいとされている。

【 0 0 0 6 】

そこで、S i 基板は大口径および低コストであるので、その上の G a N 系半導体素子は価格 / 性能比で S i パワー半導体素子を凌駕できると見られている。

20

【 0 0 0 7 】

S i 基板上に形成された従来の G a N 系 H F E T を図 27 に示す。S i 基板上の G a N 系半導体成長技術としては、一般に有機金属化学気相成長 (M O C V D) 法が用いられている。この G a N 系 H F E T の製造方法は次の通りである。

【 0 0 0 8 】

図 29 に示すように、まず、S i (1 1 1) 基板 1 0 1 上に、A l N 膜 1 0 2 を厚さ数 10 ~ 100 nm 程度成長させる。この A l N 膜 1 0 2 は、後に成長する G a N 系半導体層と S i (1 1 1) 基板 1 0 1 との化学反応を防止するためのものである。

【 0 0 0 9 】

次に、A l N / G a N または A l N / A l G a N のペア、例えば、厚さが 5 nm / 20 nm のペアを 200 層程度 (総厚 5 μm 程度) エピタキシャル成長し、バッファ層 1 0 3 を形成する。このバッファ層 1 0 3 は、その上にエピタキシャル成長させる G a N 系半導体層の結晶品質を向上させ、反りやクラックなどを阻止するためのものである。

30

【 0 0 1 0 】

次に、バッファ層 1 0 3 上に厚さ 1 μm 程度の G a N 層 1 0 4、厚さ 20 ~ 30 nm 程度の A l G a N 層 1 0 5 および厚さ 5 nm 程度の G a N キャップ層 1 0 6 を順次エピタキシャル成長させる。

【 0 0 1 1 】

歪による分極効果により A l G a N 層 1 0 5 と G a N 層 1 0 4 との間の A l G a N / G a N 界面に 2 次元電子ガス (2 D E G) (図示せず) が自動的に発生し、それが電子チャネルとして用いられる。

40

【 0 0 1 2 】

上述のようにして形成された基板を用いて、以下のようにして G a N 系 H F E T を製造する。

【 0 0 1 3 】

まず、G a N キャップ層 1 0 6 上に表面保護膜として S i N 膜や S i O₂ 膜などの絶縁膜 1 0 7 を形成する。

【 0 0 1 4 】

次に、絶縁膜 1 0 7 上に、フォトリソグラフィーにより、素子分離領域形成部に対応す

50

る部分に開口を有するレジストパターンを形成した後、このレジストパターンをマスクとして、B（ホウ素）、Ga（ガリウム）、N（窒素）、C（炭素）、Cr（クロム）、Fe（鉄）などの元素をイオン注入することにより、このレジストパターンの開口の部分のAlN膜102、バッファ層103、GaN層104、AlGaN層105およびGaNキャップ層106を高抵抗化し、高抵抗層からなる素子分離領域108を形成する。

【0015】

次に、フォトリソグラフィーにより、ソース電極およびド레인電極の形成部に対応する部分に開口を有するレジストパターンを形成した後、このレジストパターンをマスクとして絶縁膜107およびGaNキャップ層106を順次エッチングすることにより開口109、110を形成する。

10

【0016】

次に、基板全面にオーミック金属を蒸着した後、リフトオフ法により、レジストパターンをその上に形成されたオーミック金属膜とともに除去する。リフトオフ後には、AlGaN層105上のソース電極およびド레인電極の形成部に開口109、110と同一形状のオーミック金属膜が残される。この後、オーミック金属膜のオーミック接触特性の改善のために熱処理を施す。こうして、ソース電極111およびド레인電極112が形成される。

【0017】

次に、絶縁膜107上にゲート電極113を形成する。この後、図示は省略するが、取り出し電極の形成およびその取り出し電極の低抵抗化のためのメッキ処理を行い、最後に表面にSiO₂膜などの保護膜を形成する。

20

【0018】

Si基板上に形成する上述の従来のGaN系HFEETにおいては、次のような問題がある。

（1）基板の反りやクラックが発生し、歩留まりが著しく低下する。

（2）GaN系半導体層（AlN膜102、バッファ層103、GaN層104、AlGaN層105およびGaNキャップ層106）の厚さは現実には3～5μmであるが、この厚さでは、ド레인電極112とSi（111）基板101との間の耐圧が不足しており、耐圧確保のためにGaN系半導体層の厚さをより大きくすると、（1）の問題が生じる。

30

【0019】

（1）、（2）の問題についてより詳細に説明する。GaN（0001）とSi（111）とでは、基板面内の格子定数が互いに約16%異なり、また熱膨張係数差は $3 \times 10^{-6}/K$ と大きい。このため、GaN系半導体層には成長中に非常に大きな応力が発生し、貫通転位が多量に発生する。貫通転位密度は $10^9 \sim 10^{11} \text{ cm}^{-2}$ 程度で、サファイア基板上に成長させたGaN系半導体層の貫通転位密度よりも一桁大きい。従って、縦方向の耐圧は、このGaN系半導体層中の貫通転位の存在により、物性値から期待されるよりも小さい。Si基板上のGaN系半導体素子では、Si基板とGaN系半導体素子との間の耐圧として例えば1000V程度を確保するには、GaN系半導体層の厚さは5μm程度以上とすることが必要となる。

40

【0020】

Si基板上にGaN系半導体層を成長させた基板で大きな問題は、Siの方がGaN系半導体より熱膨張係数が小さいため、高温から室温に戻るときにGaN系半導体層が収縮し、それによってGaN系半導体層が引っ張り力を受け、凹状に大きく反り、甚だしくはクラックが入ることである。

【0021】

この反りやクラックを緩和するための手法として、AlN（5nm）/GaN（20nm）程度の極薄膜ペアを数100層積層したり、Al組成の異なるAlGaN層を順次積層し、合計3～5μm程度の厚さのバッファ層を形成したりすると、反りやクラックの程度が比較的緩和する。

50

【0022】

反りやクラックを低減するためには、バッファ層103、Ga_{0.4}N層104、AlGa_{0.5}N層105などの厚さを小さくする必要があるが、それではドレイン電極112とSi(111)基板101との間の耐圧を確保することができない。

【0023】

Si基板上にGa_{0.4}N系半導体素子を製造する場合に、耐圧を向上させるための従来の技術としては次のような技術が提案されている。

(1) バッファ層103の厚膜化(非特許文献1~3参照)

(2) 素子直下のSi基板のエッチング(非特許文献4参照)

(3) SOI(Silicon on Insulator)基板上の結晶成長(非特許文献5参照)

(4) 絶縁基板の貼り合わせ(非特許文献6、7参照)

10

【0024】

(1)は耐圧向上のための最も一般的な方法である。図28に示すように、バッファ層103として厚さ5~6μm程度の厚いAlN/GaN多層膜を用いる。この厚いAlN/GaN多層膜上に厚さ1.0~1.5μm程度のAlGa_{0.5}N/GaN素子層を形成すると、素子-基板間の耐圧は1.8kV程度まで向上すると言われている。しかしながら、このような厚膜の結晶成長はコスト増加に繋がり採用できない。それどころか、バッファ層103の厚さが増加することにより、ドレイン電極112からSi(111)基板101までの距離が増加するので、電磁気学的な遮蔽効果が薄れ、電流コラプスが増加する。それによって素子性能が低下することになり、実用的ではない。また、基板の反りも大きくなり、歩留まりが低下する。

20

【0025】

(2)については、図29に示すように、素子直下のSi(111)基板101をエッチングにより除去して開口101aを形成する。高耐圧となるドレイン電極112の下を含む素子直下のSi(111)基板101を除去することにより、耐圧の向上は期待できるが、実験的にはその効果は報告されていない。除去されていない残りのSi(111)基板101を通じて耐圧が決定されているようであり、更なる工夫がいる。また、一般的に、パワー素子の場合、素子面積が大きく、チップの周辺だけにSi基板が存在することになり、素子作製に困難を生じる可能性がある。

【0026】

30

(3)については、図30に示すように、Si基板201上に形成されたSiO₂膜202上にSi層203を形成したSOI基板上に、AlN膜102、バッファ層103、Ga_{0.4}N層104、AlGa_{0.5}N層105などのGa_{0.4}N系半導体層を成長させる。この場合には、SiO₂膜202が印加電圧のある割合を受け持ち、Ga_{0.4}N系半導体層やSi基板201に掛かる電圧を軽減するので、潜在的には耐圧向上が期待できる手法である。しかしながら、SOI基板を用いることはコストの増加や絶縁膜であるSiO₂膜202による熱伝導性の悪化を招く。

【0027】

(4)については、図30に示すように、Si基板上にGa_{0.4}N系半導体層を成長させた後にSi基板を何らかの方法で除去し、サファイア基板やガラス基板などの絶縁基板301に貼り合わせる。この方法によれば、高耐圧化は期待できるが、サファイア基板やガラス基板などは熱伝導性が悪く、高出力素子には適用できない。さらに、Ga_{0.4}N系半導体層と絶縁基板との貼り合わせについては、直接接合は現状では難しく、間に接着層を介在させる必要があるが、そうすると熱伝導特性をさらに悪化させる。また、Ga_{0.4}N系半導体層と絶縁基板との貼り合わせ界面には汚染や欠陥などが存在するため、これがソース電極111とドレイン電極112との間のリーク電流の増加に繋がる可能性が非常に大きく、信頼性の低下および歩留まりの低下に繋がる。

40

【先行技術文献】

【非特許文献】

【0028】

50

【非特許文献 1】W.Huang,T.P.Chow,Y.Niiyama,T.Nomura,and S.Yoshida,"Lateral Implanted RESURF GaN MOSFETs with BV Up to 2.5kV," in Proc.20th ISPSD(2008),291

【非特許文献 2】Selvaraj,S.L.;Suzue,T.;Egawa,T., "Breakdown Enhancement of AlGaIn/GaN HEMTs on 4-in silicon by Improving the GaN Quality on Thick Buffer Layers" I IEEE Electron Device Letters,30,No.6,(2009)587

【非特許文献 3】Rowena,I.B.;Selvaraj,S.L.;Egawa,T., "Buffer Thickness Contribution to Suppress Vertical Leakage Current With High Breakdown Field(2.3MV/cm)for GaN on Si" Electron Device Letters,32,No.11,(2011)1534

【非特許文献 4】Srivastava,P.;Das,J.;Visalli,D.;Van Hove,M.;Malinowski,P.E.;Marcon,D.;Lenci,S.;Geens,K.;Kai Cheng;Leys,M.;Decoutere,S.;Mertens,R.P.,Borghs,G., "Record Breakdown Voltage(2200V)of GaN DHFETs on Si With 2-um Buffer Thickness by Local Substrate Removal" Electron Device Letters,32,No.1,(2011)p.30

【非特許文献 5】S.Tripathy,L.S.Wang,S.J.Chua, "Characterization of GaN layers grown on silicon-on-insulator substrates"Applied Surface Science,253(2006)236-240

【非特許文献 6】Srivastava,P.;Das,J.;Visalli,D.;Derluyn,J.;Van Hove,M.;Malinowski,P.E.;Marcon,D.;Geens,K.;Kai Cheng;Degroote,S.;Leys,M.;Germain,M.;Decoutere,S.;Mertens,R.P.,Borghs,G., "Silicon Substrate Removal of GaN DHFETs for Enhanced(< 1100V) Breakdown voltage",Electron Device Letters,31,No.8,(2010)p.851

【非特許文献 7】Bin Lu; Palacios,T., "High Breakdown(1500V)AlGaIn/GaN HEMTs by Substrate-Transfer Technology",Electron Device Letters,31,No.9,(2010)p.951

【発明の概要】

【発明が解決しようとする課題】

【0029】

以上のように、現在提案されている技術では、Si 基板を用いて高耐圧高出力の GaN 系半導体素子を高歩留まりで製造する最適な技術は提案されていない。

【0030】

この発明は、従来技術が有する上記の課題を一挙に解決することを目的とする。

【0031】

すなわち、この発明が解決しようとする課題は、Si 基板を用いて高耐圧高出力の半導体電子素子、半導体発光素子、半導体受光素子などの各種の半導体素子を容易に製造することができる半導体素子の製造方法を提供することである。

この発明が解決しようとする他の課題は、Si 基板を用いて高耐圧高出力の絶縁ゲート型電界効果トランジスタを容易に製造することができる絶縁ゲート型電界効果トランジスタの製造方法およびこの製造方法により製造することができる絶縁ゲート型電界効果トランジスタを提供することである。

【0032】

この発明が解決しようとする他の課題は、Si 基板を用いて高耐圧高出力の半導体発光素子を容易に製造することができる半導体発光素子の製造方法を提供することである。

【0033】

この発明が解決しようとする他の課題は、Si 基板を用いて高耐圧高出力の太陽電池を容易に製造することができる半導体発光素子の製造方法を提供することである。

【課題を解決するための手段】

【0034】

上記課題を解決するために、この発明は、

第 1 の基板上に六方晶系の結晶構造を有する第 1 の半導体層を成長させる工程と、

上記第 1 の半導体層を上記第 1 の基板がエッチングされるまでストライプ状にエッチングすることにより複数のストライプ状のシードを形成する工程と、

上記シードを形成した後の上記第 1 の基板の表面を六方晶系の結晶構造を有する半導体層が実質的に成長しないように処理する工程と、

それぞれの上記シードから六方晶系の結晶構造を有する第 2 の半導体層を横方向成長さ

10

20

30

40

50

せる工程とを有する半導体素子の製造方法である。

この半導体素子の製造方法は、典型的には、例えば、第2の半導体層を横方向成長させた後、第2の半導体層上に第2の基板を設ける工程と、シード、第2の半導体層および第2の基板から第1の基板を剥離する工程とをさらに有する。あるいは、この半導体素子の製造方法は、例えば、第2の半導体層を横方向成長させた後、第2の半導体層を覆うように全面に六方晶系の結晶構造を有する第3の半導体層を成長させる工程と、第3の半導体層上に第2の基板を設ける工程と、シード、第2の半導体層、第3の半導体層および第2の基板から第1の基板を剥離する工程とをさらに有する。第2の半導体層および第3の半導体層には、導電型が互いに同一または互いに異なる一種類または複数種類の半導体層が含まれる。一つの例では、第1の半導体層を成長させた後、シードを形成する前に、第1の半導体層上に絶縁膜を形成し、この絶縁膜および第1の半導体層を第1の基板がエッチングされるまでストライプ状にエッチングすることによりシードを形成する。必要に応じて、シード上にこの絶縁膜を残した状態で第2の半導体層を横方向成長させてもよい。あるいは、例えば、シードを形成する工程において、第1の基板が1 μm 以上の深さにエッチングされるようにする。こうすることで、例えば、第1の基板の剥離（分離）の際にエッチング液が浸透する隙間が作られ、エッチングされやすくなる。また、典型的には、六方晶系の結晶構造を有する半導体層が実質的に成長しないように処理する工程は、第1の基板を酸化または窒化する工程である。あるいはまた、シードを形成する工程において、第1の基板がエッチングされることにより形成される第1の基板からなるストライプ状の柱の断面のアスペクト比（柱の高さ／柱の幅）が1以上となるまで、または、第1の基板からなるストライプ状の柱の高さが4 μm 以上になるまで第1の基板がエッチングされるようにする。こうすることで、第1の基板からなるストライプ状の柱が割れて、素子を構成する半導体層にクラックなどが入るのを防止する効果を得ることができる。好適には、シード、第2の半導体層および第2の基板から第1の基板を剥離する工程、あるいは、シード、第2の半導体層、第3の半導体層および第2の基板から第1の基板を剥離する工程は、第1の基板をウェットエッチングする工程である。こうすることで、第2の半導体層あるいは第3の半導体層にほとんど損傷を与えずに、第1の基板を剥離（分離）することができる。

半導体素子は、基本的にはどのようなものであってもよいが、例えば、半導体電子素子、半導体発光素子、半導体受光素子などである。半導体電子素子は、例えば、絶縁ゲート型電界効果トランジスタ、超接合絶縁ゲート型電界効果トランジスタ、フィールドストップ絶縁ゲート型バイポーラトランジスタ、超接合絶縁ゲート型電界効果トランジスタとフィールドストップ絶縁ゲート型バイポーラトランジスタとの複合素子、ショットキーバリアダイオード（SBD）、pn接合ダイオードなどである。

半導体素子が半導体発光素子（例えば、半導体レーザや発光ダイオードなど）あるいは半導体受光素子（太陽電池やフォトダイオードなど）である場合、例えば、第2の半導体層には、少なくとも1層以上のn型半導体層と少なくとも1層以上のp型半導体層とが含まれ、上記のn型半導体層に接続されてカソード電極が設けられ、上記のp型半導体層に接続されてアノード電極が設けられる。半導体素子がショットキーバリアダイオードである場合、例えば、第3の半導体層には、少なくとも1層以上のノンドープまたはn⁻型半導体層と少なくとも1層以上のn型半導体層（n型コンタクト層）とが含まれ、第3の半導体層のうち第1の半導体層および第2の半導体層側の面のノンドープまたはn⁻型半導体層に接続されてショットキー電極が設けられ、第3の半導体層のうち第1の半導体層および第2の半導体層と反対側の面のn型半導体層に接続されてオーミック電極が設けられる。あるいは、半導体素子がショットキーバリアダイオードである場合、例えば、第2の半導体層には、少なくとも1層以上のp型またはp⁻型半導体層が含まれ、第3の半導体層には、少なくとも1層以上のノンドープまたはn⁻型半導体層と少なくとも1層以上のn型半導体層（n型コンタクト層）とが含まれ、第3の半導体層のうち、第1の半導体層および第2の半導体層側の面および第2の半導体層のp型またはp⁻型半導体層に接続されてショットキー電極が設けられ、第3の半導体層のうち、第1の半導体層および第2の

10

20

30

40

50

半導体層と反対側の面のn型半導体層に接続されてオーミック電極が設けられる。半導体素子が絶縁ゲート型電界効果トランジスタ(MOSFET)である場合、例えば、第1の半導体層には、少なくとも1層以上のn型半導体層が含まれ、第2の半導体層には、少なくとも1層以上のp型半導体層が含まれ、第3の半導体層には、少なくとも1層以上のノンドープまたはn⁻型半導体層と少なくとも1層以上のn型半導体層(n型コンタクト層)とが含まれ、第1の半導体層のn型半導体層に接続されてソース電極が設けられ、第2の半導体層のp型半導体層上に絶縁膜を介してゲート電極が設けられ、第3の半導体層のn型半導体層に接続されてドレイン電極が設けられる。また、半導体素子が絶縁ゲート型電界効果トランジスタあるいは超接合絶縁ゲート型電界効果トランジスタである場合、例えば、第1の半導体層には、少なくとも1層以上のn型半導体層が含まれ、第2の半導体層には、少なくとも1層以上のp型半導体層と少なくとも1層以上のp⁻型半導体層が含まれ、第3の半導体層には、少なくとも1層以上のノンドープまたはn⁻型半導体層と少なくとも1層以上のn型半導体層とが含まれ、第1の半導体層のn型半導体層に接続されてソース電極が設けられ、第2の半導体層のp型半導体層およびp⁻型半導体層上に絶縁膜を介してゲート電極が設けられ、第3の半導体層のn型半導体層に接続されてドレイン電極が設けられる。半導体素子が超接合絶縁ゲート型電界効果トランジスタである場合、例えば、第1の半導体層には、少なくとも1層以上のn型半導体層が含まれ、第2の半導体層には、少なくとも1層以上のp型半導体層と少なくとも1層以上のp⁻型半導体層とが含まれ、第3の半導体層には、少なくとも1層以上のノンドープまたはn⁻型半導体層と少なくとも1層以上のn型半導体層(n型コンタクト層)とが含まれ、第1の半導体層のn型半導体層に接続されてソース電極が設けられ、第2の半導体層のp型半導体層およびp⁻型半導体層上に絶縁膜を介してゲート電極が設けられ、第3の半導体層のn型半導体層に接続されてドレイン電極が設けられ、第2の半導体層のp型半導体層およびp⁻型半導体層の厚さをA、第3の半導体層の上記ノンドープまたはn⁻型半導体層の厚さをBとしたとき、A/Bが0.5以上1未満である。半導体素子がフィールドストップ絶縁ゲート型バイポーラトランジスタである場合、例えば、第1の半導体層には、少なくとも1層以上のn型半導体層が含まれ、第2の半導体層には、少なくとも1層以上のp型半導体層が含まれ、第3の半導体層には、少なくとも1層以上のノンドープまたはn⁻型半導体層と少なくとも1層以上のn型半導体層(フィールドストップ層)および少なくとも1層以上のp型半導体層が含まれ、第1の半導体層のn型半導体層に接続されてソース電極が設けられ、第2の半導体層のp型半導体層上に絶縁膜を介してゲート電極が設けられ、第3の半導体層のp型半導体層に接続されてドレイン電極が設けられる。半導体素子が超接合絶縁ゲート型電界効果トランジスタとフィールドストップ絶縁ゲート型バイポーラとの複合素子である場合、例えば、第1の半導体層には、少なくとも1層以上のn型半導体層が含まれ、第2の半導体層には、少なくとも1層以上のp型半導体層と少なくとも1層以上のp⁻型半導体層とが含まれ、第3の半導体層には、少なくとも1層以上のノンドープまたはn⁻型半導体層と少なくとも1層以上のn型半導体層(フィールドストップ層)および少なくとも1層以上のp型半導体層が含まれ、第1の半導体層のn型半導体層に接続されてソース電極が設けられ、第2の半導体層のp型半導体層およびp⁻型半導体層上に絶縁膜を介してゲート電極が設けられ、第3の半導体層のp型半導体層に接続されてドレイン電極が設けられ、第2の半導体層のp型半導体層およびp⁻型半導体層の厚さをA、第3の半導体層のn⁻型半導体層の厚さをBとしたとき、A/Bが0.5以上1未満である。

第1の基板は、基本的にはどのようなものであってもよいが、好適には、Si基板である。第1の半導体層、第2の半導体層および第3の半導体層は、基本的にはどのような半導体からなるものであってもよいが、典型的には、窒化物系III-V族化合物半導体からなる。あるいは、第1の半導体層、第2の半導体層および第3の半導体層は、B、Al、GaおよびInからなる群より選ばれた少なくとも1種類以上のIII族元素とN、PおよびAsからなる群より選ばれた少なくとも1種類以上のV族元素とからなるIII-V族化合物半導体からなる。

10

20

30

40

50

また、この発明は、

第1の基板上に六方晶系の結晶構造を有する第1の半導体層を成長させる工程と、

上記第1の半導体層を上記第1の基板がエッチングされるまでストライプ状にエッチングすることにより複数のストライプ状のシードを形成する工程と、

上記シードを形成した後の上記第1の基板の表面を六方晶系の結晶構造を有する半導体層が実質的に成長しないように処理する工程と、

それぞれの上記シードから六方晶系の結晶構造を有する第2の半導体層を相互に接触しないように横方向成長させる工程と、

上記第2の半導体層を覆うように全面に六方晶系の結晶構造を有する第3の半導体層を成長させる工程と、

上記第3の半導体層上に第2の基板を設ける工程と、

上記シード、上記第2の半導体層、上記第3の半導体層および上記第2の基板から上記第1の基板を剥離する工程とを有する絶縁ゲート型電界効果トランジスタの製造方法である。

【0035】

また、この発明は、

第1の基板上に六方晶系の結晶構造を有する第1の半導体層を成長させる工程と、

上記第1の半導体層を上記第1の基板がエッチングされるまでストライプ状にエッチングすることにより複数のストライプ状のシードを形成する工程と、

上記シードを形成した後の上記第1の基板の表面を六方晶系の結晶構造を有する半導体層が実質的に成長しないように処理する工程と、

それぞれの上記シードから六方晶系の結晶構造を有する第2の半導体層を相互に接触しないように横方向成長させる工程と、

上記第2の半導体層を覆うように全面に六方晶系の結晶構造を有する第3の半導体層を成長させる工程と、

上記第3の半導体層上に第2の基板を設ける工程と、

上記シード、上記第2の半導体層、上記第3の半導体層および上記第2の基板から上記第1の基板を剥離する工程と、

上記シードの幅方向の中央部に上記シードの長手方向に延びるストライプ状の第1の凹部を形成するとともに、互いに隣接する上記シードの間の部分に上記シードの長手方向に延びるストライプ状の第2の凹部を形成する工程と、

上記第1の凹部にソース電極を形成するとともに、上記第2の凹部にゲート絶縁膜を介してゲート電極を形成する工程と、

上記ソース電極および上記ゲート電極側に第3の基板を設ける工程と、

上記第3の半導体層から上記第2の基板を剥離する工程と、

上記第3の半導体層上にドレイン電極を形成する工程とを有する絶縁ゲート型電界効果トランジスタの製造方法である。

【0036】

この絶縁ゲート型電界効果トランジスタの製造方法においては、例えば、第1の半導体層を第1の基板がエッチングされるまでストライプ状にエッチングすることにより複数のストライプ状のシードを形成する工程において、第1の基板がエッチングされることにより形成される第1の基板からなるストライプ状の柱の断面のアスペクト比が1以上、好適には2以上となるまで第1の基板がエッチングされるようにする。こうすることで、第3の半導体層の成長時にこのストライプ状の柱に力が加わって破壊されやすくすることができる。

【0037】

典型的には、例えば、第1の基板上に六方晶系の結晶構造を有する第1の半導体層を成長させた後、上記複数のストライプ状のシードを形成する前に、上記第1の半導体層上に絶縁膜を形成し、この絶縁膜および上記第1の半導体層を上記第1の基板がエッチングされるまでストライプ状にエッチングすることにより上記複数のストライプ状のシードを

10

20

30

40

50

形成する。

【0038】

六方晶系の結晶構造を有する第1の半導体層、第2の半導体層および第3の半導体層は窒化物系III-V族化合物半導体のほか、例えばZnO、 -ZnS 、 -CdS 、 -CdSe などであってもよい。窒化物系III-V族化合物半導体は、最も一般的には $\text{Al}_x\text{B}_y\text{Ga}_{1-x-y-z}\text{In}_z\text{As}_u\text{N}_{1-u-v}\text{P}_v$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $0 \leq u \leq 1$ 、 $0 \leq v \leq 1$ 、 $0 \leq x+y+z < 1$ 、 $0 \leq u+v < 1$ ）からなり、より具体的には $\text{Al}_x\text{B}_y\text{Ga}_{1-x-y-z}\text{In}_z\text{N}$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、 $0 \leq x+y+z < 1$ ）からなり、典型的には $\text{Al}_x\text{Ga}_{1-x-z}\text{In}_z\text{N}$ （ただし、 $0 \leq x \leq 1$ 、 $0 \leq z \leq 1$ ）からなる。

10

【0039】

第1の基板は、結晶性の窒化物系III-V族化合物半導体層を成長させることができる限り、基本的（技術的）にはどのようなものであってもよいが、工業的観点（価格、大口径化、得られる素子特性など）から、好適にはSi基板である。

【0040】

シード上に絶縁膜を残した状態で第2の半導体層を横方向成長させてもよい。また、例えば、第1の半導体層として第1の導電型の第4の半導体層および第2の導電型の第5の半導体層を順次成長させる。例えば、第2の半導体層は第2の導電型、第3の半導体層は第1の導電型であるが、これに限定されるものではない。また、必要に応じて、第3の半導体層は最上層に第3の半導体層よりも不純物濃度が高いコンタクト層を有する。また、コンタクト層を厚く成長させ、第2の基板として用いてもよい。同様に、第3の半導体層を厚く成長させ、第2の基板として用いてもよい。

20

【0041】

また、この発明は、

六方晶系の結晶構造を有するストライプ状の複数のn型の第4の半導体層と、

それぞれの上記第4の半導体層を覆うように、かつ相互に接触しないように設けられた複数のp型の第5の半導体層と、

上記複数の第5の半導体層を覆い、かつ互いに隣接する上記第5の半導体層の間の部分を埋めるように連続膜として設けられたn型の第6の半導体層と、

上記第4の半導体層に設けられたソース電極と、

30

上記第5の半導体層上にゲート絶縁膜を介して設けられたゲート電極と、

上記第6の半導体層の上記ソース電極および上記ゲート絶縁膜が設けられた面と反対側の面に設けられたドレイン電極とを有する絶縁ゲート型電界効果トランジスタである。

【0042】

また、この発明は、

六方晶系の結晶構造を有するストライプ状の複数のn型の第7の半導体層と、

それぞれの上記第7の半導体層を覆うように、かつ相互に接触しないように設けられた複数のn型の第8の半導体層と、

それぞれの上記第8の半導体層を覆うように、かつ相互に接触しないように設けられた複数のp型の第9の半導体層と、

40

上記複数の第9の半導体層を覆い、かつ互いに隣接する上記第9の半導体層の間の部分を埋めるように連続膜として設けられたn型の第10の半導体層と、

上記第7の半導体層の上記第9の半導体層と反対側の面に設けられたソース電極と、

互いに隣接する上記第9の半導体層の間の部分の上記第10の半導体層の上記第7の半導体層側の面にゲート絶縁膜を介して設けられたゲート電極と、

上記第10の半導体層の上記ソース電極および上記ゲート絶縁膜が設けられた面と反対側の面に設けられたドレイン電極とを有し、

上記第9の半導体層のバンドギャップは上記第8の半導体層および上記第10の半導体層のバンドギャップより大きい絶縁ゲート型電界効果トランジスタである。

【0043】

50

また、この発明は、
六方晶系の結晶構造を有するストライプ状の複数のn型の第11の半導体層と、
それぞれの上記第11の半導体層を覆うように、かつ相互に接触しないように設けられた複数のp型の第12の半導体層と、
それぞれの上記第12の半導体層を覆うように、かつ相互に接触しないように設けられた複数のp⁻型の第13の半導体層と、
上記複数の第13の半導体層を覆い、かつ互いに隣接する上記第13の半導体層の間の部分を埋めるように連続膜として設けられたn型の第14の半導体層と、
上記第14の半導体層上に設けられたp型の第15の半導体層と、
上記第11の半導体層に設けられたソース電極と、
上記第12の半導体層および上記第13の半導体層上にゲート絶縁膜を介して設けられたゲート電極と、
上記第15の半導体層上に設けられたドレイン電極とを有する絶縁ゲート型電界効果トランジスタである。
この絶縁ゲート型電界効果トランジスタは、超接合絶縁ゲート型電界効果トランジスタとして用いることができる。

10

【0044】

また、この発明は、
六方晶系の結晶構造を有するストライプ状の複数のn型の第16の半導体層と、
それぞれの上記第16の半導体層を覆うように、かつ相互に接触しないように設けられた複数のp型の第17の半導体層と、
上記複数の第17の半導体層を覆い、かつ互いに隣接する上記第17の半導体層の間の部分を埋めるように連続膜として設けられたn型の第18の半導体層と、
上記第18の半導体層上に設けられたn型の第19の半導体層と、
上記第19の半導体層上に設けられたp型の第20の半導体層と、
上記第16の半導体層の上記第17の半導体層と反対側の面に設けられたソース電極と、
上記第17の半導体層上にゲート絶縁膜を介して設けられたゲート電極と、
上記第20の半導体層上に設けられたドレイン電極とを有する絶縁ゲート型電界効果トランジスタである。
この絶縁ゲート型電界効果トランジスタは、絶縁ゲート型バイポーラトランジスタとして用いることができる。

20

30

【0045】

また、この発明は、
六方晶系の結晶構造を有するストライプ状の複数のn型の第21の半導体層と、
それぞれの上記第21の半導体層を覆うように、かつ相互に接触しないように設けられた複数のp型の第22の半導体層と、
それぞれの上記第22の半導体層を覆うように、かつ相互に接触しないように設けられた複数のp型の第23の半導体層と、
上記複数の第23の半導体層を覆い、かつ互いに隣接する上記第23の半導体層の間の部分を埋めるように連続膜として設けられたn型の第24の半導体層と、
上記第24の半導体層上に設けられたn型の第25の半導体層と、
上記第25の半導体層上に設けられたp型の第26の半導体層と、
上記第21の半導体層に設けられたソース電極と、
上記第22の半導体層および上記第23の半導体層上にゲート絶縁膜を介して設けられたゲート電極と、
上記第26の半導体層上に設けられたドレイン電極とを有する絶縁ゲート型電界効果トランジスタである。
この絶縁ゲート型電界効果トランジスタは、超接合絶縁ゲート型電界効果トランジスタと絶縁ゲート型バイポーラトランジスタとの複合素子として用いることができる。

40

50

【 0 0 4 6 】

また、この発明は、

六方晶系の結晶構造を有するストライプ状の複数のn型の第27の半導体層と、

それぞれの上記第27の半導体層を覆うように、かつ相互に接触しないように設けられた複数のp型の第28の半導体層と、

それぞれの上記第28の半導体層を覆うように、かつ相互に接触しないように設けられた複数のp型の第29の半導体層と、

上記複数の第29の半導体層を覆い、かつ互いに隣接する上記第29の半導体層の間の部分を埋めるように連続膜として設けられたn型の第30の半導体層と、

上記第30の半導体層上に設けられたn型の第31の半導体層と、

上記第31の半導体層上に設けられたp型の第32の半導体層と、

上記第30の半導体層の上記第28の半導体層と反対側の面に設けられたソース電極と

、
上記第28の半導体層および上記第29の半導体層上にゲート絶縁膜を介して設けられたゲート電極と、

上記第32の半導体層上に設けられたドレイン電極とを有することを特徴とする絶縁ゲート型電界効果トランジスタである。

【 0 0 4 7 】

また、この発明は、

第1の基板の上に六方晶系の結晶構造を有する第1の半導体層を成長させる工程と、

上記第1の半導体層を上記第1の基板がエッチングされるまでストライプ状にエッチングすることにより複数のストライプ状のシードを形成する工程と、

上記シードを形成した後の上記第1の基板の表面を六方晶系の結晶構造を有する半導体層が実質的に成長しないように処理する工程と、

それぞれの上記シードから六方晶系の結晶構造を有する第2の半導体層を相互に接触しないように横方向成長させる工程と、

上記第2の半導体層を覆うように全面に六方晶系の結晶構造を有する第3の半導体層を成長させる工程と、

上記第3の半導体層上に第2の基板を設ける工程と、

上記シード、上記第2の半導体層、上記第3の半導体層および上記第2の基板から上記第1の基板を剥離する工程とを有する半導体発光素子の製造方法である。

【 0 0 4 8 】

また、この発明は、

第1の基板の上に六方晶系の結晶構造を有する第1の半導体層を成長させる工程と、

上記第1の半導体層を上記第1の基板がエッチングされるまでストライプ状にエッチングすることにより複数のストライプ状のシードを形成する工程と、

上記シードを形成した後の上記第1の基板の表面を六方晶系の結晶構造を有する半導体層が実質的に成長しないように処理する工程と、

それぞれの上記シードから六方晶系の結晶構造を有する第2の半導体層を相互に接触しないように横方向成長させる工程と、

上記第2の半導体層を覆うように全面に発光素子構造を構成する六方晶系の結晶構造を有する第3の半導体層を成長させる工程と、

上記第3の半導体層上に第2の基板を貼り付ける工程と、

上記シード、上記第2の半導体層、上記第3の半導体層および上記第2の基板から上記第1の基板を剥離する工程と、

上記第1の基板を剥離する前または上記第1の基板を剥離した後に上記第3の半導体層の両面にそれぞれ第1の電極および第2の電極を形成する工程とを有することを特徴とする半導体発光素子の製造方法である。

【 0 0 4 9 】

半導体発光素子の製造方法の発明においては、その性質に反しない限り、上記の絶縁ゲ

10

20

30

40

50

ート型電界効果トランジスタの製造方法に関連して説明したことが成立する。

【 0 0 5 0 】

また、この発明は、

第 1 の基板上に六方晶系の結晶構造を有する第 1 の半導体層を成長させる工程と、

上記第 1 の半導体層を上記第 1 の基板がエッチングされるまでストライプ状にエッチングすることにより複数のストライプ状のシードを形成する工程と、

上記シードを形成した後の上記第 1 の基板の表面を六方晶系の結晶構造を有する半導体層が実質的に成長しないように処理する工程と、

それぞれの上記シードから六方晶系の結晶構造を有する第 2 の半導体層を相互に接触しないように横方向成長させる工程と、

上記第 2 の半導体層を覆うように全面に六方晶系の結晶構造を有する第 3 の半導体層を成長させる工程と、

上記第 3 の半導体層上に第 2 の基板を設ける工程と、

上記シード、上記第 2 の半導体層、上記第 3 の半導体層および上記第 2 の基板から上記第 1 の基板を剥離する工程とを有する太陽電池の製造方法である。

【 0 0 5 1 】

また、この発明は、

第 1 の基板上に六方晶系の結晶構造を有する第 1 の半導体層を成長させる工程と、

上記第 1 の半導体層を上記第 1 の基板がエッチングされるまでストライプ状にエッチングすることにより複数のストライプ状のシードを形成する工程と、

上記シードを形成した後の上記第 1 の基板の表面を六方晶系の結晶構造を有する半導体層が実質的に成長しないように処理する工程と、

それぞれの上記シードから六方晶系の結晶構造を有する第 2 の半導体層を相互に接触しないように横方向成長させる工程と、

上記第 2 の半導体層を覆うように全面に太陽電池構造を構成する六方晶系の結晶構造を有する第 3 の半導体層を成長させる工程と、

上記第 3 の半導体層上に第 2 の基板を貼り付ける工程と、

上記シード、上記第 2 の半導体層、上記第 3 の半導体層および上記第 2 の基板から上記第 1 の基板を剥離する工程と、

上記第 1 の基板を剥離する前または上記第 1 の基板を剥離した後に上記第 3 の半導体層の両面にそれぞれ第 1 の電極および第 2 の電極を形成する工程とを有することを特徴とする太陽電池の製造方法である。

【 0 0 5 2 】

太陽電池の製造方法の発明においては、その性質に反しない限り、上記の絶縁ゲート型電界効果トランジスタの製造方法に関連して説明したことが成立する。

第 4 ～ 第 3 2 の半導体層は、第 1 ～ 第 3 の半導体層と同様な半導体からなる。

【発明の効果】

【 0 0 5 3 】

この発明によれば、S i 基板を用いて高耐圧高出力の半導体電子素子、半導体発光素子、半導体受光素子を容易に製造することができる。あるいは、この発明によれば、S i 基板を用いて高耐圧高出力の絶縁ゲート型電界効果トランジスタあるいは半導体発光素子あるいは太陽電池を容易に製造することができる。

【図面の簡単な説明】

【 0 0 5 4 】

【図 1】この発明の第 1 の実施の形態による G a N 系 M O S F E T の製造方法を説明するための断面図である。

【図 2】この発明の第 1 の実施の形態による G a N 系 M O S F E T の製造方法を説明するための断面図である。

【図 3】この発明の第 1 の実施の形態による G a N 系 M O S F E T の製造方法を説明するための断面図である。

【図４】この発明の第１の実施の形態によるＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

【図５】この発明の第１の実施の形態によるＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

【図６】この発明の第１の実施の形態によるＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

【図７】この発明の第１の実施の形態によるＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

【図８】この発明の第２の実施の形態によるＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

10

【図９】この発明の第３の実施の形態によるＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

【図１０】この発明の第４の実施の形態によるＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

【図１１】この発明の第４の実施の形態によるＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

【図１２】この発明の第４の実施の形態によるＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

【図１３】この発明の第４の実施の形態によるＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

20

【図１４】この発明の第４の実施の形態によるＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

【図１５】この発明の第５の実施の形態によるＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

【図１６】この発明の第６の実施の形態によるＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

【図１７】この発明の第７の実施の形態によるＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

【図１８】この発明の第８の実施の形態によるＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

30

【図１９】この発明の第９の実施の形態によるＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

【図２０】この発明の第１０の実施の形態によるＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

【図２１】この発明の第１１の実施の形態によるノンラッチアップＩＧＢＴ型ＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

【図２２】この発明の第１２の実施の形態によるＩＧＢＴおよびＳＪ型ＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

【図２３】この発明の第１３の実施の形態によるノンラッチアップＩＧＢＴおよびＳＪ型ＧａＮ系ＭＯＳＦＥＴの製造方法を説明するための断面図である。

40

【図２４】この発明の第１４の実施の形態によるＧａＮ系半導体発光素子の製造方法を説明するための断面図である。

【図２５】この発明の第１５の実施の形態によるＧａＮ系太陽電池の製造方法を説明するための断面図である。

【図２６】この発明の第１６の実施の形態によるＧａＮ系ショットキーバリアダイオードの製造方法を説明するための断面図である。

【図２７】第１の従来例のＧａＮ系ＨＦＥＴを示す断面図である。

【図２８】第２の従来例のＧａＮ系ＨＦＥＴを示す断面図である。

【図２９】第３の従来例のＧａＮ系ＨＦＥＴを示す断面図である。

【図３０】第４の従来例のＧａＮ系ＨＦＥＴを示す断面図である。

50

【図 3 1】第 5 の従来例の G a N 系 H F E T を示す断面図である。

【発明を実施するための形態】

【 0 0 5 5 】

以下、発明を実施するための形態（以下、実施の形態と言う。）について説明する。

1 . 第 1 の実施の形態

第 1 の実施の形態による縦型（vertical type）G a N 系 M O S F E T の製造方法について説明する。

【 0 0 5 6 】

図 1 A に示すように、S i 基板などからなる第 1 の基板 1 1 上に例えば有機金属化学気相成長（M O C V D）法により例えば 5 0 0 程度の温度で A l N や G a N などからなる低温バッファ層 1 2 を成長させた後、この低温バッファ層 1 2 上に例えば同じく M O C V D 法により例えば 1 0 0 0 ~ 1 1 0 0 程度の温度、例えば 1 0 5 0 で n^+ 型 G a N 層 1 3 を成長させる。低温バッファ層 1 2 の厚さは特に限定されないが、一般的には 1 0 ~ 5 0 n m、例えば 2 0 n m である。 n^+ 型 G a N 層 1 3 の厚さは必要に応じて選ばれるが、例えば 0 . 1 ~ 2 μ m である。 n^+ 型 G a N 層 1 3 には n 型不純物として例えば S i がドーピングされ、不純物濃度は例えば $1 \times 10^{18} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度である。

10

【 0 0 5 7 】

次に、図 1 B に示すように、 n^+ 型 G a N 層 1 3 上に例えば真空蒸着法や C V D 法などにより例えば S i O₂ 膜や S i N 膜などの絶縁膜またはエッチングマスク 1 4 を形成する。絶縁膜またはエッチングマスク 1 4 を後で除去する場合には、この絶縁膜またはエッチングマスク 1 4 として金属膜やレジスト膜などを用いることもできる。

20

【 0 0 5 8 】

次に、図 1 C に示すように、絶縁膜またはエッチングマスク 1 4 上にフォトリソグラフィにより所定形状のストライプ状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして例えば反応性イオンエッチング（R I E）法などのドライエッチング法により絶縁膜またはエッチングマスク 1 4 をストライプ状にパターニングする。この後、レジストパターンを除去する。このストライプ状の絶縁膜またはエッチングマスク 1 4 の長手方向は、好適には、 n^+ 型 G a N 層 1 3 の 1 - 1 0 0 方向あるいは 1 1 - 2 0 方向に選ばれる。

【 0 0 5 9 】

30

次に、図 2 A に示すように、こうして形成されたストライプ状の絶縁膜またはエッチングマスク 1 4 をマスクとしてドライエッチング法またはウェットエッチング法により第 1 の基板 1 1 が深さ D だけエッチングされるまでエッチングする。例えば、第 1 の基板 1 1 が S i 基板である場合には、 n^+ 型 G a N 層 1 3 および低温バッファ層 1 2 は R I E 法などのドライエッチング法によりエッチングし、第 1 の基板 1 1、すなわち S i 基板はウェットエッチング法によりエッチングする。このエッチングにより、 n^+ 型 G a N 層 1 3、低温バッファ層 1 2 および第 1 の基板 1 1 の最上部はストライプ状にパターニングされる。ストライプ状の n^+ 型 G a N 層 1 3 および低温バッファ層 1 2 の幅は例えば 2 ~ 1 0 μ m とする。また、互いに隣接する n^+ 型 G a N 層 1 3 と n^+ 型 G a N 層 1 3 との間の距離は例えば 6 ~ 2 0 μ m とする。第 1 の基板 1 1 のエッチング深さ D は例えば 0 . 2 μ m 以上に選ばれ、一般的には 0 . 2 μ m 以上 2 0 μ m 以下に選ばれる。ストライプ状の n^+ 型 G a N 層 1 3 は後に行う成長の際のシード（種結晶）となる。

40

【 0 0 6 0 】

次に、図 2 B に示すように、絶縁膜またはエッチングマスク 1 4 をウェットエッチング法などによりエッチング除去する。

【 0 0 6 1 】

次に、図 2 C に示すように、エッチングにより露出した第 1 の基板 1 1 の表面に成長防止膜 1 5 を形成する。この成長防止膜 1 5 としては、例えば、S i O_x 膜（S i O₂ 膜を含む）や S i N_x 膜（S i₃ N₄ 膜を含む）などが用いられる。この成長防止膜 1 5 の形成方法としては、酸化法、窒化法、C V D 法などを用いることができ、第 1 の基板 1 1 の

50

種類などに応じて適宜選ばれる。例えば、第1の基板11がSi基板である場合、 SiO_x 膜は、例えば、Si基板の表面を熱酸化法やプラズマ酸化法などにより酸化することにより形成される。熱酸化の条件の一例を挙げると、酸化炉中で O_2 雰囲気において1000、30分である。プラズマ酸化の条件の一例を挙げると、プラズマエンハンスト化学気相成長(PECVD)炉中で基板温度300~1000において酸素プラズマを照射する。Si基板の表面を酸化する際には、 n^+ 型GaN層13の表面が酸化され過ぎないようにする。 SiN_x 膜は、例えば、Si基板の表面を熱窒化法やプラズマ窒化法などにより窒化することにより形成される。熱窒化の条件の一例を挙げると、MOCVD炉中で NH_3 雰囲気において1000以上の温度で10分間窒化する。プラズマ窒化の条件の一例を挙げると、PECVD炉中で基板温度300~1000において窒素プラズマを照射する。

10

【0062】

次に、図3Aに示すように、 n^+ 型GaN層13をシードとして例えばMOCVD法によりp型GaN層16を横方向成長(ELO(Epitaxial Lateral Overgrowth))させる。このとき、第1の基板11の表面に成長防止膜15が形成されており、この成長防止膜15上ではGaNの成長が極めて抑制されるため、 n^+ 型GaN層13をシードとしてp型GaN層16を横方向成長させることができる。このp型GaN層16の横方向成長は、互いに隣接する n^+ 型GaN層13から横方向成長するp型GaN層16同士が接触する前に停止させる。p型GaN層16の横方向成長の条件(温度、圧力、成長速度など)の選択により、p型GaN層16の両側面の成長面(ファセット)や縦横成長比率などを制御することができる。p型GaN層16にはp型不純物として例えばMgがドーブされ、不純物濃度は例えば $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。

20

【0063】

次に、図3Bに示すように、例えばMOCVD法によりn型GaN層17を全面に連続膜となるまで成長させ、その上にさらに、n型GaN層17より不純物濃度が高い n^+ 型GaNコンタクト層18を成長させる。これらのn型GaN層17および n^+ 型GaNコンタクト層18の成長時には、 n^+ 型GaN層13と低温バッファ層12との界面から発生した転位が上方に伝播する結果、貫通転位19が発生する。この貫通転位19の密度は一般的には $1 \times 10^{-8} \sim 1 \times 10^{-10} \text{ m}^{-2}$ である。互いに隣接するp型GaN層16から横方向成長するn型GaN層17同士が接触する会合部にも同様に貫通転位19が発生する。n型GaN層17にはn型不純物として例えばSiがドーブされ、不純物濃度は例えば $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ である。 n^+ 型GaNコンタクト層18にはn型不純物として例えばSiがドーブされ、不純物濃度は例えば $1 \times 10^{18} \sim 1 \times 10^{19} \text{ cm}^{-3}$ である。n型GaN層17および n^+ 型GaNコンタクト層18の厚さは必要に応じて選ばれるが、n型GaN層17の厚さは例えば3~20 μm 、 n^+ 型GaNコンタクト層18の厚さは例えば10~100nmである。

30

【0064】

次に、図4に示すように、 n^+ 型GaNコンタクト層18上に接着層20を介して第2の基板21を貼り付ける。接着層20は第2の基板21の種類などに応じて適宜選ばれるが、例えば、レジスト、ワックス、セラミックバインダーなどが用いられる。第2の基板21は、後の工程で行われるリン酸(H_2PO_4)や水酸化カリウム(KOH)、塩化ナトリウム(NaOH)などを用いたウェットエッチングに耐性のある基板である限り、特に限定されず、必要に応じて選ばれるが、例えばサファイア(Al_2O_3)基板を用いることができるほか、ウェットエッチングに耐性のある保護層(例えば、レジスト層)で表面を保護すれば、金属基板や他の基板などを用いることができる。金属基板としては、例えば銅(Cu)、CuW、Moなどからなるもの、他の基板としては例えばSi、AlN、AlSiなどからなるものを用いることができる。

40

【0065】

次に、第1の基板11と低温バッファ層12との間を分離することにより、第1の基板11を第2の基板21上の n^+ 型GaN層13、n型GaN層17、p型GaN層16お

50

よび n^+ 型Ga₂Nコンタクト層18から剥離する。具体的には、例えば、成長防止膜15をエッチング除去した後、第1の基板11をウェットエッチングする。このウェットエッチングにおいては、第1の基板11の最上部に形成された深さDの溝内にエッチング液が浸透し、 n^+ 型Ga₂N層13の下方の第1の基板11からなるストライプ状の柱がエッチング除去されることにより、第1の基板11を第2の基板21上の n^+ 型Ga₂N層13、 n 型Ga₂N層17および p 型Ga₂N層16から剥離することができる。例えば、第1の基板11がSi基板である場合には、フッ硝酸($\text{HF} + \text{HNO}_3$)やKOH、水酸化テトラメチルアンモニウム(TMAH)などを用いてウェットエッチングする。第1の基板11の裏面からポリッシングやウェットエッチングなどを行うことにより第1の基板11を除去してもよい。なお、必要に応じて、第1の基板11を剥離または除去せず、そのまま残してもよい。

10

【0066】

次に、図5に示すように、フォトリソグラフィーにより、 n^+ 型Ga₂N層13の中央部に対応する部分がストライプ状に開口した所定形状のレジストパターン22を n^+ 型Ga₂N層13、 n 型Ga₂N層17および p 型Ga₂N層16上に形成する。次に、このレジストパターン22をマスクとして n^+ 型Ga₂N層13を少なくとも p 型Ga₂N層16に達する深さまでドライエッチングすることにより凹部23を形成する。次に、レジストパターン22を除去する。この後、 p 型Ga₂N層16の p 型不純物の電気的活性化のために、例えば窒素雰囲気中において800℃で20分アニールする。 p 型Ga₂N層16に達する凹部23の形成は、このアニール工程において p 型Ga₂N層16からの水素の脱離を容易にすること、および、後に形成するゲート電極と p 型Ga₂N層16とのコンタクトを取ることが目的である。

20

【0067】

次に、図6に示すように、凹部23を形成した n^+ 型Ga₂N層13、 n 型Ga₂N層17および p 型Ga₂N層16の全面にゲート絶縁膜25を形成する。このゲート絶縁膜25としては例えばSiO₂膜やSi₃N₄膜やAl₂O₃膜やHfO₂膜あるいはそれらの積層膜などを用いることができる。このゲート絶縁膜25は、下地にダメージを与えない成膜法、例えば真空蒸着法、原子層堆積法(ALD法)などにより形成することができる。次に、このゲート絶縁膜25のうちの n^+ 型Ga₂N層13上の所定部分をエッチング除去して開口25aを形成する。次に、例えば真空蒸着法やスパッタリング法などにより全面に金属膜を形成した後、この金属膜を所定形状にパターニングすることにより、凹部23の内部を含めて全面にソース電極およびゲート電極形成用の金属膜を形成する。この金属膜は、必要に応じて選ばれるが、例えば、Ni/Ti/Pt/Au多層膜を用いることができる。次に、この金属膜をエッチングにより所定形状にパターニングすることにより、凹部23の内部にソース電極26を形成するとともに、 p 型Ga₂N層16や n 型Ga₂N層17上にゲート絶縁膜25を介してゲート電極27を形成する。次に、これらのソース電極26およびゲート電極27上に例えば真空蒸着法などにより全面にSiO₂膜などの絶縁膜28を形成する。次に、この絶縁膜28のうちのソース電極26上の所定部分に開口28aを形成する。次に、例えば真空蒸着法やスパッタリング法などによりこの絶縁膜28の全面に金属膜を形成し、必要に応じてこの金属膜を所定形状にパターニングすることによりソースパッド電極29を形成する。次に、このソースパッド電極29上に第3の基板30を貼り付ける。この第3の基板30は必要に応じて選ばれるが、好適には熱伝導性の良好なセラミック基板や金属基板などが用いられ、具体的には、例えば、Si、AlN、Cu、CuW、AlSi、SiCなどからなるものを用いることができる。この後、 n^+ 型Ga₂Nコンタクト層18から接着層20および第2の基板21を剥離する。第2の基板21は必要に応じて再利用(リサイクル)することができる。

30

40

【0068】

次に、図7に示すように、 n^+ 型Ga₂N層13の上方の、貫通転位19が集中して存在する部分を含む所定部分の n^+ 型Ga₂Nコンタクト層18および n 型Ga₂N層17の最上部をエッチング除去して凹部31を形成する。次に、例えば真空蒸着法やスパッタリング

50

法などにより全面に例えば SiO_2 膜などの絶縁膜32を形成した後、この絶縁膜32をエッチングにより所定形状にパターニングすることにより凹部31およびその近傍の部分のみ残す。この後、例えば真空蒸着法やスパッタリング法などによりこの絶縁膜33および n^+ 型GaNコンタクト層18の全面に金属膜を形成し、必要に応じてこの金属膜を所定形状にパターニングしてドレイン電極33を形成する。この場合、貫通転位19が集中して存在する部分の上部が絶縁膜33により覆われており、ドレイン電極33がこの貫通転位19が集中して存在する部分に直接接触していないので、貫通転位19を通してのリーク電流の低減を図ることができる。

【0069】

以上により、目的とする縦型GaN系MOSFETを製造することができる。この縦型GaN系MOSFETは、 n 型GaN層17の不純物濃度および厚さの選択により、ドレイン電極33側の n 型GaN層17に空乏層を広範囲に広げることができるため、高耐圧かつ高出力とすることができる。

【0070】

以上のように、この第1の実施の形態によれば、IGBTや超接合(SJ)を用いずに高耐圧高出力の縦型GaN系MOSFETを実現することができる。しかも、この縦型GaN系MOSFETはSi基板を用いて容易に製造することができるため、製造コストの低減を図ることができる。

【0071】

2. 第2の実施の形態

第2の実施の形態においては、縦型GaN系MOSFETの製造方法について説明する。

【0072】

図8Aに示すように、第2の実施の形態による縦型GaN系MOSFETの製造方法においては、第1の基板11をエッチングする際に十分に深くエッチングし、具体的には、例えば、エッチング後に残される第1の基板11によりアスペクト比が1以上のストライプ状の柱が形成されるようにエッチングする。第1の基板11のエッチング深さDは、例えば4~30 μm とする。第1の基板11のエッチングにより露出した第1の基板11の表面には第1の実施の形態と同様に成長防止膜15を形成する。

【0073】

次に、図8Bに示すように、 n^+ 型GaN層13をシードとして p 型GaN層17を横方向成長させた後、全面に n 型GaN層18を連続膜となるまで成長させる。この場合、 n 型GaN層18の成長後の冷却段階で、例えばSi基板などからなる第1の基板11と n 型GaN層18との熱膨張係数の差により第1の基板11および n 型GaN層17の双方に応力が発生する。 n 型GaN層17の熱膨張係数がSi基板などからなる第1の基板11より大きい場合には、 n 型GaN層17には引っ張り応力が発生し、クラックが発生しやすくなる。しかしながら、第1の基板11からなるストライプ状の柱の断面のアスペクト比が1以上であり、機械的に弱いため、この柱が破断することにより、 n 型GaN層17に発生する引っ張り応力の低減を図ることができ、それによってクラックなどが発生するのを防止することができる。

【0074】

この後、第1の実施の形態と同様に工程を進めて目的とする縦型GaN系MOSFETを製造する。

【0075】

この第2の実施の形態によれば、第1の実施の形態と同様な利点を得ることができる。

【0076】

3. 第3の実施の形態

第3の実施の形態においては、SJ縦型GaN系MOSFETおよびその製造方法について説明する。

【0077】

図9に示すように、第3の実施の形態においては、第1の実施の形態と同様にしてストライプ状の n^+ 型Ga_{0.5}N層13を形成した後、この n^+ 型Ga_{0.5}N層13をシードとしてp型Ga_{0.5}N層16を横方向成長させる。次に、このp型Ga_{0.5}N層16を覆うようにp型Ga_{0.5}N層34を成長させた後、n型Ga_{0.5}N層17を連続膜となるまで成長させ、さらにその上に n^+ 型Ga_{0.5}Nコンタクト層18を成長させる。p型Ga_{0.5}N層34の不純物濃度（ホール濃度）、高さ（厚さ）、幅などを制御することにより、n型Ga_{0.5}N層17とこのp型Ga_{0.5}N層34とにより良好な超接合を実現することができる。p型Ga_{0.5}N層16にはp型不純物として例えばMgがドーピングされ、不純物濃度は例えば $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 、p型Ga_{0.5}N層34にはp型不純物として例えばMgがドーピングされ、不純物濃度は例えば $1 \times 10^{17} \sim 1 \times 10^{20} \text{ cm}^{-3}$ とする。p型Ga_{0.5}N層34の不純物濃度（ホール濃度）、高さ（厚さ）、幅などの制御は、例えば、成長時に用いるGa原料（トリメチルガリウム（TMG）など）やp型不純物としてのMgのドーパント（シクロペンタジエニル（Cp₂Mg）など）の供給量、V/I/I/I比（I/I/I原料（アンモニア（NH₃））の供給量に対するV族原料（Ga原料）の供給量の比）、成長温度、圧力などの成長条件を制御することにより行うことができる。必要に応じて、p型Ga_{0.5}N層34にドーピングされるMgなどのp型不純物の電気的活性化のために、 n^+ 型Ga_{0.5}Nコンタクト層18を成長させた後、 n^+ 型Ga_{0.5}Nコンタクト層18からp型Ga_{0.5}N層34に到達する溝を形成し、この状態で例えば窒素雰囲気中において800℃で20分アニールすることにより、成長時にp型Ga_{0.5}N層34に取り込まれた水素を水素ガスとして外部に放出させるようにしてもよい。この後、第1の実施の形態と同様に工程を進めてドレイン電極33まで形成する。

【0078】

以上により、目的とするSJ縦型Ga_{0.5}N系MOSFETを製造することができる。

【0079】

この第3の実施の形態によれば、第1の実施の形態と同様な利点に加えて、n型Ga_{0.5}N層17とp型Ga_{0.5}N層34とにより超接合が形成されるため、ソース電極23とドレイン電極33との間のチャネル層の全体に空乏層を広げることができ、それによって縦型Ga_{0.5}N系MOSFETの耐圧の大幅な向上を図ることができるという利点も得ることができる。

【0080】

4. 第4の実施の形態

第4の実施の形態においては、SJ縦型Ga_{0.5}N系MOSFETの製造方法について説明する。

【0081】

図10に示すように、第1の実施の形態と同様にしてストライプ状の n^+ 型Ga_{0.5}N層13を形成した後、この n^+ 型Ga_{0.5}N層13をシードとしてp型Ga_{0.5}N層16を横方向成長させる。次に、このp型Ga_{0.5}N層16を覆うようにp型Ga_{0.5}N層34を成長させた後、n型Ga_{0.5}N層17を連続膜となるまで成長させ、さらにその上に n^+ 型Ga_{0.5}Nコンタクト層18を成長させる。第3の実施の形態と同様に、p型Ga_{0.5}N層34の不純物濃度（ホール濃度）、高さ（厚さ）、幅などを制御することにより、n型Ga_{0.5}N層18とこのp型Ga_{0.5}N層34とにより良好な超接合を実現することができる。p型Ga_{0.5}N層17にはp型不純物として例えばMgがドーピングされ、不純物濃度は例えば $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 、p型Ga_{0.5}N層34にはp型不純物として例えばMgがドーピングされ、不純物濃度は例えば $1 \times 10^{17} \sim 1 \times 10^{20} \text{ cm}^{-3}$ とする。

【0082】

次に、図11に示すように、第1の実施の形態と同様にして、 n^+ 型Ga_{0.5}Nコンタクト層18上に接着層20を介して第2の基板21を貼り付けた後、第1の基板11を剥離する。

【0083】

次に、図12に示すように、第1の実施の形態と同様にして、 n^+ 型Ga_{0.5}N層13、p型Ga_{0.5}N層16、p型Ga_{0.5}N層34およびn型Ga_{0.5}N層17上に所定形状のレジストパタ

ーン 22 を形成した後、このレジストパターン 22 をマスクとして n^+ 型 GaN 層 13 をエッチングすることにより凹部 23 を形成する。

【0084】

次に、図 13 に示すように、第 1 の実施の形態と同様にして、ゲート絶縁膜 25、開口 25a、ソース電極 23、ゲート電極 24、絶縁膜 28、開口 28a およびソースパッド電極 29 を形成し、このソースパッド電極 29 に第 3 の基板 30 を貼り付けた後、 n^+ 型 GaN コンタクト層 18 から接着層 20 および第 2 の基板 21 を剥離する。

【0085】

次に、図 14 に示すように、開口 31 を形成し、この開口 31 の部分に絶縁膜 32 を形成した後、ドレイン電極 33 を形成する。

10

【0086】

以上により、目的とする S-J 縦型 GaN 系 MOSFET が製造される。

【0087】

この第 4 の実施の形態によれば、第 3 の実施の形態と同様な利点を得ることができる。

【0088】

5. 第 5 の実施の形態

第 5 の実施の形態においては、S-J 縦型 GaN 系 MOSFET の製造方法について説明する。

【0089】

図 15 に示すように、第 5 の実施の形態においては、第 4 の実施の形態に比べて、 p 型 GaN 層 34 を薄く成長させる。その他のことは第 4 の実施の形態と同様である。

20

【0090】

この第 5 の実施の形態によれば、第 4 の実施の形態と同様な利点を得ることができる。

【0091】

6. 第 6 の実施の形態

第 6 の実施の形態においては、IGBT および S-J 縦型 GaN 系 MOSFET の製造方法について説明する。

【0092】

図 16 に示すように、第 6 の実施の形態は、 n 型 GaN 層 17 上に、 n^+ 型 GaN コンタクト層 18 の代わりに p^+ 型 GaN コンタクト層 35 を成長させることを除いて、第 4 の実施の形態と同様である。 p^+ 型 GaN コンタクト層 35 には例えば Mg がドーピングされ、不純物濃度は例えば $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。

30

【0093】

この第 6 の実施の形態によれば、第 1 の実施の形態と同様な利点に加えて、次のような利点を得ることができる。すなわち、 n 型 GaN 層 17 上に p^+ 型 GaN コンタクト層 35 が設けられた構造により、IGBT と同等な構造を得ることができる。このため、IGBT の伝導度変調効果と超接合 MOSFET の特徴である空乏層領域拡大効果とを同時に得ることができ、超低オン抵抗かつ高耐圧の IGBT および S-J 縦型 GaN 系 MOSFET を実現することができる。

【0094】

7. 第 7 の実施の形態

第 7 の実施の形態においては、縦型 GaN 系 MOSFET の製造方法について説明する。

40

【0095】

図 17 に示すように、第 7 の実施の形態においては、第 1 の基板 11 上に低温バッファ層 12 および n^+ 型 GaN 層 13 を成長させた後、引き続いて n^+ 型 GaN 層 13 上に p^+ 型 GaN 層 36 を成長させる。次に、 p^+ 型 GaN 層 36 上に絶縁膜またはエッチングマスク 14 を形成する。次に、絶縁膜またはエッチングマスク 14 をストライプ状にパターンニングする。次に、こうして形成されたストライプ状の絶縁膜またはエッチングマスク 14 をマスクとして第 1 の基板 11 が深さ D だけエッチングされるまでエッチングする。

50

このエッチングにより、 p^+ 型 GaN 層 36、 n^+ 型 GaN 層 13、低温バッファ層 12 および第 1 の基板 11 の最上部はストライプ状にパターニングされる。次に、エッチングにより露出した第 1 の基板 11 の表面に成長防止膜 15 を形成する。次に、 n^+ 型 GaN 層 13 および p^+ 型 GaN 層 36 をシードとして p 型 GaN 層 34 を横方向成長させる。このとき、第 1 の基板 11 の表面に成長防止膜 15 が形成されており、この成長防止膜 15 上では GaN の成長が極めて抑制されるため、 n^+ 型 GaN 層 13 をシードとして p 型 GaN 層 34 を横方向成長させることができる。この p 型 GaN 層 34 の横方向成長は、互いに隣接する n^+ 型 GaN 層 13 から横方向成長する p 型 GaN 層 16 同士が接触する前に停止させる。次に、例えば MOCVD 法により n 型 GaN 層 17 を全面に連続膜となるまで成長させ、その上にさらに、 n 型 GaN 層 17 より不純物濃度が高い n^+ 型 GaN 10
コンタクト層 18 を成長させる。 p 型 GaN 層 16 上に絶縁膜またはエッチングマスク 14 が設けられており、 n^+ 型 GaN 層 13 と低温バッファ層 12 との界面から発生した転位が p 型 GaN 層 16 を貫通した貫通転位 19 は絶縁膜またはエッチングマスク 14 で止められていることにより、これらの p 型 GaN 層 34、 n 型 GaN 層 17 および n^+ 型 GaN 10
コンタクト層 18 の成長時には、 p 型 GaN 層 16 から貫通転位 19 が p 型 GaN 層 34、 n 型 GaN 層 17 および n^+ 型 GaN 10
コンタクト層 18 に伝播するのを防止することができる。この場合、 p 型 GaN 層 34、 n 型 GaN 層 17 および n^+ 型 GaN 10
コンタクト層 18 に存在する貫通転位 19 は、絶縁膜またはエッチングマスク 14 の中央部の上の部分に形成される左右から横方向成長する p 型 GaN 層 16 同士の会合部および互いに
隣接する p 型 GaN 層 34 から横方向成長する n 型 GaN 層 17 同士が接触する会合部だけ 20
に存在し、貫通転位 19 の密度は極めて低い。

【0096】

この後、第 1 の実施の形態と同様に工程を進めて、目的とする S J 縦型 GaN 系 MOS FET を製造する。

【0097】

この第 7 の実施の形態によれば、第 1 の実施の形態と同様な利点に加えて、 p 型 GaN 層 16、 n 型 GaN 層 17 および n^+ 型 GaN 10
コンタクト層 18 に存在する貫通転位 19 の密度の大幅な低減を図ることができることにより、S J 縦型 GaN 系 MOS FET の破壊電圧の向上およびリーク電流の大幅な低減を図ることができるという利点も得ることが
できる。 30

【0098】

8. 第 8 の実施の形態

第 8 の実施の形態においては、縦型 GaN 系 MOS FET の製造方法について説明する。
。

【0099】

図 18 に示すように、第 8 の実施の形態においては、 n 型 GaN 層 17 上に成長させる n^+ 型 GaN 10
コンタクト層 18 の厚さを十分に大きく、例えば $100 \sim 400 \mu m$ にし、その代わりに第 2 の基板 21 を用いない。 n^+ 型 GaN 10
コンタクト層 18 の成長には、MOCVD 法のほか、ハイドライド気相エピタキシャル成長またはハライド気相エピタキシャル成長 (HVPE) 法を用いることができる。この場合、 n 型 GaN 層 17 および n^+ 40
型 GaN 10
コンタクト層 18 の厚さが極めて大きいこと、これらの n 型 GaN 層 17 および n^+ 40
型 GaN 10
コンタクト層 18 を成長後、冷却段階で n^+ 型 GaN 層 13 の下方の第 1 の基板 11 からなるストライプ状の柱が破断し、第 1 の基板 11 が剥離する。

【0100】

この後、第 1 の実施の形態と同様に工程を進めて、目的とする S J 縦型 GaN 系 MOS FET を製造する。

【0101】

この第 8 の実施の形態によれば、第 1 の実施の形態と同様な利点に加えて、第 2 の基板 21 が不要となるため、S J 縦型 GaN 系 MOS FET の製造コストのより一層の低減を図ることができるという利点を得ることができる。 50

【 0 1 0 2 】

9. 第9の実施の形態

第9の実施の形態においては、縦型 GaN 系 MOSFET の製造方法について説明する。

【 0 1 0 3 】

図 19 に示すように、第9の実施の形態においては、第1の実施の形態と同様にして n^+ 型 GaN 層 13 をシードとして n 型 GaN 層 40 を横方向成長させ、引き続いてアンドープまたは p 型 AlGaInN 層 41 を成長させた後、 n 型 GaN 層 17 を連続膜となるまで成長させ、さらにその上に n^+ 型 GaN コンタクト層 18 を成長させる。

【 0 1 0 4 】

次に、 n^+ 型 GaN コンタクト層 18 上に接着層 20 (図 19 においては図示せず) を介して第2の基板 21 (図 19 においては図示せず) を貼り付ける。

【 0 1 0 5 】

次に、 n^+ 型 GaN 層 13、 n 型 GaN 層 40、アンドープまたは p 型 AlGaInN 層 41 および n 型 GaN 層 17 の全面にゲート絶縁膜 25 を形成する。

【 0 1 0 6 】

次に、フォトリソグラフィーにより、 n^+ 型 GaN 層 13 の中央部に対応する部分がストライプ状に開口した所定形状のレジストパターン 22 (図 19 においては図示せず) を n^+ 型 GaN 層 13、 n 型 GaN 層 40、アンドープまたは p 型 AlGaInN 層 41 および n 型 GaN 層 17 上に形成する。次に、このレジストパターン 22 をマスクとしてゲート絶縁膜 25 をウェットエッチングすることにより開口 25a を形成する。次に、例えば真空蒸着法やスパッタリング法などにより全面に金属膜を形成した後、この金属膜を所定形状にパターニングすることにより、開口 25a の内部の n^+ 型 GaN 層 13 上にソース電極 26 を形成するとともに、互いに隣接する n^+ 型 GaN 層 13 と n^+ 型 GaN 層 13 との間の部分におけるゲート絶縁膜 25 上にゲート電極 27 を形成する。次に、例えば真空蒸着法などにより全面に SiO_2 膜などの絶縁膜 28 を形成する。次に、この絶縁膜 28 のうちのソース電極 26 上の所定部分に開口 28a を形成する。次に、例えば真空蒸着法やスパッタリング法などによりこの絶縁膜 28 の全面に金属膜を形成し、必要に応じてこの金属膜を所定形状にパターニングすることによりソースパッド電極 29 を形成する。次に、このソースパッド電極 29 上に第3の基板 30 を貼り付ける。この第3の基板 30 は必要に応じて選ばれるが、好適には AuSn などからなるはんだのほか、熱伝導性の良好なセラミック基板や金属基板など、具体的には、例えば、Si、AlN、Cu、CuW、AlSi、SiC などからなるものを用いることができる。この後、 n^+ 型 GaN コンタクト層 18 から接着層 20 および第2の基板 21 を剥離する。

【 0 1 0 7 】

次に、 n^+ 型 GaN 層 13 の上方の、貫通転位 19 が集中して存在する部分を含む所定部分の n^+ 型 GaN コンタクト層 18 および n 型 GaN 層 17 の最上部をエッチング除去して凹部 31 を形成する。次に、例えば真空蒸着法やスパッタリング法などにより全面に例えば SiO_2 膜などの絶縁膜 32 を形成した後、この絶縁膜 32 をエッチングにより所定形状にパターニングすることにより凹部 31 およびその近傍の部分のみ残す。この後、例えば真空蒸着法やスパッタリング法などによりこの絶縁膜 33 および n^+ 型 GaN コンタクト層 18 の全面に金属膜を形成し、必要に応じてこの金属膜を所定形状にパターニングしてドレイン電極 33 を形成する。

【 0 1 0 8 】

以上により、目的とするノーマリーオフ型の縦型 GaN 系 MOSFET を製造することができる。図 19 に、この縦型 GaN 系 MOSFET のオン時のソース電極 26 からドレイン電極 33 への電子の移動経路を矢印で模式的に示す。

【 0 1 0 9 】

この第9の実施の形態によれば、高耐圧かつ高出力のノーマリーオフ型の縦型 GaN 系 MOSFET を低コストで製造することができる。

【 0 1 1 0 】

1 0 . 第 1 0 の実施の形態

第 1 0 の実施の形態においては、F S (Field Stop) - I G B T 縦型 G a N 系 M O S F E T の製造方法について説明する。

【 0 1 1 1 】

図 2 0 に示すように、第 1 0 の実施の形態においては、第 1 の実施の形態と同様にして n 型 G a N 層 1 7 まで成長させた後、その上にフィールドストップ層となる n^+ 型 G a N 層 4 2 および p^+ 型 G a N 層 4 3 を順次成長させる。 p^+ 型 G a N 層 4 3 には例えば M g がドーピングされ、不純物濃度は例えば $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。

【 0 1 1 2 】

この後、第 1 の実施の形態と同様に工程を進めて目的とする F S - I G B T 縦型 G a N 系 M O S F E T を製造する。

【 0 1 1 3 】

図 2 0 に示すように、この F S - I G B T 縦型 G a N 系 M O S F E T においては、 p^+ 型 G a N 層 4 3 と n^+ 型 G a N 層 4 2 とにより形成される p n 接合に電流が流れることにより光子 (h) が発生し、この光子の入射により n 型 G a N 層 1 7 中に電子 (e^-) - 正孔 (e^+) 対が生成されることによりキャリアが増加することで、オン抵抗が低下する伝導度変調効果が得られる。

【 0 1 1 4 】

この第 1 0 の実施の形態によれば、高耐圧かつ高出力の F S - I G B T 縦型 G a N 系 M O S F E T を低コストで製造することができる。

【 0 1 1 5 】

1 1 . 第 1 1 の実施の形態

第 1 1 の実施の形態においては、F S - ノンラッチアップ - I G B T 縦型 G a N 系 M O S F E T の製造方法について説明する。

【 0 1 1 6 】

図 2 2 に示すように、第 1 1 の実施の形態においては、第 1 の実施の形態と同様にして n^+ 型 G a N 層 1 3 をシードとして p 型 G a N 層 1 6 を横方向成長させた後、n 型 G a N 層 1 7 を連続膜となるまで成長させ、さらにその上にフィールドストップ層となる n^+ 型 G a N 層 4 2 および p^+ 型 G a N 層 4 3 を順次成長させる。

【 0 1 1 7 】

次に、 n^+ 型 G a N コンタクト層 1 8 上に接着層 2 0 (図 2 0 においては図示せず) を介して第 2 の基板 2 1 (図 2 0 においては図示せず) を貼り付ける。

【 0 1 1 8 】

次に、 n^+ 型 G a N 層 1 3、p 型 G a N 層 1 6 および n 型 G a N 層 1 7 の全面にゲート絶縁膜 2 5 を形成する。

【 0 1 1 9 】

次に、フォトリソグラフィーにより、 n^+ 型 G a N 層 1 3 から少しずれた部分がストライプ状に開口した所定形状のレジストパターン 2 2 (図 2 2 においては図示せず) を n^+ 型 G a N 層 1 3、p 型 G a N 層 1 6 および n 型 G a N 層 1 7 上に形成する。次に、このレジストパターン 2 2 をマスクとしてゲート絶縁膜 2 5 をウェットエッチングすることにより開口 2 5 a を形成する。次に、例えば真空蒸着法やスパッタリング法などにより全面に金属膜を形成した後、この金属膜を所定形状にパターニングすることにより、開口 2 5 a の内部の n^+ 型 G a N 層 1 3 上にエミッタ電極を兼用するソース電極 2 6 を形成するとともに、p 型 G a N 層 1 6 の部分におけるゲート絶縁膜 2 5 上にゲート電極 2 7 を形成する。次に、例えば真空蒸着法などにより全面に SiO_2 膜などの絶縁膜 2 8 を形成する。次に、この絶縁膜 2 8 のうちのソース電極 2 6 上の所定部分に開口 2 8 a を形成する。次に、例えば真空蒸着法やスパッタリング法などによりこの絶縁膜 2 8 の全面に金属膜を形成し、必要に応じてこの金属膜を所定形状にパターニングすることによりソースパッド電極 2 9 を形成する。次に、このソースパッド電極 2 9 の全面に第 3 の基板 3 0 を貼り付ける

10

20

30

40

50

。この第3の基板30は必要に応じて選ばれるが、好適にはAuSnなどからなるはんだのほか、熱伝導性の良好なセラミック基板や金属基板など、具体的には、例えば、Si、AlN、Cu、CuW、AlSi、SiCなどからなるものを用いることができる。この後、n⁺型GaNコンタクト層18から接着層20および第2の基板21を剥離する。

【0120】

次に、n⁺型GaN層13の上方の、貫通転位19が集中して存在する部分を含む所定部分のp⁺型GaN層43、n⁺型GaN層42およびn型GaN層17の最上部をエッチング除去して凹部31を形成する。次に、例えば真空蒸着法やスパッタリング法などにより全面に例えばSiO₂膜などの絶縁膜32を形成した後、この絶縁膜32をエッチングにより所定形状にパターニングすることにより凹部31およびその近傍の部分のみ残す。この後、例えば真空蒸着法やスパッタリング法などによりこの絶縁膜33およびp⁺型GaN層43の全面に金属膜を形成し、必要に応じてこの金属膜を所定形状にパターニングしてドレイン電極33を形成する。

10

【0121】

以上により、目的とするFS-ノンラッチアップ-IGBT縦型GaN系MOSFETを製造することができる。

【0122】

このFS-ノンラッチアップ-IGBT縦型GaN系MOSFETにおいては、第10の実施の形態と同様にオン抵抗が低下する伝導度変調効果が得られることに加えて、オン時にチャネル層であるn型GaN層17に空乏層44が広がってピンチオフが生じる構造を有することにより、ソース-ドレイン電流をラッチアップ電流以下に制限し、ラッチアップを回避することができ、オフ時には、コレクタを構成するp⁺型GaN層43側に空乏層44が到達するのをn⁺型GaN層42により防止することができる。

20

【0123】

この第11の実施の形態によれば、高耐圧かつ高出力のFS-ノンラッチアップ-IGBT縦型GaN系MOSFETを低コストで製造することができる。

【0124】

12. 第12の実施の形態

第12の実施の形態においては、FS-IGBT-SJ縦型GaN系MOSFETの製造方法について説明する。

30

【0125】

図23に示すように、第12の実施の形態においては、第3の実施の形態と同様にしてn⁺型GaN層13をシードとしてp型GaN層16を横方向成長させ、さらにp型GaN層34を成長させた後、n型GaN層17を連続膜となるまで成長させ、さらにその上にフィールドストップ層となるn⁺型GaN層42およびp⁺型GaN層43を順次成長させる。

【0126】

この後、第3の実施の形態と同様に工程を進めて目的とするFS-IGBT-SJ縦型GaN系MOSFETを製造する。

【0127】

このFS-IGBT-SJ縦型GaN系MOSFETにおいては、第10の実施の形態と同様にオン抵抗が低下する伝導度変調効果と、第3の実施の形態と同様に超接合により得られる空乏層拡大効果とを得ることができる。すなわち、このFS-IGBT-SJ縦型GaN系MOSFETは、超低オン抵抗かつ高耐圧の縦型GaN系MOSFETを実現することができる。

40

【0128】

この第12の実施の形態によれば、高耐圧かつ高出力のFS-IGBT-SJ縦型GaN系MOSFETを低コストで製造することができる。

【0129】

13. 第13の実施の形態

50

第13の実施の形態においては、FS - ノンラッチアップ - IGBT - SJ縦型GaN系MOSFETの製造方法について説明する。

【0130】

図24に示すように、第13の実施の形態においては、第3の実施の形態と同様にして n^+ 型GaN層13をシードとしてp型GaN層16を横方向成長させ、さらにp型GaN層34を成長させた後、n型GaN層17を連続膜となるまで成長させ、さらにその上にフィールドストップ層となる n^+ 型GaN層42および p^+ 型GaN層43を順次成長させる。

【0131】

この後、第11の実施の形態と同様に工程を進めて目的とするFS - ノンラッチアップ - IGBT - SJ縦型GaN系MOSFETを製造する。

10

【0132】

この第13の実施の形態によれば、高耐圧かつ高出力のFS - ノンラッチアップ - IGBT - SJ縦型GaN系MOSFETを低コストで製造することができる。

【0133】

14. 第14の実施の形態

第14の実施の形態においては、GaN系半導体発光素子の製造方法について説明する。

【0134】

図24に示すように、第14の実施の形態においては、第1の実施の形態と同様にしてストライプ状の n^+ 型GaN層13を形成した後、 n^+ 型GaN層13をシードとしてn型GaN層40を横方向成長させる。次に、n型AlGaNクラッド層51を全面に連続膜となるまで成長させ、さらにその上に例えば $In_xGa_{1-x}N/In_yGa_{1-y}N$ 多重量子井戸(MQW)構造の活性層52およびp型AlGaNクラッド層53を順次成長させる。p型AlGaNクラッド層53上には一般的にはさらに、 p^+ 型GaNコンタクト層が成長される。

20

【0135】

次に、p型AlGaNクラッド層53あるいはその上の p^+ 型GaNコンタクト層上に接着層20を介して第2の基板21を貼り付ける。

【0136】

30

次に、第1の基板11と低温バッファ層12との間を分離することにより、第1の基板11を第2の基板21上の n^+ 型GaN層13、n型GaN層40およびn型AlGaNクラッド層51から剥離する。

【0137】

次に、第1の基板11の剥離により露出した n^+ 型GaN層13、n型GaN層40およびn型AlGaNクラッド層51の表面にn側電極(図示せず)を形成する。

【0138】

次に、このn側電極の全面に第3の基板30を貼り付ける。この後、p型AlGaNクラッド層53あるいはその上の p^+ 型GaNコンタクト層から接着層20および第2の基板21を剥離する。

40

【0139】

次に、p型AlGaNクラッド層53あるいはその上の p^+ 型GaNコンタクト層上にp側電極を形成する。半導体発光素子が半導体レーザである場合には、例えば、p型AlGaNクラッド層53の上部をストライプ状のリッジ形状にパターニングした後、このリッジ部にコンタクトするようにp側電極を形成する。

【0140】

この後、従来公知のGaN系半導体レーザまたはGaN系発光ダイオードの製造方法に従って目的とするGaN系半導体発光素子を製造する。

【0141】

この第14の実施の形態によれば、GaN系半導体レーザまたはGaN系発光ダイオード

50

ドをSi基板を用いて容易に製造することができ、製造コストの低減を図ることができる。

【0142】

15. 第15の実施の形態

第15の実施の形態においては、GaN系太陽電池の製造方法について説明する。

【0143】

図27に示すように、第15の実施の形態においては、第1の実施の形態と同様にしてストライプ状の n^+ 型GaN層13を形成した後、 n^+ 型GaN層13をシードとして n 型GaN層40を横方向成長させる。次に、 n 型AlGaN層61を全面に連続膜となるまで成長させ、さらにその上に例えば i 型AlGaN層62および p 型AlGaN層63を順次成長させる。 p 型AlGaN層63上には一般的には p^+ 型GaNコンタクト層が成長される。

10

【0144】

次に、 p 型AlGaN層63あるいはその上の p^+ 型GaNコンタクト層上に接着層20を介して第2の基板21を貼り付ける。

【0145】

次に、第1の基板11と低温バッファ層12との間を分離することにより、第1の基板11を第2の基板21上の n^+ 型GaN層13、 n 型GaN層40および n 型AlGaNクラッド層51から剥離する。

【0146】

20

次に、第1の基板11の剥離により露出した n^+ 型GaN層13、 n 型GaN層40および n 型AlGaNクラッド層51の表面にカソード電極（図示せず）を形成する。

【0147】

次に、このカソード電極の全面に第3の基板30を貼り付ける。この後、 p 型AlGaN層63あるいはその上の p^+ 型GaNコンタクト層から接着層20および第2の基板21を剥離する。

【0148】

次に、 p 型AlGaN層53あるいはその上の p^+ 型GaNコンタクト層上にアノード電極を形成する。

【0149】

30

この後、必要な後工程を行って目的とするGaN系太陽電池を製造する。

【0150】

この第15の実施の形態によれば、GaN系太陽電池をSi基板を用いて容易に製造することができ、製造コストの低減を図ることができる。

【0151】

16. 第16の実施の形態

第16の実施の形態においては、縦型GaN系ショットキーバリアダイオードの製造方法について説明する。

【0152】

図26に示すように、第16の実施の形態においては、第1の実施の形態と同様にしてストライプ状の n^+ 型GaN層13を形成した後、 n^+ 型GaN層13をシードとして p 型GaN層16を横方向成長させる。次に、 n 型GaN層17を全面に連続膜となるまで成長させ、さらにその上に n^+ 型GaNコンタクト層18を成長させる。

40

【0153】

次に、 n^+ 型GaNコンタクト層18のうちの互いに隣接する n^+ 型GaN層13の間の部分に対応する部分をエッチング除去して開口18aを形成した後、この開口18aの内部にSiO₂膜などの絶縁膜71を形成し、この絶縁膜71により貫通転位19を覆う。

【0154】

次に、第2の基板21上にオーミック電極72を設けたものを用意し、 n^+ 型GaNコ

50

ンタクト層 1 8 上にこの第 2 の基板 2 1 上のオーミック電極 7 2 側を貼り付ける。

【 0 1 5 5 】

次に、第 1 の基板 1 1 と低温バッファ層 1 2 との間を分離することにより、第 1 の基板 1 1 を第 2 の基板 2 1 上の n^+ 型 GaN 層 1 3、p 型 GaN 層 1 6 および n 型 GaN 層 1 7 から剥離する。

【 0 1 5 6 】

次に、第 1 の基板 1 1 の剥離により露出した面の、貫通転位 1 9 が露出している n^+ 型 GaN 層 1 3 を覆うように SiO₂ 膜などの絶縁膜 7 3 を形成した後、この絶縁膜 7 3 で覆われていない部分の p 型 GaN 層 1 6 および n 型 GaN 層 1 7 に接触するようにショットキー電極 7 4 を形成する。

10

【 0 1 5 7 】

以上により、目的とする縦型 GaN 系ショットキーバリアダイオードを製造することができる。

【 0 1 5 8 】

この第 1 6 の実施の形態によれば、Si 基板を用いて縦型 GaN 系ショットキーバリアダイオードを容易に製造することができ、製造コストの低減を図ることができる。

【 0 1 5 9 】

以上、この発明の実施の形態について具体的に説明したが、この発明は、上述の実施の形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

20

【 0 1 6 0 】

例えば、上述の実施の形態において挙げた数値、構造、形状、材料、プロセスなどはあくまでも例に過ぎず、必要に応じてこれらと異なる数値、構造、形状、材料、プロセスなどを用いてもよい。また、必要に応じて、第 1 ~ 第 1 6 の実施の形態のうちの二つ以上を組み合わせてもよい。

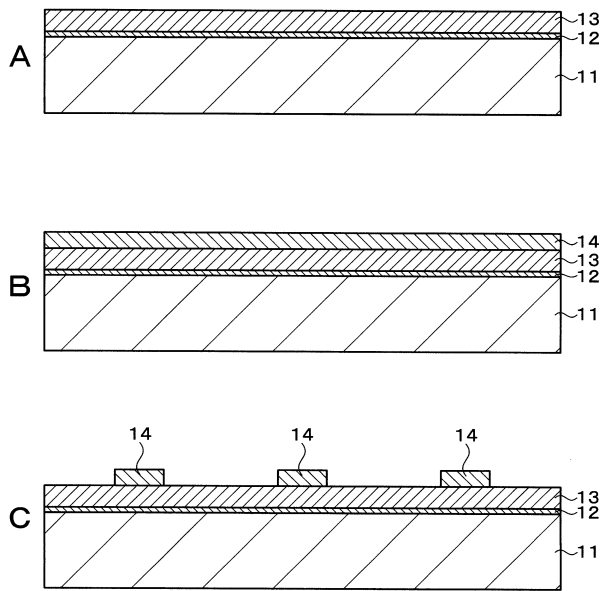
【 符号の説明 】

【 0 1 6 1 】

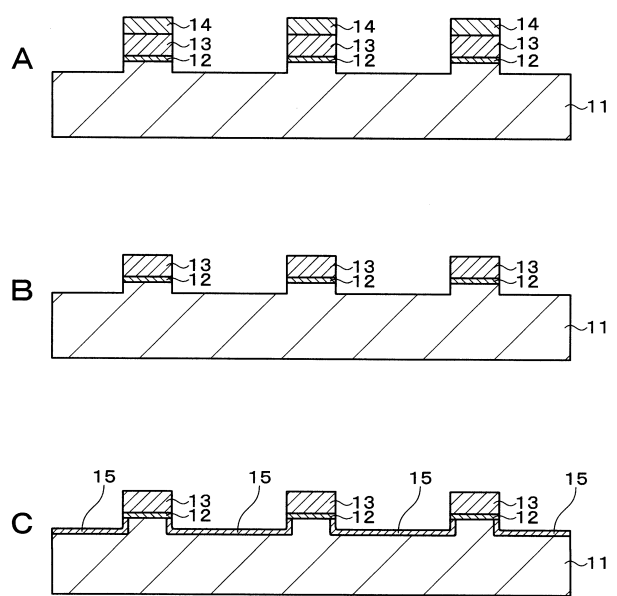
1 1 ... 第 1 の基板、1 2 ... 低温バッファ層、1 3 ... n^+ 型 GaN 層、1 4 ... 絶縁膜またはエッチングマスク、1 5 ... 成長防止膜、1 6 ... p 型 GaN 層、1 7 ... n 型 GaN 層、1 8 ... n^+ 型 GaN コンタクト層、1 9 ... 貫通転位、2 0 ... 接着層、2 1 ... 第 2 の基板、2 2 ... レジストパターン、2 3、2 4 ... 凹部、2 5 ... ゲート絶縁膜、2 5 a ... 開口、2 6 ... ソース電極、2 7 ... ゲート電極、2 8 ... 絶縁膜、2 9 ... ソースパッド電極、3 0 ... 第 3 の基板、3 1 ... 開口、3 2 ... 絶縁膜、3 3 ... ドレイン電極、3 4 ... p 型 GaN 層、3 5 ... p^+ 型 GaN コンタクト層、3 6 ... p^+ 型 GaN 層、3 7 ... n 型 GaN 層、3 9 ... AlGaInN 層、4 0 ... n 型 GaN 層、4 1 ... アンドープまたは p 型 AlGaInN 層、4 2 ... n^+ 型 GaN 層、4 3 ... p^+ 型 GaN 層、4 4 ... 空乏層、4 5 ... 凹部、4 6 ... 2 次元電子ガス、5 1 ... n 型 AlGaInN クラッド層、5 2 ... 活性層、5 3 ... p 型 AlGaInN クラッド層、6 1 ... n 型 AlGaInN 層、6 2 ... i 型 AlGaInN 層、6 3 ... p 型 AlGaInN 層、7 1、7 3 ... 絶縁膜、7 2 ... オーミック電極、7 4 ... ショットキー電極

30

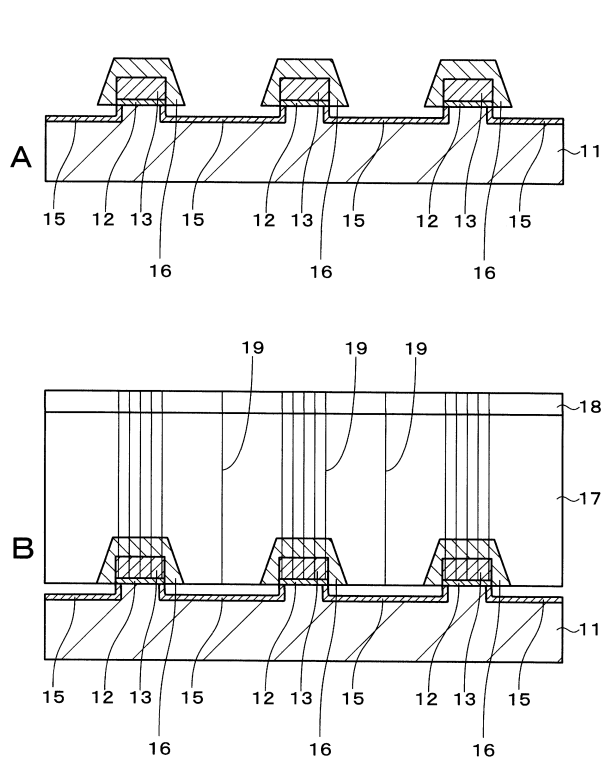
【図 1】



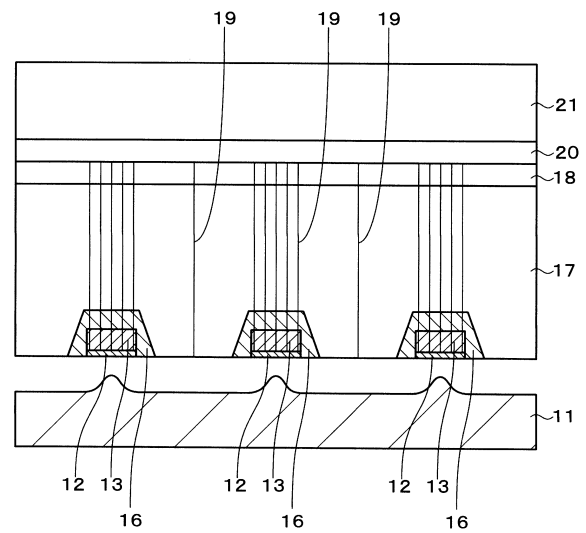
【図 2】



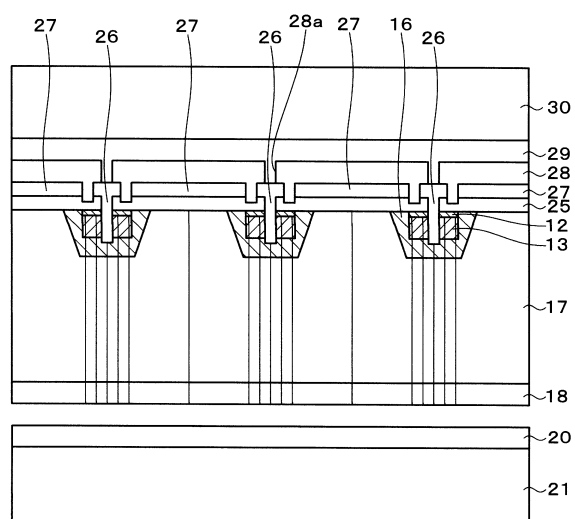
【図 3】



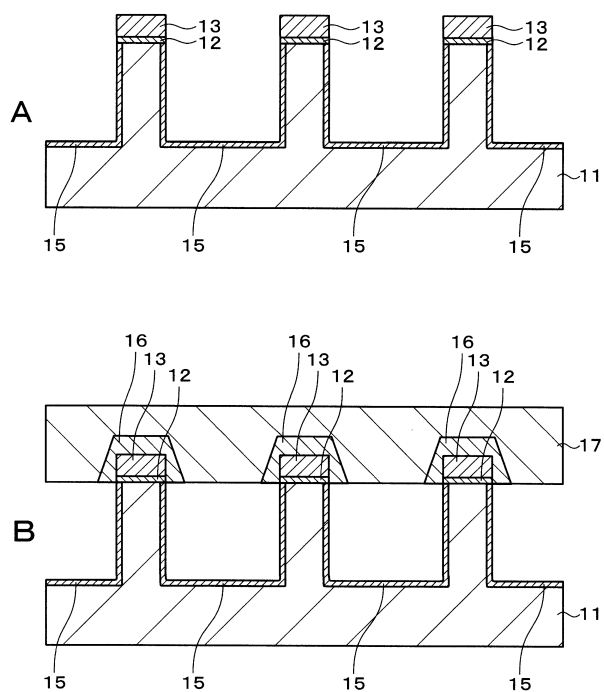
【図 4】



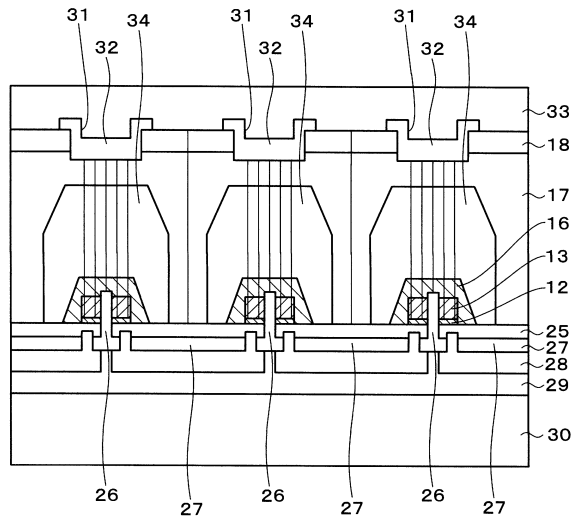
【 図 6 】



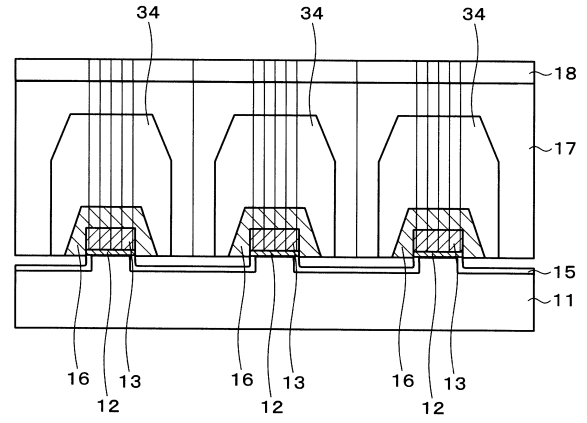
【 図 8 】



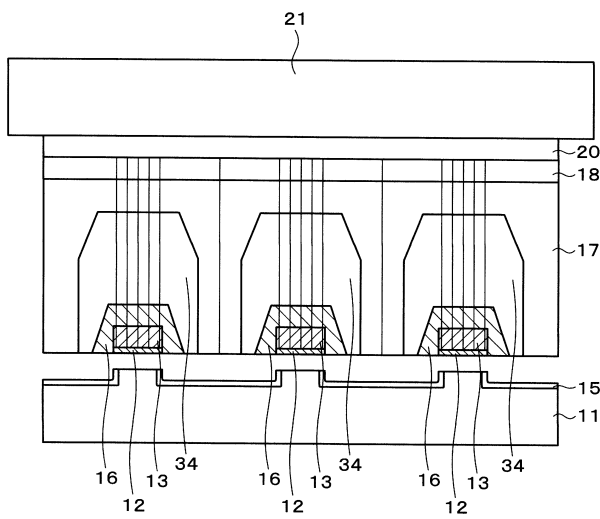
【図 9】



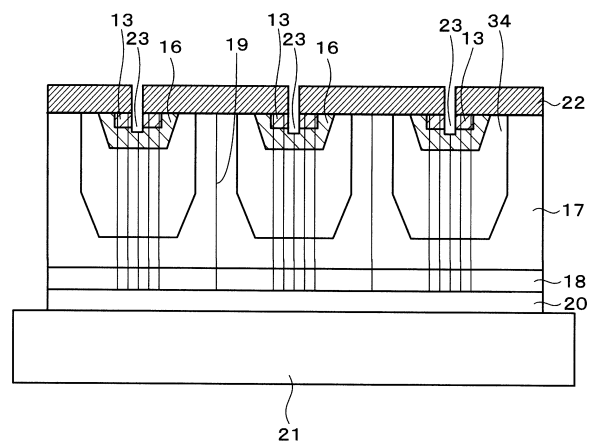
【図 10】



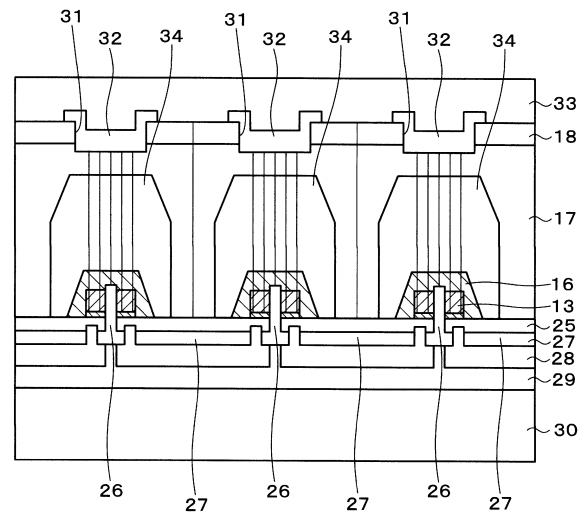
【図 11】



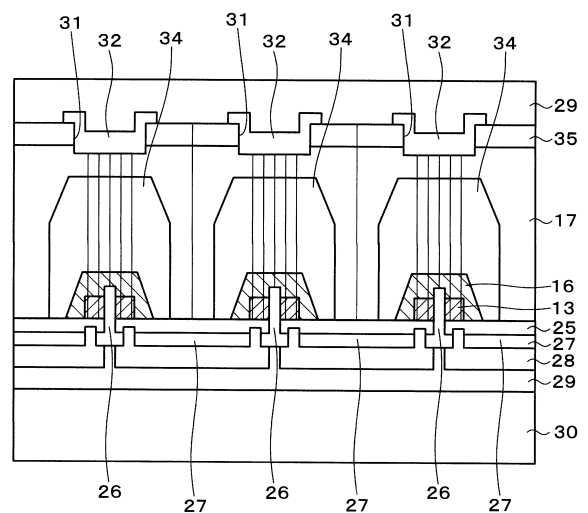
【図 12】



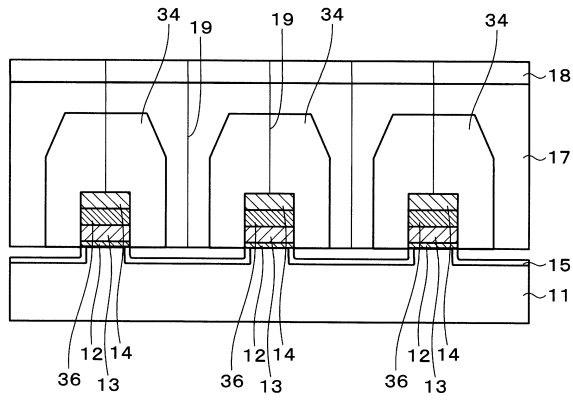
【 図 1 4 】



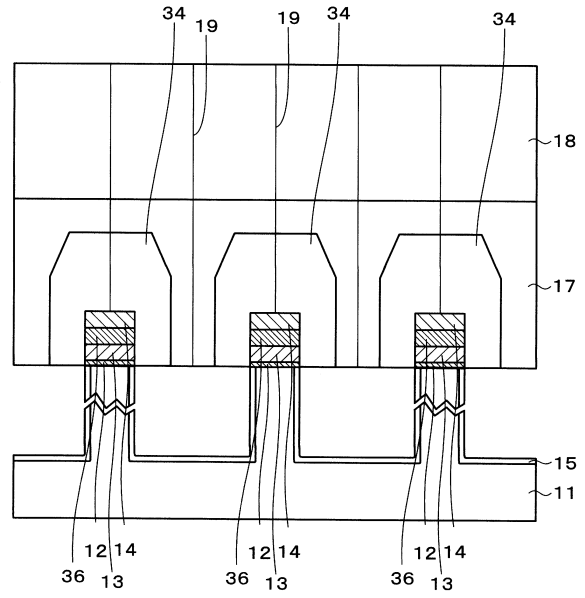
【 図 1 6 】



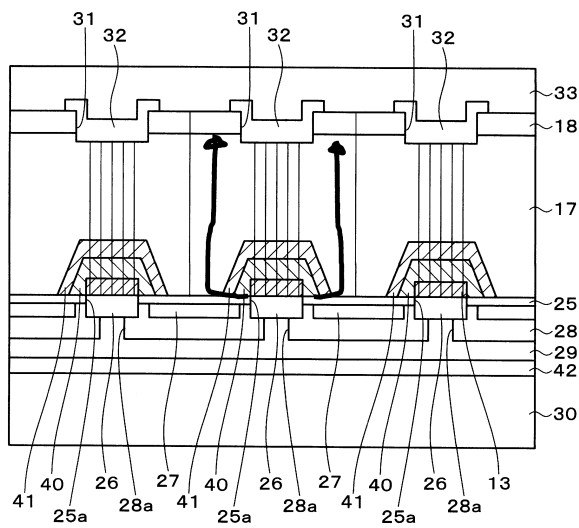
【図 17】



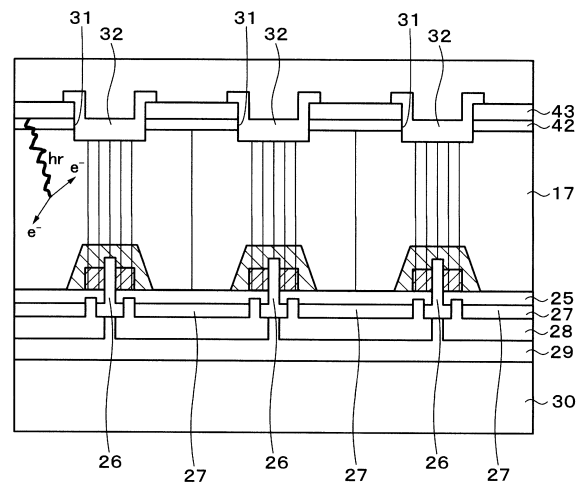
【図 18】



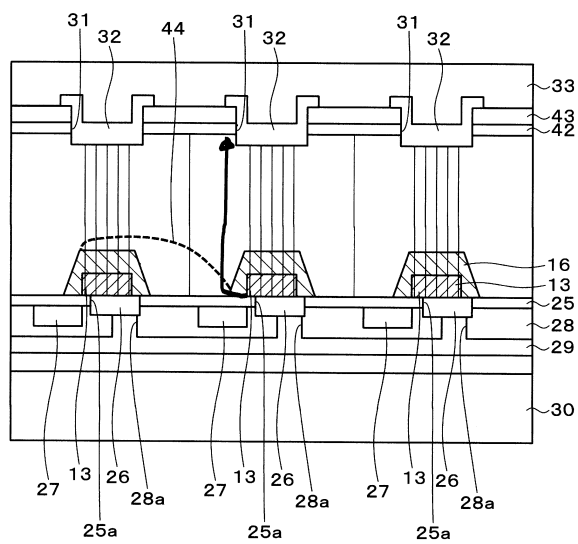
【図 19】



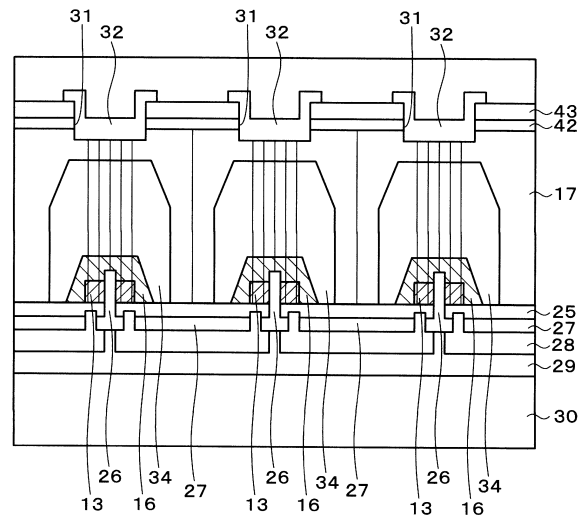
【図 20】



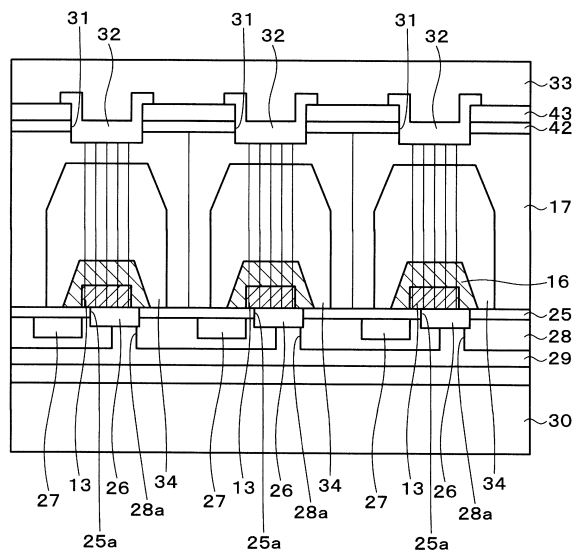
【図 2 1】



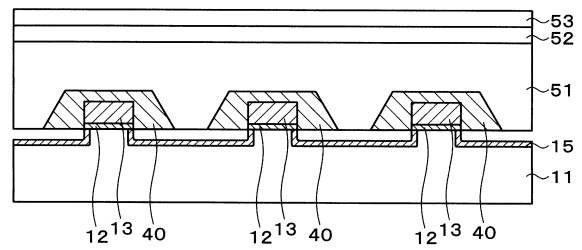
【図 2 2】



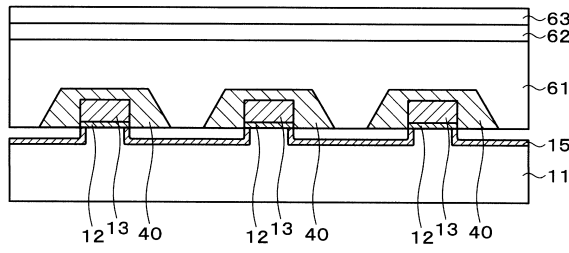
【図 2 3】



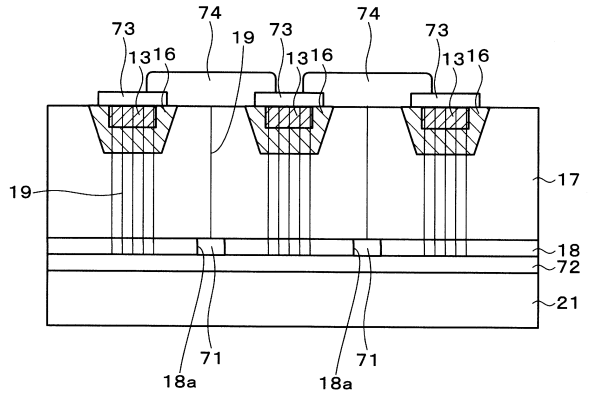
【図 2 4】



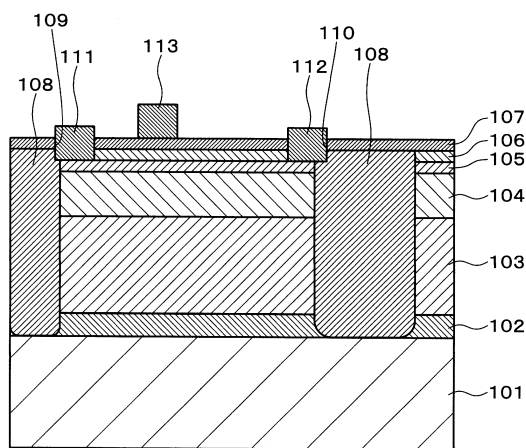
【図 25】



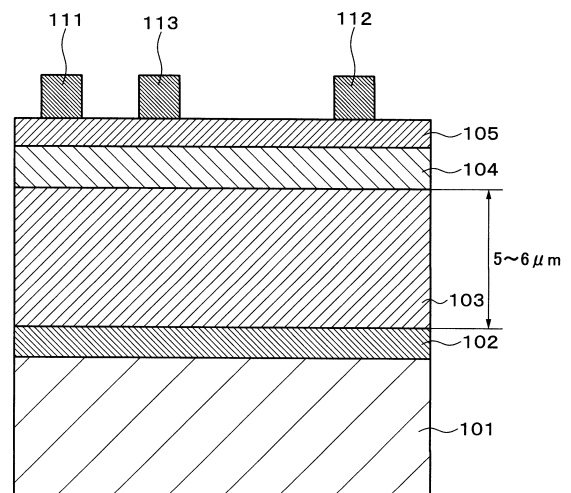
【図 26】



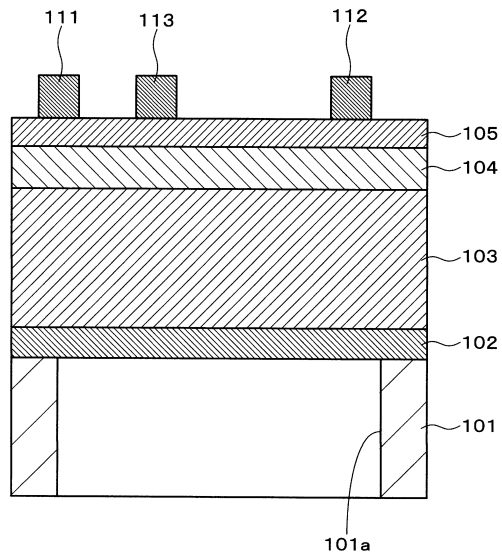
【図 27】



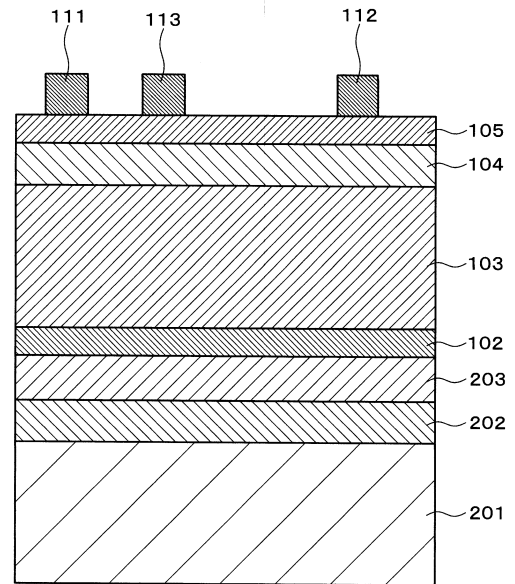
【図 28】



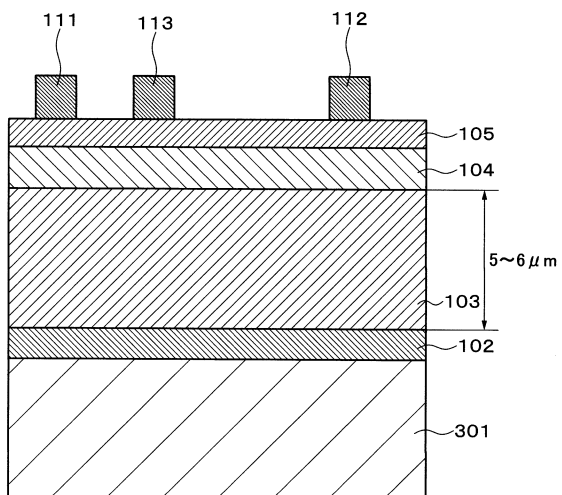
【図 29】



【図 30】



【図 31】



 フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/02	(2006.01)	H 0 1 L	29/78 6 5 8 F
			H 0 1 L	29/78 6 5 8 K
			H 0 1 L	21/20
			H 0 1 L	21/02 B

(56)参考文献 特開 2 0 0 2 - 2 8 9 5 3 9 (J P , A)
 特開 2 0 1 1 - 0 6 6 3 9 0 (J P , A)
 国際公開第 0 3 / 0 1 2 1 7 8 (W O , A 1)
 特開平 1 1 - 1 4 5 5 1 6 (J P , A)
 米国特許出願公開第 2 0 0 8 / 0 0 5 4 2 9 2 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 9 / 7 8
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 9 / 7 3 9
H 0 1 L	2 1 / 3 3 1
H 0 1 L	2 1 / 2 0
H 0 1 L	2 1 / 2 0 5
H 0 1 L	2 1 / 0 2