

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4466710号
(P4466710)

(45) 発行日 平成22年5月26日(2010.5.26)

(24) 登録日 平成22年3月5日(2010.3.5)

(51) Int.Cl.		F I			
G09F	9/30	(2006.01)	G09F	9/30	330Z
G02F	1/133	(2006.01)	G09F	9/30	338
			G02F	1/133	550

請求項の数 5 (全 18 頁)

(21) 出願番号	特願2007-260619 (P2007-260619)	(73) 特許権者	304053854
(22) 出願日	平成19年10月4日 (2007.10.4)		エプソンイメージングデバイス株式会社
(65) 公開番号	特開2009-92729 (P2009-92729A)		長野県安曇野市豊科田沢6925
(43) 公開日	平成21年4月30日 (2009.4.30)	(74) 代理人	100095728
審査請求日	平成20年8月28日 (2008.8.28)		弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(74) 代理人	100127661
			弁理士 宮坂 一彦
		(72) 発明者	藤田 伸
			長野県安曇野市豊科田沢6925 エプソ ンイメージングデバイス株式会社内
		(72) 発明者	林 真人
			長野県安曇野市豊科田沢6925 エプソ ンイメージングデバイス株式会社内
			最終頁に続く

(54) 【発明の名称】 電気光学装置および電子機器

(57) 【特許請求の範囲】

【請求項1】

複数の走査線と、

複数m本の画像信号線と、

前記m本の画像信号線の各々と対をなすように設けられ、各々は、それぞれ対をなす画像信号線に接続されて、データ信号を供給するm本の接続信号線と、

m本毎にブロック化されたデータ線であって、一つのブロックにおけるm本のデータ線は、前記m本の画像信号線のそれぞれと対をなすように設けられた複数のデータ線と、

前記複数の走査線を所定の順番で選択する走査線駆動回路と、

一本の走査線に選択される期間にわたって、前記ブロックの選択を示すサンプリング信号を所定の順番で出力するブロック選択回路と、

前記複数のデータ線のそれぞれに設けられ、各々は、前記サンプリング信号がブロックの選択を示すときに、対をなす画像信号線とデータ線との間でオン状態となるサンプリングスイッチと、

前記複数の走査線と前記複数のデータ線との交差に対応して設けられ、各々は、前記走査線が選択されたときに、前記データ線にサンプリングされたデータ信号に応じた階調となる画素と、

を備え、

前記ブロック選択回路は、出力端が次段の入力端に接続された単位回路を複数個有し、前記複数個の単位回路の各々は、前記入力端に供給されたパルスをもとに所定時間遅延させて出

10

20

力端から出力するとともに、入力端および出力端に供給されたパルスに基づいてサンプリング信号を出力し、

前記接続信号線は、一の単位回路の出力端と次段の単位回路の入力端との間を結ぶ連絡信号線と交差するように設けられ、

前記画素は、 n (n は3以上の整数)色のうち、いずれかであり、

前記 m は n の倍数であり、

一つのブロックに属する m 本のデータ線は、前記 n 色の画素に対応するものが所定の順番で繰り返して配列し、

前記 m 本の画像信号線は、前記 m 本のデータ線における色と同じ順番で繰り返して配列し、

同色に対応する画像信号線に接続された m/n 本の接続信号線が、少なくとも同一の連絡信号線と交差するように設けられている

ことを特徴とする電気光学装置。

【請求項2】

複数の走査線と、

複数 m 本の画像信号線と、

前記 m 本の画像信号線の各々と対をなすように設けられ、各々は、それぞれ対をなす画像信号線に接続されて、データ信号を供給する m 本の接続信号線と、

m 本毎にブロック化されたデータ線であって、一つのブロックにおける m 本のデータ線は、前記 m 本の画像信号線のそれぞれと対をなすように設けられた複数のデータ線と、

前記複数の走査線を所定の順番で選択する走査線駆動回路と、

一本の走査線に選択される期間にわたって、前記ブロックの選択を示すサンプリング信号を所定の順番で出力するブロック選択回路と、

前記複数のデータ線のそれぞれに設けられ、各々は、前記サンプリング信号がブロックの選択を示すときに、対をなす画像信号線とデータ線との間でオン状態となるサンプリングスイッチと、

前記複数の走査線と前記複数のデータ線との交差に対応して設けられ、各々は、前記走査線が選択されたときに、前記データ線にサンプリングされたデータ信号に応じた階調となる画素と、

を備え、

前記ブロック選択回路は、出力端が次段の入力端に接続された単位回路を複数個有し、前記複数個の単位回路の各々は、前記入力端に供給されたパルスを所定時間遅延させて出力端から出力するとともに、入力端および出力端に供給されたパルスに基づいてサンプリング信号を出力し、

前記画素は、 n (n は3以上の整数)色のうち、いずれかであり、

前記 m は n の倍数であり、

一つブロックに属する m 本のデータ線は、前記 n 色の画素に対応するものが所定の順番で繰り返して配列し、

前記 m 本の画像信号線は、前記 m/n 本毎にまとめてデータ線の色と同じ順番で配列し、

同色に対応する画像信号線に接続された m/n 本の接続信号線が、同一の連絡信号線と交差するように設けられている

ことを特徴とする電気光学装置。

【請求項3】

前記 m 本の画像信号線は、前記複数のデータ線の延長線と交差する方向に設けられ、

前記単位回路の配列方向は、前記 m 本の画像信号線が設けられる方向に一致する

ことを特徴とする請求項1又は2に記載の電気光学装置。

【請求項4】

前記 m 本の接続信号線が、同一の連絡信号線とそれぞれ交差するように設けられていることを特徴とする請求項1又は2に記載の電気光学装置。

10

20

30

40

50

【請求項 5】

請求項 1 から 4 のいずれかに記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像信号線に供給されるデータ線をデータ線にサンプリングさせる構成において配線形成に必要な領域を抑える技術に関する。

【背景技術】

【0002】

液晶などの電気光学装置では、走査線とデータ線との交差に対応して画素が設けられ、当該画素が、走査線が選択されたときにデータ線に供給されたデータ信号の電圧に応じた明るさ（階調）となる構成となっている。このような構成において駆動方式で大別すると、デジタル駆動式とアナログ駆動式とに分けることができるが、現時点においてアナログ駆動式が広く用いられている。

このようなアナログ駆動式においては、さらにデマルチプレクサ式とブロック順次式とが多く用いられている。このうち、ブロック順次式では、データ線を予め定められた列数、例えば 6 列毎にブロック化して、ある走査線が選択される期間において、ブロックを順番に選択し、6 本の画像信号線に供給されたデータ信号を、選択したブロックに属する 6 列のデータ線に同時にサンプリングして供給する、という方式である（特許文献 1 参照）。

【特許文献 1】特開 2007 - 156473 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

ところで、このブロック順次式では、複数本の画像信号線の引き回しに難点があった。詳細には、接続端子の位置によっては、画像信号線の引き回しに広いスペースが必要となり、表示領域外のいわゆる額縁領域の狭小化を阻む大きな要因の 1 つとなった。

本発明は、上述した事情に鑑みてなされたもので、その目的の 1 つは、ブロック順次式において額縁領域の狭小化を図ることが可能な電気光学装置および電子機器を提供することにある。

【課題を解決するための手段】

【0004】

上記目的を達成するために本発明に係る電気光学装置にあつては、複数の走査線と、複数 m 本の画像信号線と、前記 m 本の画像信号線の各々と対をなすように設けられ、各々は、それぞれ対をなす画像信号線に接続されて、データ信号を供給する m 本の接続信号線と、 m 本毎にブロック化されたデータ線であつて、一つのブロックにおける m 本のデータ線は、前記 m 本の画像信号線のそれぞれと対をなすように設けられた複数のデータ線と、前記複数の走査線を所定の順番で選択する走査線駆動回路と、一本の走査線に選択される期間にわたって、前記ブロックの選択を示すサンプリング信号を所定の順番で出力するブロック選択回路と、前記複数のデータ線のそれぞれに設けられ、各々は、前記サンプリング信号がブロックの選択を示すときに、対をなす画像信号線とデータ線との間でオン状態となるサンプリングスイッチと、前記複数の走査線と前記複数のデータ線との交差に対応して設けられ、各々は、前記走査線が選択されたときに、前記データ線にサンプリングされたデータ信号に応じた階調となる画素と、を備え、前記ブロック選択回路は、出力端が次段の入力端に接続された単位回路を複数個有し、前記複数の単位回路の各々は、前記入力端に供給されたパルスをもとに所定時間遅延させて出力端から出力するとともに、入力端および出力端に供給されたパルスに基づいてサンプリング信号を出力し、前記接続信号線は、一の単位回路の出力端と次段の単位回路の入力端との間を結ぶ連絡信号線と交差するように設けられていることを特徴とする。本発明によれば、 m 本の画像信号線は、 m 本の連絡信号線によってブロック選択回路を回り込ませる必要がなくなるので、その分のスペース

10

20

30

40

50

が不要となり、額縁の狭小化を図ることができる。

【0005】

本発明において、前記 m 本の画像信号線は、前記複数のデータ線の延長線と交差する方向に設けられ、前記単位回路の配列方向は、前記 m 本の画像信号線が設けられる方向に一致する構成が好ましい。また、本発明において、前記 m 本の接続信号線が、同一の連絡信号線とそれぞれ交差するように設けられた構成としても良い。

本発明において、前記画素は、 n (n は3以上の整数)色のうち、いずれかであり、前記 m は n の倍数であり、一つのブロックに属する m 本のデータ線は、前記 n 色の画素に対応するものが所定の順番で繰り返して配列し、前記 m 本の画像信号線は、前記 m 本のデータ線における色と同じ順番で繰り返して配列し、同色に対応する画像信号線に接続された m/n 本の接続信号線が、少なくとも同一の連絡信号線と交差するように設けられた構成としても良い。この構成によれば、接続信号線の時定数を色毎に揃えることが可能となる。

10

本発明において、前記画素は、 n (n は3以上の整数)色のうち、いずれかであり、前記 m は n の倍数であり、一つブロックに属する m 本のデータ線は、前記 n 色の画素に対応するものが所定の順番で繰り返して配列し、前記 m 本の画像信号線は、前記 m/n 本毎にまとめてデータ線の色と同じ順番で配列し、同色に対応する画像信号線に接続された m/n 本の接続信号線が、同一の連絡信号線と交差するように設けられた構成としても良い。この構成によれば、接続信号線にくわえて、画像信号線の時定数についても色毎に揃えることが可能となる。

20

なお、本発明は、電気光学装置のみならず、当該電気光学装置を有する電子機器としても概念することが可能である。

【発明を実施するための最良の形態】

【0006】

以下、本発明の実施形態について図面を参照して説明する。

図1は、本発明の第1実施形態に係る電気光学装置の全体構成を示すブロック図である。この図に示されるように、電気光学装置1は、表示パネル10と処理回路20とに大別される。このうち、処理回路20は、表示パネル10とは、例えばFPC (flexible printed circuit) 基板によって接続される回路モジュールである。

【0007】

30

処理回路20は、制御回路210、S/P変換回路220およびD/A変換回路群230を含む。このうち、制御回路210は、外部上位回路(図示省略)から垂直同期信号Vs、水平同期信号Hsおよびドットクロック信号Dclkに同期して、S/P変換回路220の動作を制御したり、D/A変換回路群230における変換極性を指定したり、表示パネル10の動作を制御するためのスタートパルスDX、DY、クロック信号CLX、CLY等を出力したりするものである。なお、図1では、省略しているが、制御回路210は、クロック信号CLXの論理反転させた反転クロック信号CLXinv、および、クロック信号CLYの論理反転させた反転クロック信号CLYinvも表示パネル10に出力する。

【0008】

S/P変換回路220は、垂直同期信号Vs、水平同期信号Hsおよびドットクロック信号Dclkに同期して供給されるデジタルの画像データVdを、後述するように6チャンネルに分配するとともに、1ドット分を時間軸に2倍に伸長して(シリアル-パラレル変換、相展開という場合もある)、それぞれ画像データVd1d~Vd6dとして出力するものである。

40

ここで、画像データVdは、1ドットについてR(赤)、G(緑)、B(青)の各色成分の階調(明るさ)をそれぞれで指定するものである。S/P変換回路220では、画像データVdで指定されるドットのうち、奇数列ドットのR、G、Bの階調を指定するものがそれぞれ画像データVd1d、Vd2d、Vd3dに分配され、当該奇数列に続く偶数列ドットのR、G、Bの階調を指定するものがそれぞれ画像データVd4d、Vd5d、Vd6dに分配される。

【0009】

50

D/A変換回路群230は、チャンネル毎に設けられたD/A変換回路の集合体であり、画像データVd1d~Vd6dを、それぞれ制御回路210によって指定された極性の電圧に変換して、データ信号Vid1~Vid6として出力する。

ここで、データ信号Vid1~Vid6の極性とは、電圧Vcに対して高位側を正極性とし、低位側を負極性とする。なお、電圧Vcとは、後述する図8に示されるようにHレベルに相当する選択電圧Vddと、Lレベルに相当し、かつ電圧の基準である電位Gnd(電圧ゼロ)とのほぼ中間電圧である。

また、データ信号Vid1、Vid2、Vid3は、奇数列ドットのうち、それぞれR、G、Bの階調に応じた電圧の信号であるから、R1、G1、B1と表記することにする。同様に、データ信号Vid4、Vid5、Vid6は、偶数列ドットのうち、それぞれR、G、Bの階調に

10

【0010】

次に、表示パネル10の構成について説明する。図2は、表示パネル10の構成を示す平面図である。

表示パネル10は、液晶を用いて所定の表示を行うものであり、表示領域100の周辺に、走査線駆動回路130や、ブロック選択回路142、画像信号線170、サンプリング回路146などが配置した周辺回路内蔵型となっている。

表示領域100は、画素110が配列する領域であり、本実施形態では、480行の走査線112が横方向(X方向)に設けられる一方、1920(=640×3)列のデータ線114が図において縦方向(Y方向)に設けられている。そして、これらの走査線112とデータ線114との交差の各々に対応するように画素110がそれぞれ設けられて

20

【0011】

ここで、画素110は、1列毎にR(赤)、G(緑)、B(青)に対応して配列しており、これらのX方向で互いに隣接するR、G、Bの3画素で1ドットのカラーを表現する。したがって、本実施形態では、表示領域100において画素110を単位としてみると縦480行×横1920列でマトリクス状に配列し、カラー表示の単位であるドットで見ると、縦480行×横640列で配列することになるが、本発明をこの配列に限定する趣旨ではない。

また、1~1920列のデータ線114は、本実施形態では隣接する6列毎にブロック化されている。本実施形態においてデータ線114の列数は「1920」であるので、ブロック数は「320」となる。

30

【0012】

次に、画素110について説明する。

図3は、画素110の構成を示す図であり、i行及びこれに下方向で隣接する(i+1)行と、j列及びこれに右方向で隣接する(j+1)列との交差に対応する2×2の計4画素分の構成が示されている。なお、i、(i+1)は、画素110が配列する行を一般的に示す場合の記号であって、本実施形態では、それぞれ1以上480以下を満たす整数であり、j、(j+1)は、画素110が配列する列を一般的に示す場合の記号であって、本実施形態では、それぞれ1以上1920以下を満たす整数である。

40

【0013】

図3に示されるように、各画素110は、nチャンネル型の薄膜トランジスタ(thin film transistor:以下単に「TFT」と略称する)116と、液晶素子120とを有する。各画素110については、本実施形態では電気的には互いに同一構成なので、i行j列に位置するもので代表して説明すると、当該i行j列の画素110において、TFT116のゲート電極はi行目の走査線112に接続される一方、そのソース電極はj列目のデータ線114に接続され、そのドレイン電極は画素電極118に接続されている。

【0014】

表示パネル10は、特に図示しないが、素子基板と対向基板との一对の基板が一定の間隙を保って貼り合わせられるとともに、この間隙に液晶105が封止された構成となっ

50

いる。このうち、素子基板には、走査線 1 1 2 や、データ線 1 1 4、T F T 1 1 6、画素電極 1 1 8 などが形成される一方、対向基板にコモン電極 1 0 8 が形成されて、これらの電極形成面が互に対向するように一定の間隙を保って貼り合わせられている。このため、本実施形態において液晶素子 1 2 0 は、画素電極 1 1 8 とコモン電極 1 0 8 とが液晶 1 0 5 を挟持することによって構成されることになる。コモン電極 1 0 8 には、本実施形態では、時間的に一定の電圧 $L C_{com}$ が印加されている。

【 0 0 1 5 】

なお、本実施形態では、液晶素子 1 2 0 を透過型とした場合、透過光量を着色するカラーフィルタ（図示省略）が設けられる。ここで、画素電極 1 1 8 とコモン電極 1 0 8 との間を通過する光の透過率は、液晶素子に保持される電圧の実効値がゼロであれば最小値（最も暗い状態）となる一方、当該実効値が大きくなるにつれて、透過率が徐々に大きくなるノーマリーブラックモードに設定される。このため、バックライトユニット（図示省略）よって照射された光は、画素毎に、液晶素子 1 2 0 に保持された電圧の実効値に応じた比率でカラーフィルタにより着色して出射する。

【 0 0 1 6 】

ところで、素子基板において、表示領域 1 0 0 の外側であって Y 方向に沿った一辺に沿って走査線駆動回路 1 3 0 が設けられる一方、X 方向に沿った一辺には、内側の表示領域 1 0 0 に向かって順番に、ブロック選択回路 1 4 2、画像信号線 1 7 0、サンプリング回路 1 4 6 が設けられている。

【 0 0 1 7 】

走査線駆動回路 1 3 0 は、垂直走査期間（ F ）のうち、垂直走査有効期間（ F_a ）にわたって走査信号 Y_1 、 Y_2 、 Y_3 、...、 Y_{480} を、それぞれ 1、2、3、...、480 行目の走査線 1 1 2 に供給するものである。詳細には、走査線駆動回路 1 3 0 は、走査線 1 1 2 を 1、2、3、...、480 行目という順番で水平走査期間（ H ）毎に選択し、図 5 に示されるように、選択した走査線への走査信号を H レベルに相当する選択電圧 V_{dd} とし、他の走査線への走査信号を L レベルに相当する接地電位 G_{nd} とする。

なお、図 5 では、垂直走査期間（ F ）のうち、垂直走査有効期間（ F_a ）以外を垂直走査帰線期間（ F_b ）として表記している。

【 0 0 1 8 】

ブロック選択回路 1 4 2 は、単位回路 1 4 4 を、データ線 1 1 4 におけるブロック総数である「320」個、走査線 1 1 2 の配列方向である X 方向に沿って縦続接続したものである。詳細には、図 2 において左から数えて 1 段目の単位回路 1 4 4 には、入力信号として、処理回路 2 0（制御回路 2 1 0）からのスタートパルス DY が供給される一方、当該 1 段目の単位回路 1 4 4 の出力信号は、連絡信号線 1 8 1 を介して 2 段目の単位回路 1 4 4 の入力信号として転送され、以下同様に、ある段の単位回路 1 4 4 の出力信号が、次段の単位回路 1 4 4 の入力信号として転送される関係にある。

【 0 0 1 9 】

ここで、単位回路 1 4 4 の詳細について説明する。図 4 は、単位回路 1 4 4 の構成を示す回路図である。

奇数段目および偶数段目の単位回路 1 4 4 は、いずれもクロックインバータ 1 5 1、1 5 3 と、インバータ 1 5 2、1 5 5 と、NAND 回路 1 5 4 とを有する。ここで、各段目の単位回路 1 4 4 の入力端は、クロックインバータ 1 5 1 の入力端であり、単位回路 1 4 4 の出力端は、インバータ 1 5 2 の出力端である。便宜的に、1、2、3、4、...、320 段目の単位回路 1 4 4 における出力端から出力される信号を、それぞれ n_1 、 n_2 、 n_3 、 n_4 、...、 n_{320} と表記する。

【 0 0 2 0 】

奇数段目の単位回路 1 4 4 において、クロックインバータ 1 5 1 は、クロック信号 CLX が H レベルであるときに（反転クロック信号 CLX_{inv} が L レベルであるときに）入力端に供給された信号を論理反転した否定信号を出力端に出力し、クロック信号 CLX が L レベルであるときに（反転クロック信号 CLX_{inv} が H レベルであるときに）出力端を

10

20

30

40

50

ハイ・インピーダンス状態とするものであり、その出力端は、インバータ152の入力端に接続されている。インバータ152は、入力端に供給された信号の否定信号を出力端に出力するものである。インバータの152の出力端は、クロックドインバータ153の入力端に接続されている。奇数段目の単位回路144において、クロックドインバータ153は、反転クロック信号CLXinvがHレベルであるときに（クロック信号CLXがLレベルであるときに）入力端に供給された信号を論理反転した否定信号を出力端に出力し、反転クロック信号CLXinvがLレベルであるときに（クロック信号CLXがHレベルであるときに）出力端をハイ・インピーダンス状態とするものであり、その出力端は、インバータ152の入力端に接続されている。

一方、NAND回路154は、単位回路144の入力端に供給された信号と出力端に供給された信号との否定論理積信号を出力し、インバータ155は、当該否定論理積信号の論理を再反転して、サンプリング信号として出力する。したがって、ある段について着目した場合に、当該着目段のサンプリング信号は、当該着目段の単位回路144における入力端信号および出力端信号の論理積信号となる。

【0021】

なお、偶数段目の単位回路144については、クロックドインバータ151、153の機能が奇数段目と逆転した関係にある点以外、同一構成である。すなわち、偶数段目においてクロックドインバータ151は、反転クロック信号CLXinvがHレベルであるときに否定信号を出力し、反転クロック信号CLXinvがLレベルであるときに出力端がハイ・インピーダンス状態となり、また、クロックドインバータ153は、クロック信号CLXがHレベルであるときに否定信号を出力し、クロック信号CLXがLレベルであるときに出力端がハイ・インピーダンス状態となり、他については偶数段目と同構成である。

【0022】

このような構成において、クロック信号CLXがHレベルである（反転クロック信号CLXinvがLレベルである）とき、奇数段目の単位回路144におけるクロックドインバータ153の出力端がハイ・インピーダンス状態となるので、奇数段目の単位回路144の入力端に供給された信号は、当該奇数段目のクロックドインバータ151、および、インバータ152による2回の論理反転により正転して当該奇数段の単位回路144の出力信号として出力される。

次に、クロック信号CLXがLレベルとなった（反転クロック信号CLXinvがHレベルとなった）とき、奇数段目におけるクロックドインバータ151の出力端がハイ・インピーダンス状態となるので、インバータ152による出力信号（奇数段目の単位回路の出力信号）は、インバータ152およびクロックドインバータ153によるラッチによって、クロック信号CLXがLレベルとなる直前の論理レベルに保持される一方、この保持された信号が偶数段目の単位回路144の入力端に供給されて、当該偶数段目のクロックドインバータ151、および、インバータ152による2回の論理反転により正転して当該偶数段の単位回路144の出力信号として出力される。

このような動作が、クロック信号CLX（反転クロック信号CLXinv）の論理レベルが変化する毎に実行されるので、1、2、3、...、320段目の単位回路144による出力信号は、クロック信号CLXが反転する毎にシフトした関係となる。

【0023】

したがって、図6に示されるように、クロック信号CLXおよび反転クロック信号CLXinvのデューティ比が50%であって、当該クロック信号CLXの1周期分のパルス幅を有するスタートパルスDXが、クロック信号CLXの立ち下がり時にて1段目の単位回路144に供給されると、出力信号n1は、スタートパルスDXをクロック信号CLXの半周期だけ遅延した波形となり、以下、出力信号n2、n3、n4、...、n320は、出力信号n1からクロック信号CLXの論理レベルが反転する毎に、すなわち、クロック信号CLXの半周期（B）毎に、順番に遅延した関係となる。

このため、各段の単位回路144において入力信号と出力信号との論理積信号であるサンプリング信号S1、S2、S3、S4、...、S320は、同図に示されるように、クロック信

10

20

30

40

50

号CLXの半周期毎に、排他的に順番でHレベルとなるパルス信号となる。

【0024】

図6では、サンプリング信号S1、S2、S3、S4、...、S320が順番にHレベルとなる期間を水平走査有効期間(Ha)と表記する。制御回路210は、水平走査期間(H)が水平走査有効期間(Ha)を含むように走査線駆動回路130を制御する。また、図6では、水平走査期間(H)のうち、水平走査有効期間(Fa)以外を水平走査帰線期間(Hb)として表記している。

【0025】

6本の画像信号線170は、ブロック選択回路142とサンプリング回路146との間において、X方向に沿って互いに平行となるように配列している。データ線114は、Y方向に沿った方向に設けられているので、画像信号線170は、データ線114を仮想的に延長した線上と交差することになる。

一方、6本の接続信号線172は、6本の画像信号線170と一対一に対応して設けられ、素子基板の接続端子174から、1段目の単位回路144と2段目の単位回路144との間を結ぶ連絡信号線181と交差するように設けられている。ここで、6本の接続信号線172のうち、図2において最左端のものは、6本の画像信号線170の最下端に位置するものに接続され、同様に左から数えて2、3、4、5、6番目の接続信号線172は、下から数えて2、3、4、5、6番目の画像信号線170にそれぞれ接続されている。

ここで、6本の接続信号線172には、左から数えて順番にデータ信号R1、G1、B1、R2、G2、B2が、それぞれ処理回路20から供給される。このため、6本の画像信号線170にも、下から数えて順番にデータ信号R1、G1、B1、R2、G2、B2が、それぞれ供給されることになる。

したがって、本実施形態において6本の画像信号線170に供給されるデータ信号の色と一ブロックにおける6列のデータ線114が対応する画素の色との配列は、縦方向と横方向との相違はあるが、配列方向でみたときにはRGBRGBで同一となる。

【0026】

サンプリング回路146は、1～1920列のデータ線114の各々に設けられたTF T148から構成される。TF T148は、サンプリングスイッチとして機能するものであり、そのドレイン電極148は、データ線114の一端に接続されている。

ここで、TF T148のソース電極は、6本の画像信号線170のいずれかに、次のような関係で接続される。すなわち、データ線114を一般化して説明するために、1～1920を満たす整数のjを用いると、図2において左から数えてj列目のデータ線114に対応するTF T148のソース電極は、列数であるjを6で割った余りが「1」であるならば、データ信号R1が供給される画像信号線170に接続され、jを6で割った余りが「2」、「3」、「4」、「5」、「0」であるデータ線114に対応するTF T148のソース電極は、それぞれデータ信号G1、B1、R2、G2、B2が供給される画像信号線170に接続される。例えば、左から数えて9列目のデータ線114に対応するTF T148のソース電極は、「9」を6で割った余りが「3」であるから、データ信号B1が供給される画像信号線170に接続される。

【0027】

また、TF T148のゲート電極は、同一ブロックに対応するもの同士で共通接続されて、ブロックに対応した単位回路144のサンプリング信号が供給される。例えば、7列目から12列目までの6列のデータ線114に対応するTF T148のゲート電極には、当該6列のデータ線114が2番目のブロックに対応していることから、サンプリング信号S2が共通に供給される。

ここで、あるブロックに対応したサンプリング信号がHレベルになると、当該ブロックに属する6個のTF T148がソース・ドレイン電極間で導通状態となるので、6本の画像信号線170に供給されたデータ信号が、それぞれ当該ブロックに属する6列のデータ線114にサンプリングされることになる。

10

20

30

40

50

【 0 0 2 8 】

次に、本実施形態に係る電気光学装置の動作について説明する。

まず、画像データVdは、ドットでみたときに1行1列～1行640列、2行1列～2行640列、3行1列～3行640列、...、480行1列～480行640列、という順番で上位装置から供給される。この画像データVdは、ドットクロックDclkに同期してドット毎に供給され、S/P変換回路220によって図7に示されるように画像データVd1d～Vd6dに相展開処理される。

図7は、ある1行のドットに対応する画像データVdのS/P変換処理を示している。詳細には、奇数列のドットに対応した画像データVdが、それぞれR、G、Bの階調を指定する画像データVd1d～Vd3dに遅延分配されて、時間軸に2倍に伸長され、この伸長された期間と一致するように、当該奇数列に続く偶数列のドットに対応した画像データVdが、それぞれR、G、Bの階調を指定する画像データVd4d～Vd6dに分配されて、時間軸に2倍に伸長される相展開処理される様子を示している。

10

【 0 0 2 9 】

なお、制御回路210は、1、2列目のドットに対応する画像データVd1d～Vd6dが出力される期間にサンプリングS1がHレベルとなり、続く3、4列目のドットに対応する画像データVd1d～Vd6dが出力される期間にサンプリングS2がHレベルとなり、以下同様に、奇数列および当該奇数列に続く偶数列のドットに対応した画像データVdが相展開処理される毎に順番にサンプリング信号がHレベルとなるように、スタートパルスDXおよびクロック信号CLX（反転クロック信号CLXinvを出力する）。

20

詳細には、クロック信号CLXの立ち上がり時にクロック信号CLXの1周期分のパルス幅を有するスタートパルスDXを供給してから、クロック信号CLXの半周期後に、サンプリング信号S1がHレベルとなり、以下順次、クロック信号CLXの半周期ずつ遅延してサンプリング信号S2、S3、S4、...、S320がHレベルとなるので、制御回路210は、1、2列目のドットに対応する画像データVd1d～Vd6dが出力されるタイミングよりもクロック信号CLXの半周期分だけ先んじたタイミングでスタートパルスDXをHレベルとさせるとともに、S/P変換回路220において奇数列および当該奇数列に続く偶数列のドットに対応した画像データVdを相展開処理する毎にクロック信号CLX（反転クロック信号inv）を論理反転して出力する。

30

【 0 0 3 0 】

上述したように液晶素子120に対するデータ信号は正極性と負極性とで指定されるが、本実施形態では、1行毎に書込極性を反転させる行反転（ライン反転ともいう）とし、さらに、同一行について垂直走査期間（F）毎に正極性と負極性とで交互に反転させる駆動として説明する。なお、ここでは、垂直走査期間の奇数行で正極性書込を指定するものとする。

この垂直走査期間において、まず1行目の走査線112が選択されて、走査信号Y1がHレベルになる。走査信号Y1がHレベルになると、1行目に位置する画素110、すなわち、1行1列～1行1920列のTF116がオンする。

また、制御回路210は、1行1列および1行2列のドットの画像データVdを相展開処理して、この相展開処理に合わせてサンプリング信号S1がHレベルとなるように、上述したようにスタートパルスDX、クロック信号CLX（反転クロック信号CLXinv）を出力する。

40

ここで、サンプリング信号S1がHレベルとなる時、接続信号線172を介して画像信号線170に供給されるデータ信号R1は、1行1列のドットにおけるRの画像データVd1dを正極性に変換した信号である。画像信号線170に供給されるデータ信号G1、B1は、1行1列のドットにおけるGの画像データVd2d、Bの画像データVd3dを、それぞれ正極性に変換した信号であり、同様に、画像信号線170に供給されるデータ信号R2、G2、B2は、1行2列のドットにおけるRの画像データVd4d、Gの画像データVd5d、Bの画像データVd6dを、それぞれ正極性に変換した信号である。

【 0 0 3 1 】

50

サンプリング信号 S1 が H レベルになると、第 1 番目のブロックに属する 1 ~ 6 列目の T F T 1 4 8 がオンする。このため、6 本画像信号線 1 7 0 に供給されたデータ信号 R1、G1、B1、R2、G2、B2 が、1 ~ 6 列目のそれぞれに対応するデータ線 1 1 4 にサンプリングされるので、1 行 1 列 ~ 1 行 6 列の画素電極 1 1 8 には、オン状態にある T F T 1 1 6 を介して、それぞれの色の階調に応じた正極性電圧が印加されることになる。

【 0 0 3 2 】

次に、サンプリング信号 S2 が H レベルとなる。サンプリング信号 S2 が H レベルとなる
10
とき、接続信号線 1 7 2 を介して画像信号線 1 7 0 に供給されるデータ信号 R1、G1、B1 は、1 行 3 列のドットにおける R の画像データ Vd1d、G の画像データ Vd2d、B の画像データ Vd3d を、それぞれ正極性に変換した信号であり、同様に、データ信号 R2、G2、B2 は、1 行 4 列のドットにおける R の画像データ Vd4d、G の画像データ Vd5d、B の画像データ Vd6d を、それぞれ正極性に変換した信号である。

サンプリング信号 S2 が H レベルになると、第 2 番目のブロックに属する 7 ~ 1 2 列目の T F T 1 4 8 がオンするので、6 本画像信号線 1 7 0 に供給されたデータ信号 R1、G1、B1、R2、G2、B2 が、7 ~ 1 2 列目のそれぞれに対応するデータ線 1 1 4 にサンプリングされる。このため、1 行 7 列 ~ 1 行 1 2 列の画素電極 1 1 8 には、オン状態にある T F T 1 1 6 を介して、それぞれの色の階調に応じた正極性電圧が印加されることになる。

【 0 0 3 3 】

以下同様な動作が、サンプリング信号 S320 が H レベルとなるまで繰り返され、これにより、1 行 1 列から 1 行 1 9 2 0 列の画素電極 1 1 8 には、それぞれの色の階調に応じた
20
正極性電圧が印加されることになる。その後、水平走査帰線期間 (Hb) を経て、2 行目の走査線 1 1 2 が選択され、走査信号 Y2 が H レベルになる。なお、走査信号 Y2 が H レベルになると、走査信号 Y1 が L レベルになるので、1 行 1 列 ~ 1 行 1 9 2 0 列の T F T 1 1 6 がオフするが、オン時に画素電極 1 1 8 に印加された電圧は、液晶素子 1 2 0 の容量性によって保持される。

また、2 行目の走査線 1 1 2 が選択されたとき、1 行目の走査線 1 1 2 の選択時と同様に、2 行 1 列 ~ 2 行 1 9 2 0 列の T F T 1 1 6 がオンし、サンプリング信号 S1、S2、S3、S4、...、S320 が順番に H レベルになるが、データ信号 R1、G1、B1、R2、G2、B2 の極性は反転されて負極性となるので、2 行 1 列 ~ 2 行 1 9 2 0 列の画素電極 1 1 8 には、それぞれの色の階調に応じた負極性電圧が印加される。
30

以下同様な動作が、3、4、5、6、...、4 8 0 行目で繰り返される。これにより、奇数行の画素電極 1 1 8 には、それぞれの色の階調に応じた正極性電圧が印加され、偶数行の画素電極 1 1 8 には、それぞれの色の階調に応じた負極性電圧が印加される。

次の垂直走査期間でも同様な動作が繰り返されるが、極性が反転されるので、奇数行の画素電極 1 1 8 には、それぞれの色の階調に応じた負極性電圧が印加され、偶数行の画素電極 1 1 8 には、それぞれの色の階調に応じた正極性電圧が印加される。

【 0 0 3 4 】

図 8 は、i 行目およびこれに隣接する (i + 1) 行目の走査線 1 1 2 が選択される水平走査期間 (H) のそれぞれにおいて、例えばデータ信号 R1 の電圧波形の一例を示す図
40
である。

この図において、電圧 Vb(+)、Vb(-) は、それぞれ最低階調の黒色に相当する正極性、負極性電圧であり、基準電圧 Vc を中心に対称の関係にある。

ここで、画像データ Vd が R、G、B の各色の階調値をそれぞれ例えば 8 ビットで指定するとともに、当該階調値が十進値表記で「0」のときに最も暗い階調を指定し、以後当該十進値が大きくなるにつれて徐々に明るい階調を指定し、十進値表記で「255」のときに最も明るい階調を指定する場合、本実施形態ではノーマリーブラックモードを想定しているため、データ信号 R1 の電圧は、正極性に変換する場合であれば、階調値が大きくなるにつれて電圧 Vb(+) から高位側に振った電圧となり、負極性に変換する場合であれば、電圧 Vb(-) から低位側に振った電圧となる。

【 0 0 3 5 】

10

20

30

40

50

なお、コモン電極 108 に印加される電圧 LC com は、図 8 に示されるように、基準電圧 Vc よりも低位側に設定される。これは、n チャンネル型の TFT 116 では、ゲート・ドレイン電極間の寄生容量に起因して、オンからオフに状態変化するときドレイン（画素電極 118）の電位が低下する、というプッシュダウンが発生するためである。仮に電圧 LC com を基準電圧 Vc と一致させた場合、負極性書込による液晶素子 120 の電圧実効値が、プッシュダウンのために、正極性書込による電圧実効値よりも若干大きくなってしまふ（TFT 116 が n チャンネルの場合）。このため、プッシュダウンの影響が相殺されるように、電圧 LC com を基準電圧 Vc よりも低位側にオフセットして設定しているのである。ただし、プッシュダウンの影響が無視できるならば、電圧 LC com と基準電圧 Vc とを一致させても良い。

10

【0036】

i 行目の液晶素子 120 に正極性が指定された場合、走査信号 Yi が H レベルになる水平走査期間（H）においてサンプリング信号 S1 が H レベルになるとき、データ信号 R1 は、i 行 1 列の R 画素の階調に応じた正極性電圧となり、以降、サンプリング信号の変化に合わせて、7、13、19、…、1915 列目の R 画素の階調に応じた正極性電圧に変化する。

続いて選択される（i+1）行目では、極性が反転して負極性が指定されるので、走査信号 Y(i+1) が H レベルになる水平走査期間（H）において、サンプリング信号 S1 が H レベルになるとき、データ信号 R1 は、（i+1）行 1 列の R 画素の階調に応じた負極性電圧となり、以降、サンプリング信号の変化に合わせて、7、13、19、…、1915 列目の R 画素の階調に応じた負極性電圧に変化する。

20

なお、図 8 においてデータ信号 R1 の電圧を示す縦スケールは、便宜的に他の信号における縦スケールよりも拡大してある。また、サンプリング信号 S320 が L レベルに変化してからサンプリング信号 S1 が H レベルに変化するまでの水平走査帰線期間（Hb）にわたって黒色に相当する電圧となっているが、その理由は、タイミングずれなどの理由により誤って画素に書き込まれても、表示に寄与させないためである。

また、図 8 においては、データ信号 R1 の電圧波形を一例として示したが、他のデータ信号 G1、B1、R2、G2、B2 についても階調に応じた電圧に変換される。

【0037】

本実施形態では、6 本の画像信号線 170 は、それぞれ 1 段目および 2 段目の単位回路 144 の間を通過する 6 本の接続信号線 172 を介して接続される。ここで、6 本の画像信号線 170 が、素子基板の X 方向に沿った辺に設けられた接続端子 174 にそれぞれ直接接続される従来構成では、図 14 に示されるように、画像信号線 170 をブロック選択回路 142 に回り込むように配線する必要がある。

30

このため、同図において画像信号線 170 が回り込む部分 Xa、Xb だけ余計に基板スペースが必要となり、基板の縮小による低コスト化や、額縁の狭小化による実装自由度の向上などを阻害する要因となった。特にここでは S/P 変換における相展開数を「6」として説明しているが、「12」、「24」、…、「96」というように相展開数が増大するにつれて、部分 Xa、Xb が大きくなり、基板スペースを広く必要となるので、無視できない問題となる。

40

これに対して本実施形態では、画像信号線 170 が回り込む代わりに、単位回路 144 の間を通過する接続信号線 172 を介して、接続端子 174 にそれぞれ接続させた構成としているので、部分 Xa、Xb のスペースが不要となり、基板の縮小化や、額縁の狭小化が可能となる。

【0038】

ところで、本実施形態のように、接続信号線 172 を、接続端子 174 から単位回路 144 の間を通過させて画像信号線 170 まで引き回すと、当該接続信号線 172 は、1 段目の単位回路 144 の出力端と次段である 2 段目の単位回路 144 の入力端とを結ぶ連絡信号線 181 と、クロック信号 CLX を供給する信号線と、反転クロック信号 CLX inv を供給する信号線と、それぞれ交差する。このため、一見すると、これらの信号線による

50

ノイズが、接続信号線 172 に供給されるアナログのデータ信号 R1、G1、B1、R2、G2、B2 に伝搬し、データ線 114 にサンプリングされる電圧を変動させて、表示に悪影響を与えるようにも見える。

しかしながら、クロック信号 CLX の論理信号を反転させたものが反転クロック信号 CLXinv であるので、図 9 に示されるように、クロック信号 CLX の論理レベルが変化したときに現れるノイズと、反転クロック信号 CLXinv の論理レベルが変化したときに現れるノイズとは、互いに逆向きであって同じ大きさであるので、相殺し合う。このため、本実施形態では、接続信号線 172 において、クロック信号 CLX を供給する信号線と、反転クロック信号 CLXinv を供給する信号線とそれぞれ交差することによるノイズの影響は、ほとんど無視できると考えられる。

10

さらに、連絡信号線 181 に供給される信号は、本実施形態では、1 段目の単位回路 144 による出力信号 n1 であり、水平走査期間 (H) において 1 回の割合で L H L レベルと変化するのみである。このため、接続信号線 172 において、連絡信号線 181 と交差することによるノイズの影響についても、ほとんど無視できると考えられる。

【0039】

本実施形態では、表示パネル 10 と処理回路 20 とを FPC 基板で接続する構成としたが、図 10 に示されるように、処理回路 20 の一部または全部の機能を実行する IC チップを、素子基板の領域 190 において COG (chip on glass) 等の技術を用いて実装しても良い。

また、本実施形態では、接続信号線 172 を 1 段目および 2 段目の単位回路 144 の間を通過させたが、画像信号線 170 に供給されるデータ信号の遅延が左右端で異なってしまうことが問題となるのであれば、接続信号線 172 を、例えば 160 段目と 161 段目の単位回路 144 の間を通過させて画像信号線 170 のほぼ中心に接続する構成が望ましい。

20

【0040】

次に、本発明の第 2 実施形態に係る電気光学装置について説明する。この第 2 実施形態では、表示パネル 10 における接続信号線 172 を第 1 実施形態から変更したものである。なお、それ以外については第 1 実施形態と共通であるので、説明を省略する。

【0041】

図 11 は、第 2 実施形態における表示パネル 10 の構成を示す平面図である。

30

この図に示されるように第 2 実施形態では、接続信号線 172 を R、G、B の色毎に分類し、同じ色の接続信号線 172 については、接続端子 174 から同じ単位回路 144 の間を通過させて画像信号線 170 に接続する構成となっている。

詳細には、本実施形態において 1 ブロックを構成するデータ線数は「6」であるので、R の接続信号線 172 の 2 本が 1 段目および 2 段目の単位回路 144 の間を結ぶ連絡信号線 181 と交差するように設けられ、G の接続信号線 172 の 2 本が 2 段目および 3 段目の単位回路 144 の間を結ぶ連絡信号線 182 と交差するように設けられ、B の接続信号線 172 の 2 本が 3 段目および 4 段目の単位回路 144 の間を結ぶ連絡信号線 183 と交差するように設けられた構成となっている。

【0042】

40

このような第 2 実施形態によれば、基板スペースの縮小化や、額縁の狭小化が可能となるほか、同じ色の接続信号線 172 についてみたときの時定数が第 1 実施形態と比較して近接するので、画像信号線 170 に供給されるデータ信号の電圧が接続信号線 172 同士の時定数のばらつきにより不均等になることが防止される。このため、列方向に現れる表示ムラの発生を抑えることが可能となる。

なお、この第 2 実施形態では、複数の色同士を、例えば R、G の接続信号線 172 の 4 本を、同じ単位回路 144 の間を通過させ、B の接続信号線 172 の 2 本を、他の単位回路 144 の間を通過させる構成としても良い。

【0043】

次に、本発明の第 3 実施形態に係る電気光学装置について説明する。この第 3 実施形態

50

では、表示パネル 10 における接続信号線 172、および、画像信号線 170 の順序を第 1 実施形態から変更したものである。なお、それ以外については第 1 実施形態と共通であるので、説明を省略する。

【0044】

図 12 は、第 3 実施形態における表示パネル 10 の構成を示す平面図である。

この図に示されるように第 3 実施形態では、接続信号線 172 を R、G、B の色毎に分類し、同じ色の接続信号線 172 については、接続端子 174 から同じ単位回路 144 の間を通過させて画像信号線 170 に接続する構成とした点までは、第 2 実施形態と同様であるが、画像信号線 170 に供給されるデータ信号が、下から順番に、R1、R2、G1、G2、B1、B2 となって、同色で 2 本ずつまとめられて点において第 2 実施形態と相違している。

10

このような第 3 実施形態によれば、基板スペースの縮小化や、額縁の狭小化が可能となるほか、同じ色の接続信号線 172 のみならず、画像信号線 170 についてみたときの特定数が近接するので、列方向に現れる表示ムラの発生をより効果的に抑えることが可能となる。

【0045】

なお、上述した各実施形態では、S/P 変換回路 220 における相展開数を「6」としたが、「9」、「12」、「15」、...、というように増加させても良いし、相展開しない「3」としても良い。また、R、G、B の 3 色で 1 ドットを表現したが、さらに Eg (エメラルドグリーン) などの色を追加して 4 色以上で 1 ドットを表現しても良い。

20

ここで、相展開数の m は、1 ドットを表現するための色数を 3 以上の n としたときに、n 倍数であれば良い。

【0046】

また、各実施形態では、ブロック選択回路 142 がスタートパルス DX を図 2 において右方向のみに転送する構成として説明したが、転送方向制御信号 DIR などを用いて左右の双方向のいずれにも転送可能とする構成としても良い。

さらに、実施形態では、液晶素子 120 について、ノーマリーブラックモードとして説明したが、電圧無印加状態で白色表示となるノーマリーホワイトモードとしても良いし、透過型に限られず、反射型や、両者の中間的な半透過半反射型であっても良い。

くわえて、画像信号線 170 にアナログのデータ信号が供給される構成のすべてに適用可能である。このため、画素としては、液晶素子を用いたものに限られず、例えば、EL (Electronic Luminescence) 素子、電子放出素子、電気泳動素子などを用いたものにも適用可能である。

30

【0047】

< 電子機器 >

次に、上述した実施形態に係る電気光学装置 1 を表示装置として有する電子機器の例について説明する。

図 13 は、実施形態に係る電気光学装置 1 を用いた携帯電話 1200 の構成を示す図である。この図に示されるように、携帯電話 1200 は、複数の操作ボタン 1202 のほか、受話口 1204、送話口 1206 とともに、上述した電気光学装置 1 を備える。

40

なお、電気光学装置 1 が適用される電子機器としては、図 13 に示した携帯電話の他にも、デジタルスチルカメラ、ノートパソコン、液晶テレビ、ビデオレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、タッチパネル等などの機器が挙げられる。そして、これらの各種電子機器の表示装置として、上述した電気光学装置 1 が適用可能であることは言うまでもない。

【図面の簡単な説明】

【0048】

【図 1】本発明の第 1 実施形態に係る電気光学装置のブロック図である。

【図 2】上記電気光学装置における表示パネルの概略構成を示す平面図である。

50

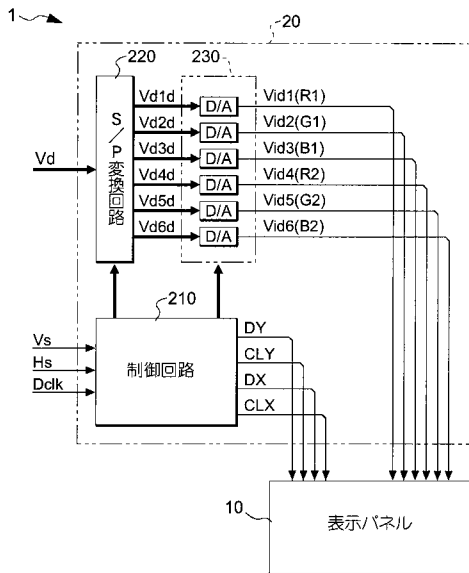
- 【図3】上記表示パネルにおける画素の構成を示す図である。
- 【図4】上記表示パネルにおける単位回路の構成を示す図である。
- 【図5】上記電気光学装置の動作を示すタイミングチャートである。
- 【図6】上記電気光学装置の動作を示すタイミングチャートである。
- 【図7】上記電気光学装置の動作を示すタイミングチャートである。
- 【図8】上記電気光学装置におけるデータ信号の電圧波形の一例を示す図である。
- 【図9】上記電気光学装置におけるクロック信号等の影響を示す図である。
- 【図10】上記電気光学装置の変形例に係る表示パネルの概略構成を示す平面図である。
- 【図11】第2実施形態に係る表示パネルの概略構成を示す平面図である。
- 【図12】第3実施形態に係る表示パネルの概略構成を示す平面図である。
- 【図13】上記電気光学装置を適用した携帯電話機の構成を示す図である。
- 【図14】従来例に係る表示パネルの概略構成を示す平面図である。

【符号の説明】

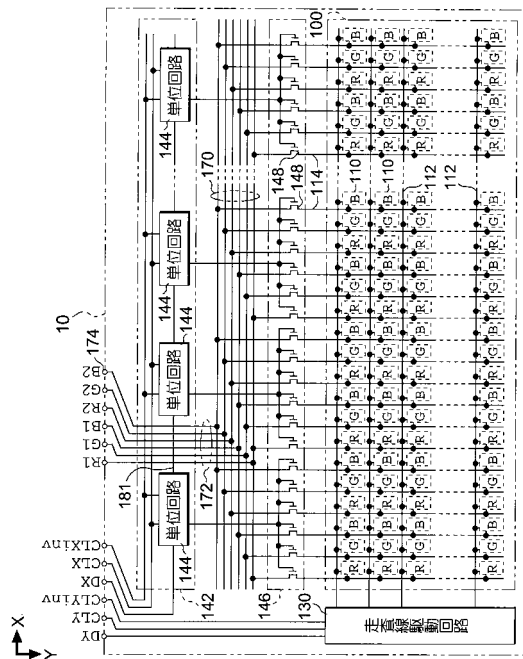
【0049】

1 ... 電気光学装置、 10 ... 表示パネル、 20 ... 処理回路、 100 ... 表示領域、 108 ... コモン電極、 112 ... 走査線、 114 ... データ線、 116 ... TFT、 118 ... 画素電極、 120 ... 液晶素子、 130 ... 走査線駆動回路、 142 ... ブロック選択回路、 142 ... 単位回路、 146 ... サンプリング回路、 170 ... 画像信号線、 172 ... 接続信号線、 181 ... 連絡信号線、 1200 ... 携帯電話機

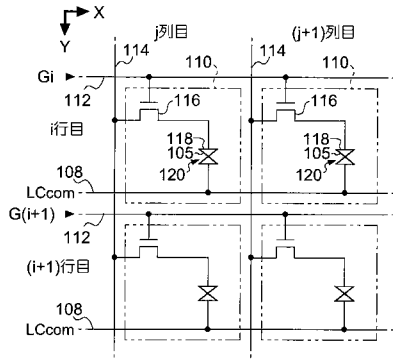
【図1】



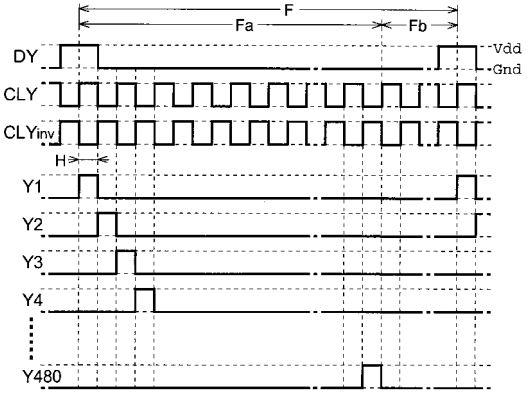
【図2】



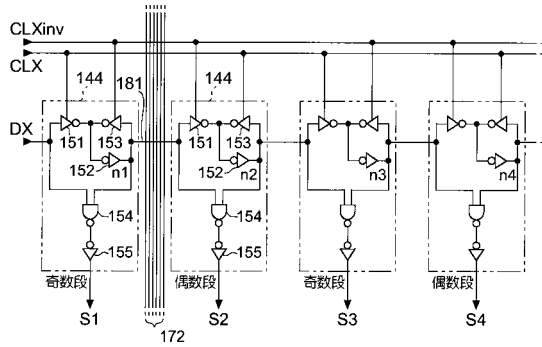
【 図 3 】



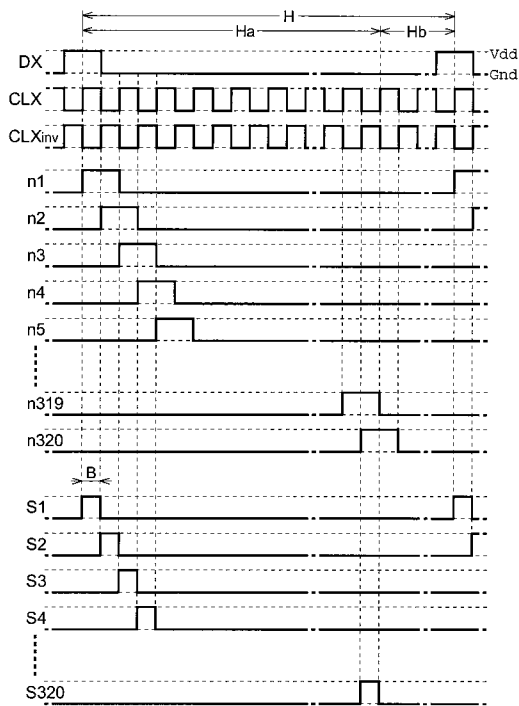
【 図 5 】



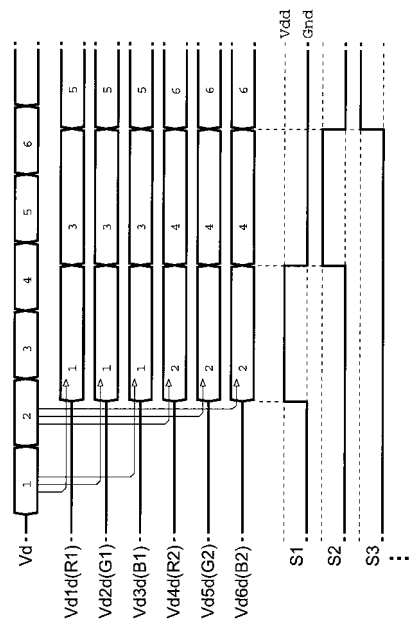
【 図 4 】



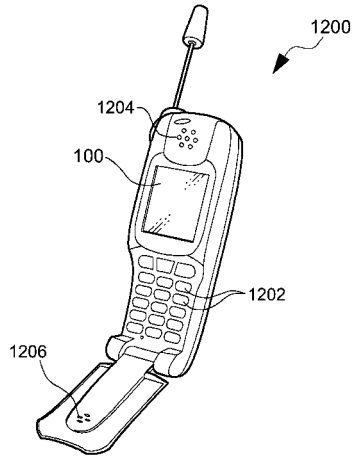
【 図 6 】



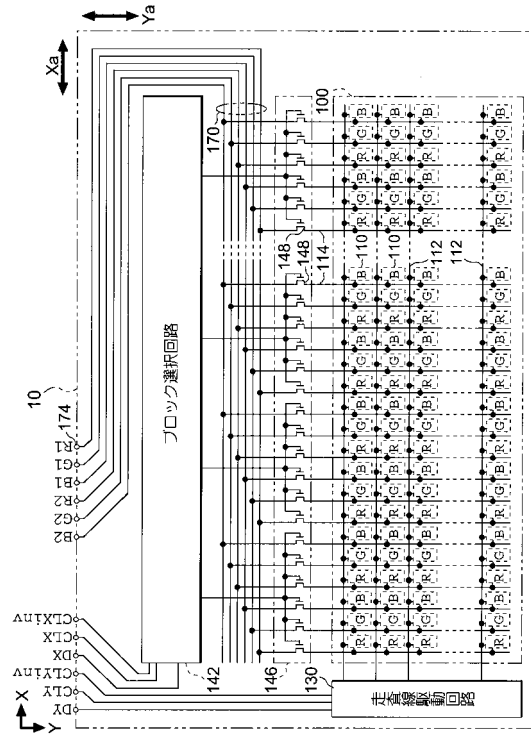
【 図 7 】



【図13】



【図14】



フロントページの続き

(72)発明者 川田 秀樹

長野県安曇野市豊科田沢6925 エプソンイメージングデバイス株式会社内

審査官 田井 伸幸

(56)参考文献 特開2000-171829(JP,A)

特開2005-249940(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09F 9/30

G02F 1/133