



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년01월31일

(11) 등록번호 10-1944477

(24) 등록일자 2019년01월25일

(51) 국제특허분류(Int. Cl.)

H01L 23/48 (2006.01) H01L 23/28 (2006.01)

(21) 출원번호 10-2011-0131042

(22) 출원일자 2011년12월08일

심사청구일자 2016년10월07일

(65) 공개번호 10-2012-0089993

(43) 공개일자 2012년08월16일

(30) 우선권주장

12/962,761 2010년12월08일 미국(US)

(56) 선행기술조사문현

WO2009156970 A1*

US04198444 A*

*는 심사관에 의하여 인용된 문현

(73) 특허권자

제너럴 일렉트릭 캄파니

미합중국 뉴욕 (우편번호 12345) 쉐넥테디 원 리
베 로우드

(72) 발명자

뷰프레 리차드 알프레드

미국 뉴욕주 12309 니스카유나 리서치 서클 1

맥코넬리 폴 알란

미국 뉴욕주 12309 니스카유나 리서치 서클 1

(뒷면에 계속)

(74) 대리인

제일특허법인(유)

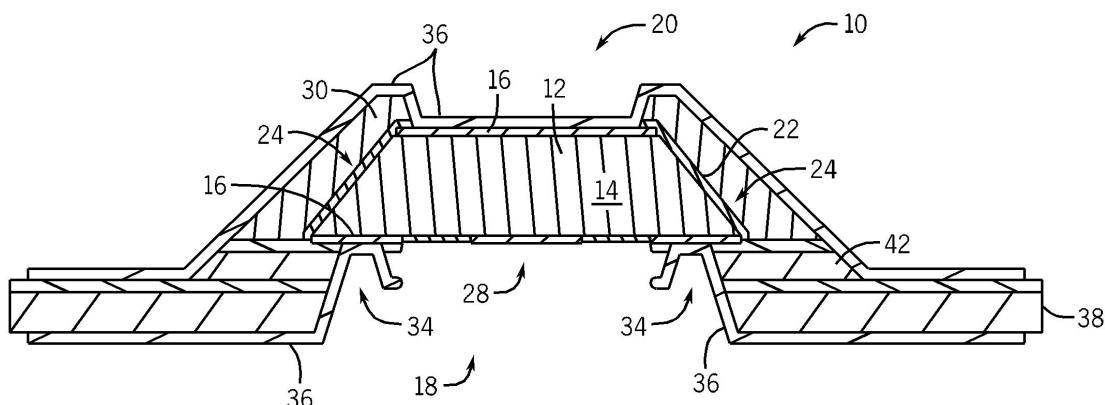
전체 청구항 수 : 총 9 항

심사관 : 정구원

(54) 발명의 명칭 반도체 소자 패키지 및 그 제조방법

(57) 요약

반도체 소자 패키지는, 표면에 연결 패드가 형성된 반도체 소자를 포함하고, 상기 연결 패드는 반도체 소자의 제1 및 제2 표면에 형성되고 반도체 소자 가장자리는 그 사이로 연장된다. 제1 패시베이션 층은 반도체 소자 상에 도포되고 베이스 유전체 적층은 제1 패시베이션 층 보다 두꺼운 두께를 갖는 반도체 소자의 제1 표면에 부착된다. 제1 패시베이션 층 보다 두꺼운 두께를 갖는 제2 패시베이션 층은 반도체 소자의 제2 표면과 가장자리를 커버하기 위해 제1 패시베이션 층과 반도체 소자 상에 도포되고, 금속 상호연결부는 연결 패드에 연결되며, 이 금속 상호연결부는 제1 및 제2 패시베이션 층과 베이스 유전체 적층 시트에 형성된 비아를 통해 연장되어 연결 패드와 연결을 형성한다.

대표도

(72) 발명자

고우다 애런 비루파크샤

미국 뉴욕주 12309 니스카유나 리서치 서클 1

고르지카 토마스 베트

미국 뉴욕주 12309 니스카유나 빌딩 케이더블유-
비1315 리버 로드 1

명세서

청구범위

청구항 1

반도체 소자 패키지(10)로서,

반도체 재료로 구성된 기판(14) 및 상기 기판(14) 상에 형성된 복수의 금속 연결 패드(16)를 포함하는 반도체 소자(12)–상기 복수의 금속 연결 패드(16)는 상기 기판(14)의 제 1 표면(18) 및 대향하는 제 2 표면(20) 각각에 형성되고 상기 반도체 소자(12)의 가장자리(24)는 상기 제 1 표면(18) 및 상기 제 2 표면(20) 사이로 연장됨 –와,

상기 기판(14) 상에 형성된 상기 복수의 금속 연결 패드(16)를 포함하는 상기 반도체 소자(12)를 커버하도록 상기 반도체 소자(12) 상에 도포되는 제 1 패시베이션 층(22)–상기 제 1 패시베이션 층(22)은 실리콘 질화물과 실리콘 산화물 중 하나를 포함함 –과,

상기 기판(14)의 상기 제 1 표면(18)에 접착층(40)에 의해 부착되며 상기 제 1 패시베이션 층(22)보다 두꺼운 두께를 갖는 베이스 유전체 적층 시트(42)와,

상기 제 1 패시베이션 층(22) 및 상기 반도체 소자(12) 상에 도포되고 상기 제 1 패시베이션 층(22)보다 두꺼운 두께를 갖는 제 2 패시베이션 층(30)–상기 두께는 1 ~ 2 mm이며, 상기 제 2 패시베이션 층(30)은 상기 반도체 소자(12)의 상기 제 2 표면(20)과 상기 가장자리(24)를 커버함 –과,

상기 반도체 소자(12)의 상기 복수의 금속 연결 패드(16)에 전기적으로 결합된 복수의 금속 상호연결부(36)–상기 복수의 금속 상호연결부(36)은 상기 제 1 패시베이션 층(22) 및 상기 제 2 패시베이션 층(30)과 상기 베이스 유전체 적층 시트(42)를 관통하도록 형성된 제각기의 비아(34)를 통해 연장되어, 상기 제 1 표면(18) 및 상기 제 2 표면(20) 각각에, 상기 복수의 금속 연결 패드(16) 중 제각기의 패드와 직접적인 금속 연결을 형성함 –를 포함하는

반도체 소자 패키지.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 제 2 패시베이션 층(30)은 상기 제 1 패시베이션 층(22)과 상기 반도체 소자(12)의 상기 제 2 표면과 가장자리(24) 상에 도포된 적어도 하나의 유전체 적층 시트를 포함하고, 상기 적어도 하나의 유전체 적층 시트는 상기 반도체 소자(12)의 형상과 일치하도록 형성되는

반도체 소자 패키지.

청구항 4

제 3 항에 있어서,

상기 제 1 패시베이션 층(22)과 상기 제 2 패시베이션 층(30) 사이에 위치된 접착층을 더 포함하는
반도체 소자 패키지.

청구항 5

제 1 항에 있어서,

상기 제 2 패시베이션 총(30)은 상기 반도체 소자(12)의 형상과 일치하도록 상기 제 1 패시베이션 총(22)과 상기 반도체 소자(12)의 상기 제 2 표면(20) 및 가장자리(24) 상에 도포된 액상의 유전체 재료를 포함하고, 상기 액상의 유전체 재료는 분사식 코팅법, 몰딩법 및 선택적 증착법 중 하나를 통해 도포되는

반도체 소자 패키지.

청구항 6

제 1 항에 있어서,

상기 베이스 유전체 적층 시트(42)에 부착되고 상기 반도체 소자(12)의 주위를 지나서 연장된 추가 유전체 적층 시트(74)를 더 포함하는

반도체 소자 패키지.

청구항 7

제 6 항에 있어서,

상기 복수의 금속 상호연결부(36)는 상기 반도체 소자(12)의 주위를 지나서 상기 추가의 유전체 적층 시트(74) 상으로 연장되는

반도체 소자 패키지.

청구항 8

제 6 항에 있어서,

상기 반도체 소자(12)의 주위를 지나서 연장된 상기 추가의 유전체 적층 시트(74) 상에 형성된 랩 조인트(90)를 더 포함하고, 상기 랩 조인트(90)는 상기 반도체 소자 패키지(10)를 다른 반도체 소자 패키지(94)에 연결시키도록 구성되는

반도체 소자 패키지.

청구항 9

제 1 항에 있어서,

상기 반도체 소자(12)는 광학 다이오드를 포함하고, 상기 반도체 소자 패키지(10)는 상기 광학 다이오드의 하나의 표면을 노출시키도록 상기 베이스 유전체 적층 시트(42)와 상기 제 2 패시베이션 총(30) 중 하나를 관통하도록 형성된 광학 윈도우(82)를 더 포함하는

반도체 소자 패키지.

청구항 10

제 1 항에 있어서,

상기 제 2 패시베이션 총(30)은, 상기 반도체 소자 패키지(10)에 대해 원하는 파괴진압을 제공하고 상기 반도체 소자 패키지(10)에 대해 최소의 기생 인더티스를 또한 제공하는 두께를 갖도록 구성되는

반도체 소자 패키지.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 일반적으로 반도체 소자를 패키징하는 구조 및 방법에 관한 것이고, 보다 상세하게는 높은 파괴전압과 낮은 기생 인덕턴스를 제공하는 반도체 소자 패키지 구조에 관한 것이다.

배경 기술

[0002] 전력 반도체 소자는, 예를 들면 스위치 방식의 전원장치와 같은 전력 전자회로에서 스위치 또는 정류기로서 사용되는 반도체 소자이다. 대부분의 전력 반도체 소자는 정류 방식에만 사용되어 (즉, 이들은 온/오프 중 하나이다), 이에 최적화된다. 통상적인 전력 반도체 소자는 고전압 전력 반도체 다이오드이다. 고전압 전력 반도체 다이오드는 그 저전력 상대물과 유사한 원리로 작동하나, 다량의 전류를 운반할 수 있고 통상 오프 상태에서 보다 큰 역바이어스 전압을 지지할 수 있다. 사용시, 고전압 전력 반도체 다이오드는 파워 오버레이(power overlay (POL)) 패키지 및 상호연결 시스템에 의해 외부 회로에 연결되며, POL 패키지는 또한 다이오드에서 발생된 열을 제거하고 외부 환경으로부터 다이오드를 보호하기 위한 수단이 된다.

[0003] 효율적으로 작동하기 위해, 반도체 다이오드는 그 양극과 음극 접합 사이에서 유전체 분리 뿐만 아니라 양극과 음극간 낮은 루프 인덕턴스가 필요하다. 양극과 음극 접합간 유전체 분리에 대해서는, 높은 역 파괴전압 (최대 10 kV)을 공급할 수 있는 고 유전체 재료가 통상 반도체 다이오드에 제공된다. 그러나, 이 유전체 재료는 반도체 다이오드에 대한 어떤 POL 패키징 기술에 맞지 않게 두께가 두껍고, 만일 두께가 적절하게 제어되지 않으면, 기생 인덕턴스 증가를 초래할 수 있다. 양극과 음극간 낮은 루프 인덕턴스에 대해서는, 종래의 패키징 기술 사용시 인덕턴스를 제어하는데 난관이 생긴다. 즉, 종래 패키징 기술은 본래 그 패키지의 높은 기생 인덕턴스와 관련된 문제가 있으며, 이 인덕턴스는 정류 동안 다이오드에서 소실이 일어날수록 반도체 다이오드의 작동 주파수를 제한한다.

[0004] 양극과 음극 접합간 유전체 분리를 위해서는, 반도체 다이오드에, 최적의 POL 패키지 및 패키징 기술과 상용성이 있으며 패키지 인덕턴스에 악영향을 끼치지 않으면서 높은 역 파괴전압을 제공할 수 있는 고 유전체 재료를 포함하는 것이 바람직하다. 양극과 음극간 낮은 루프 인덕턴스를 제공하기 위해서는, 반도체 다이오드용 POL 패키지가 기생 인덕턴스가 최소화되도록 구성되는 것이 바람직하다. 또한 POL 패키지는 다이오드 배열을 구성하기 위해 다수의 다이오드 사이에서 인덕턴스 및 커패시턴스의 매칭 및 반복성을 제공해야 한다.

[0005] 따라서, 반도체 다이오드에서 높은 파괴전압 뿐만 아니라 반도체 다이오드 패키지에서 낮은 기생 인덕턴스를 제공하는 반도체 다이오드 패키지가 요구된다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시예들은 높은 파괴전압 및 낮은 기생전압을 제공하는 반도체 소자 패키지를 제공하여 상기한 문제들을 극복한다. 다수의 패시베이션 층을 반도체 소자 주위에 형성하고, 이들 패시베이션 층은 반도체 소자 패키지에 대해 원하는 파괴전압을 제공하고 반도체 소자 패키지에 대해 최소의 기생 인덕턴스를 제공하는 두께를 갖는다.

과제의 해결 수단

[0007] 본 발명의 일 양태에 따르면, 반도체 소자 패키지는, 반도체 재료로 구성된 기판 및 이 기판상에 형성된 복수의 금속 연결 패드를 포함하는 반도체 소자를 포함하고, 상기 복수의 금속 연결 패드는 반도체 소자의 제 1 및 제 2 대향 표면의 각각에 형성되고 반도체 소자의 가장자리는 제 1 및 제 2 표면 사이로 연장된다. 또한 반도체 소자 패키지는 또한 반도체 소자와 기판상에 형성된 복수의 금속 연결 패드를 커버하도록 반도체 소자상에 도포

된 제 1 패시베이션 층과, 반도체 소자의 제 1 표면에 부착된 베이스 유전체 적층 시트를 더 포함하고, 상기 베이스 유전체 적층 시트는 제 1 패시베이션 층 보다 더 두꺼운 두께를 갖는다. 또한 반도체 소자 패키지는 반도체 소자의 제 2 표면과 그 가장자리를 커버하도록 제 1 패시베이션 층과 반도체 소자 상에 도포되며 제 1 패시베이션 층 보다 두꺼운 두께를 갖는 제 2 패시베이션 층과, 반도체 소자의 복수의 금속 연결 패드에 전기적으로 결합된 복수의 금속 상호연결부를 더 포함하고, 상기 복수의 금속 상호연결부 각각은 제 1 및 제 2 패시베이션 층과 베이스 유전체 적층 시트에 형성된 개별 비아를 통해 연장되어 복수의 금속 연결 패드 중 하나와 직접적인 금속 연결을 형성한다.

[0008] 본 발명의 다른 양태에 따르면, 반도체 소자 패키지 형성 방법은 반도체 재료로 구성된 기판 및 기판 상에 형성된 복수의 금속 연결 패드를 포함하는 반도체 소자를 제공하는 단계를 포함하고, 상기 복수의 금속 연결 패드는 반도체 소자의 상하면에 형성된다. 또한 상기 방법은 반도체 소자의 상하면과 그 상하면 사이로 연장되는 반도체 소자의 가장자리에 제 1 패시베이션 층을 도포하는 단계, 베이스 유전체 막을 반도체 소자의 하면에 접착시키는 단계, 및 반도체 소자의 상면과 가장자리 및 제 1 패시베이션 층 상에 제 2 패시베이션 층을 도포하여 보호된 반도체 소자를 형성하는 단계를 더 포함하고, 상기 제 2 패시베이션 층은 제 1 패시베이션 층 보다 두꺼운 두께를 갖는다. 또한 상기 방법은 복수의 금속 상호연결부를 노출시키기 위해 베이스 유전체 막과 제 1 및 제 2 패시베이션 층을 패턴화하는 단계 및 패턴화된 베이스 유전체 막과 패턴화된 제 1 및 제 2 패시베이션 층을 통해 연장되는 복수의 금속 상호연결부를 형성하여 복수의 금속 연결 패드와 직접적인 금속 연결을 형성하는 단계를 포함한다.

[0009] 본 발명의 또 다른 양태에 따르면, 반도체 소자 패키지 형성 방법은 반도체 재료로 구성된 기판 및 기판 상에 형성된 복수의 금속 연결 패드를 포함하는 반도체 소자를 제공하는 단계를 포함하고, 상기 복수의 금속 연결 패드는 반도체 소자의 상하면에 형성된다. 또한 상기 방법은 반도체 소자의 상하면을 보호하고 반도체 소자의 가장자리를 보호하도록 반도체 소자 주위에 얇은 제 1 패시베이션 층을 도포하는 단계, 베이스 유전체 적층을 반도체 소자의 하면에 도포하는 단계, 및 제 2 패시베이션 층을 반도체 소자의 적어도 가장자리와 제 1 패시베이션 층에 도포하여 보호된 반도체 소자를 형성하는 단계를 더 포함하고, 상기 제 2 패시베이션 층은 반도체 소자 패키지에 대해 원하는 파괴전압을 제공하고 또한 반도체 소자 패키지에 대해 최소의 기생 인덕턴스를 제공하는 두께를 갖도록 도포한다. 또한 상기 방법은 베이스 유전체 막 및 제 1 및 제 2 패시베이션 층을 패턴화하여 여기에 다수의 비아를 형성하는 단계 및 비아를 통해 연장되는 복수의 금속 상호연결부를 형성하여 복수의 금속 상호연결부와 직접적인 금속 연결을 형성하는 단계를 더 포함한다.

[0010] 상기 및 그 외의 다른 이점과 특징들은 첨부한 도면과 관련하여 제공되는 본 발명의 바람직한 실시예들의 다음 상세한 설명으로 보다 용이하게 이해될 것이다.

도면의 간단한 설명

[0011] 도면은 본 발명을 시행하기 위해 제시한 실시예들을 예시한다.

도면에서:

도 1은 본 발명의 일 실시예에 따른 반도체 소자 패키지의 개략적인 단면도이다.

도 2 내지 도 13은 본 발명의 일 실시예에 따른 제조/빌드업 공정의 각종 단계 동안 반도체 소자 패키지의 개략적인 단면도이다.

도 14 내지 도 17은 본 발명의 일 실시예에 따른 랩 조인트 형성 공정의 각종 단계 동안 반도체 소자 패키지의 개략적인 단면도이다.

도 18 내지 도 20은 본 발명의 일 실시예에 따른 조립 공정의 각종 단계 동안 반도체 소자 패키지 배열의 개략적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 발명의 실시예들은 높은 파괴전압과 낮은 기생 인덕턴스를 갖는 반도체 소자 패키지 및 이 반도체 소자 패키지 형성 방법을 제공한다. 반도체 소자 패키지는, 반도체 소자의 가장자리를 다수의 두께가 상이한 유전체층으로 보호하고 전기 상호연결 시스템은 반도체 소자의 상하면에 형성시켜 제조된다.

- [0013] 도 1을 참조하면, 본 발명의 예시적 실시예에 따른 반도체 소자 패키지(10)를 도시한다. 반도체 소자 패키지(10)는, 각종 실시예들에 따라 다이, 다이오드, 또는 다른 전자소자 형태일 수 있는 반도체 소자(12)를 그 내부에 포함한다. 본 발명의 예시적 실시예에 따르면, 반도체 소자(12)는 예를 들면 역방향의 역바이어스를 갖는 광학 다이오드와 같은 고전압 반도체 다이오드 형태이다. 도 1에 도시한 바와 같이, 본 발명의 일 실시예에 따르면, 반도체 소자(12)는 사다리꼴 형상을 가지나, 예를 들면 직사각형과 같은, 반도체 소자(12)의 다른 형상 및 배치도 가능하다는 것을 알 수 있다. 또한, 반도체 소자(12)의 형상 및 크기에 대해, 반도체 소자(12)는 "보다 두꺼운" 소자 형태이며, 예를 들면 반도체 소자(12)가 최대 40 mm 이상의 두께/높이를 갖는다는 것을 알 수 있다.
- [0014] 반도체 소자(12)는 기판(14)을 포함하고, 이 기판은, 규소, 규소 카빈, 질화갈륨, 비소화갈륨과 같은 반도체 재료로 형성되거나, 불순물이 첨가되어 n-형 반도체라고도 하는 음전하 운반체(전자)를 함유하는 일 측 상의 영역 및 p-형 반도체라고도 하는 양전하 운반체(홀)를 함유하는 다른 측 상의 영역을 만드는 또 다른 반도체 재료로 형성된다. PN 접합이라고도 하는 이들 두 영역 사이의 기판내 경계에서 다이오드가 작동하며, 기판은 p-형 측 (즉, 양극)에서 n-형 측 (즉 음극) 방향으로 종래 전류를 전도하나, 그 반대 방향은 그렇지 않다. 반도체 소자(12)는 통상 3kV 이상의 전압에서 작동하는 '고전압' 소자로 언급되며, 10 kV를 초과하는 전압도 가능하다.
- [0015] 복수의 금속회로 및/또는 연결 패드 (즉, 단자) (16)를 기판상에 형성하고 P와 N 영역 각각에 부착시켜 이를 통해 반도체 소자(12)에 전기 연결을 형성할 수 있다. 도 1에 도시한 바와 같이, 회로/연결 패드(16)를 기판의 표면(18, 20)에 형성하여 반도체 소자(12)의 두 표면에 전기 연결을 형성할 수 있다.
- [0016] 또한 반도체 소자 패키지(10)에 포함된 제 1 패시베이션 층 또는 유전체층(22)을 반도체 소자(12)의 표면(18, 20)과 가장자리(24) 주위에 형성하여, 기판(14)과 금속 회로/연결 패드(16)를 커버한다. 제 1 패시베이션 층(22)은 일정한 두께를 갖도록 반도체 소자(12) 상에 도포되는 실리콘 질화물, 실리콘 산화물, 또는 다른 적절한 유전체 재료와 같은 고성능 막 형태이다. 본 발명의 일 실시예에 따르면, 실리콘 질화물/실리콘 산화물 패시베이션 층(22)은 약 1 ~ 2 마이크론 두께를 갖도록 플라즈마 화학기상증착법(plasma enhanced chemical vapor deposition(PECVD))에 의해 도포된다. 따라서 제 1 패시베이션 층(22)은 이하 상세하게 설명되는 바와 같이 반도체 소자 패키지(10)의 제조공정 단계 (예를 들면, 예칭, 적층 등) 동안 반도체 소자(12)의 가장자리(24)를 보호하고 기판(14)의 표면 및 금속회로/연결 패드(16)를 보호하는데 사용된다.
- [0017] 도 1에 도시한 바와 같이, 제 1 패시베이션 층(22) 일부를, 반응성 이온 에칭(reactive ion etching(RIE))을 사용하여 반도체 소자(12)의 금속회로/연결 패드(16)에 인접한 위치에서 제거하여, 그 회로/연결 패드(16)에 전기 상호연결을 형성한다. 반도체 소자 패키지(10)가 광학 활성소자 형태인 본 발명의 일 실시예에 따르면, 질화물 또는 산화물 패시베이션 층(22)이 광학적으로 투명하여 반도체 소자 패키지(10)의 광학 윈도우(28)를 계속 보호하면서 이를 통해 광을 투과시킨다. 그러나, 반도체 소자(12)는 광학 활성 소자가 아닌 소자/다이오드 형태일 수 있으며, 본 발명의 실시예들은 광학 윈도우(28)를 포함하지 않고 광학적으로 투명한 패시베이션 층을 사용할 필요가 없다는 것을 알 수 있다.
- [0018] 제 1 패시베이션 층(22)은 반도체 소자(12)의 가장자리(24)를 보호하고 그 위에 형성된 금속회로/연결 패드(16)의 보호 커버를 제공하는데 사용될 때, 제 1 패시베이션 층(22) (즉, 실리콘 질화/산화물 코팅)은 통상 매우 큰 전압을 유지하는데 불충분할 정도로 얇다는 것을 알 수 있다. 이 때, 반도체 소자 패키지(10)는, 제 1 패시베이션 층(22) 상면에 도포되고 반도체 소자(12)의 가장자리(24)까지 연장되는 제 2 패시베이션 층 또는 유전체 층(30)을 포함하며, 접착층(도시되지 않음)이 제 2 패시베이션 층(30) 형태에 따라 그 사이에 임의로 포함될 수 있다. 도 1에 도시한 바와 같이, 제 2 패시베이션 층(30)은 제 1 패시베이션 층(22)에 비해 더 두꺼운 유전체 재료층 또는 코팅으로서 도포되어, 반도체 소자 패키지(10)의 보다 높은 절연강도를 제공하고 파괴전압을 증가시킨다. 본 발명의 일 실시예에 따라 제 2 패시베이션 층(30)의 두께는 최대 1 ~ 2 mm일 수 있다.
- [0019] 제 1패시베이션 층(22) 형성에 사용된 질화물 및 산화물은 수 마이크론 보다 더 두껍게 도포될 수 없기 때문에, 제 2패시베이션 층(30)은 제 1 패시베이션 층(22)과 상이한 재료 그러나 이미 도포된 제 1 패시베이션 층(22)의 질화물/산화물 막과 상용성 (즉, 접착성)이 양호한 재료로 형성된다. 따라서, 제 2 패시베이션 층(30)은 폴리이미드, 에폭시, 파랄렌, 실리콘 등과 같은 재료로 형성될 수 있다. 일 실시예에 따라, 제 2 패시베이션 층(30)은, 캡톤(Kapton®), 울템(Ultem®), 폴리테트라플루오로에틸렌(polytetrafluoroethylene(PTFE)), 유필렉스(Upilex®), 폴리솔폰 재료 (예, 유델(Udel®), 라델(Radel®)), 또는 액정고분자(liquid crystal polymer(LCP)) 또는 폴리이미드 재료와 같은 또 다른 고분자 막으로 구성되는 사전 형성된 적층 시트 또는 막 형태이다. 또한, 제 2 패시베이션 층(30)은 액상일 수 있으며, 이하 상세하게 기재되는 분사식 코팅법,

몰딩법, 또는 선택적 증착법 (즉, '직접 묘화(direct writing)') 중 하나를 통해 도포될 수 있다. 다른 실시예에서, 제 2 패시베이션 층(30)이 적층 형태, 액상, 또는 이들의 조합 형태로 도포되는 유전체 재료로 형성된다면, 제 2 패시베이션 층(30)은, 그 두께가 원하는/필요한 절연강도에는 충분하나 반도체 소자(12)의 유도성 루프를 과잉으로 증가시키지 않는 제어식으로 반도체 소자(12)의 가장자리(24)에 도포된다. 따라서, 제 2 패시베이션 층(30)의 통상 두께는 예를 들면 필요한 절연 파괴강도 1000 볼트 마다 약 10 ~ 50 마이크론 범위이다.

[0020] 또한 도 1에 도시한 바와 같이, 본 발명의 일 실시예에 따르면, 베이스 유전체 적층층(42)은 반도체 소자(12)의 표면(18)에 도포되어, 보다 두꺼운 유전체층을 반도체 소자 주위 전체에 형성한다 (즉, 제 2 패시베이션 층(30)과 적층(42)의 조합을 반도체 소자(12) 주위에 형성한다). 각각의 제 1 및 제 2 패시베이션 층(22, 30), 베이스 유전체 적층, 및 베이스 유전체 적층(42)에 연결된 유전체 막(38)의 추가 적층 시트를 선택적으로 패턴화하여 내부에 다수의 비아 및/또는 개구(34)를 형성한다. 비아/개구(34)는 반도체 소자(12) 상에 형성된 금속회로/연결 패드(16)에 대응하는 위치에 형성하여 회로/연결 패드(16)를 노출시킨다. 본 발명의 일 실시예에 따르면, 비아/개구(34)는, 반도체 소자(12)상에 제 1 및 제 2 패시베이션 층(22, 30), 베이스 유전체 적층(42) 및 유전체 막(38)을 도포한 다음에 레이저 절단 또는 레이저 드릴링 공정을 수행하여 제 1 및 제 2 패시베이션 층(22, 30), 베이스 유전체 적층(42) 및 유전체 막(38)에 형성시킨다. 또는 비아/개구(34)는, 제 1 패시베이션 층(22) 상에 도포하기 전에 레이저 절단 또는 레이저 드릴링 공정을 수행하여 제 2 패시베이션 층(30) 및/또는 유전체 적층(42, 38)에 사전 형성시킬 수 있다. 비아/개구(34)를 제 2 패시베이션 층(30) 및 유전체 적층(42, 38)에 사전 드릴링하는 일 실시예에서는, 비아/개구(34)를 제 1 패시베이션 층(22)을 통해 회로/연결 패드(16)까지 연장되도록 반응성 이온 에칭(RIE) 공정을 별도로 수행한다. 본 발명의 추가의 실시예에 따르면, 비아/개구(34)는 플라즈마 에칭, 포토-네피니션, 또는 기계 드릴링 공정을 포함하는 다른 방법에 의해 형성될 수 있다 는 것도 알 수 있다.

[0021] 비아/개구(34)를 통해 반도체 소자(12)상의 회로/연결 패드(16)까지 연장되는 금속 상호연결부(36)를 각 비아/개구(34) 내부에 형성한다. 따라서 금속 상호연결부(36)는 회로/연결 패드(16)에 직접적인 금속 및 전기 연결을 형성하며, 이 연결부는 조밀하고 밀집한 배열로 형성된다. 금속 상호연결부(36)는, 금속층/재료를 스퍼터링 또는 전기도금 공정을 이용해 도포하고 나서 도포된 금속 재료를 원하는 형상의 금속 상호연결부(36)로 패턴화 시킴으로써 형성된다. 일 실시예에 따르면, 금속 상호연결부(36)는, 티타늄 접착층 및 구리 씨드층을 스퍼터링 공정으로 도포하고 그 다음에 금속 상호연결부(36)의 두께를 증가시키기 위해 그 위에 추가로 구리를 전기도금 함으로써 형성된다. 도 1에 도시한 바와 같이, 반도체 소자(12)의 표면(20)에, 금속 상호연결부(36)의 구리 도금이 반도체 소자(12)의 회로/연결 패드(16)로부터 비아/개구(34)를 통해 반도체 소자(12)의 가장자리(24)를 지나 제 2 패시베이션 층(30)의 외면까지 연장되고, 반도체 소자(12)의 가장자리(24)를 지나서 연장된 영역의 상호연결부(36)는 베이스 유전체 적층(42)에 결합된 추가 유전체 막(38) 적층 시트상에 형성된다. 반도체 소자(12)의 표면(18)에는, 금속 상호연결부(36)의 구리 도금이 반도체 소자(12)의 회로/연결 패드(16)로부터 베이스 유전체 적층(42)와 유전체막(38)에 형성된 비아/개구(34)를 통해 유전체막(38)의 외면까지 연장되며, 상기 상호연결부(36)는 막(38) 및 표면(20)상에 형성된 상호연결부(36) 반대면의 막(38) 측 상에서 반도체 소자(12)의 가장자리(24)를 지나 연장되어 전기적으로 절연시킨다.

[0022] 유리하게는 반도체 소자 패키지(10)의 구조는 고 파괴전압과 저 인덕턴스 루프를 갖는 패키지가 된다. 즉, 제 1 및 제 2 패시베이션 층(22, 30)과 상호연결부(36) 배열로 10kV 의 고 파괴전압을 얻을 수 있으며, 그 두께는 반도체 소자 패키지(10)에서 양극과 음극간 기생 인덕턴스를 감소시키도록 제어된다. 반도체 소자 패키지(10) 구조는 향상된/효율적인 작동 주파수와, 감소된 스위칭 시간 및 후속 신호 전송 (예를 들면, 푸리에 처리를 위한 구형 파 펄스 발생)을 위해 향상된 신호 강도에서 그 작동을 가능하게 한다.

[0023] 도 2 내지 도 10을 참조하면, 본 발명의 실시예에 따라 반도체 소자 패키지(10) 제조기술을 위한 각종 공정단계가 기재된다. 도 2에 도시한 바와 같이, 반도체 소자 패키지(10)의 빌드업 공정은 제 1 패시베이션 층 또는 유전체층(22)을 반도체 소자(12) 상에 도포하는 것으로 개시한다. 제 1 패시베이션 층(22)은 반도체 소자(12)의 표면(18, 20) 및 가장자리(24) 주위에 형성하여 반도체 소자의 기판(14) 및 금속회로/연결 패드(16)를 커버한다. 제 1 패시베이션 층(22)은, 일정한 두께를 갖도록 반도체 소자(12)상에 도포되는 실리콘 질화물 또는 실리콘 산화물과 같은 고성능 막 형태이다. 본 발명의 일 실시예에 따르면, 실리콘 질화물/실리콘 산화물 패시베이션 층(22)은, 약 1 ~ 2 마이크론 정도의 두께를 갖도록 플라즈마 화학증착법(PECVD)을 사용하여 도포된다. 따라서 제 1 패시베이션 층(22)은 반도체 소자(12)의 가장자리(24)를 보호하고 기판(14)의 표면(18, 20) 및 금속 회로/연결 패드(16)를 보호하는데 사용된다.

[0024] 도 3을 참조하면, 빌드업공정의 다음 단계로서, 제 1 패시베이션 층(22)이 도포된 반도체 소자(12)를, 접착층

(40)과 접착/막 형태의 부속 베이스 유전체층(42)에 배치한다. 도 3에 도시한 바와 같이, 반도체 소자(12)를, 그 표면(18)을 접착층(40)과 유전체 적층(42)에 결합시키고 반도체 소자(12)의 표면(20)은 노출된 채로 있도록 접착층(40)과 유전체 적층(42) 상에 배치한다. 본 발명 실시예에 따르면, 유전체층(42)은, 캡톤(Kapton®), 울템(Ultem®), 폴리테트라플루오로에틸렌(PTFE), 유필렉스(Upilex®), 폴리술폰 재료 (예, 유델(Udel®), 라델(Radel®)), 또는 액정 고분자(LCP) 또는 폴리아미드 재료와 같은 또 다른 고분자막과 같은 다수의 유전체 재료 중 하나로 형성될 수 있다. 반도체 소자(12)를 접착층(40) 및 베이스 유전체 적층(42) 상에 배치시, 반도체 소자(12)를 유전체 적층(42)에 결합시키기 위해 접착제(40)를 경화시킨다.

[0025] 빌드업 공정은, 반도체 소자(12)의 표면(20)과 가장자리(24) 위에 또 다른 유전체층 또는 패시베이션 층(즉, 제 2 패시베이션 층)을 도포함으로써 계속된다. 본 발명 실시예에 따르면, 이하 도 4 내지 도 7에 도시한 바와 같이, 이러한 유전체층은, 사전 형성된 유전체 재료의 적층 시트 또는 막 층을 도포하거나 액상의 유전체 재료를 분사식 코팅법, 몰딩법, 또는 선택적 증착법(즉 "직접 묘화")을 통해 도포하는 몇몇 도포 공정 중 하나에 따라 도포될 수 있다는 것을 알 수 있다.

[0026] 도 4(a) 내지 도 4(c)를 참조하면, 본 발명의 일 실시예에 따라, 유전체 재료의 적층 시트(44)를 반도체 소자(12)의 표면(20) 및 가장자리(24)에 도포하고, 유전체 재료 시트(44)를 반도체 소자(12)에 결합시키기 위해 이들 사이에 접착층(46) (예, B-단계, 접착성 접착제)을 포함시킨다. 도 4(a)에 도시한 바와 같이, 유전체 시트(44)의 두께는 제 1 패시베이션 층(22) 보다 두껍고, 유전체 시트(44) 두께는 반도체 소자(12)에 필요한 절연 과괴강도에 따라 결정되고 제어된다. 일반적으로, 유전체 시트(44) 두께는 필요한 절연 과괴강도 1kV마다 약 10 ~ 50 마이크론 범위일 것이다.

[0027] 도 4(a)에 도시한 바와 같이, 유전체 재료의 적층 시트(44)를 반도체 소자(12)의 표면(20) 및 가장자리(24)에 도포하면, 반도체 소자(12)의 가장자리(24)에 인접하여 '텐팅'이라 하는 공간(48)이 생길 수 있다. 도 4(b)에 도시한 바와 같이, 빌드업 공정의 다음 단계에서, 이 공간(48)은 후속적으로 경화되는 에폭시 또는 폴리아미드 재료(50)로 충전한다. 일 실시예에 따르면, 공간(48)을 일단으로부터 에폭시/폴리아미드(50)로 충전하고, 공기를 빼기 위해 통기 구멍(도시되지 않음)을 타단에 구비한다. 텁팅이 보이지 않으면, 도 4(b)에 도시한 단계가 필요하지 않다는 것을 알 수 있다.

[0028] 도 4(c)에 도시한 바와 같이, 본 발명의 일 실시예에 따라, 추가 유전체 재료의 적층 시트(52)를 반도체 소자 패키지(10)의 전기적 요구조건에 따라 (즉, 절연 강도를 더 증가시키기 위해) 반도체 소자(12)의 표면(20) 및 가장자리(24)에 도포할 수 있다. 따라서 하나의 추가 유전체 재료 시트(52)는 유전체 시트(44) 상면에 위치시킬 수 있고, 이들 시트(44, 52)를 함께 결합시키기 위해 이들 사이에 접착층(54)을 포함시킬 수 있다. 도 4(c)에 도시하지 않지만, 또 다른 추가 시트들을 필요한 만큼 반도체 소자(12)의 표면(20)에 추가할 수 있다.

[0029] 도 4(a) 내지 도 4(c)에 도시한 유전체 적층(44, 52)를 연속 적층로서 형성할 때, 본 발명의 또 다른 실시예에 따라 사전 패턴화한 적층을 대안으로 도포할 수 있다는 것을 알 수 있다. 즉, 유전체 적층(44, 52)는, 반도체 소자(12) 상에 적층하기 전에 사전 드릴링하거나 절단된 비아 및/또는 추가 개구(도시되지 않음)를 포함할 수 있다. 이들 비아 및/또는 개구는 반도체 소자(12) 상의 회로/연결 패드(16)에 대응하는 위치에 형성한다.

[0030] 도 5를 참조하면, 본 발명의 또 다른 실시예에 따라, 액상의 유전체 재료를 분사코팅법에 의해 반도체 소자(12)의 표면(20)과 가장자리(24)에 도포한다. 액상의 유전체 재료는, 유전체층(58)을 제 1 패시베이션 층(22) 보다 두꺼운 두께로 형성하도록 반도체 소자(12)상에 분사하고, 유전체층(58) 두께는 반도체 소자(12)에 필요한 절연 과괴강도에 따라 결정되고 제어된다. 상기한 바와 같이, 유전체층(58) 두께는 필요한 절연 과괴강도 1kV마다 약 10 ~ 50 마이크론 범위일 것이다. 유전체층(58)의 원하는 두께 및 형상에 따라, 다수의 분사 코팅 단계를 수행할 필요도 있다.

[0031] 도 6(a) 내지 도 6(c)를 참조하면, 본 발명의 또 다른 실시예에 따르면, 최종 유전체층의 형상 및 두께를 제어하기 위해 액상의 유전체 재료를 몰드를 사용하여 반도체 소자(12)의 표면(20) 및 가장자리(24)에 도포한다. 도 6(a)에 도시한 바와 같이, 반도체 소자(12) 및 접착된 베이스 유전체층(42)을, 반도체 소자(12)가 아래쪽에 위치하도록 뒤집는다. 그 다음에 반도체 소자(12)를 그 하부에 위치된 몰드(60)에 넣고, 반도체 소자(12)와 몰드(60) 사이에 공간이 형성되도록 반도체 소자(12)는, 예를 들면, 몰드(60) 중심부에 형성된 돌출부(62)에 의해 몰드(60)내에서 움직이지 않게 고정시킨다. 몰드(60)내에서 반도체 소자(12)의 정확한 위치를 잡는 것은 예를 들면 편 정렬 메커니즘(도시되지 않음)에 의해 이루어질 수 있다. 다음 단계에서, 도 6(b)에 도시한 바와 같이, 몰드(60)를, 에폭시 또는 폴리아미드와 같은 액상의 유전체 재료(64)로 충전하고, 이 액체는 몰드에 구비된 충전구(도시되지 않음)를 통해 반도체 소자(12)와 몰드(60) 사이의 공간에 주입한다. 또한 유전체 재료(6

4)의 주입을 가능하게 하도록 통기구(도시되지 않음)를 몰드내에 제공된다. 몰드(60)를 액상의 유전체 재료(64)로 충전시, 도 6(c)에 도시한 바와 같이, 이 유전체를 경화시키고 몰드를 제거하여 반도체 소자(12)의 표면(20) 및 가장자리(24)에 최종 유전체층(66)을 형성한다. 몰드(60)는 텐플론(Teflon®) 또는 유사 재료로 구성되고, 유전체층(64)은 반도체 소자(12) 제거시 몰드(60)에 들러붙지 않아야 한다.

[0032] 도 7에 도시한 바와 같이, 본 발명의 또 다른 실시예에 따르면, 액상의 유전체 재료는 선택적 증착 공정이나 "직접 묘화" 공정에 의해 반도체 소자(12)의 표면(20) 및 가장자리(24)에 도포된다. 유전체 재료의 반도체 소자(12)상으로의 직접 묘화에 있어서, 유전체 재료는 액상의 유전체 재료의 라인 또는 도트(70)를 증착시키는 프로그램 가능한 분산 도구(도시되지 않음)를 사용하여 분산시킨다. 예를 들면, 프로그램 가능한 분산 도구는 액상의 유전체 재료의 라인 또는 도트(70)를 선택적으로 증착시키는 잉크젯 인쇄형 장치 형태일 수 있다. 라인/도트(70)를 드로잉하여 반도체 소자(12)에 필요한 커버를 얻고, 이들을 다층으로 도포하여 유전체 재료에 필요한 형상 및 두께를 얻을 수 있다. 그 다음에, 도포한 유전체 재료의 라인/도트(70)를 경화시켜 패시베이션 층을 완성한다.

[0033] 도 8을 참조하면, 도 4 내지 도 7의 실시예에서 도시하고 기재된 기술 중 하나를 통해 반도체 소자(12)의 표면(20) 및 가장자리(24)에 제 2 유전체층 또는 패시베이션 층(통상 30으로 표기) 도포시, 반도체 소자 패키지(10)의 빌드업 공정은 제 2 패시베이션 층(30)을 절단함으로써 계속될 수 있다. 즉, 몇몇 경우에 제 2 패시베이션 층(30)의 정확히 원하는 형상/두께는 얻지 못할 수 있고 이 프로파일에 대한 약간의 변형을 수행할 필요가 있다는 것을 알 수 있다. 과잉의 재료를 절단하여 패시베이션 층(30)에 필요한 프로파일을 얻기 위해 사용된 방법은 레이저 절단 또는 유사 방법이다. 도 8에 도시한 바와 같이, 패시베이션 층(30)은 반도체 소자(12)의 사다리꼴 형상과 일치하도록 사다리꼴 형상으로 도시되어 있으나, 패시베이션 층(30)과 반도체 소자(12) 둘 다, 예를 들면 직사각형과 같은 다른 형상 및 배치도 가능하다는 것을 알 수 있다. 레이저 절단 또는 다른 방법을 사용하여 제 2 패시베이션 층(30)의 두께 및/또는 형상의 변경은, 적층법 (도 4(a)-4(c)), 분사식 코팅법(도 5), 몰딩법(도 6(a)-6(c)), 또는 직접 묘화법(도 7)을 포함하는 상기한 유전체 재료 도포법 중 임의의 방법으로 수행할 수 있다. 그러나, 제 2 패시베이션 층(30)의 원하는 형상이 유전체 재료의 반도체 소자(12) 상에 초기 도포시 얻어진다면, 특히 몰딩법 또는 직접 묘화법을 사용하여 가능할 수 있고, 제 2 패시베이션 층(30)의 두께 및 형상을 변경하기 위해 이 패시베이션 층의 절단을 선택할 수 있다는 것을 알 수 있다.

[0034] 또한 도 8에 도시한 바와 같이, 반도체 소자(12)를, 반도체 소자(12)의 가장자리(24)를 따라 제 2 패시베이션 층(30)의 원하는 프로파일을 지나 연장된 임의의 유전체 적층 (및 부속 접착층) 일부가 제거되도록 "트리밍"한다. 도 8에 도시한 본 발명의 실시예에 따르면, 베이스 유전체 적층(42) 일부 및 접착층(40)을 예를 들면 레이저 절단에 의해 반도체 소자(12)로부터 트리밍한다. 그러나, 반도체 소자(12)의 가장자리(24)를 따라 제 2 패시베이션 층(30)의 원하는 프로파일을 지나 연장된 추가의 유전체 적층, 예를 들면, 도 4(c)에 도시한 유전체 적층(52) (및 접착층(56))도 트리밍할 수 있다는 것도 알 수 있다. 반도체 소자(12)의 표면(20) 및 가장자리(24) 주위에 형성된 유전체 재료로부터 임의의 과잉 재료 제거와 유사하게, 반도체 소자(12)의 가장자리(24)를 따라 제 2 패시베이션 층(30)의 원하는 프로파일을 지나 연장된 임의의 유전체 적층(42)의 트리밍은, 반도체 소자(12)에 부착된 유전체층(42)의 원하는 형상의 잔류 부분을 얻도록 수행할 수 있다. 따라서, 도 8의 실시예에서, 베이스 유전체 적층(42)로부터 반도체 소자(12)의 트리밍은 반도체 소자(12) 주위의 제 2 패시베이션 층(30)의 전체 사다리꼴 형상을 유지하기 위한 각도에서 수행한다.

[0035] 도 9를 참조하면, 제 2 패시베이션 층(30)을 형상화하고 베이스 유전체층(42)으로부터 반도체 소자(12)를 트리밍하면, 보호된 반도체 소자(72)가 형성된다. 이어서, 보호된 반도체 소자(72)를 접착층(76)을 통해 유전체 시트 (예, 폴리이미드 시트) (74)에 부착시킨다. 도 9에 도시한 바와 같이, 유전체 시트(74)는 반도체 소자(12)에 통상 크기 대응하는 사전 절단되어 개방된 윈도우(78)를 포함한다. 그러나, 유전체 시트(74)는 또한 연속 시트 (즉 사전 절단된 윈도우가 없는) 형태일 수도 있고 보호된 반도체 소자(72)가 유전체 시트(74)상에 놓인 후에 윈도우를 형성할 수 있다는 것을 알 수 있다.

[0036] 보호된 반도체 소자(72)를 유전체 시트(74)에 결합시, 반도체 소자 패키지(10)의 빌드업 공정은 도 10 내지 도 13에 도시한 패턴화 및 상호연결에 의해 계속된다. 이를 빌드업 단계에 대해, 제 2 패시베이션 층(30)을 반도체 소자(12)의 표면(20) 및 가장자리(24)에 도포하는데 사용한 기술에 의해, 패시베이션 층(30)을 패턴화하고 반도체 소자(12)의 상하면에 전기 상호연결을 형성하는 데 필요한 정확한 단계가 결정된다는 것을 알 수 있다. 패턴화 및 상호연결 형성 단계에 사용된 정확한 빌드업 공정 단계의 변경은 하기하는 바와 같다.

[0037] 도 10을 참조하면, 본 발명의 일 실시예에 따르면, 반도체 소자(12)의 회로/연결 패드에 접근하도록 비아 및 콘

택 영역 (즉, 개구) (34)을 제 1 및 제 2 패시베이션 층(22, 30)에 형성한다. 비아/개구(34)를 반도체 소자(12)상의 회로/연결 패드(16)에 대응하는 위치에 형성하고, 상기 비아/개구(34)는 회로/연결 패드(16)상에 형성된 제 1 패시베이션 층(22)까지 형성한다. 본 발명의 실시예들에 따르면, 비아/개구(34)는 레이저 절단 또는 레이저 드릴링 공정, 플라즈마 에칭, 포토-데피니션, 또는 기계적 드릴링 공정에 의해 형성될 수 있다. 제 2 패시베이션 층(30)이 도 4(a) 내지 도 4(c)에 도시한 시트(44, 52)와 같은 하나 이상의 유전체 적층/시트 형태로 도포하는 본 발명의 일 실시예에서, 비아/개구(34)는 반도체 소자(12)에 도포된 유전체층 및 접착층에 기계적으로 드릴링하여 형성될 수 있다. 도 5 내지 도 7에서 분사 코팅, 직접 묘화 또는 몰딩을 통해 제 2 패시베이션 층(30)을 도포한 본 발명의 일 실시예에서, 비아/개구(34)는 레이저 절단 또는 레이저 드릴링을 사용하여 소자(12)에 상호연결을 필요로 하는 영역의 패시베이션 층(30)에 형성될 수 있다. 그러나, 제 2 패시베이션 층(30)을 도포하는 어떤 방법은 비아/개구(34)의 후속 절단 또는 드릴링을 필요로 하지 않는다는 것을 알 수 있다. 예를 들면, 몰드 또는 직접 묘화법을 이용하여 유전체 재료를 도포하기 위해, 하나 이상의 비아/개구(34)를 사전 제 2 패시베이션 층(30)에 형성할 수 있다.

[0038] 패턴화/상호연결 공정의 다음 단계에서, 도 11에 도시한 바와 같이, 비아/개구(34)를, 비아/개구(34)에 대응하는 위치에 회로/연결 패드(16)상에 존재하는 제 1 패시베이션 층(22)을 제거함으로써 반도체 소자(12) 상의 회로/연결 패드(16)까지 더 연장한다. 본 발명의 일 실시예에 따르면, 반도체 소자(12)의 금속 회로 및 연결 패드(16)에 인접한 제 1 패시베이션 층(22)을 반응성 이온에칭(RIE) 공정으로 제거하지만, 다른 적절한 기술도 사용될 수 있다는 것도 고려한다. 제 1 패시베이션 층(22)을 제거함으로써 비아/개구(34)를 연장하면, 소자(12)의 회로/연결 패드(16)는, 그 회로/연결 패드에 전기 상호연결이 형성되도록 노출시킨다.

[0039] 비아/개구(34)의 회로/연결 패드(16)까지의 형성을 완료하면, 비아/개구(34)를 (RIE 데수트(desoot) 공정을 통해) 세정하고 나서 금속화하여 도 12에 도시한 바와 같이 상호연결부(36)를 형성한다. 금속 상호연결부(36)는 통상 스퍼터링 및 전기도금법의 조합을 통해 형성한다. 예를 들면, 티타늄 접착층 및 구리 씨드층을 먼저 스퍼터링 공정과 그 다음, 구리 두께를 원하는 수준으로 증가시키는 전기도금 공정을 통해 도포할 수 있다. 그 다음에 도포된 금속 재료를 원하는 형상의 금속 상호연결부(36)로 패턴화한다. 도 12에 도시한 바와 같이, 금속 상호연결부(36)는 반도체 소자(12)상의 회로/연결 패드(16)에 직접적인 금속 및 전기 연결을 형성한다. 금속 상호연결부(36)는 반도체 소자(12)의 회로 및/또는 연결 패드(16)로부터 비아/개구(34)를 통해 반도체 소자(12)의 대향 표면(18, 20)까지 연장된다. 또한 금속 상호연결부(36)는 유전체 시트(74)상의 구리 도금 형태와 같아, 유전체 시트(74)의 대향 표면에 반도체 소자(12)의 가장자리(24)를 지나 더 연장된다.

[0040] 반도체 소자(12)가 광학 다이오드(즉 광-계 스위칭 다이오드) 형태인 본 발명의 일 실시예에 따라, 베이스 유전체층(42)의 추가 부분(80)을 제거하기 위해 추가 패턴화 단계를 수행한다. 도 13에 도시한 바와 같이, 베이스 유전체층(42)의 부분(80) 및 접착층(40)을 보호된 반도체 소자(72)의 표면(18)에서 절단하고, 금속회로/콘택(16)은 절단용 백스탑 또는 마스크로서 사용한다. 따라서, 개방된 윈도우(82)를, 광학 다이오드(12)에 광을 도달시키는 보호된 반도체 소자(72)의 표면(18)에 형성시킨다. 이 실시예에서, 제 1 패시베이션 층(22)은 반도체 소자 패키지(10)의 광학 윈도우(82)를 계속 보호하면서 이를 통해 광을 투과시키는 광학적으로 투명한 반사방지 재료로 구성될 수 있다는 것을 알 수 있다.

[0041] 본 발명의 또 다른 실시예에 따르면, 반도체 소자 패키지(10)의 어떤 도포에서, 병렬 및/또는 직렬로 배열된 반도체 소자 패키지(10) 배열을 사용하는 것이 바람직할 수 있다는 것을 알 수 있다. 이 때, 반도체 소자 패키지(10) 배열을 조립하는데 유효한 기술이 매우 바람직하다. 도 14 내지 도 17을 참조하면, 본 발명의 일 실시예에 따라, 이 패키지 배열을 조립/접합하기 위해 랩 조인트를 반도체 소자 패키지(10) 상에 형성한다.

[0042] 도 14에 도시한 바와 같이, 반도체 소자 패키지(10)를 패턴화하고 상호연결시킬 때, 유전체 시트(74) 및 접착층(76)을, 랩 조인트가 형성되기를 바라는 영역(84)에서 반도체 소자(12)의 대향 면상에서 절단한다. 도 14에 도시한 바와 같이, 금속 상호연결부 (예, 구리 도금) (36)가 없는 유전체 시트(74) 영역에서 절단을 수행한다. 유전체 시트(74) 및 접착층(76) 절단 후에, 추가 접착층(86) 및 유전체 시트(88)를 보호된 반도체 소자(72)의 표면(20)에 도포/적층하고, 접착층(86) 및 유전체 시트(88)는 도 15에 도시한 바와 같이 랩 조인트 영역(84)을 지나 연장한다. 랩 조인트 형성 공정의 다음 단계에서, 도 16에 도시한 바와 같이, 추가 도포된 접착층(86)을 랩 조인트 영역(84)에서 절단하여, 단지 유전체 시트(84)만을 랩 조인트 영역(84)에 남겨 둔다. 그 다음에 유전체 시트(74)와 접착층(76) 일부와, 랩 조인트 영역(84)의 외부에 있는 (즉 반도체 소자(12)에서 먼) 유전체 시트(88) 및 접착층(86) 일부를 도 17에 도시한 최종 절단 단계에서 제거하여, 제한된 랩 조인트(90)를 갖는 완성된 반도체 소자 패키지(10)가 추가한 유전체 시트(88)로부터 날개로 된다.

[0043]

완성된 반도체 소자 패키지(10)에서 랩 조인트(90)의 형성은 소자 패키지를 또 다른 동일한 소자 패키지에 용이하게 접합시켜, 반도체 소자 패키지(10) 배열을 용이하게 형성할 수 있다. 도 18 내지 도 20을 참조하면, 랩 조인트(90)에 의해 반도체 소자 패키지 배열을 조립하는 조립공정을 도시한다. 도 18에 도시한 바와 같이, 조립 공정의 제 1 단계에서, 접착막 또는 접착액(92)을 랩 조인트(90)상의 유전체 시트(88)상에 증착시킨다. 조립 공정 다음 단계에서, 도 19에 도시한 바와 같이, 하나 이상의 추가 반도체 소자 패키지(94)를 편 정렬 시스템(도시되지 않음) 또는 유사 정렬 도구에 의해 반도체 소자 패키지(10)와 정렬시킨다. 본 발명의 일 실시예에 따르면, 랩 조인트(90)상에서 접착제(92)를 가열하기 위해 적층 프레스(도시되지 않음)를 사용하여, 반도체 소자 패키지(10)를 추가 반도체 소자 패키지(94)에 접착시키기 위해 제공한다. 보다 구체적으로, 접착제(92)는 반도체 소자 패키지(10)의 유전체 시트(88)를 반도체 소자 패키지(94)의 유전체 시트(88)에 결합시킨다.

[0044]

접착제(92)에 의해 반도체 소자 패키지(10)와 반도체 소자 패키지(94) 사이에 기계적 연결이 제공되면, 소자 패키지들 사이의 전기 연결을 형성하기 위해 메커니즘이 요구된다. 따라서, 도 20에 도시한 바와 같이, 도전재료/성분(96)을 반도체 소자 패키지(10) 가장자리상에 제공하고 반도체 소자 패키지(94)까지 연장한다. 예를 들면, 금속 스트립, 솔더, 또는 다른 도전재료(예, 도전성 접착제)는 반도체 소자 패키지(10, 94) 사이에 제공된다. 예를 들면, 솔더(96)를 반도체 소자 패키지(10)의 대향 면상에 형성된 상호연결부 (예, 구리도금) (36) 상에 도포하고, 유전체 시트(74) 및 유전체 시트(88)의 대향 표면의 외면상에 도포한다. 따라서 솔더(96)를, 인접한 반도체 소자 패키지(10, 94)의 상호연결부(36)에 직접 기계적 및 전기적으로 연결시켜 이들 사이에 전기 연결을 제공한다.

[0045]

반도체 소자 패키지(10, 94) 배열에 대해, 각 반도체 소자 패키지(10) (도 2 내지 도 12에 도시)를 개별적으로 구성하기 위한 빌드업 기술은 반도체 소자 패키지(10, 94) 배열에서 각 반도체 소자 패키지에서 매칭된 인더턴스, 커패시턴스 및 저항을 결과하는 매우 반복적인 공정인 것을 알 수 있다. 반도체 소자 패키지(10, 94) 배열에서 각 반도체 소자 패키지간 인더턴스, 커패시턴스 및 저항이 매칭되면 향상된 작동 성능을 갖는 배열이 된다.

[0046]

따라서, 본 발명의 일 실시예에 따르면, 반도체 소자 패키지는 반도체 재료로 구성된 기판 및 기판상에 형성된 복수의 금속 연결 패드를 포함하는 반도체 소자를 포함하고, 상기 복수의 금속 연결 패드는 반도체 소자의 제 1 및 제 2 대향 표면 각각에 형성되며 반도체 소자의 가장자리는 제 1 및 제 2 표면 사이로 연장된다. 또한 반도체 소자 패키지는 반도체 소자 및 기판 상에 형성된 복수의 금속 연결 패드를 커버하도록 반도체 소자 상에 도포된 제 1 패시베이션 층과, 반도체 소자의 제 1 표면에 부착된 베이스 유전체 적층 시트를 더 포함하고, 상기 베이스 유전체 적층 시트는 제 1 패시베이션 층 보다 더 두꺼운 두께를 갖는다. 또한 반도체 소자 패키지는 반도체 소자의 제 2 표면과 가장자리를 커버하도록 제 1 패시베이션 층 및 반도체 소자상에 도포되며 제 1 패시베이션 층 보다 두꺼운 두께를 갖는 제 2 패시베이션 층과, 반도체 소자의 복수의 금속 연결 패드에 전기적으로 결합된 복수의 금속 상호연결부를 더 포함하고, 상기 복수의 금속 상호연결부 각각은 제 1 및 제 2 패시베이션 층과 베이스 유전체 적층 시트에 형성된 개별 비아를 통해 연장되어 복수의 금속 연결 패드중 하나와 직접적인 금속 연결을 형성한다.

[0047]

본 발명의 또 다른 실시예에 따르면, 반도체 소자 패키지 형성 방법은 반도체 재료로 구성된 기판 및 기판상에 형성된 복수의 금속 연결 패드를 포함하는 반도체 소자를 제공하는 단계를 포함하고, 상기 복수의 금속 연결 패드는 반도체 소자의 상하면에 형성된다. 또한 상기 방법은 반도체 소자의 상하면 및 그 상하면 사이로 연장되는 반도체 소자 가장자리 위에 제 1 패시베이션 층을 도포하는 단계, 베이스 유전체 막을 반도체 소자의 하면에 접착시키는 단계, 및 제 2 패시베이션 층을 반도체 소자의 상면 및 가장자리와 제 1 패시베이션 층 상에 도포하여 보호된 반도체 소자를 형성하는 단계를 더 포함하고, 상기 제 2 패시베이션 층은 제 1 패시베이션 층 보다 더 두꺼운 두께를 갖는다. 또한 상기 방법은 복수의 금속 상호연결부를 노출시키기 위해 베이스 유전체 막과 제 1 및 제 2 패시베이션 층을 패턴화하는 단계 및 패턴화된 베이스 유전체 막 및 패턴화된 제 1 및 제 2 패시베이션 층을 통해 연장되는 복수의 금속 상호연결부를 형성하여 복수의 금속 연결 패드에 직접적인 금속 연결을 형성하는 단계를 더 포함한다.

[0048]

본 발명의 또 다른 실시예에 따르면, 반도체 소자 패키지 형성 방법은 반도체 재료로 구성된 기판 및 기판상에 형성된 복수의 금속 연결 패드를 포함하는 반도체 소자를 제공하는 단계를 포함하고, 상기 복수의 금속 연결 패드는 반도체 소자의 상하면에 형성된다. 또한 상기 방법은 반도체 소자의 상하면을 보호하고 반도체 소자의 가장자리를 보호하도록 반도체 소자 주위에 얇은 제 1 패시베이션 층을 도포하는 단계, 베이스 유전체 적층을 반도체 소자의 하면에 도포하는 단계, 및 제 2 패시베이션 층을 반도체 소자의 적어도 가장자리와 제 1 패시베이션 층에 도포하여 보호된 반도체 소자를 형성하는 단계를 더 포함하고, 상기 제 2 패시베이션 층은 반도체 소자

패키지에 대해 원하는 과정전압을 제공하고 반도체 소자 패키지에 대해 최소의 기생 인더턴스를 제공하는 두께를 갖도록 도포된다. 또한 상기 방법은 베이스 유전체 막 및 제 1 및 제 2 패시베이션 층을 패턴화하여 다수의 비아를 형성하는 단계 및 상기 비아를 통해 연장되는 복수의 금속 상호연결부를 형성하여 복수의 금속 상호연결부에 직접적인 금속 연결을 형성하는 단계를 더 포함한다.

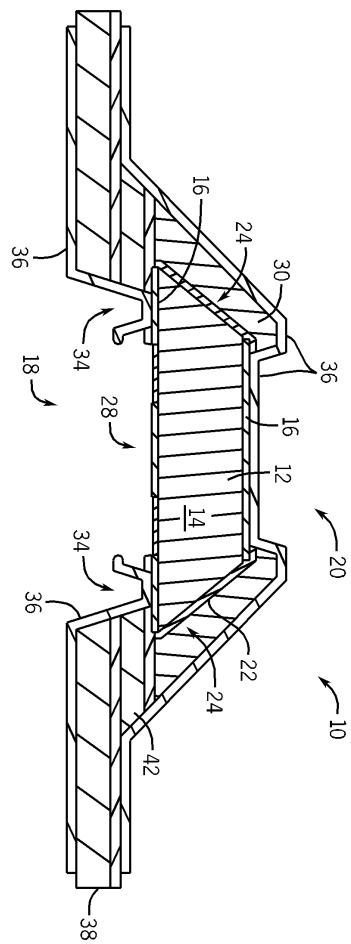
[0049] 본 발명은 단지 제한된 다수의 실시예와 관련하여 상세하게 기술하였지만, 본 발명이 이러한 실시예에 한정되지 않는다는 것을 용이하게 이해해야 한다. 또한, 본 발명은 여기에 기재하지 않은 다수의 변형, 변경, 치환 또는 등가 배열을 포함하도록 변형될 수 있으나 이들은 본 발명의 정신 및 범위를 벗어나지 않는다. 또한 본 발명의 각종 실시예를 기술하면서, 본 발명의 양태는 단지 몇몇의 기술한 실시예를 포함한다는 것을 이해해야 한다. 따라서, 본 발명은 상기한 기술에 의해 제한되지 않으나 첨부한 청구범위에 의해 단지 제한된다.

부호의 설명

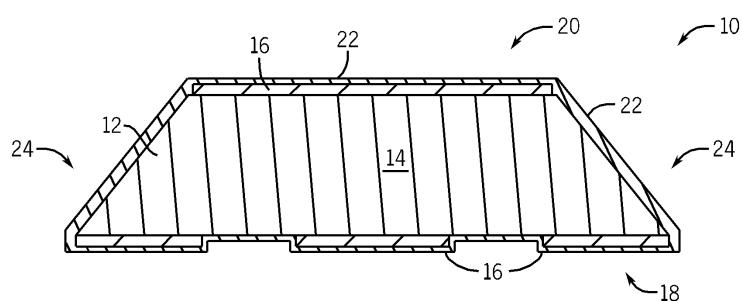
- [0050] 10: 반도체 소자 패키지
- 12: 반도체 소자
- 14: 기판
- 16: 금속 연결 패드
- 22: 제 1 패시베이션 층
- 30: 제 2 패시베이션 층
- 36: 금속 상호연결부
- 42: 베이스 유전체 적층 시트

도면

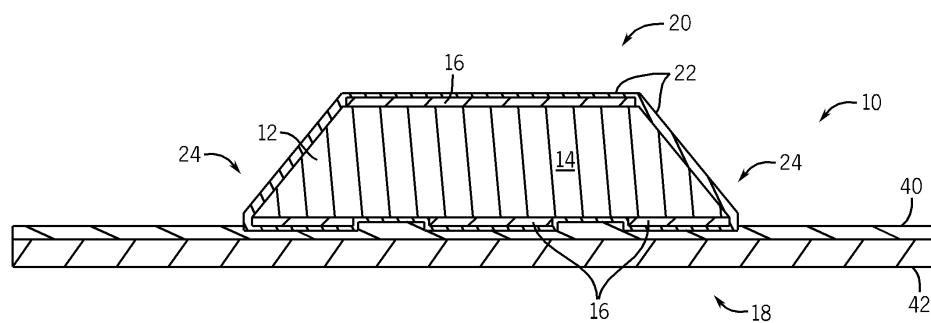
도면1



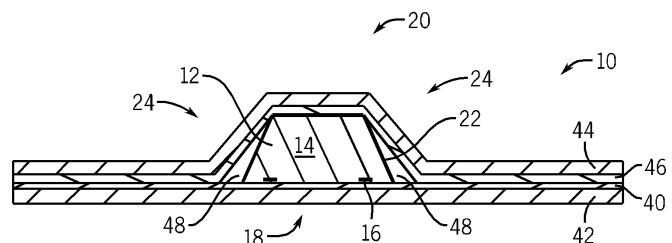
도면2



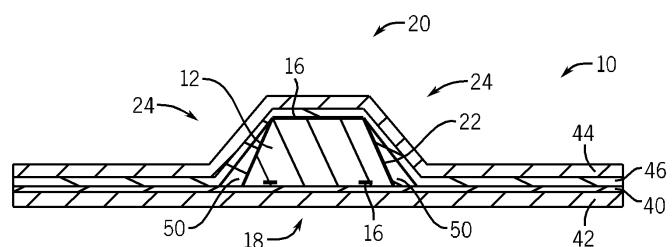
도면3



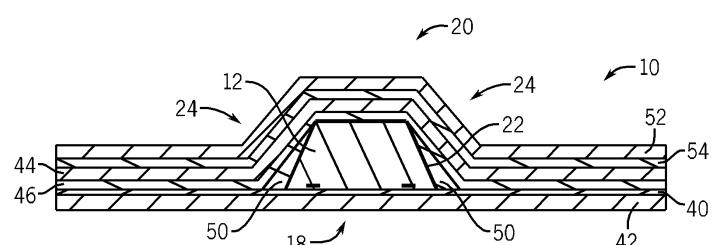
도면4



(a)

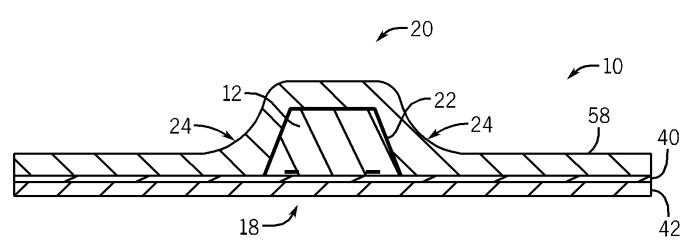


(b)

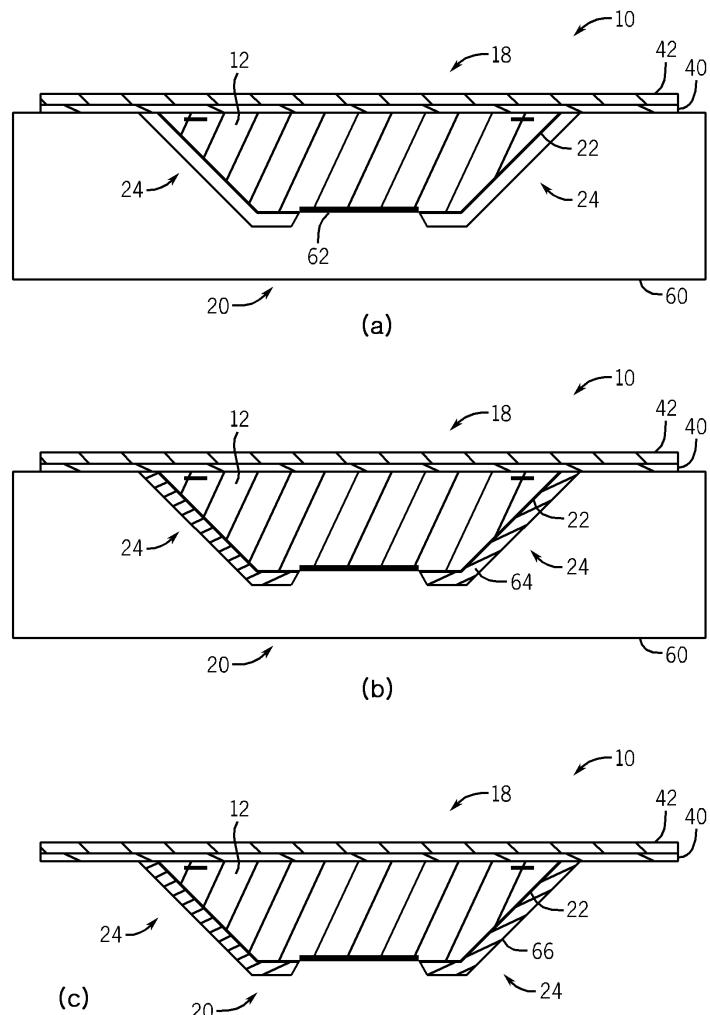


(c)

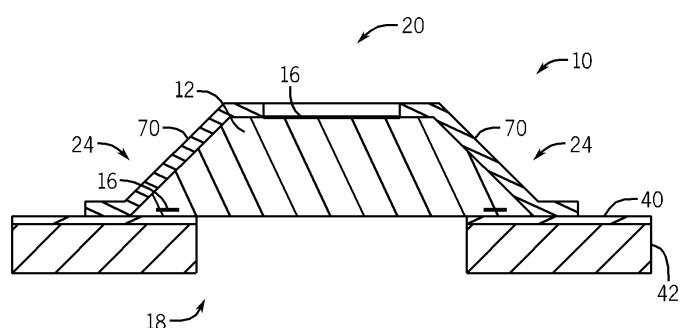
도면5



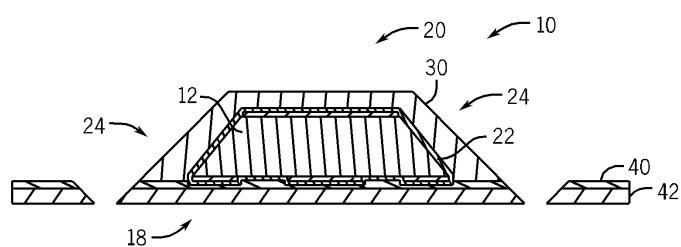
도면6



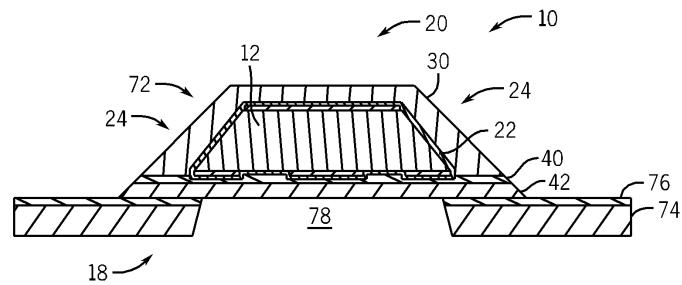
도면7



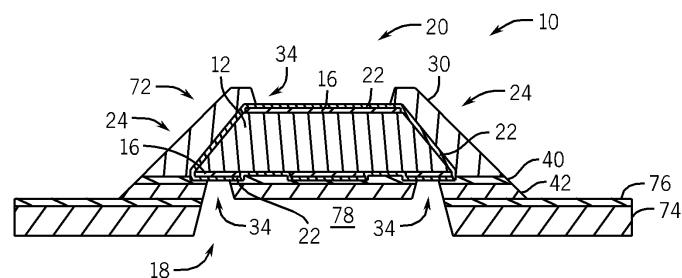
도면8



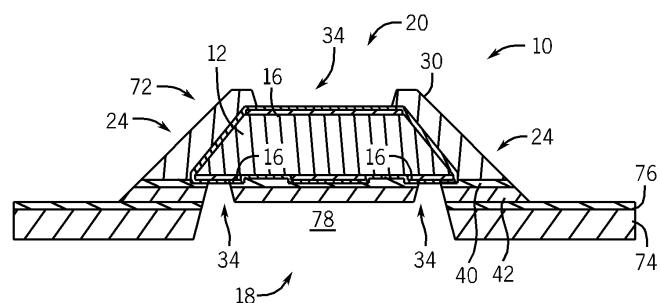
도면9



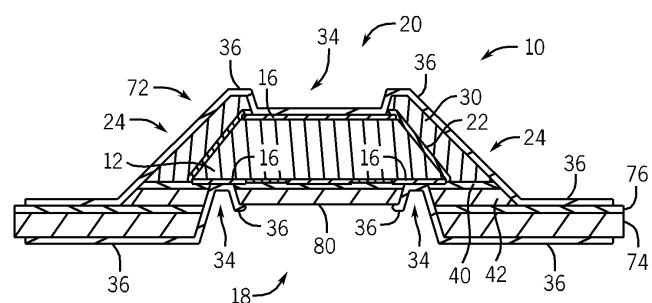
도면10



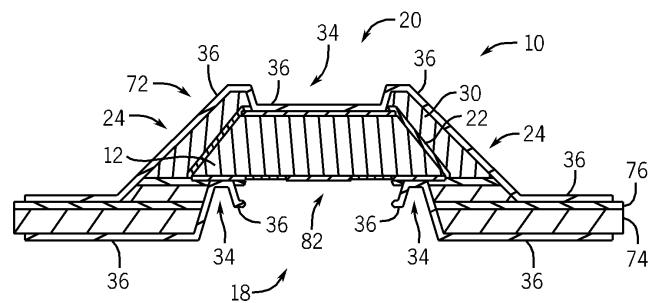
도면11



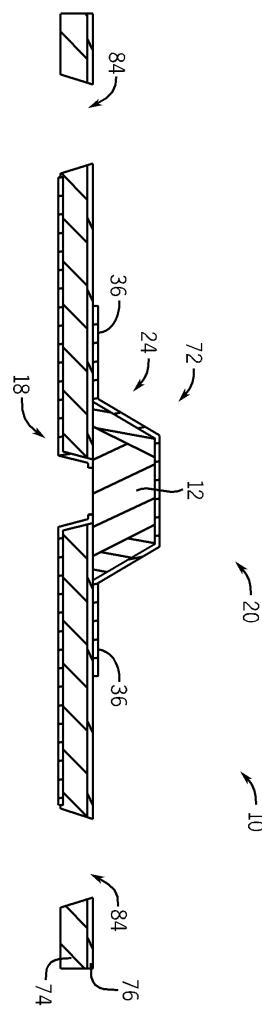
도면12



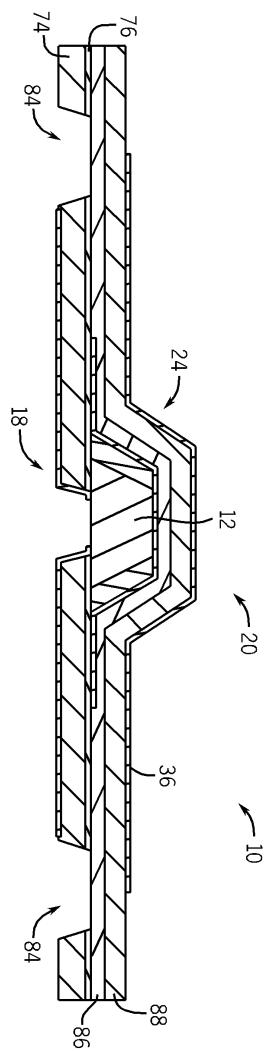
도면13



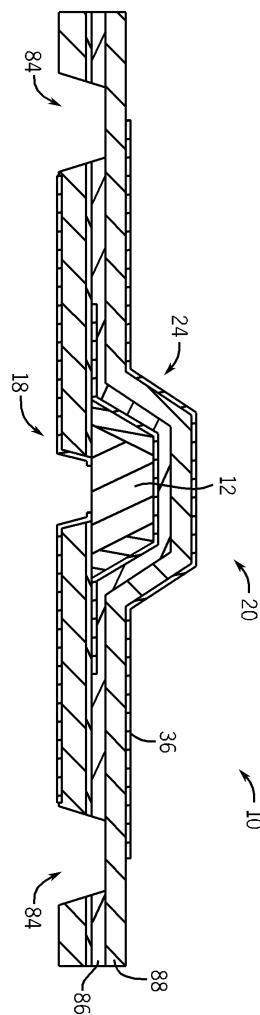
도면14



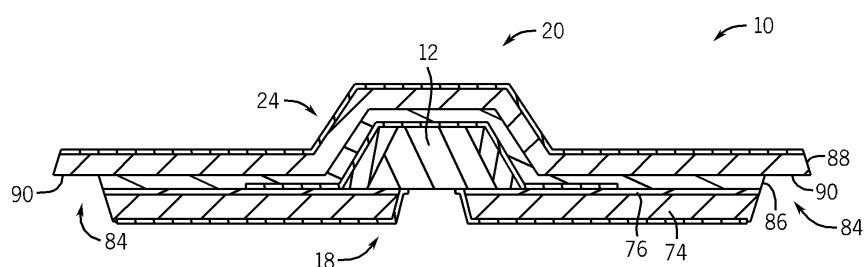
도면15



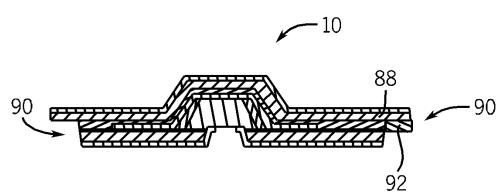
도면16



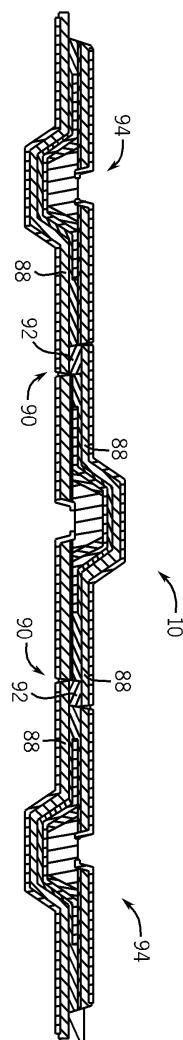
도면17



도면18



도면19



도면20

