(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年6月8日(08.06.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/100517 A1

(51) 国際特許分類:
H05K 3/28 (2006.01) *H05K 3/34* (2006.01)
H01L 23/28 (2006.01)

(21) 国際出願番号： PCT/JP2022/039103

(22) 国際出願日： 2022年10月20日(20.10.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2021-195569 2021年12月1日(01.12.2021) JP

(71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者: 矢吹 裕昌 (YABUKI, Hiromasa); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 弁理士法人ＷｉｓｅＰｌｕｓ (WISEPLUS IP FIRM); 〒5320003 大阪府大阪市淀川区宮原３丁目５番３６号 Osaka (JP).

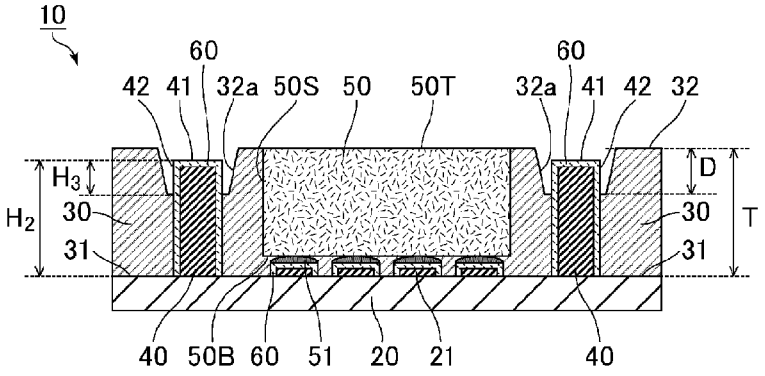
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,

(54) **Title:** CIRCUIT MODULE

(54) 発明の名称： 回路モジュール

図1A



(57) **Abstract:** A circuit module (10) according to the present invention comprises: a substrate (20); a molded resin (30) that is located on a surface of the substrate (20), and has a first main surface (31) in contact with the surface of the substrate (20) and a second main surface (32) on the opposite side from the first main surface (31); and a stud electrode (40) that is located on the surface of the substrate (20), and the periphery of which is covered by the molded resin (30). The molded resin (30) has a recess (32a) that is formed such that part of the second main surface (32) is recessed. In the recess (32a), the stud electrode (40) has an exposed end surface (41) and an exposed side surface (42) that are exposed from the molded resin (30). A plating layer (60) is formed on the exposed side surface (41).

WO 2023/100517 A1

［続葉有］

IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

(57) 要約：本発明の回路モジュール（１０）は、基板（２０）と、上記基板（２０）の表面に配置され、上記基板（２０）の表面と接触する第１主面（３１）と、上記第１主面（３１）に対向する第２主面（３２）とを有するモールド樹脂（３０）と、上記基板（２０）の表面に配置され、周囲を上記モールド樹脂（３０）に覆われたスタッド電極（４０）とからなり、上記モールド樹脂（３０）は、上記第２主面（３２）の一部が凹むように形成された凹部（３２ａ）を有し、上記凹部（３２ａ）において、上記スタッド電極（４０）は上記モールド樹脂（３０）から露出する露出端面（４１）及び露出側面（４２）を有し、上記露出側面（４１）には、めっき層（６０）が形成されている。

明　細　書

発明の名称 ： 回路モジュール

技術分野

[0001] 本発明は、回路モジュールに関する。

背景技術

[0002] 基板上に部品を実装し、さらに、その上にモールド樹脂で部品を覆う回路モジュールが、広く使用されている。

[0003] このような回路モジュールにおいて、基板上に形成された配線を外部の電子部品と接続するために、スタッド電極が用いられている。

すなわち、スタッド電極の基板側の端部を基板上に形成された配線に接続し、他方の端部をモールド樹脂から露出するような回路モジュールが作製されている。

スタッド電極の他方の端部を介して、外部の電子部品に回路モジュールを実装することにより、基板上に形成された配線と外部の電子部品とを電気的に接続することができる。

[0004] このような回路モジュールとして、特許文献１には、第１面を有する基板と、前記第１面に実装された第１部品および第２部品と、前記第１面において、前記第１部品と前記第２部品との間に実装された第１導電材（スタッド電極）と、前記第１部品、前記第２部品および前記第１導電材（スタッド電極）を覆うように、前記第１面に形成された第１封止樹脂（モールド樹脂）と、前記第１封止樹脂（モールド樹脂）の前記基板から遠い側の面を覆う第１シールド膜とを備え、前記第１封止樹脂（モールド樹脂）は、前記第１導電材（スタッド電極）の少なくとも一部を露出させるように凹部を有し、前記第１シールド膜は、前記凹部の内面に沿って延在することによって前記第１導電材（スタッド電極）に電気的に接続しており、さらに、前記凹部において、前記第１シールド膜には開口が設けられており、前記凹部の内部に金属バンプが配置され、前記金属バンプは、前記開口を通じて、前記第１導電

材（スタッド電極）と電気的に接続されている、モジュール（回路モジュール）が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：国際公開第２０２１／０９０６９４号

発明の概要

発明が解決しようとする課題

[0006] 特許文献１に記載のモジュール（回路モジュール）では、第１導電材（スタッド電極）と、外部の電子部品とを接続する際に、はんだバンプを用いる。

特許文献１に記載のモジュール（回路モジュール）と、外部の電子部品とが接続された状態で、熱衝撃や落下衝撃等により応力が生じると、はんだバンプが第１導電材（スタッド電極）から容易に剥がれてしまうという問題があった。

[0007] 本発明は、上記問題を解決するためになされた発明であり、本発明の目的は、スタッド電極からはんだバンプが剥がれにくい回路モジュールを提供することである。

課題を解決するための手段

[0008] 本発明の回路モジュールは、基板と、上記基板の表面に配置され、上記基板の表面と接触する第１主面と、上記第１主面に対向する第２主面とを有するモールド樹脂と、上記基板の表面に配置され、周囲を上記モールド樹脂に覆われたスタッド電極とからなり、上記モールド樹脂は、上記第２主面の一部が凹むように形成された凹部を有し、上記凹部において、上記スタッド電極は上記モールド樹脂から露出する露出端面及び露出側面を有し、上記露出側面には、めっき層が形成されている。

発明の効果

[0009] 本発明によれば、スタッド電極からはんだバンプが剥がれにくい回路モジ

ュールを提供することができる。

図面の簡単な説明

[0010] [図1A]図１Ａは、本発明の第１実施形態に係る回路モジュールの一例を模式的に示す断面図である。

[図1B]図１Ｂは、本発明の第１実施形態に係る回路モジュールのスタッド電極にはんだバンプを配置した状態の一例を模式的に示す断面図である。

[図2]図２は、本発明の第１実施形態に係る回路モジュールの製造方法におけるセラミックグリーンシート準備工程の一例を模式的に示す工程図である。

[図3]図３は、本発明の第１実施形態に係る回路モジュールの製造方法におけるスタッド電極用拘束層準備工程の一例を模式的に示す工程図である。

[図4]図４は、本発明の第１実施形態に係る回路モジュールの製造方法におけるスタッド電極用拘束層積層工程の一例を模式的に示す工程図である。

[図5]図５は、本発明の第１実施形態に係る回路モジュールの製造方法における焼成工程の一例を模式的に示す工程図である。

[図6]図６は、本発明の第１実施形態に係る回路モジュールの製造方法におけるスタッド電極用拘束層除去工程の一例を模式的に示す工程図である。

[図7]図７は、本発明の第１実施形態に係る回路モジュールの製造方法におけるめっき工程の一例を模式的に示す工程図である。

[図8]図８は、本発明の第１実施形態に係る回路モジュールの製造方法における電子部品配置工程の一例を模式的に示す工程図である。

[図9]図９は、本発明の第１実施形態に係る回路モジュールの製造方法における樹脂封止工程の一例を模式的に示す工程図である。

[図10]図１０は、本発明の第１実施形態に係る回路モジュールの製造方法における研磨工程の一例を模式的に示す工程図である。

[図11A]図１１Ａは、本発明の第１実施形態に係る回路モジュールの製造方法におけるスタッド電極露出工程の一例を模式的に示す工程図である。

[図11B]図１１Ｂは、スタッド電極露出工程におけるレーザー照射位置の一例を模式的に示すモールド樹脂の第２主面の平面図である。

[図12A]図１２Ａは、本発明の第１実施形態に係る回路モジュールにはんだバンプを配置する状態の一例を模式的に示す断面図である。

[図12B]図１２Ｂは、本発明の第１実施形態に係る回路モジュールに配置されたはんだバンプをリフローにより溶融する状態の一例を模式的に示す断面図である。

[図13]図１３は、本発明の第１実施形態に係る回路モジュールの変形例の一例を模式的に示す断面図である。

[図14]図１４は、本発明の第１実施形態に係る回路モジュールの別の変形例の一例を模式的に示す断面図である。

[図15]図１５は、本発明の第２実施形態に係る回路モジュールの別の一例を模式的に示す断面図である。

[図16]図１６は、本発明のその他の実施形態に係る回路モジュールの一例を模式的に示す断面図である。

発明を実施するための形態

[0011] 以下、本発明の回路モジュールについて説明する。

しかしながら、本発明は、以下の構成に限定されるものではなく、本発明の要旨を変更しない範囲において適宜変更して適用することができる。

以下において記載する本発明の個々の好ましい構成を２つ以上組み合わせたものもまた本発明である。

[0012] 本発明の回路モジュールは、基板と、上記基板の表面に配置され、上記基板の表面と接触する第１主面と、上記第１主面に対向する第２主面とを有するモールド樹脂と、上記基板の表面に配置され、周囲を上記モールド樹脂に覆われたスタッド電極とからなり、上記モールド樹脂は、上記第２主面の一部が凹むように形成された凹部を有し、上記凹部において、上記スタッド電極は上記モールド樹脂から露出する露出端面及び露出側面を有し、上記露出側面には、めっき層が形成されている。

本発明の回路モジュールは、上記構成を含めば、本発明の効果を奏する範囲で、他の構成を有していてもよい。

[0013] 以下に示す各実施形態は例示であり、異なる実施形態で示した構成の部分的な置換又は組み合わせが可能であることは言うまでもない。第２実施形態以降では、第１実施形態と共通の事項についての記述は省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については、実施形態毎には逐次言及しない。

[0014] ［第１実施形態］

図１Ａは、第１実施形態の回路モジュールの一例を模式的に示す断面図である。

図１Ａに示す回路モジュール１０は、基板２０と、基板２０の表面に配置され、基板２０の表面と接触する第１主面３１と、第１主面３１に対向する第２主面３２とを有するモールド樹脂３０と、基板２０の表面に配置され、周囲をモールド樹脂３０に覆われたスタッド電極４０とからなる。

なお、図１Ａには示していないが、基板２０には、配線が形成されており、当該配線とスタッド電極４０とは接続している。

[0015] また、回路モジュール１０では、基板２０の表面に形成された電極２１の上に接続部材５１を介して電子部品５０が配置されている。電子部品５０は、電極２１に接続する底面５０Ｂ及び側面５０Ｓがモールド樹脂３０に覆われており、上面５０Ｔがモールド樹脂３０から露出している。

なお、電子部品５０の上面５０Ｔは、モールド樹脂３０の第２主面３２と同一平面上に位置している。

[0016] モールド樹脂３０は、第２主面３２の一部が凹むように形成された凹部３２ａを有している。

当該凹部３２ａにおいて、スタッド電極４０はモールド樹脂３０から露出する露出端面４１及び露出側面４２を有している。

また、電極２１、並びに、露出端面４１及び露出側面４２を含むスタッド電極４０の表面には、めっき層６０が形成されている。

[0017] そして、回路モジュール１０では、露出端面４１は、第２主面３２よりも基板２０側に位置している。

[0018] ここで、回路モジュール１０の効果について説明する。

図１Ｂは、本発明の第１実施形態に係る回路モジュールのスタッド電極にはんだバンプを配置した状態の一例を模式的に示す断面図である。

図１Ｂに示すように、回路モジュール１０では、第２主面３２の凹部３２ａにはんだバンプ７０が配置される。

はんだバンプ７０を配置する際は、はんだバンプ７０を加熱することにより溶融させてスタッド電極４０と接続する。

はんだバンプ７０が溶融する際、スタッド電極４０の露出端面４１だけでなく、露出側面４２にまで濡れ広がる。

その後、はんだバンプ７０は冷えて固まることになるが、はんだバンプ７０は、スタッド電極４０の露出端面４１だけでなく、露出側面４２とも接続することになる。

[0019] 従来の回路モジュールは、スタッド電極の端面のみがモールド樹脂から露出している。そのため、従来の回路モジュールにはんだバンプを配置する場合、はんだバンプはスタッド電極の端部のみと接続することになる。

しかし、上記の通り、回路モジュール１０では、はんだバンプ７０は、スタッド電極４０の露出端面４１だけでなく、露出側面４２とも接続する。そのため、従来の回路モジュールにはんだバンプを配置する場合よりも、はんだバンプ７０と、スタッド電極４０との接触面積が大きくなる。

そのため、はんだバンプ７０は、スタッド電極４０から剥がれにくい。

[0020] さらに、はんだバンプ７０は、スタッド電極４０の露出端面４１及び露出側面４２の両方を連続して覆うことになる。つまり、はんだバンプ７０は、スタッド電極４０の角部を跨ぎ、露出端面４１及び露出側面４２の２面を連続するように覆うことになる。このようにはんだバンプ７０がスタッド電極４０を覆うと、界面の面積を大きくすることができる。さらに、はんだバンプ７０とスタッド電極４０との界面は、スタッド電極４０の角部において曲がって形成されており、平面状に形成されていない。

従って、はんだバンプ７０とスタッド電極４０との界面に応力が発生した

としても、複数の部分で応力を受けることができ、応力が集中しにくくなる。特に、スタッド電極４０の角部に応力が集中しやすくなるが、はんだバンプ７０は、スタッド電極４０の角部を跨ぐように覆っているので、応力が集中しにくくなる。

このような理由からも、はんだバンプ７０は、スタッド電極４０から剥がれにくい。

[0021] また、回路モジュール１０では、スタッド電極４０の露出端面４１及び露出側面４２には、めっき層６０が形成されている。

このようなめっき層６０を設けることで、はんだバンプ７０の濡れ性を向上させることができる。そのため、はんだバンプ７０を、スタッド電極４０から剥がれにくくすることができる。

[0022] 回路モジュール１０では、露出端面４１は、モールド樹脂３０の第２主面３２よりも基板２０側に位置している。

凹部３２ａにはんだバンプ７０を配置する際、はんだバンプ７０の底部は、スタッド電極４０の露出端面４１と接触する。

上記の通り、露出端面４１は、モールド樹脂３０の第２主面３２よりも基板２０側に位置しているので、はんだバンプ７０は、凹部３２ａに入り込むことになる。

そうすると、基板２０の底部からはんだバンプ７０の上部までの距離を短くすることができる。すなわち、はんだバンプ７０を配置した際の回路モジュール１０の高さ（図１Ｂ中、符号「H_1」で示す高さ）を低くすることができる。

[0023] 以下、回路モジュール１０の各構成について詳述する。

[0024]（基板）

基板２０は、特に限定されないが、低温焼結セラミック（ＬＴＣＣ）材料からなるセラミックグリーンシートが焼成されて形成されたセラミック基板であることが好ましい。低温焼結セラミック材料は、セラミック材料の１種であり、１０００℃以下の温度で焼結可能であって、比抵抗の小さなＡｕ、

Ａｇ、Ｃｕ等と同時焼成が可能なセラミック材料である。低温焼結セラミック材料としては、具体的には、アルミナ、ジルコニア、マグネシア、フォルステライト等のセラミック粉末にホウ珪酸系ガラスを混合してなるガラス複合系低温焼結セラミック材料、ＺｎＯ－ＭｇＯ－Al_2O_3－SiO_2系の結晶化ガラスを用いた結晶化ガラス系低温焼結セラミック材料、ＢａＯ－Al_2O_3－SiO_2系セラミック粉末やAl_2O_3－ＣａＯ－SiO_2－ＭｇＯ－B_2O_3系セラミック粉末等を用いた非ガラス系低温焼結セラミック材料等が挙げられる。

[0025] 基板２０の厚さは、例えば５μｍ以上、１００μｍ以下であることが好ましい。

[0026] 図１Ａに示すように、基板２０の表面に配置された電極２１には、めっき層６０が形成されている。

電極２１は、Ｃｕ及びＣｕ合金等の金属材料からなることが好ましい。電極２１に形成されためっき層６０としては、Ｎｉ及びＮｉ合金等の金属材料からなることが好ましい。

[0027] なお、図１Ａでは、回路モジュール１０の基板２０として単層の基板を図示しているが、本発明の回路モジュールでは、基板は複数の基板が積層された積層基板であってもよい。また、当該積層された基板の内部に内部電極やビアが形成されていてもよい。

さらに、本発明の回路モジュールでは、基板２０の下に別の基板が積層されていてもよい。当該別の基板は、セラミック基板であってもよく、樹脂基板であってもよい。

[0028]（モールド樹脂）

モールド樹脂は、樹脂材料にフィラーとしてガラス材料又はシリカなどを分散させた樹脂組成物であることが好ましい。

樹脂材料としては、エポキシ樹脂、シリコーン、フェノール樹脂等を用いることができる。

[0029] モールド樹脂３０の厚さ（図１Ａ中、符号「Ｔ」で示す厚さ）は、回路モ

ジュールの用途に応じて適宜設定することが好ましいが、例えば、０．０５ｍｍ以上、０．３０ｍｍ以下であることが好ましい。

[0030] モールド樹脂３０は、第２主面３２の一部が凹むように形成された凹部３２ａを有している。

凹部３２ａを形成することで、スタッド電極４０の側面を露出し、露出側面４２を形成することができる。

[0031] 凹部３２ａの形状は、特に限定されないが、第２主面３２に垂直な方向から見た際に、円形状、楕円形状、三角形状、四角形状、五角形状、六角形状、八角形状等の形状であってもよい。

また、第２主面３２に垂直な方向から見た、第２主面３２における凹部３２ａの底面の輪郭の内側の面積は、スタッド電極４０の大きさ等に合わせ適宜設定することが好ましいが、例えば、０．０３ｍｍ^{2}以上、０．３０ｍｍ^{2}以下であることが好ましい。

[0032] また、凹部３２ａは、図１Ａでは、底面に対し壁面が斜めに形成されたテーパー状の形状であるが、本発明の回路モジュールでは、凹部は、底面と壁面とを有し、底面と壁面とが垂直な形状であってもよい。

[0033] モールド樹脂３０の厚さ方向における凹部３２ａの深さ（図１Ａ中、符号「Ｄ」で示す深さ）は、モールド樹脂３０の厚さＴの１０％以上、５０％以下であることが好ましく、２０％以上、４５％以下であることがより好ましい。

凹部の深さが、モールド樹脂の厚さＴの１０％未満であると、スタッド電極の露出側面の面積が小さくなり、はんだバンプがスタッド電極から剥がれにくくなる効果を得られにくくなる。

凹部の深さが、モールド樹脂の厚さＴの５０％を超える場合、凹部を形成する加工難度が高くなり、回路モジュールの生産性が低下しやすくなる。また、このような凹部をレーザー加工により形成する場合、高出力が必要になり、スタッド電極に形成されためっき層にダメージを与えてしまうこともある。さらに、デスミア処理による樹脂残渣を除去しにくくなる。

[0034]（スタッド電極）

スタッド電極４０を構成する材料としては、特に限定されないが、例えば、Ｃｕ、Ｃｕ合金等の金属材料を用いることができる。Ｃｕ合金としては、例えば、Ｃｕ－１０Ｎｉ合金等が挙げられる。

[0035] また、スタッド電極４０は、これらの金属の粉末が焼結してなる焼結体であることが好ましい。

このようなスタッド電極４０は、基板２０がセラミック基板である場合、セラミック基板を焼結して形成する際に、スタッド電極４０も一括形成することができる。そのため、回路モジュール１０を製造する過程において、加熱回数を減らすことができるので、熱による回路モジュール１０へのダメージを軽減することができる。

[0036] スタッド電極４０の形状は、特に限定されないが、円柱状、楕円柱状、三角柱状、四角柱状、五角柱状、六角柱状、八角柱状であってもよい。

これらの中では、円柱状であることが好ましい。

[0037] スタッド電極４０の露出端面４１の面積は、０．１０ｍｍ^{2}以上、０．２８ｍｍ^{2}以下であることが好ましく、０．１３ｍｍ^{2}以上、０．２６ｍｍ^{2}以下であることがより好ましい。

[0038] スタッド電極４０の高さ（図１Ａ中、符号「H_2」で示す高さ）は、０．０５５ｍｍ以上、０．２９０ｍｍ以下であることが好ましく、０．０６０ｍｍ以上、０．２８０ｍｍ以下であることがより好ましい。

[0039] モールド樹脂３０の厚さ方向におけるスタッド電極４０の露出側面４２の高さ（図１Ａ中、「H_3」で示す高さ）は、モールド樹脂３０の厚さＴの５％以上、３０％以下であることが好ましく、１０％以上、２５％以下であることがより好ましい。

露出側面の高さH_3が、モールド樹脂の厚さＴの５％未満であると、露出側面の面積が小さくなり、はんだバンプがスタッド電極から剥がれにくくなる効果を得られにくくなる。

露出側面４２の高さH_3が、モールド樹脂３０の厚さＴの３０％を超えるよ

うにするためには、凹部を深く形成する必要がある。しかし、このような深い凹部を形成する場合、加工難度が高くなり、回路モジュールの生産性が低下しやすくなる。

[0040] また、モールド樹脂３０の厚さ方向におけるスタッド電極４０の露出側面４２の高さH_3は、凹部３２ａの深さＤの２０％以上、８０％以下であることが好ましい。

このような範囲であると、スタッド電極４０の露出側面４２と、はんだバンプ７０とを好適に接続することができる。

[0041]（めっき層）

スタッド電極４０に形成されためっき層６０は、特に限定されないが、Ｎｉ、Ａｕ、Ｃｕ、Ｐｄ、Ａｇ、Ｓｎ等の金属及びこれらの合金から形成されていることが好ましい。

めっき層６０がこれらの金属からなると、はんだバンプ７０の濡れ性が向上する。

その結果、はんだバンプ７０と、スタッド電極４０の露出端面４１及び露出側面４２とが好適に接続される。

さらに、めっき層６０により、スタッド電極４０を保護し、腐食等から防ぐことができる。

[0042] めっき層６０は、無電解めっきにより形成されていてもよく、電解めっきにより形成されていてもよい。

[0043] めっき層６０の厚さは、２μｍ以上、１５μｍ以下であることが好ましい。

このような範囲であると、めっき層６０が好適にスタッド電極４０を保護することができ、腐食等から防ぐことができる。

[0044]（電子部品）

電子部品５０は、例えば、積層コンデンサ、積層インダクタ、各種フィルタ等のチップ部品、各種ＩＣ、メモリ等の半導体部品であることが好ましい。

電子部品５０は電極２１に接続されているが、これらの接続方法は、特に限定されず、例えば、Ｓｎ－Ａｇ－Ｃｕ系のＰｂフリーはんだ等の接続部材により接続されていてもよい。

[0045]（はんだバンプ）

はんだバンプ７０は従来から用いられている公知のはんだバンプを用いることができる。

このようなはんだバンプ７０としては、例えば、Ｓｎ－Ａｇ－Ｃｕ系のＰｂフリーはんだを用いることができる。

[0046] 次に、回路モジュール１０の製造方法について説明する。

なお、以下の製造方法では、基板として、ＬＴＣＣ材料を用いたセラミック基板を作製する場合を説明する。

[0047] 回路モジュール１０の製造方法は、セラミックグリーンシート準備工程、スタッド電極用拘束層準備工程、スタッド電極用拘束層積層工程、焼成工程、スタッド電極用拘束層除去工程、めっき工程、電子部品配置工程、樹脂封止工程、研磨工程及びスタッド電極露出工程を含んでいてもよい。

[0048]（セラミックグリーンシート準備工程）

図２は、本発明の第１実施形態に係る回路モジュールの製造方法におけるセラミックグリーンシート準備工程の一例を模式的に示す工程図である。

回路モジュール１０の製造方法では、ＬＴＣＣ材料、バインダー、可塑剤を任意の量で混合しスラリーを作製する。

次に、当該スラリーをキャリアフィルム上に塗布して図２に示すセラミックグリーンシート２０ａを成形する。スラリーの塗布はリップコーター、ドクターブレードを用いることができる。スラリーの厚み５～１００μｍで成形することが好ましい。

[0049] 次に、導電性粉末、可塑剤及びバインダーを混合し、回路形成用導電性ペーストを作製し、回路形成用導電性ペーストをセラミックグリーンシート２０ａの表面に印刷することにより配線パターンの未焼成体（図示せず）及び電極の未焼成体２１ａを形成する。

印刷の方法としては、スクリーン印刷、インクジェット印刷、グラビア印刷等が挙げられる。

このような工程を経て図２に示すセラミックグリーンシート２０ａを準備することができる。

[0050]（スタッド電極用拘束層準備工程）

図３は、本発明の第１実施形態に係る回路モジュールの製造方法におけるスタッド電極用拘束層準備工程の一例を模式的に示す工程図である。

次に、ＬＴＣＣ材料、難焼結セラミック材料粉末、バインダー、可塑剤を混合し、スラリーを作製する。難焼結セラミック材料粉末としては、例えば、Al_2O_3等を用いることができる。

難焼結セラミック材料は、ＬＴＣＣ材料の焼結温度では実質的に焼結せず、焼成後でも脆い状態であり、後述するスタッド電極用拘束層除去工程において、スタッド電極用拘束層を容易に除去することができる。

[0051] 次に、当該スラリーをキャリアフィルム上に塗布して拘束層用グリーンシート８０ａを複数枚成形する。スラリーの塗布はリップコーター、ドクターブレードを用いることができる。スラリーの厚み５μｍ以上、１００μｍ以下で成形することが好ましい。

その後、拘束層用グリーンシート８０ａに貫通孔８１を形成する。なお、貫通孔８１は、各拘束層用グリーンシート８０ａを積層した際に、丁度重なる位置に形成する。

次に、導電性粉末、可塑剤及びバインダーを混合し、スタッド電極形成用導電性ペーストを作製する。

その後、図３に示すように、拘束層用グリーンシート８０ａの貫通孔８１にスタッド電極形成用導電性ペースト４０ａを充填し、複数のスタッド電極用拘束層８３を作製する。

スタッド電極形成用導電性ペースト４０ａの充填は、スクリーン印刷等の既知の方法により行うことができる。

[0052]（スタッド電極用拘束層積層工程）

図４は、本発明の第１実施形態に係る回路モジュールの製造方法におけるスタッド電極用拘束層積層工程の一例を模式的に示す工程図である。

次に、図４に示すように、セラミックグリーンシート２０ａと各スタッド電極用拘束層８３とを積層する。

この際、各スタッド電極用拘束層８３に配置されたスタッド電極形成用導電性ペースト４０ａを、セラミックグリーンシート２０ａに形成された回路（図示せず）と重なるように位置合わせを行う。

[0053] （焼成工程）

図５は、本発明の第１実施形態に係る回路モジュールの製造方法における焼成工程の一例を模式的に示す工程図である。

次に、積層されたセラミックグリーンシート２０ａ及び各スタッド電極用拘束層８３を焼成する。

焼成の条件は特に限定されず、セラミックグリーンシート、回路形成用導電性ペースト及びスタッド電極用導電性ペーストの材料や、形状等に応じ適宜設定することが好ましい。

なお、回路形成用導電性ペースト及びスタッド電極用導電性ペーストに銅化合物が含まれる場合は、還元性雰囲気で焼成することが好ましい。

焼成を行う焼成炉はバッチ炉、ベルト炉を用いることができる。

[0054] このような工程を経て、セラミックグリーンシート２０ａ、電極の未焼成体２１ａ及びスタッド電極形成用導電性ペースト４０ａは、図５に示すように、基板２０、電極２１及びスタッド電極４０に焼成される。なお、拘束層用グリーンシート８０ａも焼成され、焼成後拘束層用シート８０となる。

なお、スタッド電極４０の高さは、スタッド電極用拘束層８３の厚さや枚数を変更することにより調整することができる。

この工程において、形成されるスタッド電極４０の頭部の位置を、後述する基板の上に配置された電子部品５０の頭部の高さより低くする。

[0055] 上記の方法では、一度の焼成処理で、基板２０、電極２１及びスタッド電極４０を一括形成している。そのため、回路モジュール１０を製造する上で

、加熱回数を減らすことができる。

[0056] また、上記の方法では、複数のスタッド電極用拘束層８３を積層して、スタッド電極４０を形成しているので、スタッド電極４０を正確な位置に形成しやすくなる。

[0057]（スタッド電極用拘束層除去工程）

図６は、本発明の第１実施形態に係る回路モジュールの製造方法におけるスタッド電極用拘束層除去工程の一例を模式的に示す工程図である。

次に、図６に示すように、焼成後拘束層用シート８０を除去する。焼成後拘束層用シート８０を除去する方法としては、特に限定されないが、サンドブラスト等のような既知の方法を採用することができる。

[0058]（めっき工程）

図７は、本発明の第１実施形態に係る回路モジュールの製造方法におけるめっき工程の一例を模式的に示す工程図である。

次に、スタッド電極４０及び電極２１の表面にめっき処理を行う。これにより、図７に示すように、スタッド電極４０及び電極２１の表面にめっき層６０を形成することができる。

めっき層６０の形成方法は、特に限定されないが、既知の無電解めっき法により形成することが好ましい。

[0059]（電子部品配置工程）

図８は、本発明の第１実施形態に係る回路モジュールの製造方法における電子部品配置工程の一例を模式的に示す工程図である。

次に、図８に示すように、電子部品５０を電極２１に接続することにより基板２０の上に配置する。この際、電子部品５０と電極２１とを、Ｓｎ－Ａｇ－Ｃｕ系のＰｂフリーはんだ等の接続部材５１により接続することが好ましい。

[0060]（樹脂封止工程）

図９は、本発明の第１実施形態に係る回路モジュールの製造方法における樹脂封止工程の一例を模式的に示す工程図である。

次に、スタッド電極４０及び電極２１に接続された電子部品５０の全体が覆われるように、モールド樹脂３０を基板２０の上に塗工する。

モールド樹脂３０の塗工は、既知の方法を採用することができる。

モールド樹脂３０の基板２０の表面に接する部分は、第１主面３１となる。また、第１主面３１に対向する主面は第２´主面３２´である。

[0061]（研磨工程）

図１０は、本発明の第１実施形態に係る回路モジュールの製造方法における研磨工程の一例を模式的に示す工程図である。

次に、モールド樹脂３０を、第２´主面３２´側から研磨する。この際、電子部品５０の一部も一緒に研磨加工する。また、スタッド電極４０の頭部を研磨しないようにする。

研磨後のモールド樹脂３０の研磨面は、第２主面３２となる。

研磨工程を行うことにより第２主面３２と、電子部品５０の上面５０Ｔを同一平面上に位置させることができる。

研磨方法としては、ラップ研磨等、既知の方法を採用することができる。

[0062]（スタッド電極露出工程）

図１１Ａは、本発明の第１実施形態に係る回路モジュールの製造方法におけるスタッド電極露出工程の一例を模式的に示す工程図である。

次に、モールド樹脂３０の第２主面３２にレーザーＬを照射することにより、モールド樹脂３０の一部を分解して凹部３２ａを形成する。この際、スタッド電極４０の一部が露出するように凹部を形成する。

露出したスタッド電極４０の頭部は露出端面４１となり、露出したスタッド電極４０の側面は露出側面４２となる。

[0063] ここで、レーザーを照射する範囲について図面を用いて説明する。

図１１Ｂは、スタッド電極露出工程におけるレーザー照射位置の一例を模式的に示すモールド樹脂の第２主面の平面図である。

図１１Ｂに示すようにレーザーを照射する範囲Ａは、第２主面３２において、埋没しているスタッド電極４０の輪郭を覆う範囲（図１１Ｂ中、符号「

Ａ」で示す範囲）であることが好ましい。このような範囲でレーザーを照射することにより、スタッド電極４０の側面も露出することができる。

[0064] レーザーは、例えばＹＡＧレーザー等を使用することができる。

また、レーザーの出力は、モールド樹脂３０を分解することができるが、スタッド電極４０の露出端面４１及び露出側面４２に形成されためっき層６０、並びに、スタッド電極４０を損傷しない程度に調整することが好ましい。

[0065] レーザーの照射後、デスミア処理等によりレーザー照射部分を洗浄し、異物を除去することが好ましい。

[0066] 以上の工程を経て回路モジュール１０を製造することができる。

[0067] 次に、製造された回路モジュール１０のスタッド電極４０にはんだバンプ７０を配置する方法を説明する。

[0068] 図１２Ａは、本発明の第１実施形態に係る回路モジュールにはんだバンプを配置する状態の一例を模式的に示す断面図である。

図１２Ｂは、本発明の第１実施形態に係る回路モジュールに配置されたはんだバンプをリフローにより溶融させる状態の一例を模式的に示す断面図である。

図１２Ａに示すように、回路モジュール１０の凹部３２ａにはんだバンプ７０を配置する。

次に、図１２Ｂに示すようにリフロー等によりはんだバンプ７０を溶融させる。

リフローの条件は、はんだバンプ７０が溶融する条件であれば特に限定されないが、２３０℃以上、２７０℃以下で、５ｓｅｃ以上、６０ｓｅｃ以下であることが好ましい。

[0069] 図１２Ｂに示すように、はんだバンプ７０とモールド樹脂３０とは接合しないため、凹部３２ａにはわずかに隙間が残る。その一方で、はんだバンプ７０とスタッド電極４０に形成されためっき層６０とは合金を形成し接合する。

また、はんだバンプ７０が溶融する際には、はんだバンプ７０は、露出側面４２にも濡れ広がる。

[0070] なお、スタッド電極４０の露出端面４１の位置や、はんだバンプ７０の質量等を調整することにより、凹部３２ａから突出するはんだバンプ７０の高さ（図１２Ｂ中、符号「H_4」で示す高さ）を調節することができる。

[0071] 次に、本発明の第１実施形態に係る回路モジュールの変形例について説明する。

図１３は、本発明の第１実施形態に係る回路モジュールの変形例を模式的に示す断面図である。

図１３に示す回路モジュール１１は、スタッド電極４０の露出端面４１が第２主面３２と同一平面上に位置しており、露出端面４１にめっき層６０が形成されていない以外は、上記回路モジュール１０と同じ構成である。

[0072] このような回路モジュール１１を形成する方法としては、上記のスタッド電極用拘束層準備工程、スタッド電極用拘束層積層工程及び焼成工程において作製するスタッド電極４０の高さH_2を、製造される回路モジュール１１の第２主面３２を超えるように高くし、上記の研磨工程において、モールド樹脂３０及び電子部品５０と共に、スタッド電極４０も研磨する方法が挙げられる。

[0073] 次に、本発明の第１実施形態に係る回路モジュールの別の変形例について説明する。

図１４は、本発明の第１実施形態に係る回路モジュールの別の変形例を模式的に示す断面図である。

図１４に示す回路モジュール１２は、スタッド電極４０の露出端面４１にめっき層６１が形成されている以外は、上記回路モジュール１１と同じ構成である。

[0074] 回路モジュール１２は、回路モジュール１１におけるスタッド電極４０の露出端面４１にめっき処理をし、めっき層６１を形成することにより製造することができる。

[0075] なお、めっき層６０と、めっき層６１とは、同じ種類の金属からなっていてもよく、異なる種類の金属からなっていてもよい。

[0076] （第２実施形態）

次に、本発明の第２実施形態に係る回路モジュールについて説明する。

図１５は、本発明の第２実施形態に係る回路モジュールの別の一例を模式的に示す断面図である。

図１５に示す回路モジュール１１０は、スタッド電極１４０が多孔質体である以外、上記回路モジュール１０と同じ構成である。

[0077] 一般的に、回路モジュールが熱を受けると、モールド樹脂が熱膨張し、スタッド電極を押すことになる。また、スタッド電極自信も熱膨張し、回路モジュール全体に熱応力が生じる。

回路モジュールが繰り返し熱を受けると、この熱応力によりスタッド電極内部や、モールド樹脂とはんだバンプとの接合界面にクラックが生じたり、スタッド電極とモールド樹脂と間に剥がれが生じたりする。

しかし、回路モジュール１１０のように、スタッド電極１４０が多孔質体であると、柔軟性が高くなるので、スタッド電極１４０において熱応力を吸収することができる。

そのため、例えば、熱によりモールド樹脂３０が膨張したとしてもスタッド電極１４０は、その膨張した体積を吸収することができる。

従って、上記のクラックや剥がれが生じることを防ぐことができる。すなわち、スタッド電極１４０を多孔質体とすることで、モジュール回路の耐熱性が向上する。

[0078] スタッド電極１４０において、内部の空隙率は５ｖｏｌ％以上、４０ｖｏｌ％以下であることが好ましく、１０ｖｏｌ％以上、３５ｖｏｌ％以下であることがより好ましい。

空隙率が５ｖｏｌ％未満であると、上記の耐熱性が充分に向上しにくくなる。

空隙率が４０ｖｏｌ％を超えると、スタッド電極の緻密性が低くなり、強

度が低下しやすくなる。また、スタッド電極にめっき層を形成する際に、めっき液が空隙に入り込んでしまい、はんだバンプを配置する際や、回路モジュールを実装する際にはんだ爆ぜが発生しやすくなる。

[0079] なお、多孔質体であるスタッド電極１４０を作製する方法としては、本発明の第１実施形態に係る回路モジュールの製造方法で説明したスタッド電極用拘束層準備工程において、スタッド電極形成用導電性ペーストに、樹脂粒子を加える方法が挙げられる。

スタッド電極形成用導電性ペーストに樹脂粒子を加えると、焼成工程において樹脂粒子が熱分解し、樹脂粒子が存在していた部分に空隙が生じる。これによりスタッド電極１４０を多孔質体とすることができる。

スタッド電極１４０の空隙率は、樹脂粒子の種類、大きさ、量を調整することにより制御することができる。

樹脂粒子としては、アクリル樹脂ビーズ、ポリスチレン樹脂ビーズ、ポリプロピレン樹脂ビーズ等が挙げられる。

なお、スタッド電極１４０では、空隙を形成する気孔は、他の気孔と連通していてもよく、閉気孔であってもよい。スタッド電極形成用導電性ペーストに加える樹脂粒子の大きさ、量を調整することで、気孔を他の気孔と連通させたり、閉気孔とすることができる。

[0080] （その他の実施形態）

これまで説明してきた第１実施形態に係る回路モジュール及び第２実施形態に係る回路モジュールでは、基板の片方の表面にのみ、スタッド電極、モールド樹脂及び電子部品が配置されていた。

しかし、本発明の回路モジュールでは、基板の両方の表面にスタッド電極、モールド樹脂及び電子部品が配置されていてもよい。

このような回路モジュールについて図面を用いて説明する。

[0081] 図１６は、本発明のその他の実施形態に係る回路モジュールの一例を模式的に示す断面図である。

図１６に示す回路モジュール２１０は、上記回路モジュール１０において

、スタッド電極４０、モールド樹脂３０及び電子部品５０が配置されている基板２０の表面と対向する表面にも、同様にスタッド電極４０、モールド樹脂３０及び電子部品５０が配置されている。

[0082] 本発明に係る回路モジュールは、外観選別、特性選別、テーピング等のその他の加工を行った後、出荷されてもよい。

また、本発明に係る回路モジュールは、回路モジュールの集合体を作製し、個片化することにより製造してもよい。

実施例

[0083] （実施例１）

（セラミックグリーンシート準備工程）

ＬＴＣＣ材料としてSiO_2、$BaCO_3$、Al_2O_3、および$MnCO_3$の各粉末を、焼成後において、SiO_2が５４．９重量部、ＢａＯが２９．８重量部、およびAl_2O_3が１１．５重量部、ＭｎＯが３．８重量部、合計１００％となるように調整した。さらにバインダーとしてポリビニルブチラールを１０重量部、可塑剤としてフタル酸ビス（２－エチルヘキシル）（ＤＯＰ）を３重量部だけ混合し、スラリーを作製した。

次に、当該スラリーを厚さ０．０５０ｍｍ～０．１００ｍｍとなるようにキャリアフィルム上に塗布してセラミックグリーンシートを成形した。

[0084] （スタッド電極用拘束層準備工程）

難焼結セラミック材料粉末としてAl_2O_3を８８重量部、バインダーとしてポリビニルブチラールを９重量部、可塑剤としてＤＯＰを３重量部だけ混合し、スラリーを作製した。

次に、当該スラリーを厚さ０．０９０～０．１１０ｍｍとなるようにキャリアフィルム上に塗布して拘束層用グリーンシートに塗布し、実施例１に係る拘束層用グリーンシートを作製した。

次に、拘束層用グリーンシートに直径０．２００ｍｍの貫通孔を作製した。

[0085] 次に、導電性粉末としてＣｕを９５重量部、可塑剤としてバインダーとしてエチルセルロースを１．５重量部、樹脂粒子としてアクリル樹脂ビーズを

３．５重量部だけ混合し、実施例１に係るスタッド電極形成用導電性ペーストを作製した。

[0086] 次に、拘束層用グリーンシートの貫通孔に、スクリーン印刷によりスタッド電極形成用導電性ペーストを充填し、実施例１に係るスタッド電極用拘束層を作製した。同様の方法で実施例１に係るスタッド電極用拘束層を２枚準備した。

[0087]（スタッド電極用拘束層積層工程）

次に、セラミックグリーンシートの上に２枚のスタッド電極用拘束層を積層した。

[0088]（焼成工程）

次に、低酸素雰囲気下、９５０℃、１時間の条件で焼成し、スタッド電極を作製した。

この工程において、樹脂粒子が熱分解し、スタッド電極は多孔質体となる。

なお、実施例１に係るスタッド電極の空隙率は、３ｖｏｌ％であった。また、スタッド電極の高さは、０．１６０ｍｍであった。

[0089]（スタッド電極用拘束層除去工程）

次に、焼成後拘束層用シートをサンドブラストにより除去した。

[0090]（めっき工程）

次に、スタッド電極にＮｉ／Ａｕからなるめっき層を、無電解めっきにより形成した。

[0091]（樹脂封止工程）

次に、モールド樹脂としてエポキシ樹脂を用い、モールド樹脂の厚さが０．２４０ｍｍとなるように、スタッド電極をモールド樹脂で封止した。

[0092]（研磨工程）

次に、モールド樹脂の厚さが０．２０ｍｍとなるように、ラップ研磨によりモールド樹脂の第２主面を研磨した。

[0093]（スタッド電極露出工程）

次に、レーザーによりモールド樹脂の第２主面に凹部を形成した。この際、スタッド電極が露出する位置に凹部を形成した。

凹部は、直径を０．２５０ｍｍとし、深さを０．０５０ｍｍとした。

その後、デスミア処理等によりレーザー照射部分を洗浄し、異物を除去した。

[0094] 以上の工程を経て、実施例１に係る回路モジュールを製造した。

[0095] その後、実施例１に係る回路モジュールの凹部に０．０１１ｇのはんだバンプを配置し、２５０℃で加熱することによりはんだバンプを溶融させ、スタッド電極の露出端面及び露出側面とはんだバンプとを接続した。

[0096] （実施例２～９）

空隙率が表１に示す数値になるように樹脂粒子の配合量を変えた以外は、実施例１と同様に、実施例２～９に係るスタッド電極を作製し、はんだバンプを配置した。

[0097] [表1]

	空隙率（vol%）	熱衝撃指数
実施例１	3	100
実施例２	5	108
実施例３	10	111
実施例４	15	118
実施例５	20	120
実施例６	30	119
実施例７	35	112
実施例８	40	102
実施例９	50	72

[0098] （ヒートサイクル試験）

はんだバンプが配置された各実施例に係る回路モジュールを－４０℃から８５℃、保持時間３０分を１サイクルとして、各スタッド電極やはんだ部にクラックが生じるまで行い、そのクラックが生じるまでのサイクル数を測定しそのサイクル数に基づき熱衝撃指数を算出した。結果を表１に示す。

表１に示す熱衝撃指数は、空隙率が３ｖｏｌ％であるスタッド電極にクラックが生じるまでのサイクル数を１００とした場合の比率で示している。

なお、実施例９に係るスタッド電極は、ヒートサイクル試験中にはんだ爆ぜが生じた。

[0099] 表１に示すように、スタッド電極の空隙率が５ｖｏｌ％以上、４０ｖｏｌ％以下であると、熱により応力が発生したとしてもクラックの発生を好適に抑制することができ、熱応力耐性が１０％から２０％程度向上させることができることが判明した。

符号の説明

[0100] １０、１１、１２、１１０、２１０　回路モジュール

２０　基板

２０ａ　セラミックグリーンシート

２１　電極

２１ａ　電極の未焼成体

３０　モールド樹脂

３１　第１主面

３２　第２主面

３２´　第２´主面

３２ａ　凹部

４０、１４０　スタッド電極

４０ａ　スタッド電極形成用導電性ペースト

４１　露出端面

４２　露出側面

５０　電子部品

５０Ｂ　電子部品の底面

５０Ｓ　電子部品の側面

５０Ｔ　電子部品の上面

５１　接続部材

６０、６１　めっき層

７０　はんだバンプ

８０　焼成後拘束層用シート

８０ａ　拘束層用グリーンシート

８１　貫通孔

８３　スタッド電極用拘束層

請求の範囲

[請求項1] 基板と、

前記基板の表面に配置され、前記基板の表面と接触する第１主面と、前記第１主面に対向する第２主面とを有するモールド樹脂と、

前記基板の表面に配置され、周囲を前記モールド樹脂に覆われたスタッド電極とからなり、

前記モールド樹脂は、前記第２主面の一部が凹むように形成された凹部を有し、

前記凹部において、前記スタッド電極は前記モールド樹脂から露出する露出端面及び露出側面を有し、

前記露出側面には、めっき層が形成されている回路モジュール。

[請求項2] 前記スタッド電極の前記露出端面には、めっき層が形成されている請求項１に記載の回路モジュール。

[請求項3] 前記スタッド電極の前記露出端面は、前記モールド樹脂の前記第２主面と同一平面上に位置している請求項１又は２に記載の回路モジュール。

[請求項4] 前記スタッド電極の前記露出端面は、前記モールド樹脂の前記第２主面よりも前記基板側に位置している請求項１又は２に記載の回路モジュール。

[請求項5] 前記モールド樹脂の厚さ方向における前記スタッド電極の前記露出側面の高さは、前記モールド樹脂の厚さの５％以上、３０％以下である請求項１～４のいずれかに記載の回路モジュール。

[請求項6] 前記モールド樹脂の厚さ方向における前記凹部の深さは、前記モールド樹脂の厚さの１０％以上、５０％以下である請求項１～５のいずれかに記載の回路モジュール。

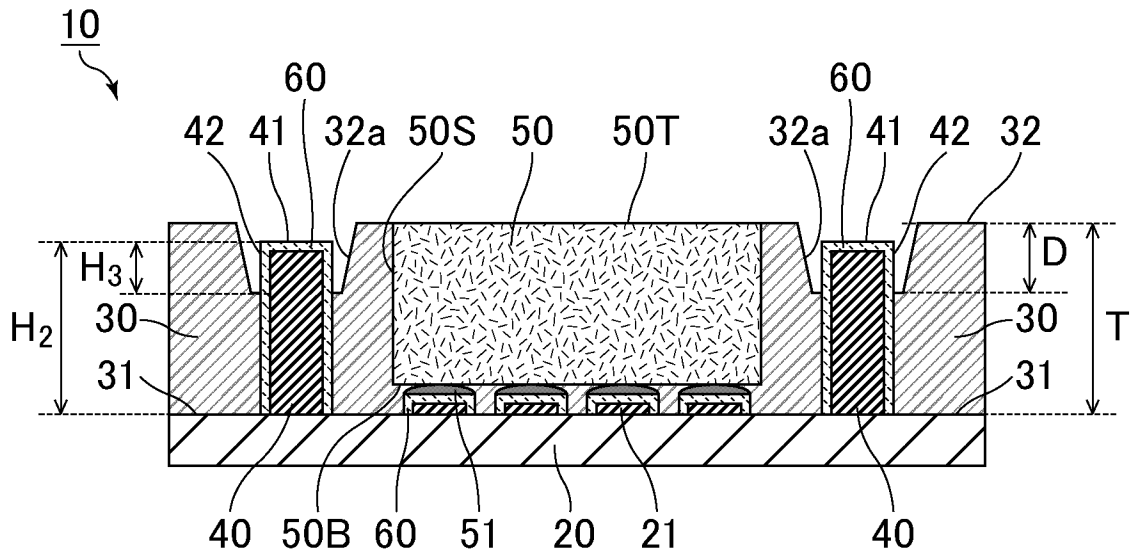
[請求項7] 前記スタッド電極は、多孔質体である請求項１～６のいずれかに記載の回路モジュール。

[請求項8] 前記スタッド電極の内部の空隙率は、５ｖｏｌ％以上、４０ｖｏｌ

％以下である請求項７に記載の回路モジュール。

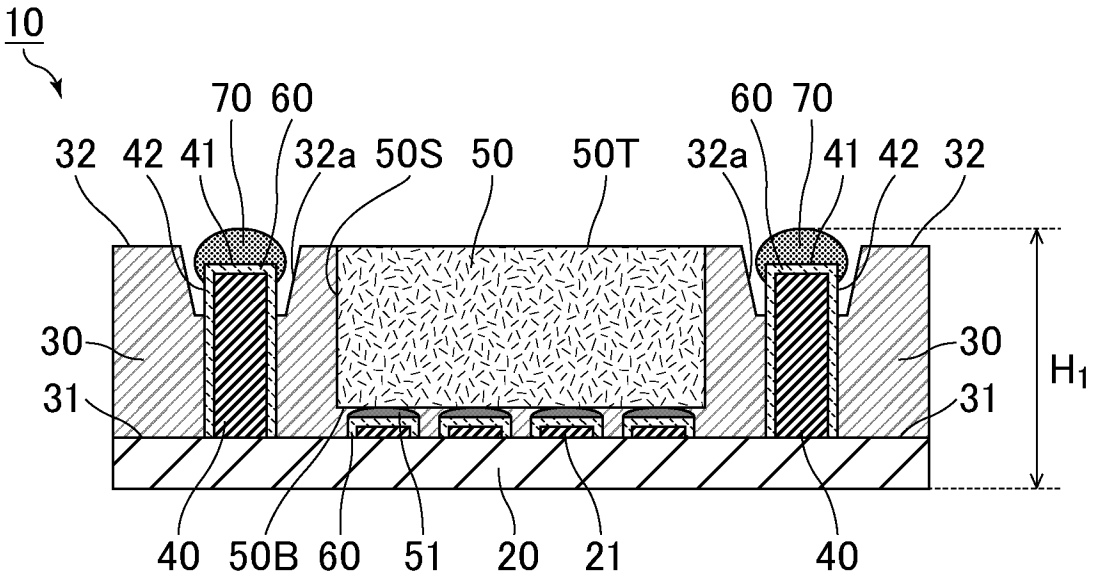
[図1A]

図1A



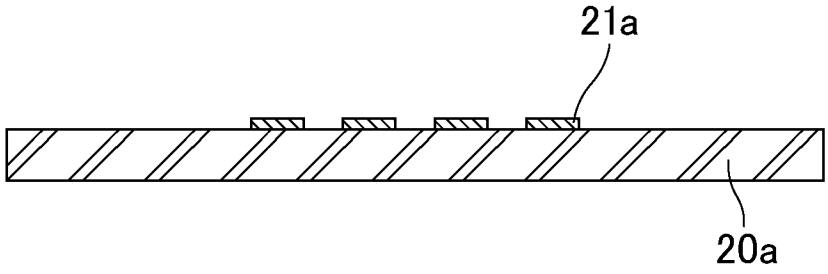
[図1B]

図1B



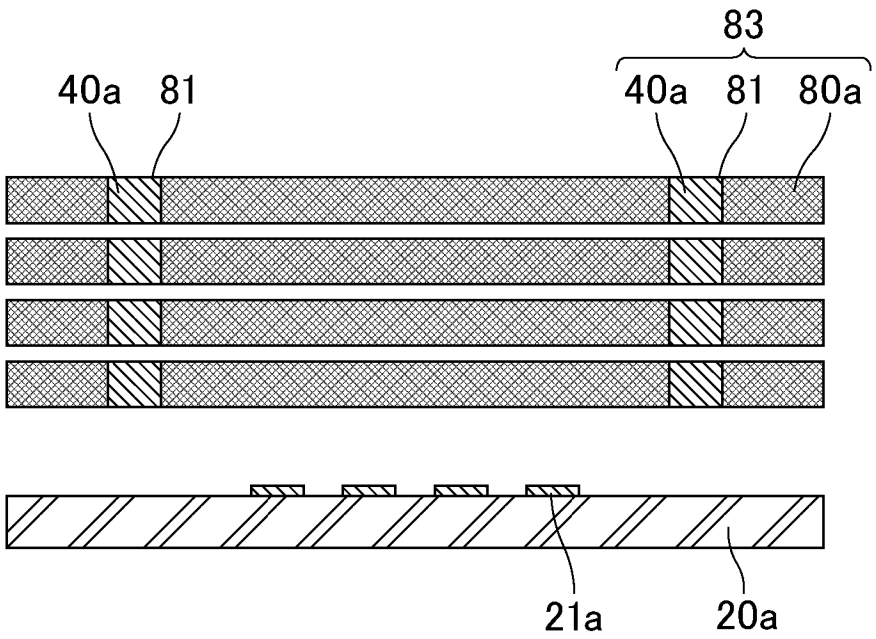
[図2]

図2



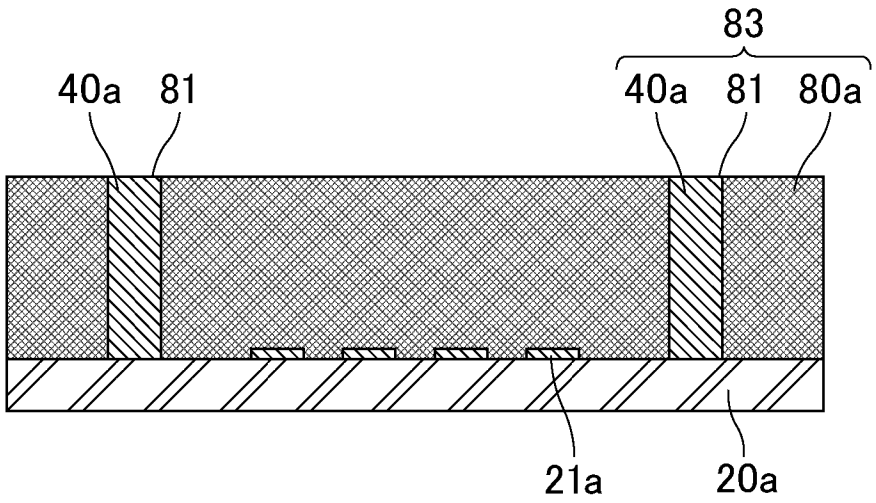
[図3]

図3



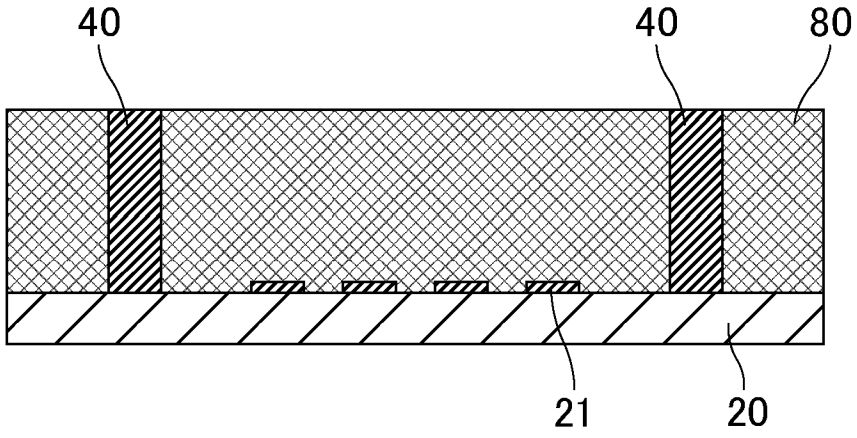
[図4]

図4



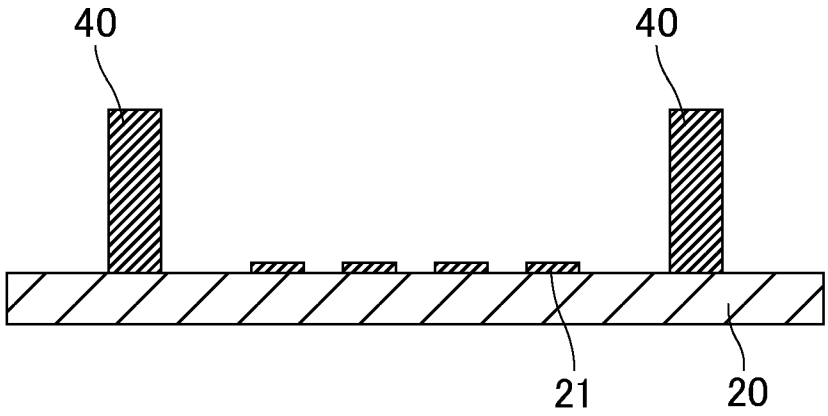
[図5]

図5



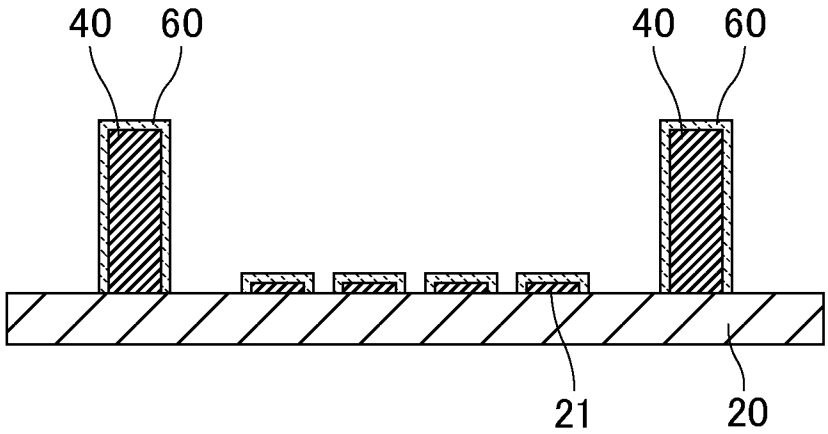
[図6]

図6



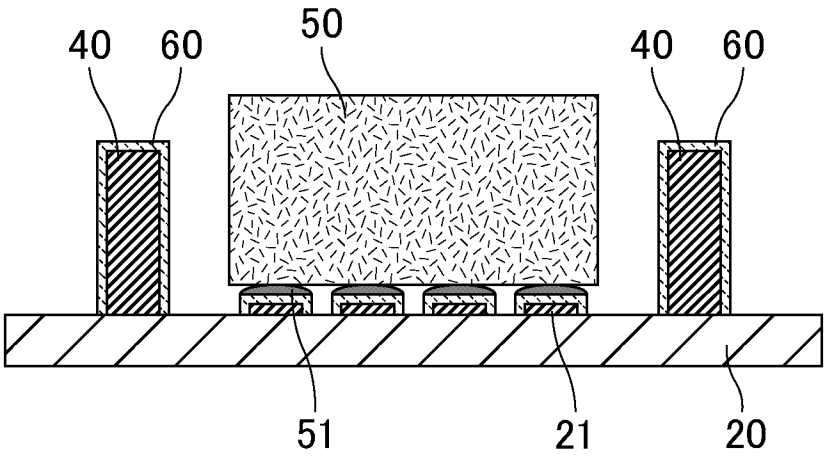
[図7]

図7

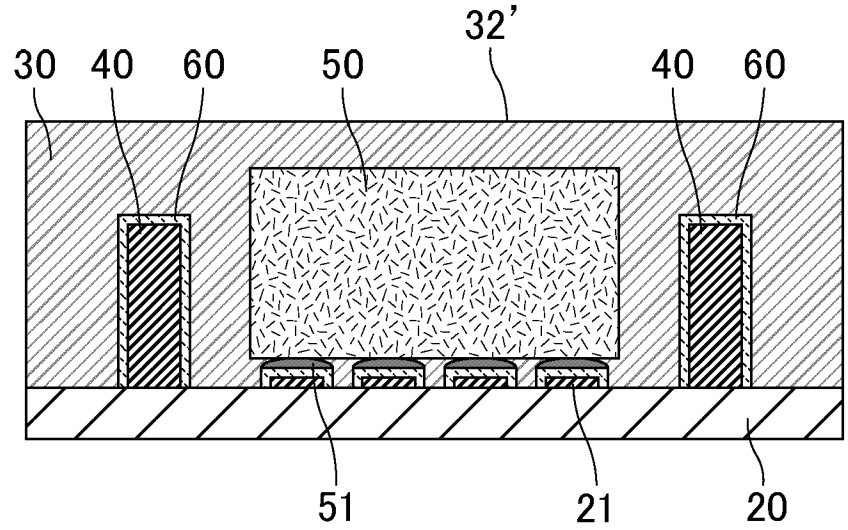


[図8]

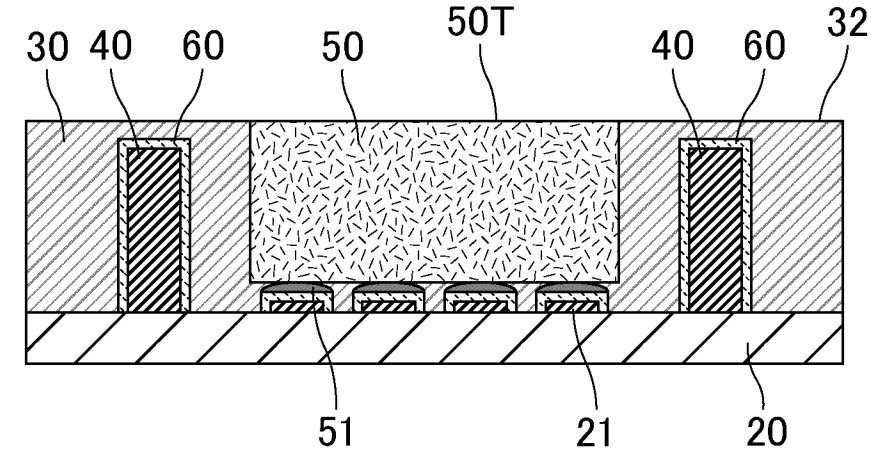
図8



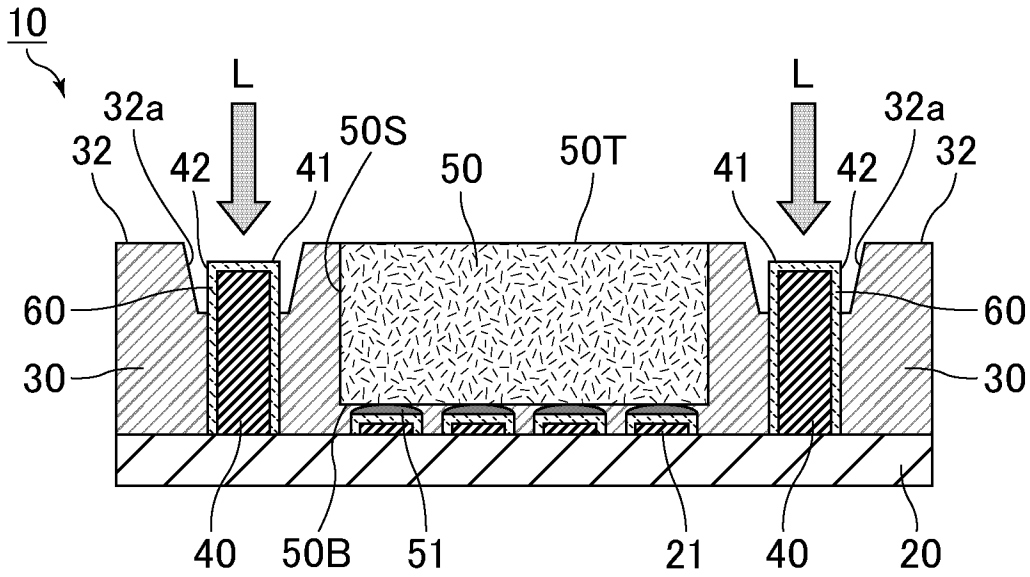
[図9]
図9



[図10]
図10

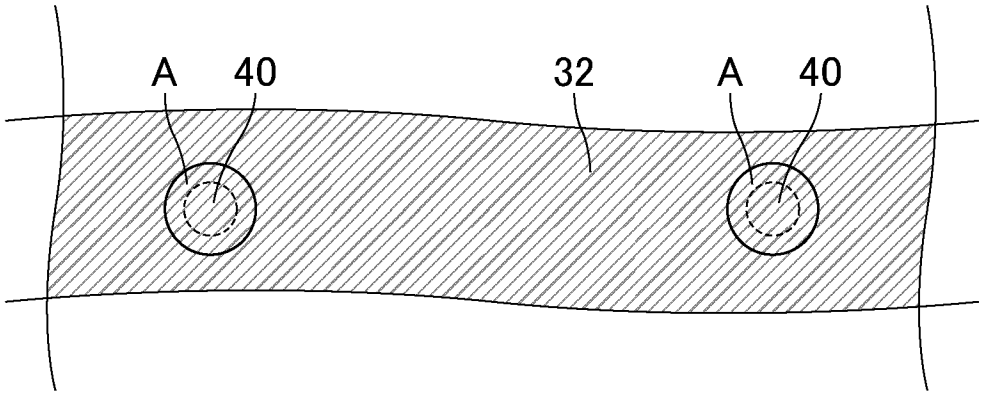


[図11A]
図11A



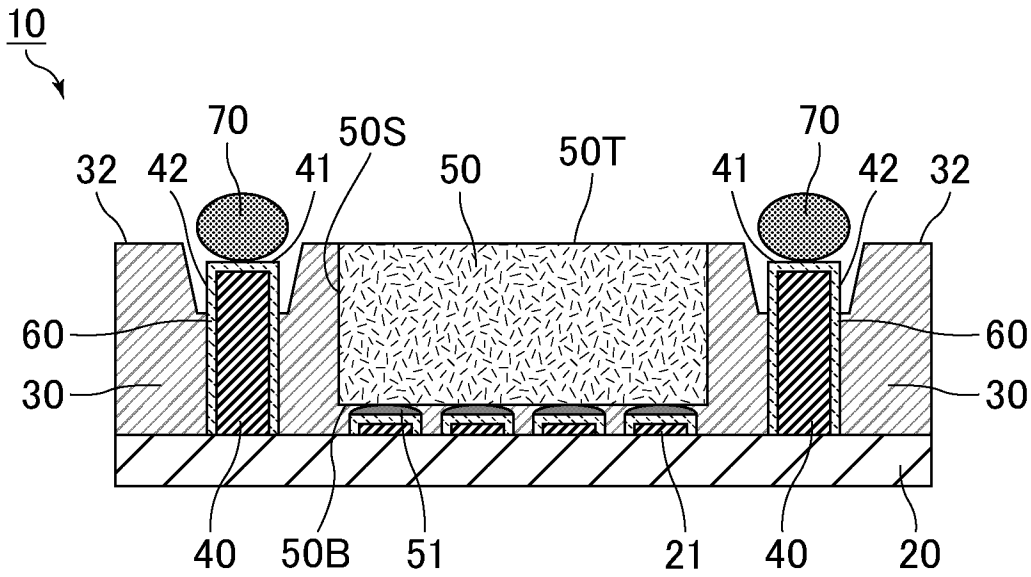
[図11B]

図11B



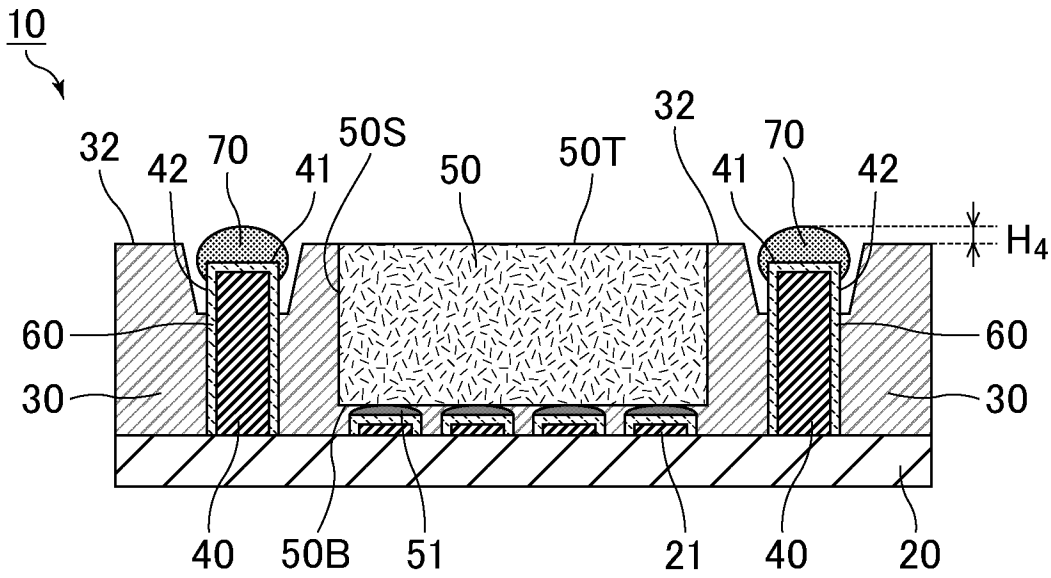
[図12A]

図12A



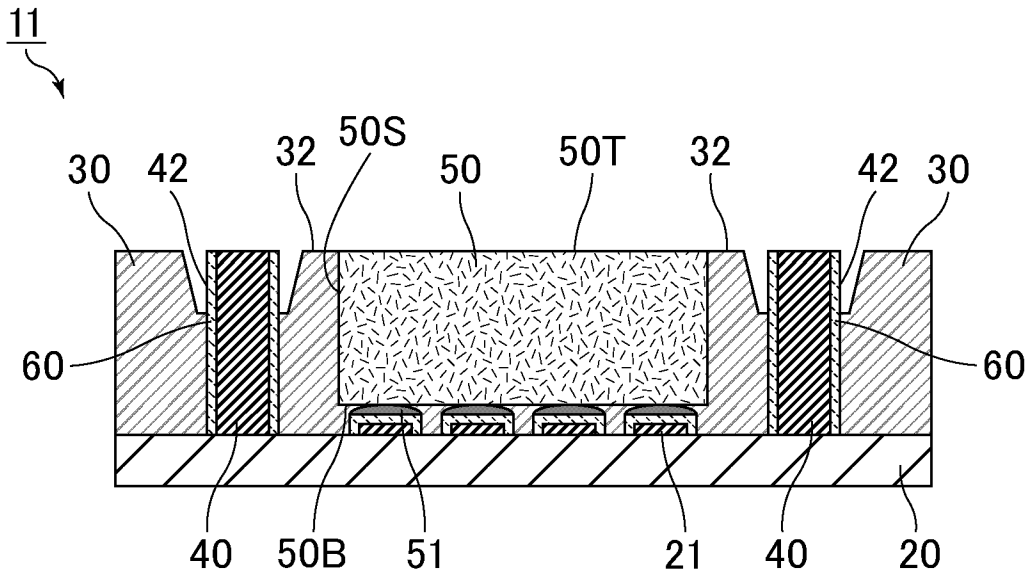
[図12B]

図12B



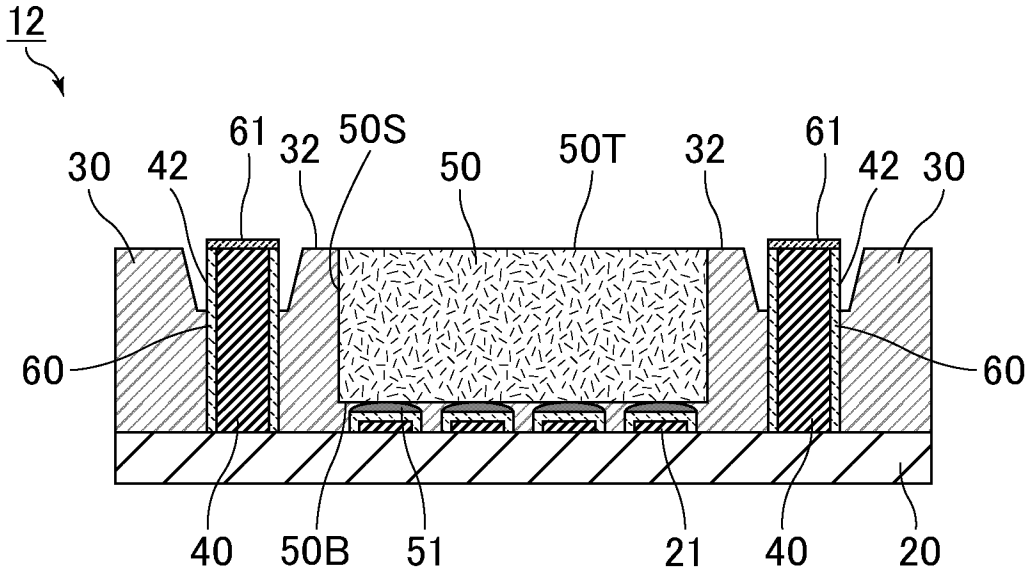
[図13]

図13



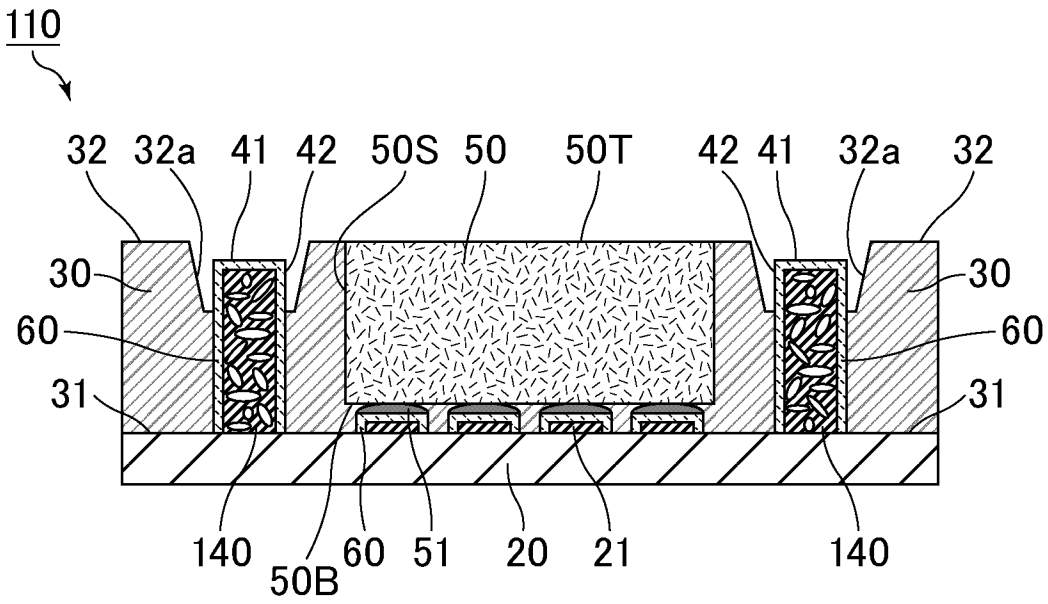
[図14]

図14



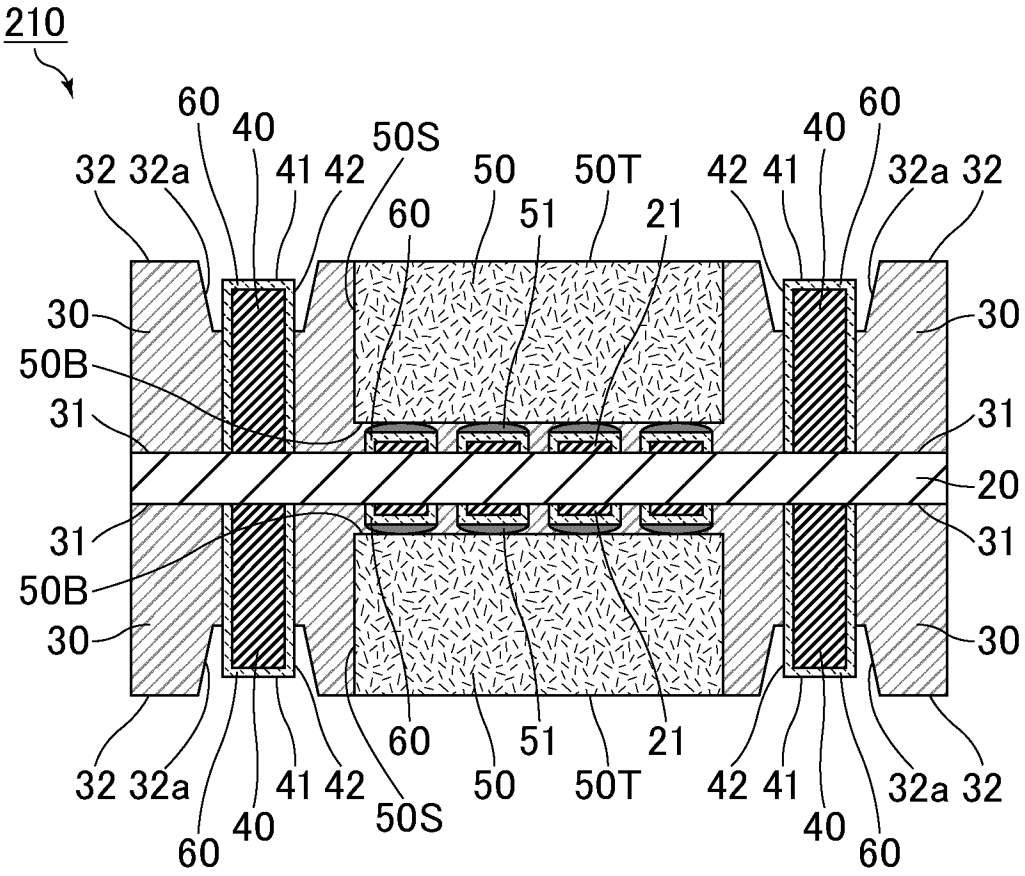
[図15]

図15



[図16]

図16



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/039103

A. CLASSIFICATION OF SUBJECT MATTER

H05K 3/28(2006.01)i; ***H01L 23/28***(2006.01)i; ***H05K 3/34***(2006.01)i
FI: H05K3/28 G; H05K3/34 505A; H01L23/28 Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/28; H01L23/28; H05K3/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2019/059017 A1 (MURATA MANUFACTURING CO., LTD.) 28 March 2019 (2019-03-28) paragraphs [0002], [0104]-[0118], fig. 8, 9	1-8
Y	JP 2015-508240 A (INVENSAS CORPORATION) 16 March 2015 (2015-03-16) paragraphs [0059], [0073], fig. 8B, 16C	1-8
Y	JP 2004-363250 A (OKI ELECTRIC IND CO LTD) 24 December 2004 (2004-12-24) paragraphs [0034]-[0045], fig. 7-12	1-8

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 November 2022	**06 December 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/039103

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2019/059017 A1	28 March 2019	US 2020/0219652 A1 paragraphs [0003], [0126]-[0142], fig. 8, 9 CN 111096090 A	
JP 2015-508240 A	16 March 2015	WO 2013/126269 A1 paragraphs [0089], [0103], fig. 8B, 16C US 2015/0017765 A1 EP 2817823 A1 TW 201347059 A CN 104170083 A KR 10-2014-0124011 A	
JP 2004-363250 A	24 December 2004	US 2004/0175914 A1 paragraphs [0084]-[0113], fig. 7-12	

国際調査報告

国際出願番号
PCT/JP2022/039103

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H05K 3/28(2006.01)i; H01L 23/28(2006.01)i; H05K 3/34(2006.01)i
FI: H05K3/28 G; H05K3/34 505A; H01L23/28 Z

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H05K3/28; H01L23/28; H05K3/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2019/059017 A1 (株式会社村田製作所) 28.03.2019 (2019-03-28) 段落[0002],[0104]-[0118],図8,9	1-8
Y	JP 2015-508240 A (インヴェンサス・コーポレイション) 16.03.2015 (2015-03-16) 段落[0059],[0073],図8B,16C	1-8
Y	JP 2004-363250 A (沖電気工業株式会社) 24.12.2004 (2004-12-24) 段落[0034]-[0045],図7-12	1-8

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
21.11.2022	06.12.2022

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

ゆずりは　広行 5D 3046

電話番号 03-3581-1101 内線 3551

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/039103

引用文献	公表日	パテントファミリー文献	公表日
WO 2019/059017 A1	28.03.2019	US 2020/0219652 A1 段落[0003],[0126]-[0142],図8,9 CN 111096090 A	
JP 2015-508240 A	16.03.2015	WO 2013/126269 A1 段落[0089],[0103],図8B,16C US 2015/0017765 A1 EP 2817823 A1 TW 201347059 A CN 104170083 A KR 10-2014-0124011 A	
JP 2004-363250 A	24.12.2004	US 2004/0175914 A1 段落[0084]-[0113],図7-12	