



(12)发明专利申请

(10)申请公布号 CN 108399902 A

(43)申请公布日 2018.08.14

(21)申请号 201810257525.1

(22)申请日 2018.03.27

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 鄂尔多斯市源盛光电有限责任公司

(72)发明人 张洁

(74)专利代理机构 北京天昊联合知识产权代理有限公司 11112
代理人 柴亮 张天舒

(51)Int.Cl.
G09G 3/36(2006.01)
G11C 19/28(2006.01)

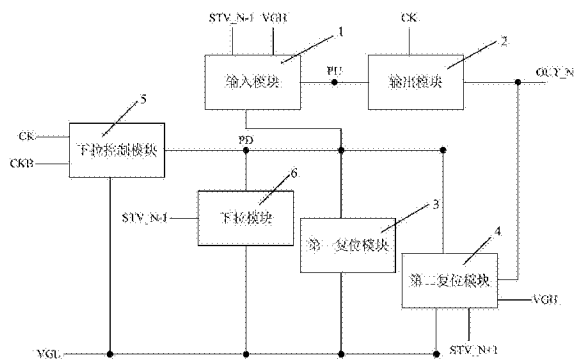
权利要求书2页 说明书6页 附图2页

(54)发明名称

移位寄存器、栅极驱动电路及显示装置

(57)摘要

本发明提供一种移位寄存器、栅极驱动电路及显示装置,属于显示技术领域。本发明的移位寄存器,包括:输入模块、输出模块、下拉控制模块、下拉模块、第一复位模块、第二复位模块;其中,下拉控制模块,用于在第一时钟信号和第二时钟信号的控制下,对下拉节点进行充电;下拉节点为下拉控制模块、下拉模块、第一复位模块,以及第二复位模块之间的连接节点;下拉模块,用于在输入信号的控制下,通过低电平信号下拉下拉节点的电位;第一复位模块,用于在下拉节点的电位的控制下,通过低电平信号对上拉节点进行放电;第二复位模块,用于在下拉节点的电位和复位信号的控制下,通过低电平信号对信号输出端进行放电。



CN 108399902 A

1. 一种移位寄存器,其特征在于,包括:输入模块、输出模块、下拉控制模块、下拉模块、第一复位模块、第二复位模块;其中,

所述输入模块,用于在输入信号的控制下,对上拉节点进行充电;所述上拉节点为所述输入模块与所述输出模块之间的连接节点;

所述输出模块,用于在所述上拉节点的电位的控制下,将第一时钟信号通过信号输出端进行输出;

所述下拉控制模块,用于在所述第一时钟信号和第二时钟信号的控制下,对下拉节点进行充电;下拉节点为所述下拉控制模块、所述下拉模块、所述第一复位模块,以及所述第二复位模块之间的连接节点;

所述下拉模块,用于在输入信号的控制下,通过低电平信号下拉所述下拉节点的电位;

所述第一复位模块,用于在所述下拉节点的电位的控制下,通过低电平信号对所述上拉节点进行放电;

所述第二复位模块,用于在所述下拉节点的电位和复位信号的控制下,通过低电平信号对所述信号输出端进行放电。

2. 根据权利要求1所述的移位寄存器,其特征在于,所述下拉控制模块包括:第一晶体管、第二晶体管,以及第二存储电容;其中,

所述第一晶体管的第一极连接高电平信号端,第二极连接所述第二晶体管的第一极,控制极连接第一时钟信号端;

所述第二晶体管的第一极连接所述第一晶体的第二极,第二极连接所述下拉节点,控制极连接第二时钟信号端;

所述第二存储电容的第一端连接低电平信号端,第二端连接在所述第一晶体的第二极和所述第二晶体管的第一极之间。

3. 根据权利要求1所述的移位寄存器,其特征在于,所述下拉模块包括:第六晶体管;其中,

所述第六晶体管的第一极连接所述下拉节点,第二极连接低电平信号端,控制极连接信号输入端。

4. 根据权利要求1所述的移位寄存器,其特征在于,所述输入模块包括:第七晶体管;其中,

所述第七晶体管的第一极和控制极均连接信号输入端,第二极与所述上拉节点电连接。

5. 根据权利要求4所述的移位寄存器,其特征在于,所述输入模块还包括:第八晶体管;其中,

所述第八晶体管的第一极连接所述第七晶体的第二极,第二极连接所述上拉节点,控制极连接高电平信号端。

6. 根据权利要求1所述的移位寄存器,其特征在于,所述输出模块包括:第三晶体管和第一存储电容;其中,

所述第三晶体管的第一极连接第一时钟信号端,第二极连接所述第一存储电容的第二端和所述信号输出端,控制极连接所述上拉节点和所述第一存储电容的第一端。

7. 根据权利要求1所述的移位寄存器,其特征在于,所述第一复位模块包括:第五晶体

管;其中,

所述第五晶体管的第一极与所述上拉节点电连接,第二极连接低电平信号端,控制极连接所述下拉节点。

8. 根据权利要求1所述的移位寄存器,其特征在于,所述第二复位模块包括:第四晶体管和第九晶体管;其中,

所述第四晶体管的第一极连接信号输出端,第二极连接低电平信号端,控制极连接所述第九晶体管的第一极和所述下拉节点;

所述第九晶体管的第一极连接所述第四晶体管的控制极和所述下拉节点,第二极连接高电平信号端,控制极连接复位信号端。

9. 根据权利要求1所述的移位寄存器,其特征在于,还包括第三存储电容;其中,

所述第三存储电容的第一端连接低电平信号端,第二端连接所述下拉节点。

10. 一种栅极驱动电路,其特征在于,包括多个级联的、如权利要求1-9中任一项所述的移位寄存器;其中,

本级移位寄存器的信号输入端连接上一级移位寄存器的信号输出端;

本级移位寄存器的复位信号端连接下一级移位寄存器的信号输出端。

11. 一种显示装置,其特征在于,包括权利要求10所述的栅极驱动电路。

移位寄存器、栅极驱动电路及显示装置

技术领域

[0001] 本发明属于显示技术领域,具体涉及一种移位寄存器、栅极驱动电路及显示装置。

背景技术

[0002] TFT-LCD的驱动器主要包括数据驱动器与栅极驱动器,栅极驱动电路可以以COF或者COG的封装方式设置在显示面板中,也可以用TFT构成集成电路单元形成在显示面板中,栅极驱动电路一般为移位寄存器一个极与一根栅极线对接,通过栅极驱动电路输入信号,从而实现像素的逐行扫描。

[0003] 随着平板显示的发展和日趋激烈的市场竞争,GOA的技术能力以及性能品质的提升也变得尤为迫切,GOA的稳定性也是GOA电路性能技术壁垒的一个考虑重点。

发明内容

[0004] 本发明旨在至少解决现有技术中存在的技术问题之一,提供一种性能稳定的移位寄存器、栅极驱动电路及显示装置。

[0005] 解决本发明技术问题所采用的技术方案是一种移位寄存器,包括:输入模块、输出模块、下拉控制模块、下拉模块、第一复位模块、第二复位模块;其中,

[0006] 所述输入模块,用于在输入信号的控制下,对上拉节点进行充电;所述上拉节点为所述输入模块与所述输出模块之间的连接节点;

[0007] 所述输出模块,用于在所述上拉节点的电位的控制下,将第一时钟信号通过信号输出端进行输出;

[0008] 所述下拉控制模块,用于在所述第一时钟信号和第二时钟信号的控制下,对下拉节点进行充电;下拉节点为所述下拉控制模块、所述下拉模块、所述第一复位模块,以及所述第二复位模块之间的连接节点;

[0009] 所述下拉模块,用于在输入信号的控制下,通过低电平信号下拉所述下拉节点的电位;

[0010] 所述第一复位模块,用于在所述下拉节点的电位的控制下,通过低电平信号对所述上拉节点进行放电;

[0011] 所述第二复位模块,用于在所述下拉节点的电位和复位信号的控制下,通过低电平信号对所述信号输出端进行放电。

[0012] 优选的是,所述下拉控制模块包括:第一晶体管、第二晶体管,以及第二存储电容;其中,

[0013] 所述第一晶体管的第一极连接高电平信号端,第二极连接所述第二晶体管的第一极,控制极连接第一时钟信号端;

[0014] 所述第二晶体管的第一极连接所述第一晶体的第二极,第二极连接所述下拉节点,控制极连接第二时钟信号端;

[0015] 所述第二存储电容的第一端连接低电平信号端,第二端连接在所述第一晶体的

第二极和所述第二晶体管的第一极之间。

[0016] 优选的是,所述下拉模块包括:第六晶体管;其中,

[0017] 所述第六晶体管的第一极连接所述下拉节点,第二极连接低电平信号端,控制极连接信号输入端。

[0018] 优选的是,所述输入模块包括:第七晶体管;其中,

[0019] 所述第七晶体管的第一极和控制极均连接信号输入端,第二极与所述上拉节点电连接。

[0020] 进一步优选的是,所述输入模块还包括:第八晶体管;其中,

[0021] 所述第八晶体管的第一极连接所述第七晶体管的第二极,第二极连接所述上拉节点,控制极连接高电平信号端。

[0022] 优选的是,所述输出模块包括:第三晶体管和第一存储电容;其中,

[0023] 所述第三晶体管的第一极连接第一时钟信号端,第二极连接所述第一存储电容的第二端和所述信号输出端,控制极连接所述上拉节点和所述第一存储电容的第一端。

[0024] 优选的是,所述第一复位模块包括:第五晶体管;其中,

[0025] 所述第五晶体管的第一极与所述上拉节点电连接,第二极连接低电平信号端,控制极连接所述下拉节点。

[0026] 优选的是,所述第二复位模块包括:第四晶体管和第九晶体管;其中,

[0027] 所述第四晶体管的第一极连接信号输出端,第二极连接低电平信号端,控制极连接所述第九晶体管的第一极和所述下拉节点;

[0028] 所述第九晶体管的第一极连接所述第四晶体的控制极和所述下拉节点,第二极连接高电平信号端,控制极连接复位信号端。

[0029] 优选的是,所述移位寄存器还包括第三存储电容;其中,

[0030] 所述第三存储电容的第一端连接低电平信号端,第二端连接所述下拉节点。

[0031] 解决本发明技术问题所采用的技术方案是一种栅极驱动电路,包括多个级联的上述移位寄存器。

[0032] 解决本发明技术问题所采用的技术方案是一种移位寄存器,包括上述的栅极驱动电路。

[0033] 本发明具有如下有益效果:

[0034] 由于在本发明的移位寄存器中,下拉控制模块由两个时钟信号,也即第一时钟信号和第二时钟信号控制对下拉节点进行充电,避免了在现有技术中一个时钟信号对下拉节点直接充电而引起的直流通路,影响移位寄存器稳定性的问题。

附图说明

[0035] 图1为本发明的实施例1的移位寄存器的结构示意图;

[0036] 图2为本发明的实施例1的移位寄存器的电路图;

[0037] 图3为图2的移位寄存器的工作时序图。

具体实施方式

[0038] 为使本领域技术人员更好地理解本发明的技术方案,下面结合附图和具体实施方

式对本发明作进一步详细描述。

[0039] 本发明实施例中的所采用的晶体管可以为薄膜晶体管或场效应管或其他特性的相同器件,由于采用的晶体管的源极和漏极在一定条件下是可以互换的,所以其源极、漏极从连接关系的描述上是没有区别的。在本发明实施例中,为区分晶体管的源极和漏极,将其中一极称为第一极,另一极称为第二极,栅极称为控制极。此外按照晶体管的特性区分可以将晶体管分为N型和P型,以下实施例中是以晶体管为N型晶体管进行说明的。当采用N型晶体管时,第一极为N型晶体管的漏极,第二极为N型晶体管的源极,栅极输入高电平时,源漏极导通,P型相反。可以想到的是采用晶体管为P型晶体管实现是本领域技术人员可以在没有付出创造性劳动前提下轻易想到的,因此也是在本发明实施例的保护范围内的。

[0040] 实施例1:

[0041] 结合图1和2所示,本实施例提供一种移位寄存器,包括:输入模块1、输出模块2、下拉控制模块5、下拉模块6、第一复位模块3、第二复位模块4;其中,输入模块1用于在输入信号的控制下,对上拉节点PU进行充电;上拉节点PU为输入模块1与输出模块2之间的连接节点;输出模块2用于在上拉节点PU的电位的控制下,将第一时钟信号通过信号输出端OUT_N进行输出;下拉控制模块5用于在第一时钟信号和第二时钟信号的控制下,对下拉节点PD进行充电;下拉节点PD为下拉控制模块5、下拉模块6、第一复位模块3,以及第二复位模块4之间的连接节点;下拉模块6用于在输入信号的控制下,通过低电平信号下拉下拉节点PD的电位;第一复位模块3用于在下拉节点PD的电位的控制下,通过低电平信号对上拉节点PU进行放电;第二复位模块4用于在在下拉节点PD的电位和复位信号的控制下,通过低电平信号对信号输出端OUT_N进行放电。

[0042] 由于在本实施例的移位寄存器中,下拉控制模块5由两个时钟信号,也即第一时钟信号和第二时钟信号控制对下拉节点PD进行充电,避免了在现有技术中一个时钟信号对下拉节点PD直接充电而引起的直流通路,影响移位寄存器稳定性的问题。

[0043] 其中,下拉控制模块5可以包括:第一晶体管T1、第二晶体管T2,以及第二存储电容C2;第一晶体管T1的第一极连接高电平信号端VGH,第二极连接所述第二晶体管T2的第一极,控制极连接第一时钟信号端CK;第二晶体管T2的第一极连接所述第一晶体管T1的第二极,第二极连接所述下拉节点PD,控制极连接所述第二时钟信号端CKB;第二存储电容C2的第一端连接低电平信号端VGL,第二端连接在所述第一晶体管T1的第二极和所述第二晶体管T2的第一极之间。

[0044] 具体的,第一时钟信号和第二时钟信号均为脉冲信号,且二者相差半个周期,也即第一时钟信号为高电平信号时,第二时钟信号为低电平信号,第一时钟信号为低电平信号时,第二时钟信号为高电平信号。这样以来,第一时钟信号为高电平时,第一晶体管T1打开,通过高电平信号端VGH输入的高电平信号给下拉控制节点PD_CN和第二存储电容C2充电;当第二时钟信号为高电平时,此时第一时钟信号为低电平信号,第二晶体管T2打开,第一晶体管T1关断,第二存储电容C2放电,给将下拉节点PD拉高。

[0045] 其中,下拉模块6包括:第六晶体管T6;第六晶体管T6的第一极连接所述下拉节点PD,第二极连接低电平信号端VGL,控制极连接信号输入端STV_N-1。

[0046] 具体的,在移位寄存器的输入阶段,信号输入端STV_N-1输入高电平信号,第六晶体管T6打开,此时可以通过低电平信号端VGL所写入的低电平信号对下拉节点PD进行下拉

放电。

[0047] 其中,输入模块1包括:第七晶体管T7;其中,第七晶体管T7的第一极和控制极均连接信号输入端STV_N-1,第二极与所述上拉节点PU电连接。

[0048] 具体的,在输入阶段信号输入端STV_N-1输入高电平信号,第七晶体管T7打开,对上拉节点PU进行充电。在本实施例中为了保持上拉节点PU的电位稳定,在输入模块1中还设置了第八晶体管T8,第八晶体管T8的第一极连接所述第七晶体管T7的第二极,第二极连接所述上拉节点PU,控制极连接高电平信号端VGH,由于第八晶体管T8的控制极连接高电平信号端VGH,也就是说第八晶体管T8的控制极持续被写入高电平信号,第八晶体管T8处于常开状态,相当于二极管单向导通,以防止上拉节点PU的电位高到一定程度而产生漏电流。

[0049] 其中,输出模块2包括:第三晶体管T3和第一存储电容C1;其中,第三晶体管T3的第一极连接第一时钟信号端CK,第二极连接所述第一存储电容C1的第二端和信号输出端OUT_N,控制极连接上拉节点PU和所述第一存储电容C1的第一端。

[0050] 具体的,在上拉节点PU被预充至高电平后,第三晶体管T3打开,与此同时第一时钟信号端CK被写入高电平信号,信号输出端OUT_N则输出高电平信号。

[0051] 其中,第一复位模块3包括:第五晶体管T5;第五晶体管T5的第一极与上拉节点PU电连接,第二极连接低电平信号端VGL,控制极连接所述下拉节点PD。

[0052] 具体的,当下拉节点PD被充电至高电平时,第五晶体管T5打开,将上拉节点PU的电位拉低,此时上拉控制节点PU_CN被拉低,由于第八晶体管T8处于敞开状态,上拉节点PU也被拉低,则完成对上拉节点PU的复位。

[0053] 其中,第二复位模块4包括:第四晶体管T4和第九晶体管T9;第四晶体管T4的第一极连接信号输出端OUT_N,第二极连接低电平信号端VGL,控制极连接第九晶体管T9的第一极和所述下拉节点PD;第九晶体管T9的第一极连接所述第四晶体管T4的控制极和所述下拉节点PD,第二极连接高电平信号端VGH,控制极连接复位信号端STV_N+1。

[0054] 具体的,在复位阶段,复位信号端STV_N+1被输入高电平信号,第九晶体管T9打开,将高电平信号端VGH所写入的高电平信号写入至第四晶体管T4的控制极,以使第四晶体管T4打开,通过低电平信号端VGL所写入的低电平信号对信号输出端OUT_N进行复位。

[0055] 当然,在本实施例中还包括:存储模块,也即第三存储电容C3;第三存储电容C3的第一端连接低电平信号端VGL,第二端连接所述下拉节点PD,用于维持下拉节点PD的电位。

[0056] 以下对本实施例中移位寄存器的驱动方法进行说明,该驱动方法具体包括如下阶段:

[0057] 第一阶段,也即输入阶段,输入信号为高电平信号,通过输入模块1对上拉节点PU进行预充电,通过下拉模块6拉低下拉节点PD的电位,也即对下拉节点PD进行放电。

[0058] 第二阶段,也即输出阶段,上拉节点PU由于在上一阶段进行了充电,被置为高电平,输出模块2工作,将第一时钟信号所写入的高电平信号进行输出,与此同时下拉控制模块5由于第一时钟信号为高电平,下拉控制模块5在该阶段储能。

[0059] 第三阶段,也即复位阶段,第二时钟信号为高电平信号,此时下拉控制模块5在该阶段将上一阶段所存储电荷基进行释放,将下拉节点PD拉高,第一复位模块3工作,通过低电平信号将上拉节点PU的拉低,与此同时,复位信号为高电平信号,第二复位模块4打开,通过信号低电平信号将信号输出端OUT_N的信号拉低,以完成上拉节点PU和信号输出端OUT_N

的复位。

[0060] 为了更清楚本实施例移位寄存器的驱动方法,结合图2和图3所示,该移位寄存器中的下拉控制模块5包括:第一晶体管T1、第二晶体管T2,以及第二存储电容C2;下拉模块6包括:第六晶体管T6;输入模块1包括:第七晶体管T7和第八晶体管T8;输出模块2包括:第三晶体管T3和第一存储电容C1;第一复位模块3包括:第五晶体管T5;第一复位模块3包括:第五晶体管T5;其中,第一晶体管T1的第一极连接高电平信号端VGH,第二极连接第二晶体管T2的第一极,控制极连接第一时钟信号端CK;第二晶体管T2的第一极连接第一晶体管T1的第二极,第二极连接下拉节点PD,控制极连接第二时钟信号端CKB;第二存储电容C2的第一端连接低电平信号端VGL,第二端连接在第一晶体管T1的第二极和第二晶体管T2的第一极之间;第六晶体管T6的第一极连接下拉节点PD,第二极连接低电平信号端VGL,控制极连接信号输入端STV_N-1;第七晶体管T7的第一极和控制极均连接信号输入端STV_N-1,第二极与上拉节点PU电连接;第八晶体管T8的第一极连接第七晶体管T7的第二极,第二极连接上拉节点PU,控制极连接高电平信号端VGH;第三晶体管T3的第一极连接第一时钟信号端CK,第二极连接第一存储电容C1的第二端和信号输出端OUT_N,控制极连接上拉节点PU和第一存储电容C1的第一端;五晶体管的第一极与上拉节点PU电连接,第二极连接低电平信号端VGL,控制极连接下拉节点PD;第四晶体管T4的第一极连接信号输出端OUT_N,第二极连接低电平信号端VGL,控制极连接第九晶体管T9的第一极和下拉节点PD;第九晶体管T9的第一极连接第四晶体管T4的控制极和下拉节点PD,第二极连接高电平信号端VGH,控制极连接复位信号端STV_N+1;该移位寄存器还包括存储模块,也即第三存储电容C3;第三存储电容C3的第一端连接低电平信号端VGL,第二端连接所述下拉节点PD,用于维持下拉节点PD的电位。

[0061] 该移位寄存器的驱动方法具体包括如下阶段:

[0062] 第一阶段,也即输入阶段,信号输入端STV_N-1输入高电平信号,第六晶体管T6和第七晶体管T7均打开,而第八晶体管T8的控制极连接高电平信号端VGH,因此处于常开状态,因此该阶段对上拉控制节点PU_CN和上拉节点PU进行预充电;与此同时,由于第六晶体管T6打开,故可以通过低电平信号端VGL输入的低电平信号,对下拉节点PD进行放电。

[0063] 第二阶段,也即输出阶段,第一时钟信号为高电平信号,由于上拉节点PU在上一阶段被预充为高电平,在第一存储电容C1的自举作用下,上拉节点PU进一步被拉高,因此第三晶体管T3打开,第一时钟信号通过第三晶体管T3进行输出,也即信号输出端OUT_N输出高电平;与此同时,第一晶体管T1打开,下拉控制节点PD_CN被充电。

[0064] 第三阶段,也即复位阶段,第二时钟信号为高电平信号,第二晶体管T2打开,由于下拉控制节点PD_CN在上一阶段被充电,故下拉节点PD此时被拉高,这样以来,第五晶体管T5打开,上拉控制节点PU_CN和上拉节点PU被低电平信号拉低放电;与此同时,复位信号端STV_N+1被输入高电平信号第九晶体管T9和第四晶体管T4打开,信号输出端OUT_N被低电平信号拉低放电,至此完成上拉控制节点PU_CN、上拉节点PU,以及信号输出端OUT_N的复位。

[0065] 实施例2:

[0066] 本实施例提供了一种栅极驱动电路,其包括多个级联的、实施例1的移位寄存器;其中,本级移位寄存器的信号输入端STV_N-1连接上一级移位寄存器的信号输出端OUT_N;本级移位寄存器的复位信号端STV_N+1连接下一级移位寄存器的信号输出端OUT_N。

[0067] 由于本实施例中的栅极驱动电路包括实施例1中所述的移位寄存器,故其性能较

好。

[0068] 相应的,本实施例中还公开了一种显示装置,其包括上述的栅极驱动电路。由于包括上述的栅极驱动电路,故其可以性能更好。

[0069] 该显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0070] 当然,本实施例的显示装置中还可以包括其他常规结构,如电源单元、显示驱动单元等。

[0071] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

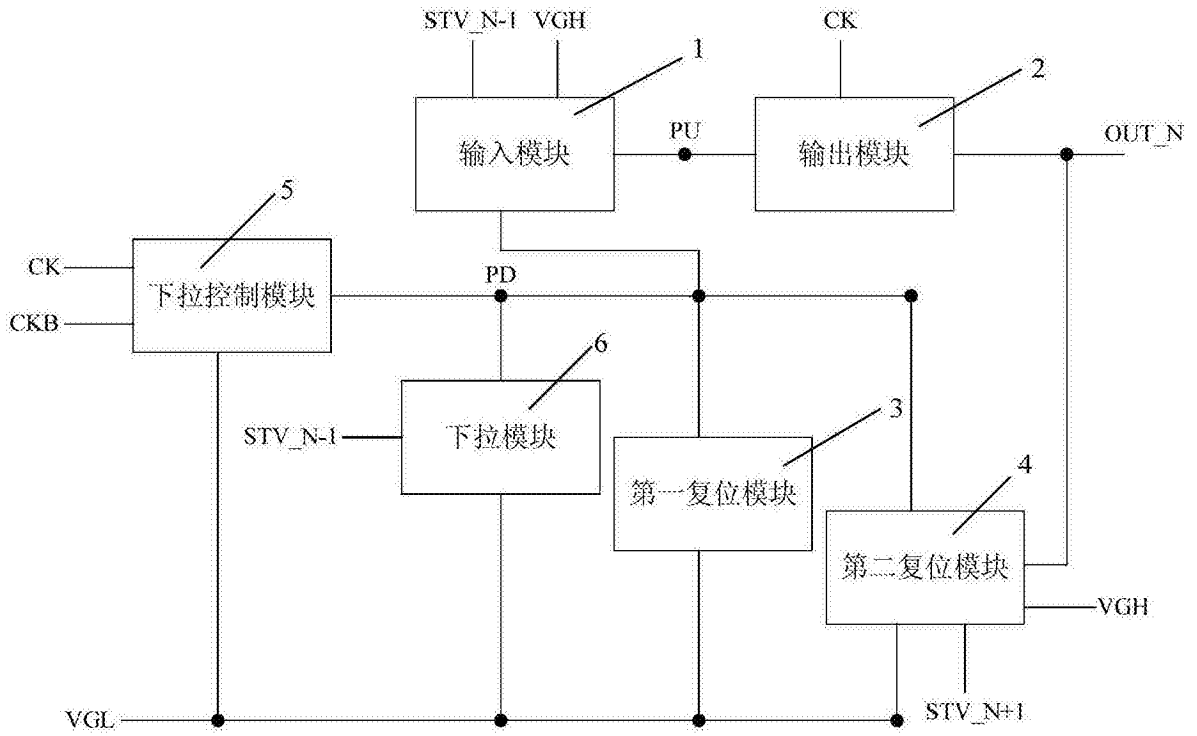


图1

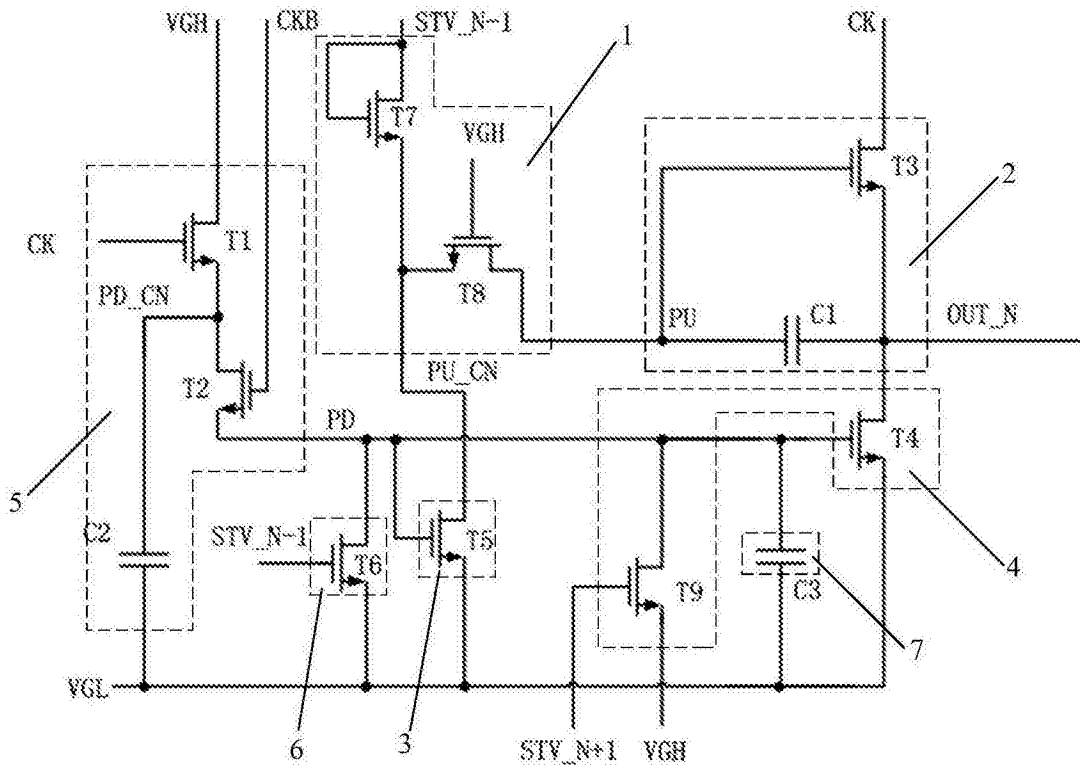


图2

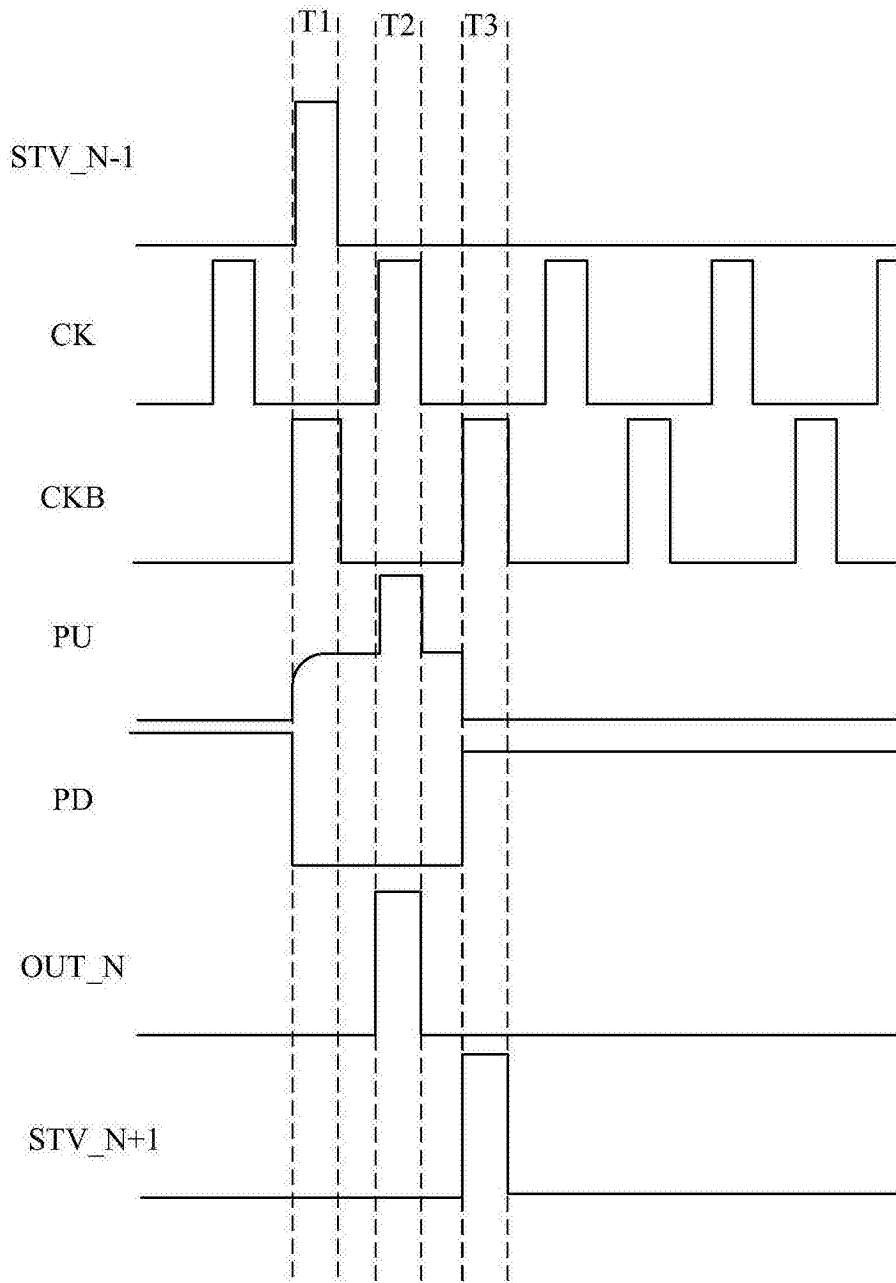


图3