



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 60 2004 011 932 T2** 2009.02.26

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 627 468 B1**

(51) Int Cl.⁸: **H03K 17/687** (2006.01)

(21) Deutsches Aktenzeichen: **60 2004 011 932.6**

(86) PCT-Aktenzeichen: **PCT/GB2004/002026**

(96) Europäisches Aktenzeichen: **04 732 349.8**

(87) PCT-Veröffentlichungs-Nr.: **WO 2004/100375**

(86) PCT-Anmeldetag: **12.05.2004**

(87) Veröffentlichungstag
der PCT-Anmeldung: **18.11.2004**

(97) Erstveröffentlichung durch das EPA: **22.02.2006**

(97) Veröffentlichungstag
der Patenterteilung beim EPA: **20.02.2008**

(47) Veröffentlichungstag im Patentblatt: **26.02.2009**

(30) Unionspriorität:
0310844 12.05.2003 GB

(73) Patentinhaber:
**Midas Green Ltd., Dry Drayton, Cambridgeshire,
GB**

(74) Vertreter:
**Felix Rummler R.G.C. Jenkins & Co., 80802
München**

(84) Benannte Vertragsstaaten:
**AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HU, IE, IT, LI, LU, MC, NL, PL, PT, RO, SE, SI,
SK, TR**

(72) Erfinder:
**HARVEY, Geoffrey Philip, Cambridge CB3 8AR,
GB**

(54) Bezeichnung: **VERBESSERUNGEN AN RESONANZ-LEITUNGSTREIBERN**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Gebiet der Erfindung

[0001] Diese Erfindung betrifft elektronische Schaltungen. Insbesondere betrifft die Erfindung das Verbessern der Leistung eines Typs elektronischer Treiberschaltung, deren Betrieb dazu dient, den Leistungsverbrauch zu senken. Diese Erfindung betrifft das Erreichen eines niedrigen Leistungsverbrauchs in derartigen Treiberschaltungen, wobei gleichzeitig wünschenswerte Signalkennlinien erzeugt werden.

Allgemeiner Stand der Technik

[0002] Seit vielen Jahren bereits existieren übliche Treiberschaltungen, die einen Logikwert von einem Teil eines Systems an einen anderen übertragen, indem jeweils einer von zwei Logikwerten durch jeweils einen von zwei Spannungspegeln dargestellt wird. Beispielsweise zeigt [Fig. 1a](#) einen üblichen CMOS-Invertierungstreiber **10**, der als Teil eines IC (integrierten Schaltkreises) ausgebildet ist. Der Ausgangstreiber **10** erzeugt in Reaktion auf ein Treiber-eingangsspannungssignal VI eine invertierte Treiber-ausgangsspannung VDO. Über einen elektrischen Leiter **12** einer bedruckte Verdrahtungsplatte (printed wiring board – PWB) ist der Treiber **10** mit Lastschaltungen **14** verbunden. Insbesondere wandelt der elektrische Leiter **12** die Treiberausgangsspannung VDO in eine Leiterauegangsspannung VBO um, die eine Gruppe von einem oder mehreren digitalen ICs **16** in der Last **14** antreibt.

[0003] Der Treiber **10** ist mit einem n-Kanal-FET (Feldeffekttransistor) mit isoliertem Gate QA und einem p-Kanal-FET mit isoliertem Gate QB ausgebildet, deren Gate-Elektroden die Treibereingangsspannung empfangen. Die Sources von FET QA und QB sind jeweils mit einer Quelle niedriger Versorgungsspannung VSS, typischerweise einer Referenzmasse (0 Volt), bzw. mit einer Quelle hoher Versorgungsspannung VDD verbunden. Die Drains von QA und QB sind miteinander verbunden, und stellen auf diese Weise die Treiberausgangsspannung VDO bereit. Der n-Kanal-FET QA wird eingeschaltet, indem die Eingangsspannung VI auf einen ausreichend hohen Pegel angehoben wird. Der FET QB dagegen wird eingeschaltet, indem die Eingangsspannung VI auf einen ausreichend niedrigen Pegel gesenkt wird.

[0004] Auf diese Weise ist im stationären Betrieb stets nur einer der FETs QA und QB leitend. Ist der Eingang VI hoch, schaltet sich der FET QA ein, und bringt die Treiberausgangsspannung VDO auf einen niedrigen Wert in der Nähe von VSS. Dagegen befindet sich die Ausgangsspannung VDO auf einem hohen Wert in der Nähe von VDD, wenn die Eingangsspannung VI niedrig ist, und sich daher der FET QB

einschaltet. Der „Ein“-Widerstand der einzelnen FETs QA und QB ist normalerweise relativ gering. Daher vollzieht das Ausgangssignal VDO in Reaktion auf einen raschen Übergang des Eingangssignals VI von hoch zu niedrig einen raschen Übergang von VSS zu VDD. Ebenso vollzieht das Ausgangssignal VDO in Reaktion auf einen raschen Übergang des Eingangssignals VI von niedrig zu hoch einen raschen Übergang von VDD zu VSS. Während eines Übergangs sind typischerweise über einen kurzen Zeitraum hinweg beide FETs QA und QB leitend.

[0005] Der elektrische PWE-Leiter **12**, der üblicherweise als ein Schaltungsträger (Interconnect) bezeichnet wird, besteht aus einer Kupferleiterbahn und einer Masseschicht am VSS-Potential. Die Schritte, die anhand der Linie, die in [Fig. 1a](#) durch den Leiter **12** verläuft, dargestellt sind, zeigen in qualitativer Weise die Richtungsänderungen, die der Leiter **12** auf der PWB vollzieht. Die Masseschicht ist durch den schräg gestreiften Block dargestellt.

[0006] Da [Fig. 1b](#) ein vereinfachtes elektrisches Modell ist, zeigt sie nicht die parasitären Zuleitungs-induktanzen, die typischerweise existieren, wenn der Treiber **10** als Teil eines integrierten Schaltkreises ausgebildet ist, der sich in einem integrierten Schaltkreisgehäuse befindet, das wiederum an eine PWB montiert ist. Diese parasitären Induktanzen müssen bei der Auslegung des Treibers **10** Berücksichtigung finden, wenn ein unerwünschter Effekt namens Masse-/Leistungsgrellen vermieden werden soll.

[0007] Der Schaltungsträger **12** aus [Fig. 1a](#) oder [Fig. 1b](#), der eine verteilte Induktanz und Kapazität aufweist, ist alternativ auch als Übertragungsleitung mit einer charakteristischen Impedanz Z_0 bekannt. Wie im Stand der Technik allgemein bekannt, wird RON aus [Fig. 1b](#) idealerweise so ausgewählt, dass es mit Z_0 übereinstimmt, derart, dass zunächst eine auswärts gerichtete Welle halber Amplitude erzeugt wird, die beim Erreichen der Last **14** ihre Amplitude verdoppelt, und als Welle mit voller Amplitude zurück zum Treiber **10** reflektiert wird. Ohne RON, oder wenn RON zu klein ist, weist die reflektierte Welle eine Amplitude auf, die den Pegel von VDD übersteigt, was zu Problemen bezüglich der Signalfehlerfreiheit führt.

[0008] In seiner letzten Anmeldung (PCT/GB96/02199, US 6,201,420 B1, EP 0 848 868 usw.) beschreibt der Anmelder ein Verfahren, anhand dessen anstelle einer auswärts gerichteten Welle halber Amplitude durch wirksames Absenken der Spannung durch einen Widerstand RON eine äquivalente Welle erzeugt werden kann, indem das Signal VDO über einen „EIN“-Widerstandschalter oder Transistor mit einer Zwischenspannung VHH verbunden wird, die von einer Hilfsspannungsquelle oder einfach von einem Ladekondensator erzeugt wird. Das Verfahren

weist den Vorteil auf, dass weniger Leistung verloren geht, und sich der Leistungsverbrauch um bis zu 75% senken lässt. Das Verfahren lässt sich ebenso auf Situationen anwenden, in denen die Lastkapazität CL wesentlich größer ist als die verteilte Kapazität CB, wobei sich CL und LB in diesem Fall weniger wie eine Übertragungsleitung, sondern eher wie ein sinusförmiges LC-Resonanzsystem verhalten. Zur vereinfachten Bezugnahme soll daher ein Treiber, der dieses Verfahren verwendet, als Resonanzleitungstreiber bezeichnet werden.

[0009] [Fig. 2a](#) und [Fig. 2b](#) zeigen, wie der Resonanzleitungstreiber in gleichwertiger Weise den üblichen Leitungstreiber aus [Fig. 1a](#) und [Fig. 1b](#) ersetzen kann.

[0010] [Fig. 2b](#) beispielsweise zeigt eine CMOS-Implementierung eines Resonanzleitungstreibers. Q1 und Q3 können den Treiberausgang VDO wie bei einem üblichen Treiber jeweils mit der Niedrig- bzw. Hochspannungsquelle VSS und VDD verbinden. Die Besonderheit des Resonanzleitungstreibers besteht darin, dass Q2 den Treiberausgang VDO während eines Übergangs auch mit einer mittleren Spannungsquelle VHH verbinden kann. Die Gate-Elektroden (und daher das Schalten von Q1, Q2 und Q3) werden jeweils über Signale VC1, VC2 bzw. VC3 von einer Steuerschaltung **20** gesteuert. Da Q1 und Q3 n-Kanal-MOSFET-(NMOS)-Transistoren sind, stellen sie einen Leitweg bereit, wenn sich jeweils VC1 bzw. VC3 auf einem hohen Spannungspegel befinden. Da Q2 ein p-Kanal-MOSFET-(PMOS)-Transistor ist, stellt er einen Leitweg bereit, wenn sich VC2 auf einem niedrigen Spannungspegel befindet.

[0011] [Fig. 3](#) zeigt, dass die mittlere Spannungsversorgung VHH durch einen Ladekondensator CR bereitgestellt werden kann.

[0012] [Fig. 4](#) zeigt Wellenformen, die den Betrieb der Schaltung aus [Fig. 2b](#) darstellen, wenn CL wesentlich größer als CB ist, und CL und LB sich weniger wie eine Übertragungsleitung, sondern eher wie ein sinusförmiges LC-Resonanzsystem verhalten. Zunächst ist nur Q1 „EIN“, und VDO befindet sich auf einem niedrigen Pegel. Dann wird, in Reaktion auf eine Pegelveränderung des Eingangssignals VI zum Zeitpunkt t_1 , Q1 „AUS“-geschaltet, während Q2 „EIN“-geschaltet wird und VDO in die Nähe des Pegels von VHH treibt. Der Strom baut sich sinusförmig bis zu einem Maximum auf, und fällt dann wieder auf null ab, während gleichzeitig die Spannung an der Last VBO sinusförmig auf den Pegel von VDD schwingt, woraufhin die Steuerschaltung **20** Q2 „AUS“-schaltet und Q3 „EIN“-schaltet, um so den Übergang abzuschließen. Wie in [Fig. 4](#) gezeigt, arbeitet die Schaltung beim Erzeugen eines Übergangs entgegengesetzter Polarität in ähnlicher Weise.

[0013] [Fig. 5](#) zeigt Wellenformen, die sich aus der äquivalenten Ereignisabfolge ergeben, wenn nämlich CL kleiner oder etwa gleich CB ist, wobei in diesem Fall die Übertragungsleitungsnatur von CB und LB deutlicher erkennbar ist. In Reaktion auf eine Pegelveränderung des Eingangssignals VI zum Zeitpunkt t_1 wird Q1 „AUS“-geschaltet, während Q2 „EIN“-geschaltet wird, was VDO in die Nähe des Pegels von VHH treibt. Eine auswärts gerichtete (oder einfallende) Welle mit einer Spannungsamplitude äquivalent zu VHH bewegt sich durch die Übertragungsleitung. Wenn sie die Last erreicht, ergibt sich eine reflektierte Welle, die dazu tendiert, den Strom der einfallenden Welle aufzuheben, da die Last ausreichend gering ist und keinen signifikanten Weg für den Strom in der einfallenden Welle bereitstellen kann. Diese reflektierte Welle weist ebenfalls eine Amplitude äquivalent zu VHH auf, verstärkt aber die einfallende Welle, so dass sich an der Last ein Spannungspegel ergibt, der VDD entspricht. Die reflektierte Welle bewegt sich zurück zum Treiber **18**, bis sich die gesamte Übertragungsleitung zum Zeitpunkt t_2 auf dem Pegel von VDD befindet, wobei es sich um den Zeitpunkt handelt, an dem die reflektierte Welle tatsächlich den Treiber **18** erreicht, woraufhin die Steuerschaltung **20** Q2 „AUS“-schaltet und Q3 „EIN“-schaltet, um so den Übergang abzuschließen. Die Steuerschaltung **20** kann in unterschiedlicher Weise dazu ausgelegt sein, die Taktung für diesen Vorgang so zu steuern, dass sich eine Übereinstimmung mit der Rückkehr der reflektierten Welle ergibt. Die Taktung des Stromübergangs von VDO lässt sich bestimmen, indem einige Kennlinien eines vorangehenden Übergangs beobachtet und gespeichert werden, um so Einstellungen an einer Schaltung vorzunehmen, die dazu in der Lage ist, getaktete Abläufe zu speichern und zu reproduzieren, beispielsweise an einer digital gesteuerten Verzögerungsleitung, die von einem Digitalzähler gesteuert wird.

[0014] Resonanzleitungstreiber verfügen über das Potential, sowohl den Leistungsverbrauch zu senken, als auch ein gut konditioniertes Signal ohne Abklingen und Überspringen zu erzeugen. Unglücklicherweise lässt sich, wenn bestimmte unvermeidliche Eigenschaften typischer physikalischer Implementierungen berücksichtigt werden, zwar ein geringer Leistungsverbrauch erzielen, doch kann die Signalkonditionierung mangelhaft sein.

[0015] [Fig. 6](#) zeigt die Schaltung aus [Fig. 3](#), derart modifiziert, dass sie eine tatsächliche physikalische Implementierung realistischer darstellt. Es ist relativ typisch, dass der Treiber **18** auf einem Siliziumchip ausgebildet ist, der wiederum in einem Chipgehäuse enthalten ist, das wiederum auf die PWB **12** montiert ist. Häufig, doch nicht unbedingt immer, kann der Ladekondensator CR in dem Chip oder dem Chipgehäuse enthalten sein. [Fig. 3](#) zeigt, dass der Treiber **18**, die PWB **12** und die Last **14** alle einen gemeinsa-

men Referenzspannungspegel VSS aufweisen. In einer tatsächlichen physikalischen Implementierung ist dies häufig nicht der Fall, da, wie in [Fig. 6](#) gezeigt, Massespannungspegel für den Treiber **18**, PWB **12** und die Last **14** (VSSD, VSSB bzw. VSSL) und Leistungsspannungspegel für den Treiber **18**, PWB **12** und die Last **14** (VDDD, VDDB bzw. VDDL) über parasitische Gehäusezuleitungsinduktanzen LPL1, LPL2, LPL3 und LPL4 verbunden sind, wie dargestellt.

[0016] Außerdem treten bei einer tatsächlichen physikalischen Implementierung die parasitischen Kapazitäten des Schaltungsträgers und der Last häufig nicht nur zwischen Signal VSS auf, sondern auch zwischen Signal VDD, wie dargestellt.

[0017] Bezug nehmend auf [Fig. 7](#) ist Q2 des Treibers **18** aus [Fig. 2b](#) typischerweise relativ groß, und weist daher im Vergleich zu z. B. QA oder QB des üblichen Treibers aus [Fig. 1a](#) ein sehr niedriges „EIN“ auf, weshalb die Wellenform, die von Treiber **18**, wie er in [Fig. 7](#) gezeigt ist, erzeugt wird, sehr abrupt ist, wodurch VDO innerhalb eines relativ kurzen Zeitraumes etwa zum Zeitpunkt t1 vom Pegel VSS auf den Pegel VHH übergeht. Gleichzeitig steigt der Strom, der von Treiber **18** in den Schaltungsträger fließt, äußerst schnell an, was zu einem hohen Stromänderungsverhältnis (oder di/dt) führt. Da die Stromänderung eine gleiche und entgegengesetzte Stromänderung im Rückflussweg über LPL1 und LPL2 bewirkt, reagieren diese parasitischen Induktanzen auf eine derart rapide Veränderung des Stroms, indem sie zulassen, dass zwischen VSSD und VSSB sowie zwischen VDDD und VDDB eine merkliche Spannungsdifferenz auftritt, wie in [Fig. 7](#) gezeigt, welche die Pegel von VSSB und VDDB unter Bezugnahme auf VSSD und VDDD zeigt.

[0018] Bei einer tatsächlichen Anwendung wäre der Treiber **18** normalerweise Teil eines IC, der nicht nur Ausgangssignale treibt, sondern auch Eingangssignale empfängt. Da aber die Eingangssignale eine beachtliche kapazitive Kopplung an VSSB und VDDB aufweisen, werden ihre Pegel eher in Bezug auf VSSB und VDDB bestimmt, weshalb beispielsweise ein Eingangssignal, das einen nominell niedrigen Pegel aufweist, seinem Empfänger an dem genannten IC eine Spannungsspitze präsentiert, die derjenigen für VSSB aus [Fig. 7](#) zu Zeitpunkt t1 sehr ähnlich ist. Dadurch entsteht die Möglichkeit, dass das Eingangssignal vorübergehend als Signal mit hohem Pegel interpretiert wird. Wie in [Fig. 7](#) zu erkennen, tritt die stärkste Störung am Pegel von VSSB im Verhältnis zu VSSD an den Zeitpunkten t1, t3 und t4 auf, da die gesamte Veränderung des Ausgangsstroms von Treiber **18** aus [Fig. 6](#) von VSSD entweder über den Ladekondensator CR und Q2 aus [Fig. 2](#) oder durch Q1 aus [Fig. 2b](#) zugeführt wird. (Zum Zeitpunkt t2 wird die Stromveränderung teilweise über Q3 aus

[Fig. 2b](#) von VDDD zugeführt, weshalb die Störung weniger schwerwiegend ist.) Daher unterliegt ein Signal, das den genannten IC erreicht, und das aufgrund seines speziellen physikalischen Leitweges hauptsächlich an VSSB gekoppelt ist, schwerwiegenden Störungen, wenn es von einer Empfängerschaltung im IC empfangen wird.

Kurzdarstellung der Erfindung

[0019] Es ist das Ziel der vorliegenden Erfindung, Verbesserungen für Resonanzleitungstreiber bereitzustellen, damit diese mit einer geringen Signalstörung und einer erhöhten Signalfehlerfreiheit betrieben werden können, wobei trotzdem die Vorteile eines reduzierten Leistungsverbrauchs erzielbar bleiben. Diese Verbesserungen können entweder in Kombination oder einzeln benutzt werden, um diesen Vorteil in größerem oder geringerem Umfang bereitzustellen.

[0020] Einem ersten Aspekt der Erfindung gemäß ist eine elektronische Treiberschaltung zum Erzeugen eines Schaltungsausgangssignals bereitgestellt, das an einen elektrischen Leiter bereitstellbar ist, der ein Leiterausgangssignal liefert, das an eine Last bereitstellbar ist, wobei das Ausgangssignal der Schaltung und des Leiters jeweils annähernd zwischen einem Paar von Ausgangsspannungspegeln, zwischen denen sich ein Mittelspannungspegel befindet, einen entsprechenden Schaltungs- bzw. Leiterausgangsübergang vollziehen. Induktivität und Kapazität des Leiters und der Last erzeugen eine Resonanz, die es dem Leiterausgangssignal ermöglicht, jeden Leiterausgangsübergang im Wesentlichen abzuschließen, während das Schaltungsausgangssignal für eine Nichtnull-Mittelpegelhalteperiode während des entsprechenden Schaltungsausgangsübergangs annähernd auf dem Mittelspannungspegel gehalten wird. Die Schaltung weist wenigstens ein erstes Kondensatorelement zwischen dem Mittelspannungspegel und jeweils dem ersten und dem zweiten Spannungspegel auf, sowie wenigstens ein zweites Kondensatorelement (das vorzugsweise gleich wie das erste Kondensatorelement ist, z. B. a) zwischen dem Mittelspannungspegel und dem zweiten Spannungspegel.

[0021] Das erste und zweite Kondensatorelement bilden einen geteilten Ladekondensator.

[0022] Zwischen dem elektrischen Leiter und einer Quelle der Ausgangsspannungspegel des Paares von Ausgangsspannungspegeln kann eine Gehäusezuleitungsinduktanz vorliegen. In diesem Fall sind das erste und das zweite Kondensatorelement vorzugsweise derart vorgesehen, dass eine Veränderung der Schaltungsausgangsspannung bewirkt, dass ein Rückstrom, der in den Treiber zurückfließt, annähernd gleichmäßig zwischen den Gehäusezulei-

tungsinduktanzen aufgeteilt wird. Das erste und zweite Kondensatorelement können eine Entkopplungskapazität zwischen den Ausgangsspannungspegeln bereitstellen.

[0023] Einem zweiten Aspekt der Erfindung gemäß wird eine elektronische Treiberschaltung zum Erzeugen eines Schaltungsausgangssignals bereitgestellt, das an einen elektrischen Leiter bereitstellbar ist, der ein Leiterausgangssignal liefert, das an eine Last bereitstellbar ist. Die Ausgangssignale von Schaltung und Leiter vollziehen jeweils annähernd zwischen einem Paar von Ausgangsspannungspegeln, zwischen denen sich ein Mittelspannungspegel befindet, einen entsprechenden Schaltungs- bzw. Leiterausgangsübergang. Induktivität und Kapazität des Leiters und der Last erzeugen eine Resonanz, die es dem Leiterausgangssignal ermöglicht, jeden Leiterausgangsübergang im Wesentlichen abzuschließen, während das Schaltungsausgangssignal für eine Nichtnull-Mittelpegelhalteperiode während des entsprechenden Schaltungsausgangsübergangs annähernd auf dem mittleren Spannungspegel gehalten wird. Die Schaltung umfasst eine Rampensteuerschaltung zum Steuern partieller Schaltungsausgangsübergänge zwischen wenigstens einem Ausgangsspannungspegel des Paares von Ausgangsspannungspegeln und dem Mittelpegel, um für einen partiellen Schaltungsausgangsübergang eine Übergangszeit bereitzustellen, die im Wesentlichen nicht null ist.

[0024] Der partielle Schaltungsausgangsübergang ist vorzugsweise derart gesteuert, dass er im Verhältnis zu anderen Schaltvorgängen in der Schaltung langsam ist.

[0025] Es können ein Pull-Up-Transistor und ein Pull-Down-Transistor zum Heraufziehen des Schaltungsausgangs auf einen ersten der zwei Ausgangsspannungspegel und zum Herabziehen auf einen zweiten der zwei Ausgangsspannungspegel vorgesehen sein, wobei der partielle Schaltungsausgangsübergang in diesem Fall derart gesteuert ist, dass er langsamer ist als das Schalten des Pull-Up- und des Pull-Down-Transistors.

[0026] Es kann ein Mittelpegeltreibertransistor vorgesehen sein, der den Schaltungsausgang beim Einschalten auf den mittleren Spannungspegel treibt, und beim Ausschalten zulässt, dass der Schaltungsausgang auf einen ersten der zwei Ausgangsspannungspegel getrieben wird. In diesem Fall ist der partielle Schaltungsausgangsübergang derart gesteuert, dass er langsamer ist als das Ausschalten des Mittelpegeltreibertransistors.

[0027] Die Zeit des partiellen Schaltungsausgangsübergangs ist vorzugsweise einstellbar, und ist beispielsweise als eine Funktion der Zeit steuerbar, die das Leiterausgangssignal benötigt, um einen Leiter-

ausgangsübergang im Wesentlichen abzuschließen.

[0028] Die Steuerschaltung kann Zeitvergleichsschaltkreise zum Vergleichen des Schaltungsausgangssignals und des zweiten Steuersignals umfassen, um zu bestimmen, ob das Schaltungsausgangssignal einen Schaltungsausgangsübergang abschließt, bevor das zweite Steuersignal den entsprechenden Steuerungsübergang abschließt, sowie Einstellschaltungen zum Einstellen der Zeit des partiellen Schaltungsübergangs abhängig von dem Vergleich.

[0029] Alternativ vergleicht die Vergleicherschaltung vorzugsweise einen Pegel des partiellen Schaltungsausgangsübergangs mit einer Referenzspannung, die annähernd in der Mitte zwischen dem mittleren Spannungspegel und einem Ausgangsspannungspegel liegt, auf den der Ausgang zu einem Zeitpunkt übergeht, der annähernd in der Mitte zwischen einem Beginn des partiellen Schaltungsausgangsübergangs und einem erwarteten Abschluss des partiellen Schaltungsausgangsübergangs liegt.

[0030] Vorzugsweise können Referenzrampenschaltkreise zum Erzeugen einer Referenzrampe vorgesehen sein, zusammen mit Vergleichsschaltkreisen, die an die Referenzrampenschaltkreise gekoppelt sind, und dazu dienen, einen partiellen Schaltungsausgangsübergang mit der Referenzrampe zu vergleichen.

[0031] Die Zeit, die für einen partiellen Schaltungsausgangsübergang benötigt wird, wird vorzugsweise als eine Funktion von Kennlinien (z. B. Kennlinien, die anhand einer relativen Taktung von zwei Signalen bestimmt werden) von wenigstens einem vorangehenden Schaltungsausgangsübergang gesteuert.

[0032] Vorzugsweise steuert die Rampensteuerungsschaltung einen partiellen Schaltungsausgangsübergang als eine Funktion eines stromgespeicherten Steuerwertes, der als Ergebnis eines vorangehenden Schaltungsausgangsübergangs gespeichert wurde.

[0033] Einem dritten Aspekt der Erfindung gemäß wird eine elektronische Treiberschaltung zum Erzeugen eines Schaltungsausgangssignals bereitgestellt, das an einen elektrischen Leiter bereitstellbar ist, der ein Leiterausgangssignal liefert, das an eine Last bereitstellbar ist. Die Ausgangssignale von Schaltung und Leiter vollziehen jeweils annähernd zwischen einer ersten Spannung, einer zweiten Spannung und einer mittleren Spannung zwischen der ersten und zweiten Spannung einen entsprechenden Schaltungs- bzw. Leiterausgangsübergang. In diesem Aspekt umfasst die Schaltung Folgendes: einen ersten Transistor, der (a) eine erste Fließelektrode aufweist, die an die Quelle der ersten Spannung gekoppelt ist,

(b) eine zweite Fließelektrode, die an den Ausgangsknoten gekoppelt ist, von dem ein Schaltungsausgangssignal bereitgestellt wird, und (c) eine Steuerungselektrode, die auf ein erstes Steuerungssignal anspricht, um den Stromfluss zwischen den Fließelektroden des ersten Transistors zu steuern; einen zweiten Transistor, der (a) eine erste Fließelektrode aufweist, die an die Quelle der zweiten Spannung gekoppelt ist, (b) eine zweite Fließelektrode, die an den Ausgangsknoten gekoppelt ist, und (c) eine Steuerungselektrode, die auf ein zweites Steuerungssignal anspricht, um den Stromfluss zwischen den Fließelektroden des zweiten Transistors zu steuern; und einen dritten Transistor, der (a) eine erste Fließelektrode aufweist, die an die Quelle der mittleren Spannung gekoppelt ist, (b) eine zweite Fließelektrode, die an den Ausgangsknoten gekoppelt ist, und (c) eine Steuerungselektrode, die auf ein drittes Steuerungssignal anspricht, um den Stromfluss zwischen den Fließelektroden des dritten Transistors zu steuern. Ein vierter und ein fünfter Transistor sind jeweils zwischen der Steuerungselektrode des dritten Transistors und den Quellen des ersten bzw. zweiten Spannungspegels angeschlossen. Steuerschaltkreise entladen über den vierten bzw. fünften Transistor selektiv die Steuerungselektrode des dritten Transistors jeweils an den ersten und zweiten Spannungspegel, derart, dass die Steuerungselektrode partielle Übergänge zwischen dem ersten und dem zweiten Spannungspegel vollzieht. Das Ausgangssignal vollzieht, gesteuert von dem ersten, zweiten und dritten Steuerungssignal, annähernd zwischen der ersten und dritten Versorgungsspannung ansteigende und abfallende Ausgangsübergänge, und das Schaltungsausgangssignal bleibt während jedes Schaltungsausgangsübergangs für eine Nichtnull-Mittelpegelhalteperiode annähernd auf dem mittleren Spannungspegel.

[0034] Die Merkmale des ersten, zweiten und dritten Aspekts der Erfindung sowie ihre diversen bevorzugten Merkmale lassen sich in jeder beliebigen Kombination kombinieren.

[0035] Gemäß dem ersten Aspekt der Erfindung reduziert der geteilte Lade-(oder andersartige) Kondensator die Differenzen von Referenzmasse und Referenzleistung (bezeichnet als Masse-/Leistungsgrellen) zwischen einem Chip, der einen Resonanztreiber enthält, und der PWB, auf der er montiert ist. Der geteilte Ladekondensator stellt außerdem eine Entkopplung von Leistung und Masse bereit. In ihrem zweiten Aspekt sieht die Erfindung eine Rampe mit gesteuerter Flankensteilheit vor, die eine einfallende oder ausgehende Welle auslöst, oder Einschalt- und Schaltverfahren für diese. In einem weiteren Aspekt sieht die Erfindung vor, dass die Zeit, die zum Einstellen der Rampe mit der gesteuerten Flankensteilheit benötigt wird, annähernd zeitlich proportional zu der Mittelspannungshalteperiode des Resonanztreibers ist.

[0036] Die Verfahren, die die Rampe mit der gesteuerten Flankensteilheit verwenden, können nicht nur das Masse- und Leistungsgrellen weiter reduzieren, sondern auch an der Last auftretende unnötig hohe Frequenzkomponenten im Signal senken, welche andere Probleme im Zusammenhang mit der Signalfehlerfreiheit und Funkfrequenzstörungen verursachen können. Ein weiterer Aspekt der vorliegenden Erfindung besteht darin, den „EIN“-Widerstand der Treiber-Pull-Up- und Pull-Down-Transistoren (beispielsweise Q3 und Q1 in [Fig. 2b](#)) annähernd an die charakteristische Impedanz des Schaltungsträgers **12** anzupassen. Ein weiterer Aspekt der Erfindung betrifft Mittel zum Bestimmen eines Rückkopplungssteuersignals, um die interne Verzögerung eines Resonanzleitungstreibers einzustellen.

[0037] Zur Veranschaulichung soll nun eine Anzahl bevorzugter Ausführungsformen beschrieben werden, wobei auf die Figuren Bezug genommen wird.

Kurze Beschreibung der Figuren

[0038] [Fig. 1](#) bis [Fig. 3](#) stellen Resonanzleitungstreiberschaltungen des Stands der Technik dar.

[0039] [Fig. 4](#) und [Fig. 5](#) sind Taktungsdiagramme, die den Betrieb der Schaltung aus [Fig. 2b](#) für unterschiedliche Werte von CL zeigen.

[0040] [Fig. 6](#) zeigt einen Resonanzleitungstreiber ähnlich wie den aus [Fig. 3](#) in einer typischen physikalischen Umgebung.

[0041] [Fig. 7](#) ist ein Taktungsdiagramm für die Schaltung aus [Fig. 6](#).

[0042] [Fig. 8](#) zeigt einen Resonanzleitungstreiber gemäß einer ersten Ausführungsform der Erfindung.

[0043] [Fig. 9](#) und [Fig. 11](#) sind Taktungsdiagramme, die den Betrieb der Schaltung aus [Fig. 8](#) zeigen.

[0044] [Fig. 12](#) zeigt einen Resonanzleitungstreiber gemäß einer zweiten Ausführungsform der Erfindung.

[0045] [Fig. 13](#) ist ein Taktungsdiagramm, das den Betrieb der Schaltung aus [Fig. 12](#) zeigt.

[0046] [Fig. 14](#) zeigt einen Resonanzleitungstreiber gemäß einer dritten Ausführungsform der Erfindung.

[0047] [Fig. 15](#) und [Fig. 16](#) sind Taktungsdiagramme, die den Betrieb der Schaltung aus [Fig. 14](#) zeigen.

[0048] [Fig. 17](#) ist eine Darstellung einer Steuerungsschaltung, die zur Benutzung in der Schaltung aus [Fig. 12](#) oder [Fig. 14](#) oder anderen Ausführungsfor-

men geeignet ist.

[0049] [Fig. 18](#) zeigt eine Steuerschaltung des Stands der Technik.

[0050] [Fig. 19](#) ist ein Taktungsdiagramm zur Erläuterung des Betriebs eines Resonanzleitungstreibers gemäß dem zweiten Aspekt der Erfindung.

[0051] [Fig. 20](#) zeigt eine Steuerschaltung, die zur Benutzung gemäß dem zweiten Aspekt der Erfindung geeignet ist.

[0052] [Fig. 21](#) ist eine detaillierte Darstellung auf Basis von [Fig. 19](#).

[0053] [Fig. 22](#) zeigt eine zu der Steuerschaltung aus [Fig. 20](#) alternative Steuerschaltung.

[0054] [Fig. 23](#) zeigt einen Resonanzleitungstreiber gemäß einer weiteren Ausführungsform.

[0055] [Fig. 24](#) ist ein Taktungsdiagramm für die Schaltung aus [Fig. 23](#).

[0056] [Fig. 25](#) zeigt in detaillierterer Weise einen Vergleich, der zur Benutzung in der Schaltung aus [Fig. 23](#) geeignet ist.

Detaillierte Beschreibung der bevorzugten Ausführungsformen

[0057] Bezug nehmend auf [Fig. 8](#) zeigt diese eine Schaltung ähnlich wie die aus [Fig. 6](#), wobei allerdings der Ladekondensator, anstatt vollständig zwischen den Schaltungsknoten VSSD und VHHD vorgesehen zu sein, in zwei Kapazitäten CR1 und CR2 aufgeteilt ist. CR1 stellt die Kapazität zwischen VSSD und VHHD bereit, während CR2 die Kapazität zwischen VDDD und VHHD bereitstellt. Da CR1 und CR2 jeweils in paralleler Weise Ladekapazität bereitstellen, können CR1 und CR2 jeweils in der halben numerischen Größe von CR aus [Fig. 6](#) ausgebildet sein, und doch dieselbe effektive Ladekapazität bereitstellen. Durch Benutzung eines geteilten Ladekondensators ist der Treiber 19 aus [Fig. 8](#) symmetrischer ausgebildet, und wenn also eine Veränderung der Spannung des Treiberausgangssignals VDO bewirkt, dass Strom in den Schaltungsträger 12 oder aus diesem heraus fließt, wird ein Rückstrom, der zurück in den Treiber 19 fließt, zwischen den Gehäusezuleitungsinduktanzen LPL1 und LPL2 aufgeteilt.

[0058] [Fig. 9](#) zeigt Wellenformen, die im Zusammenhang mit der Schaltung aus [Fig. 8](#) auftreten. Ein Vergleich zwischen [Fig. 7](#) und [Fig. 9](#) zeigt, dass in [Fig. 7](#) zum Zeitpunkt t1 ein großer Versatz zwischen VSSB und VSSD vorliegt, da in [Fig. 6](#) der gesamte Rückstrom durch LPL2 fließt, wohingegen in [Fig. 9](#) zum Zeitpunkt t1 sowohl VSSB als auch VDDB in an-

nähernd gleichem Maße gegenüber VSSD bzw. VDDD versetzt sind, jedoch in geringerem Umfang, da in der Schaltung aus [Fig. 8](#) der gesamte Rückstrom gleichmäßig zwischen den Gehäusezuleitungsinduktanzen LPL1 und LPL2 aufgeteilt wird. Als weiterer Vorteil stellt die Serienkombination von LPL1 und LPL2 einen äußerst nützlichen Grad an Entkopplungskapazität zwischen VSSD und VDDD bereit. Beispielsweise wird zum Zeitpunkt t2 in [Fig. 9](#) z. B. über MOSFET Q3 aus [Fig. 2b](#) etwas Strom vom Knoten VDDD an den Treiberausgangsknoten bereitgestellt. Die Entkopplungskapazität, die die serielle Kombination von CR1 und CR2 bereitstellt, kann den notwendigen Strom bereitstellen, der anderenfalls extern durch LPL1 herbeigeführt werden müsste, was zu weiterem Masseprellen führen würde.

[0059] Bezug nehmend auf [Fig. 10](#) sieht ein zweites Element der vorliegenden Erfindung eine Rampe mit gesteuerter Flankensteilheit vor, wenn das Treiberausgangssignal zum Zeitpunkt t1 von dem Pegel von VSSD auf VHHD getrieben wird. Die positiv verlaufende Rampe bringt das Ausgangssignal VDO gleichmäßig mit einer gesteuerten Rate von dem Pegel von VSSD zum Zeitpunkt t1 bis nahe an den Pegel von VHHD zum Zeitpunkt t1a, und eine negativ verlaufende Rampe bringt das Ausgangssignal VDO gleichmäßig mit einer gesteuerten Rate vom Pegel von VHHD zum Zeitpunkt t3 bis nahe an den Pegel von VSSD zum Zeitpunkt t3a.

[0060] Vorzugsweise wird die Rampe von einer Schaltung mit niedriger Ausgangsimpedanz erzeugt, so dass die Amplitude und die Dauer der Rampe vom Grad der Ladung am Ausgangssignal VDO im Wesentlichen unbeeinflusst bleibt. Die gesteuerte Rampe reduziert die Veränderungsrate des Stromausgangs des Treibers wesentlich, und daher auch die Veränderungsrate des Rückstroms durch beispielsweise LPL1 und LPL2, und führt zu einer beachtlichen Reduzierung von Leistungs- und Masseprellen, wie in [Fig. 10](#) gezeigt, wobei jedoch nur eine geringe Verzögerung in den Übergang des Signals von der Quelle zur Last insgesamt eingebracht wird.

[0061] Wenn die Last sich an eine Übertragungsleitung annähert, bewegt sich die Rampe, die zum Zeitpunkt t1 in [Fig. 10](#) beginnt, durch die Übertragungsleitung, und wird zurück zum Treiber reflektiert, den sie zum Zeitpunkt t2 erreicht. Zu diesem Zeitpunkt trennt die Steuerschaltung 20 den Ausgang VDO von VHHD, und verbindet ihn über einen Pull-Up-Transistor, beispielsweise Q3 aus [Fig. 2b](#), mit VDDD. Wenn Q3 so abgemessen ist, dass sein „EIN“-Widerstand mit dem charakteristischen Leitungswiderstand der Übertragungsleitung übereinstimmt, nähert sich der Treiberausgang gleichmäßig an den Pegel von VDDD an, ohne dass es zu Überschwingungen oder Unterschwingungen kommt, und schließt so den Übergang ab. Eine ähnliche Abfolge beginnt zum

Zeitpunkt t3 mit einem Übergang entgegengesetzter Polarität, wobei Q1 aus [Fig. 2b](#) ebenfalls so abgemessen sein kann, dass sein „EIN“-Widerstand mit dem charakteristischen Leitungswiderstand der Übertragungsleitung übereinstimmt.

[0062] Ein Nachteil des Verfahrens der gesteuerten Rampe besteht darin, dass ein reduzierter Anteil der Gesamtladung für den Übergang von dem Ladekondensator bereitgestellt wird. Beispielsweise zeigen in [Fig. 10](#) die schattierten Bereiche unter den Kurven IHH und IDD die relativen Anteile der Ladung, die vom VHHD-Knoten (d. h. dem Ladekondensator) und dem VDDD-Leistungsversorgungsknoten geliefert werden. Wie in [Fig. 10](#) zu erkennen, werden etwa 75% der Ladung vom Ladekondensator bereitgestellt, während die übrigen 25% von der VDDD-Leistungsversorgung stammen. Ebenso zeigt [Fig. 10](#) (mit punktierten Linien), dass für den Fall, dass die gesteuerte Rampe noch langsamer gestaltet wird, der Anteil der Ladung, der vom Ladekondensator geliefert wird, noch weiter auf etwa 50% sinken kann. Daher führt die Benutzung einer gesteuerten Rampe zu einem geringfügig höheren Leistungsverbrauch, der aber immer noch wesentlich niedriger ist als bei einem üblichen Treiber, aber auch zu einer Verbesserung in Bezug auf Signalfehlerfreiheit und Masse-/Leistungsprellen. Die Taktungsanforderungen bezüglich der Signalfehlerfreiheit gegenüber denjenigen für einen geringen Leistungsverbrauch und Geschwindigkeit bilden also einen gewissen Gegensatz. Ein weiteres Element der vorliegenden Erfindung besteht daher darin, einen Kompromiss zwischen diesen Anforderungen zu erreichen.

[0063] Wenn die Rampenrate, wieder unter Bezugnahme auf [Fig. 10](#), annähernd halbiert würde, derart, dass sie von t1 bis t2 andauert, dann würde, wie oben erörtert, der Leistungsverbrauch zunehmen, so dass ein Treiber, der eine solche Rampenrate verwendet, ungeeignet wäre. Wenn andererseits derselbe Treiber einen Schaltungsträger von etwa der halben Länge (und also Verzögerung) treiben würde, würde eine solche Rampenzeit wieder einen geringen Leistungsverbrauch im Vergleich zu einem üblichen Treiber aufweisen, und zudem eine gute Signalfehlerfreiheit bieten, wie in [Fig. 11](#) gezeigt, während eine Rampe der ursprünglichen Geschwindigkeit (t1 bis t1a) nur eine marginale Verbesserung des Leistungsverbrauchs und der Geschwindigkeit liefern würde, jedoch den Beitrag des Treibers zum Masse-/Leistungsgrellen stark erhöhen würde. Gleichzeitig würde das Signal übermäßig viele Hochfrequenzüberschwingungen enthalten, die in unnötiger Weise die Funkfrequenzemissionen steigern würden. Wenn also die Rampenschaltung steuerbar gestaltet ist (d. h. dazu in der Lage ist, Rampenzeiten variabler Dauer innerhalb eines bestimmten Bereichs bereitzustellen, und, wenn die Rampenzeit von demselben Schaltungssteuermechanismus gesteuert wird, der

auch in der Steuerschaltung **20** benutzt wird, die Mittelpegelhalteperiode des Resonanzleitungstreibers einzustellen), kann der Treiber über eine Spanne von Lastbedingungen hinweg arbeiten (d. h., er kann die Last mit einer variierenden Übertragungsleitungsverzögerung oder LC-Resonanzfrequenz antreiben), und trotzdem Wellenformen erzeugen, die nahezu einen optimal gewählten Kompromiss zwischen Leistungsverbrauch und Geschwindigkeit einerseits und der Signalfehlerfreiheit andererseits darstellen.

[0064] [Fig. 12](#) zeigt einen Resonanzleitungstreiber **118**, der eine erste Ausführungsform einer Rampensteuerschaltung **118** umfasst. Gegenüber der Schaltung aus [Fig. 2b](#) wurde der n-MOS-Transistor Q2 durch ein Paar Transistoren Q2N (eine n-MOS-Einrichtung) und Q2P (eine p-MOS-Einrichtung) ersetzt, deren Kanäle jeweils parallel verbunden sind. Zu Beginn eines Übergangs des Ausgangssignals VDO wird das Gate von Q2N durch einen Strom von Stromspiegel Q21/Q20 (positiv) geladen, wenn sich Q22 „EIN“-schaltet, wobei gleichzeitig Q24 „AUS“-geschaltet wird, während das Gate von Q2P durch einen Strom von Stromspiegel Q31/Q30 (negativ) geladen wird, wenn sich Q32 „EIN“-schaltet, und gleichzeitig Q34 „AUS“-geschaltet wird.

[0065] Bei einem NIEDRIG-HOCH-Übergang, beispielsweise demjenigen, der zum Zeitpunkt t1. in [Fig. 13](#) beginnt, leitet der p-MOS-Transistor Q2P zunächst nicht, auch nachdem seine Gate-Elektrode abzufallen beginnt, da sein Kanal sich nicht „EIN“-schalten kann, bis die Gate-Elektrode negativer als VHH geworden ist. Die n-MOS-Einrichtung Q2N andererseits beginnt zu leiten, sobald ihre Gate-Elektrode um wenigstens die Schwellenspannung von Q2N positiver als VDO wird. Man wird erkennen, dass sich Q2N daher anfangs in einer Source-Folgerkonfigurierung befindet. Während des Rampenzeitsignals wird VDO durch eine sehr geringe Impedanz allmählich hochgezogen, da eine Source-Folgerkonfigurierung einen sehr geringen Ausgangswiderstand ergibt. Q22 schaltet sich schließlich „EIN“, nachdem die Rampe im Wesentlichen abgeschlossen ist, und trägt dazu bei, einen insgesamt niedrigen „EIN“-Widerstand für Q2N und Q2P in paralleler Kombination zu erreichen. Zum Zeitpunkt t2 werden sowohl Q2N als auch Q22 schnell „AUS“-geschaltet, während der Pull-Up-Transistor Q3 „EIN“-geschaltet wird. Bei einem HOCH-NIEDRIG-Übergang ist es, ausgehend von Zeitpunkt t3, Q22, das sich zuerst in einem Source-Folgermodus „EIN“-schaltet, und Q2N, das sich später „EIN“-schaltet, weshalb das gleiche Betriebsmuster auftritt, wie in Bezug auf einen NIEDRIG-HOCH-Übergang beschrieben. Ein Variieren des Wertes des Referenzstroms IREF ermöglicht das Erzeugen variabler Rampenraten.

[0066] Ein Nachteil der Schaltung aus [Fig. 12](#) be-

steht darin, dass die Schaltung für denselben Wert des „EIN“-Widerstands im Vergleich zur Schaltung aus [Fig. 2b](#) zu einer Zunahme der Siliziumfläche führt, da CMOS-p-Kanaleinrichtungen im Allgemeinen wesentlich weniger raumeffizient sind als n-Kanaleinrichtungen. [Fig. 14](#) zeigt einen Resonanzleistungstreiber, der eine alternative Rampensteuerschaltung **119** umfasst, die anstelle der parallelen Kombination von Q2N und Q2P aus [Fig. 12](#) eine einzige n-MOS-Einrichtung Q2 benutzt. Für NIEDRIG-HOCH-Übergänge lässt sich Q2 natürlich wieder in einem Source-Folgermodus antreiben, um eine variable Rampe zu erzeugen. In [Fig. 14](#) wird das Gate von Q2 wieder während der NIEDRIG-HOCH-Rampe geladen, wenn Q22 den Stromspiegel Q21/Q20 „EIN“-schaltet, wobei gleichzeitig Q24 „AUS“-geschaltet wird. Der Referenzstrom für Spiegel Q21/Q20 wiederum kommt von Stromspiegel Q30/Q31, der wiederum vom Referenzstrom IREFOUT gesteuert wird. Für HOCH-NIEDRIG-Übergänge lässt sich Q2 nicht als Source-Folger verwenden, sondern ist grundsätzlich als gewöhnlicher Source-Schalter konfiguriert, der sich normalerweise sehr abrupt „EIN“-schalten würde, wenn das Gate um einen Wert, der der Schwellenspannung von Q2 entspricht, positiver würde als VHH. Wenn jedoch ein Rückkopplungskondensator CFB zwischen dem Ausgangssignal VDO und dem Eingang von Spiegel Q41/Q40 vorliegt, erzeugt die Rampenrate einen ratenabhängigen Rückkopplungsstrom, der von dem Referenzstrom IREFOUT subtrahiert wird. Auf diese Weise benutzt die Schaltung eine negative Rückkopplung, um die Rampenrate so zu steuern, dass sie vom Referenzstromeingang abhängig ist, da sich die Gate-Spannung am Eingang von Q41/Q40 aufbaut, falls die Rampe zu langsam ist, und dazu tendiert, die Rate zur gewünschten Rate zu korrigieren. Letztlich weist die Rampe also wieder eine niedrige Ausgangsimpedanz auf. Wie in [Fig. 15](#) gezeigt, wird das Gate von Q2 für HOCH-NIEDRIG-Übergänge mit einer gleichmäßig ansteigenden Rampe geladen, während die Gate-Spannung für HOCH-NIEDRIG-Übergänge zunächst schnell und dann während einer aktiven Periode, während der die Rampenrate gesteuert wird, langsam ansteigt. Auf diese Weise lässt sich der Kondensator CFB als ein Kondensator beschreiben, der die Anstiegsrate des Stroms zur Steuerelektrode des Transistors Q2 prüft, wenn das Schaltungsausgangssignal von VDD auf VSS abfällt.

[0067] Ein Nachteil der Schaltung aus [Fig. 14](#) ist der, dass bei HOCH-NIEDRIG-Übergängen eine merkliche Verzögerung vom Beginn der Ladung des Gates von Q2 bis zu dem Punkt vorliegt, an dem Q2 zu leiten beginnt, und an dem sich schließlich der Treiberausgang VDO zu bewegen beginnt. Wie in [Fig. 16](#) gezeigt, ist es aber während der Periode, in der VDO hoch ist, nicht nötig, das Gate von Q2 bis auf den Pegel von VSSD herab zu entladen, um Schalter Q2 „AUS“ zu schalten. Wenn das Gate nur

bis zu VHHD entladen wird, wie in [Fig. 16](#) gezeigt, wird Q2 trotzdem „AUS“-geschaltet, kann jedoch zu Beginn des nächsten HOCH-NIEDRIG-Übergangs wesentlich schneller wieder „EIN“-geschaltet werden. Dies lässt sich erreichen, indem Q24 aus [Fig. 14](#) durch zwei Transistoren ersetzt wird, wobei unter Steuerung von in geeigneter Weise bereitgestellten Steuersignalen VD2S und VD2H einer der Transistoren das Gate von Q2 bis auf VSSD entlädt, und der andere das Gate von Q2 auf VHHD entlädt, wie in [Fig. 16](#) gezeigt. Alternativ kann das Gate von Q2 zuerst auf VSSD entladen werden, und dann nur vor HOCH-NIEDRIG-Übergängen auf den Pegel von VHHD vorgeladen werden.

[0068] Ein Vorteil einer solchen modifizierten Form der Schaltung aus [Fig. 14](#) wird in einem Vergleich zwischen [Fig. 16](#) für eine solche modifizierte Schaltung mit [Fig. 15](#) für die Schaltung wie dargestellt deutlich. Die Spitzenspannungsbelastung zwischen dem Gate und dem Kanal von Schalter Q2 wird annähernd halbiert. So muss z. B. nach einem NIEDRIG-HOCH-Übergang die Gate-Elektrode nur auf VHH zurückkehren, um den Schalter Q2 „AUS“ zu schalten. Dies reduziert den Leistungsverbrauch und erlaubt es, bei der Fertigung des MOSFET-Kanals von Q2 eine dünnere Oxidschicht zu benutzen. Es ist zu beachten, dass dieser Vorteil von dem jeweiligen Anstiegszeitsteuerverfahren oder der Taktung der Steuerung für die partiellen Ausgangsübergänge unabhängig ist. Es ist außerdem zu beachten, dass die Beschreibung im Zusammenhang mit einer Schaltung erfolgt, die ausschließlich n-Kanaltechnik umfasst, wobei jedoch eine Anwendung auf p-Kanaltechnik oder eine Mischung aus n- und p-Kanälen ebenso möglich ist. Beispielsweise kann derselbe Grundgedanke mit geeigneten Modifikationen auf die Schaltung aus [Fig. 12](#) angewandt werden.

[0069] [Fig. 17](#) zeigt ein Blockdiagramm einer Steuerschaltung **120**, wobei derselbe Referenzstrom sowohl die Mittelpegelhalteperiode eines Resonanzleistungstreibers über eine steuerbare Verzögerung D1 steuert, als auch den Strom IREFOUT an eine Rampenschaltung (beispielsweise im Treiber **119** aus [Fig. 14](#)) liefert, so dass die Rampenperiode die Mittelpegelhalteperiode als ausgewähltes Optimum aus einer Spanne von Taktungsbedingungen verfolgt. Wie oben beschrieben, lässt sich IREFOUT gemäß einigen Kennlinien eines früheren Übergangs einstellen, wie im Stand der Technik beschrieben.

[0070] Beispielsweise zeigt [Fig. 18](#) eine Steuerschaltung, wie sie in US-Patentschrift 6,201,420 beschrieben ist, wobei die Dauer der Mittelpegelhalteperiode durch den Wert eines Aufwärts-/Abwärtszählers **32** eingestellt wird, der wiederum von einer Vergleichsschaltung **30** gesteuert wird, die die Taktung des Schaltungsausgangssignals VDO mit einem Steuersignal VC2 vergleicht, um so ein Rückkopp-

lungssignal RP zu erzeugen. Allerdings ist der Vergleich **30** dazu ausgelegt, die relative Taktung von zwei Signalen zu vergleichen, die einen schnellen Übergang vollziehen, und kann bei der Benutzung in einem Resonanzleitungstreiber mit gesteuerter Rampe, wie er zuvor beschrieben wurde, unzuverlässig oder ungenau sein. Ein weiterer Aspekt der vorliegenden Erfindung stellt daher ein Mittel zum Einstellen des Haltens des mittleren Pegels für Resonanzleitungstreiber mit gesteuerter Rampe bereit.

[0071] [Fig. 19](#) zeigt aus Gründen der Klarheit nur den Niedrig-Hoch-Übergang eines Resonanzleitungstreiber, der eine gesteuerte Rampe benutzt. Gezeigt ist eine Anfangsrampe, die an Zeitpunkt t_1 beginnt, gefolgt von einer Mittelpegelhalteperiode, nach der die Reflexion der Anfangsrampe von Zeitpunkt t_1 (die als „Anfangsreflexion“ bezeichnet werden soll) etwa zum Zeitpunkt t_3 eintrifft. Der Zeitpunkt t_3 ist der Zeitpunkt des Übergangs der Steuerungssignale VC3 und VE2N, bestimmt durch die Steuerungsschaltungen. Ein Element der vorliegenden Erfindung besteht in der Positionierung einer optimalen Taktung des Übergangs der Steuerungssignale VC3 und VE2N an t_3 , derart, dass sie so weit wie möglich mit der Anfangsreflexion übereinstimmt. Wenn diese optimale Taktung erreicht wird, steigt das Ausgangssignal VDO ausgehend von dem Zeitpunkt t_3 mit etwa der gleichen Flanke an, wie es dies während der Anfangsrampe tut, die zum Zeitpunkt t_1 beginnt. Diese optimale Taktung wird durch die Spannungswellenform VDOO aus [Fig. 19](#) dargestellt. Wenn die Anfangsreflexion früh eintrifft, also vor dem Zeitpunkt t_3 , steigt das Signal VDO schneller an als die Anfangsrampe, die zum Zeitpunkt t_1 beginnt, wie durch die Wellenform VDOE angezeigt. Wenn die Anfangsreflexion dagegen in Bezug auf Zeitpunkt t_3 später eintrifft, steigt das Signal VDO mit einer Flanke an, die der Anfangsrampe zum Zeitpunkt t_1 gleicht, jedoch einige Zeit nach dem Zeitpunkt t_3 einsetzt, wie durch die Wellenform VDOL dargestellt.

[0072] Bezug nehmend auf [Fig. 20](#) zeigt diese eine Steuerschaltung **128**, die eine Taktungsschaltung und einen Regelkreis zur Benutzung in einem Resonanzleitungstreiber umfasst, der eine gesteuerte Rampe benutzt, während [Fig. 21](#) Wellenformen darstellt, die im Zusammenhang mit dem Betrieb der Steuerschaltung **128** auftreten.

[0073] Die Steuerschaltung **128** zeigt eine Einrastvergleicherschaltung **132**, die pegelempfindliche Eingänge aufweist, die die Signale VDO und VREF empfangen, und in Reaktion auf einen Taktsignaleingang VIDD ein digitales Ausgangssignal U/D an einen N-Bit-Aufwärts-/Abwärtszähler **130** liefert. Das Signal U/D ist auf ein logisches „Hoch“ an der steigenden Flanke von VIDD gesetzt, falls das Signal VDO zu diesem Zeitpunkt eine höhere Spannung aufweist als das Signal VREF, oder auf ein logisches „Tief“ an

der steigenden Flanke von VIDD, wenn das Signal VDO zu diesem Zeitpunkt eine niedrigere Spannung aufweist als das Signal VREF. Das Signal U/D steuert den N-Bit-Aufwärts-/Abwärtszähler **130** derart, dass der Zählerwert erhöht wird, falls sich das Signal U/D während des Übergangs des Eingangssignals VI vom logischen „Hoch“ zum logischen „Tief“ auf einem logischen „Hoch“ befindet. Wenn sich das Signal U/D dagegen während des Übergangs des Eingangssignals VI vom logischen „Hoch“ zum logischen „Tief“ auf einem logischen „Hoch“ befindet, wird der Zählerwert gesenkt. Der Zähler **130** wiederum steuert eine digital gesteuerte Verzögerungsschaltung **134** derart, dass das Eingangssignal VI zeitlich um eine Größe verzögert wird, die von dem Stromwert abhängig ist, der im Zähler **130** gespeichert ist.

[0074] Ein Signal VID, die verzögerte Version von Signal VI, wird von der Verzögerungsschaltung **134** ausgegeben, und initiiert wiederum den Übergang der Ausgangssignale VE2N, VC3 und VC1 zum Zeitpunkt t_3 aus [Fig. 21](#). Die stromgesteuerte Verzögerungsschaltung **136** verzögert das Signal VID weiter, um so ein Signal VIDD zu erzeugen, das zum Zeitpunkt t_4 aus [Fig. 21](#) einen Übergang vollzieht. Das Signal VIDD wiederum ist das Taktsignal für den Einrastvergleicher **132**. Die Verzögerungsschaltung **136** wird von einem Ausgang der Stromquelle **126** gesteuert, die den Strom IREF liefert, derart, dass die Verzögerung, die von der Verzögerungsschaltung **136** erzeugt wird, umso kürzer ist, je größer der Wert von IREF ist. Die Stromquelle **126** liefert einen zweiten, gleichen oder proportionalen Strom an den Ausgang IREFOUT, der wiederum die Anstiegszeit der Rampe steuern kann, die zum Zeitpunkt t_1 aus [Fig. 21](#) beginnt. Wenn die optimale Taktung erreicht wurde, steigt das Ausgangssignal VDO ausgehend von dem Zeitpunkt t_3 mit etwa der gleichen Flanke an, wie es dies während der Anfangsrampe tut, die zum Zeitpunkt t_1 beginnt, wie die Wellenform VDDO zeigt.

[0075] Die Verzögerungsschaltung **136** ist dazu vorgesehen, eine Verzögerung zu erzeugen, die stets etwa der halben Dauer der Rampe entspricht, die zum Zeitpunkt t_1 aus [Fig. 21](#) beginnt. Das Eingangssignal VREF dagegen weist ein Potential auf, das etwa in der Mitte zwischen dem Potential von VHHD und VDDD liegt, wie in der Figur gezeigt. Wenn die optimale Taktung erreicht wurde, ergibt sich die Wellenform VDDO, und zwar derart, dass ihr Potential zum Zeitpunkt t_4 annähernd gleich VREF ist, was einen unbestimmten Ausgang U/D des Einrastvergleichers **132** erzeugt.

[0076] Wenn andererseits die optimale Taktung nicht erreicht wurde, ergibt sich entweder die Wellenform VDOE oder die Wellenform VDOL, und der Einrastvergleicher **132** bringt sein Ausgangssignal U/D auf ein logisches „Hoch“ bzw. logisches „Tief“. Da das

Signal U/D die Taktung des Signals VID steuert, und daher über den Zähler **130** und die Verzögerungsschaltung **134** aus [Fig. 20](#) die Positionen des Zeitpunkts t_3 aus [Fig. 21](#), verläuft der Gesamtbetrieb der Schaltung derart, dass die Ausgangssignale VE2N, VC3 und VC1 so gesteuert werden, dass sie an einem optimalen Zeitpunkt oder in der Nähe eines solchen auftreten. Fachleute werden erkennen, dass der Einrastvergleich **132**, der Aufwärts-/Abwärtszähler **130** und die digital gesteuerte Verzögerungsschaltung **134** gemeinsam Elemente eines Regelkreises bilden, oder, genauer ausgedrückt, eines Verzögerungsregelkreises, wenn dieser als Steuerschaltung in einem Resonanzleitungstreiber benutzt wird.

[0077] Bezug nehmend auf [Fig. 22](#), zeigt diese eine Steuerschaltung **138**, die der Steuerschaltung **128** aus [Fig. 20](#) gleicht, sich aber darin von ihr unterscheidet, dass die digital gesteuerte Verzögerung **134** der Steuerschaltung **128** bei der Steuerschaltung **138** durch eine stromgesteuerte Verzögerung **135** ersetzt ist. Ferner wird die Verzögerung **135** durch einen Strom gesteuert, der von einer digital gesteuerten Stromquelle **140** geliefert wird, anstelle der festen Stromquelle **126** der Steuerschaltung **128**. Die digital gesteuerte Stromquelle **140** liefert mehrere gleiche oder proportionale Ausgangsströme, deren Größen als eine Funktion des N-bit-Binärsteuereingangs gesteuert werden, der von dem Aufwärts-/Abwärtszähler **130** der Steuerschaltung **138** bereitgestellt wird, wobei jedoch typischerweise die Ausgangsströme der Stromquelle **140** im Wesentlichen proportional oder umgekehrt proportional zu dem Binärwert-Steuereingang sind, der von dem Zähler **130** bereitgestellt wird. Da der Zähler **130** der Steuerschaltung **138** die Stromquelle **140** steuert, die wiederum die Verzögerung **135** steuert, und über die stromgesteuerte Verzögerung **136** den Einrastvergleich **132** aktiviert, liegen hier wiederum Elemente eines Verzögerungsregelkreises vor.

[0078] Ein Vorteil der Steuerschaltung **138** im Vergleich zur Steuerschaltung **128** besteht darin, dass die Steuerschaltung **138** zusätzliche Steuerströme IREFOUT und IREFOUT1 bereitstellen kann, die zu dem Steuereingangstrom an die stromgesteuerte Verzögerung **135** proportional sind. Wie in Bezug auf die Steuerschaltung **120** aus [Fig. 17](#) beschrieben wurde, lässt sich IREFOUT aus [Fig. 22](#) dazu benutzen, die Anstiegszeit einer Rampenschaltung zu steuern, wodurch die Rampenperiode die Mittelpegelhalteperiode in einem Resonanzleitungstreiber verfolgen kann. Die Nützlichkeit von IREFOUT1 soll an späterer Stelle weiter erörtert werden. Wie in Bezug auf Steuerschaltung **128** aus [Fig. 20](#) beschrieben, enthält auch die Steuerschaltung **138** eine stromgesteuerte Verzögerung **136**, deren Zweck es ist, ein Taktungssignal VIDD an die Einrastvergleichsschaltung **132** bereitzustellen, derart, dass das Signal VDO zum Zeitpunkt t_3 mit der Referenz-

spannung VREF verglichen wird, wie in [Fig. 21](#) gezeigt. Die Punkt, an dem sich die Spannung VREF und der Zeitpunkt t_3 kreuzen, wie in [Fig. 21](#) gezeigt, stimmt typischerweise mit der Wellenform VDOO überein, weshalb sich die Wellenform VDOE von der Wellenform VDOI unterscheiden lässt, um so ein Rückkopplungskreissignal U/D zu erzeugen.

[0079] Eine besondere Schwierigkeit bei der physikalischen Implementierung von Steuerschaltungen **128** oder **138** kann darin liegen, den Einrastvergleich **132** so auszulegen, dass er mit ausreichend hoher Geschwindigkeit arbeitet, und den Referenz- und Taktungseingang mit ausreichender Genauigkeit an ihn bereitzustellen. Während beispielsweise in [Fig. 21](#) die Spannungspegel VHFID und VDDD als zeitlich unveränderlich dargestellt sind, unterliegen in einer physikalischen Implementierung sowohl VDDD als auch VHS Veränderungen, und zwar insbesondere der Pegel von VHHD, wenn er von einem Ladekondensator bereitgestellt wird. Daher können die Auswahl des geeigneten Pegels für VREF in Bezug auf den Strom und unmittelbar vorangehende Pegel von VHHD und VDDD, sowie die Schaltkreise, die benötigt werden, um das Signal VREF zu liefern, relativ komplexe Probleme darstellen. Ebenso muss die Taktung des Signals VIDD in den Steuerschaltungen **128** oder **138** äußerst genau und wiederholbar sein, was in der Praxis möglicherweise schwer umsetzbar ist. Ferner vergleicht der Einrastvergleich **132** der Steuerschaltungen **128** oder **138** die Spannung des Signals VDO mit der Spannung des VREF theoretisch in einem einzigen Moment der Anstiegsflanke des Taktungssignals VIDD. In Wirklichkeit aber ist es aufgrund der endlichen Geschwindigkeit der Schaltkreiselemente im Einrastvergleich **132** eher so, dass der Vergleich die Werte von Mittelwerten der Eingangssignale VDO und VREF während eines bestimmten Abtastzeitfensters vergleicht, das annähernd (aber nicht genau) mit der Anstiegsflanke des Taktungseingangssignals VIDD übereinstimmt.

[0080] Kombiniert können all diese Ungewissheiten bewirken, dass sich die Schaltungsauslegung schwierig gestaltet und der Betrieb der Schaltung unregelmäßig ist. Gemäß einer weiteren Ausführungsform der vorliegenden Erfindung werden verbesserte Mittel zum Liefern des Rückkopplungskreissignals U/D in der Steuerschaltung **128** und **138** bereitgestellt. Dies wird teilweise erreicht, indem die Eingänge des Einrastvergleichers **132** derart umdefiniert werden, dass sie weniger Genauigkeit verlangen, und teilweise, indem für den Einrastvergleich **132** eine interne Schaltung bereitgestellt wird, die neuartig und speziell für die Anwendung vorgesehen ist, und die Anforderungen an die Taktungsgenauigkeit des Taktungssignals VIDD weiter lockert.

[0081] [Fig. 23](#) zeigt einen alternativen Resonanzleitungstreiber, der eine Steuerschaltung **138**, eine

Rampenschaltung **119**, ähnlich wie diejenige aus [Fig. 14](#), Ausgangs-MOSFETs Q1, Q2 und Q3 sowie Hilfsschaltungen umfasst, die einen n-Kanal-MOSFET Q2R und einen Kondensator CRAMP umfassen. Der Kondensator CRAMP liefert ein Signal VREFRAMP, dessen Funktion im Folgenden beschrieben werden soll. Die Source- und die Drain-Klemme des n-Kanal-MOSFET Q2R sind jeweils mit den Signalen VHHD bzw. VREFRAMP verbunden.

[0082] Bezug nehmend auf [Fig. 24](#) lädt der Referenzstromausgang IREFOUT1 von der Steuerschaltung **138** zunächst den Kondensator bis auf den Spannungspegel von VDD. Wenn das Signal VC2 ansteigt und am Zeitpunkt t1 einen Übergang von Niedrig zu Hoch initiiert, und zum Zeitpunkt tA weiter über den Pegel von VHHD hinaus ansteigt, schaltet sich der n-Kanal-MOSFET Q2R „EIN“, was den Kondensator CRAMP entlädt und das Signal REFRAMP auf den Pegel von VHHD bringt. Zum Zeitpunkt unmittelbar vor Zeitpunkt t3 fällt das Signal VC2 ab. Vor der abfallenden Flanke von Signal VC2 wird das Ausgangssignal VDO strikt auf einem Pegel nahe dem Pegel von VHHD gehalten, da der große n-Kanal-MOSFET Q2R „EIN“-geschaltet ist. Die abfallende Flanke von VC2 ist es, die die Rampe initiiert, beginnend an Zeitpunkt t3 von Signal VDO, wenn sich der n-Kanal-MOSFET Q2 „AUS“-schaltet.

[0083] Die Wellenform VREFRAMP weist zwischen Zeitpunkt t3 und t5 eine Flanke auf, die so ausgelegt ist, dass sie im Wesentlichen der Wellenform VDDO aus [Fig. 21](#) entspricht. Indem anstelle des Signals VREF die Wellenform VREFRAMP benutzt wird, kann das Ausgangssignal VDO zu jedem beliebigen Zeitpunkt zwischen den Zeitpunkten t3 und t5 mit VREFRAMP verglichen werden, wobei stets das gleiche Ergebnis erzielt werden kann, und wodurch die Taktungsanforderungen an das Signal VIDD in einem Teil von [Fig. 23](#) wesentlich gelockert werden.

[0084] Es ist ein beachtlicher Vorteil der vorliegenden Erfindung, und insbesondere der in [Fig. 23](#) gezeigten Schaltung, dass im Wesentlichen zu demselben Zeitpunkt (t3 in [Fig. 24](#)), an dem sich der n-Kanal-MOSFET Q2N „AUS“-schaltet und damit die Rampe von VDO initiiert, sich auch der n-Kanal-MOSFET Q2R „AUS“-schaltet, was es IREFOUT1 erlaubt, mit dem Aufladen des Kondensators CRAMP zu beginnen. Die enge Taktungsübereinstimmung dieser zwei Ereignisse an Zeitpunkt t3 ist äußerst präzise, da es sich bei beiden MOSFETs Q2 und Q2R um n-Kanaleinrichtungen handeln kann, die auf demselben Substrat ausgebildet sind, und ein gemeinsames Gate-Signal VC2 und ein gemeinsames Source-Signal VHFID aufweisen. Darüberhinaus ist die Flanke des Signals VREFRAMP zwischen Zeitpunkt t3 und t5 proportional zu dem Referenzstrom IREFOUT1, der wiederum proportional zum Referenzstrom IREFOUT ist, welcher (durch die

Rampenschaltung **119**) im Wesentlichen die Flanke der VDO-Rampe bestimmt, die an Zeitpunkt t1 beginnt. Daher kann die Flanke des Signals VREFRAMP zwischen den Zeitpunkten t3 und t5 so gestaltet werden, dass sie stets im Wesentlichen mit der Flanke der Rampe des Ausgangssignals VDO übereinstimmt, die an Zeitpunkt t1 beginnt, wobei, wenn die Signale VDO und VREFRAMP zu einem beliebigen Zeitpunkt zwischen Zeitpunkt t3 und t5 vom Einrastvergleich **132** ([Fig. 23](#)) verglichen werden, ein Rückkopplungskreissignal U/D geliefert werden kann, das in sehr genauer Weise die Wellenform VDOE des Ausgangssignals VDO von der Wellenform VDOL des Ausgangssignals VDO unterscheidet. Auf diese Weise ermöglichen der Aufwärts-/Abwärtszähler **130** und die digital gesteuerte Stromquelle **140** es, die stromgesteuerte Verzögerung **135** der Steuerschaltung **138** (alle in [Fig. 22](#) gezeigt), auf einen nahezu optimalen Wert einzustellen.

[0085] Anstatt den Spannungspegel des Ausgangssignals VDO mit dem Spannungspegel des Signals VREFRAMP zu einem einzelnen Zeitpunkt zwischen den Zeitpunkten t3 und t5 aus [Fig. 24](#) zu vergleichen, lässt sich die Genauigkeit weiter erhöhen, indem unter Benutzung eines (aus Gründen der vereinfachten Bezugnahme) als integrierender Einrastvergleich bezeichneten Einrastvergleichers die Differenzspannung zwischen den zwei Signalen zwischen den Zeitpunkten t3 und t5 zeitintegriert wird. Ein solcher Vergleich weist in Bezug auf Genauigkeit und Störsicherheit inhärente Vorteile auf. Bei Implementierung in einem Resonanzleitungstreiber, der mit hoher Geschwindigkeit arbeitet, können allerdings bezüglich der Bereitstellung eines Signals oder einer Kombination aus Signalen zur genauen Begrenzung der gewünschten Integrationsperiode an einen integrierenden Einrastvergleich Schwierigkeiten auftreten. Eine weitere Ausführungsform der vorliegenden Erfindung verwendet eine integrierende Einrastvergleicherschaltung, die dieses Problem im Wesentlichen überwindet.

[0086] Bezug nehmend auf [Fig. 25](#) zeigt diese einen integrierenden Einrastvergleich **150** mit Vergleichseingängen VREFRAMP und VDO, der Vergleichsausgänge Q und QN liefert. Der integrierende Einrastvergleich **150** akzeptiert außerdem einen Referenzstrom IREF und Einraststeuerungssignale VE2N, EXTENT und EXTENT NOT, soweit geeignet. Eine Beispieltaktung dieser Steuerungssignale ist im unteren Teil von [Fig. 24](#) dargestellt.

[0087] Die Eingangsstufe des integrierenden Einrastvergleichers **150** umfasst Kondensatoren CCOMP1 und CCOMP2, Vorstrom erzeugende n-Kanal-MOSFETs Q102 und Q103, Kurzschluss-n-Kanal-MOSFET Q104, und Differentialeingangs-n-Kanal-MOSFETs Q105 und Q106. Sobald VE2N kurz vor dem Zeitpunkt t1 aus [Fig. 24](#) auf ei-

nen niedrigen Pegel gelangt, werden die Ausgangsknoten Q und QN schnell kurzgeschlossen, und von p-Kanal-MOSFETs Q111, Q109 und Q110 auf den Spannungspegel von VDDD getrieben. Anfangs dienen die n-Kanal-MOSFETs Q105 und Q106 als Source-Folger mit Vorstromzuführung durch die n-Kanal-MOSFETs Q102 und Q103, weshalb die Kondensatoren CCOMP1 und CCOMP2 die Spannungspegel der Eingangssignale VREFRAMP und VDO verfolgen, die von der Gate-Source-Vorspannung von Q105 und Q106 nach unten verschoben wurden. Wenn dann das Signal EXTENT einen hohen Pegel erreicht, wird der n-Kanal-MOSFET Q104 „EIN“-geschaltet, und schließt die Source-Klemmen der n-Kanal-MOSFETs Q105 und Q106 kurz, so dass diese nun als ein Differentialpaar dienen, wobei der Vorstrom wieder durch die n-Kanal-MOSFETs Q102 und Q103 bereitgestellt wird. Der Ausgangsstrom des Differentialpaares fließt zu den Ausgangsknoten Q und QN, so dass dieser Ausgangsstrom beginnt, die Ausgangsknoten Q und QN und die zugeordnete Kapazität zu laden (die hauptsächlich durch die Gate-Kapazität der p-Kanal-MOSFETs Q107 und Q108 und die n-Kanal-MOSFETs Q112 und Q113 bereitgestellt wird), wenn VE2N kurz vor dem Zeitpunkt t3 aus [Fig. 24](#) einen hohen Pegel erreicht, und Q109, Q110 und Q111 „AUS“-geschaltet werden. Die von Q102 und Q103 gebildete Stromquelle ist dazu ausgelegt, nur eine mäßige Strommenge bereitzustellen, so dass die Ausgangsknoten Q und QN auch dann relativ nah am Pegel von VDDD bleiben, wenn VE2N relativ weit vor dem Zeitpunkt t3 liegt, weshalb die relative Taktung von VE2N in Bezug auf den Zeitpunkt t3 nicht erfolgskritisch ist, abgesehen davon, dass VE2N vor dem Zeitpunkt t3 einen niedrigen Pegel erreichen sollte. Wenn nun die Eingangssignale VREFRAMP und VDO, die jeweils mit der Gate-Klemme der n-Kanal-MOSFETs Q105 bzw. Q106 verbunden sind, an oder um Zeitpunkt t3 ihre jeweiligen Rampen beginnen, beginnt auch die Spannung an den jeweiligen Source-Klemmen Q105 bzw. Q106, die durch Q104 kurzgeschlossen wurden, anzusteigen, und die Kondensatoren CCOMP1 und CCOMP2 werden aufgeladen.

[0088] Wenn Q114 zur Regeneration geschlossen ist, ist zu beachten, dass auch Q104 geschlossen ist, und während dieser Zeit dazu dient, das Differentialpaar Q105 und Q106 zu trennen.

[0089] Der integrierende Einrastvergleicher 150 weist einen positiven Eingang VDO auf, der den partiellen Ausgangsübergang empfängt, und einen negativen Eingang VREFRAMP, der ein Signal empfängt, das einer Referenzrampe entspricht (d. h. diese darstellt). Der integrierende Einrastvergleicher akkumuliert nur dann Ladung an die Vergleicherausgangsknoten, wenn eines der zwei Eingangssignale ansteigt. Er stellt einen gemittelten Vergleich für die gesamte Rampenperiode bereit, d. h. für die Zeit des

partiellen Ausgangsübergangs.

[0090] Eine positive Rückkopplungsregenerationsschaltung, die die Transistoren Q107 bis Q114 umfasst, erhält an den Vergleicherausgangsknoten Q und QN über das Differentialeingangstransistorpaar Ladung. Wenn EXTENTNOT Q114 leitend macht, erfasst die Regenerationsschaltung eine kleine Differenz an den Knoten Q und QN, und verstärkt diese auf eine volle Rail-Spannung.

[0091] Die Kondensatoren CCOMP1 und CCOMP2 sind derart abgemessen, dass ihre Aufladung einen im Verhältnis zu dem moderaten Vorstrom, der von Q102 und Q103 bereitgestellt wird, relativ großen Strom erfordert, so dass der Gesamtvorstrom durch das Differentialpaar, das von Q105 und Q106 gebildet wird, relativ groß wird, allerdings nur, solange die Eingangssignale VDO und VREFRAMP weiter ansteigen. Die Schaltung verkörpert also eine inhärente Funktion, die dazu tendiert, die Differenzspannung zwischen den Eingängen VREFRAMP und VDO nur während ihrer jeweiligen Rampenperiode zwischen den Zeitpunkten t3 und t5 aus [Fig. 24](#) zu integrieren. Diese Funktion lockert die Taktungsgenauigkeit, die von den Steuereingangssignalen an den integrierenden Einrastvergleicher 150 verlangt wird, weiter. Zum Zeitpunkt t5 aus [Fig. 24](#) wurde die Differenzspannung zwischen den Eingängen VREFRAMP und VDO durch Ladungsakkumulation zeitintegriert, und erzeugt so eine kleine Differenz zwischen den Spannungspegeln der Ausgangsknoten Q und QN.

[0092] Schließlich wird diese Spannung auf eine volle Rail-Spannung verstärkt, wenn das Signal EXTENT NOT nach dem Zeitpunkt t5 aus [Fig. 24](#) auf einen hohen Pegel gelangt, da der Strom, der durch den n-Kanal-MOSFET Q114 fließt, das kreuzgekoppelte n-Kanal-MOSFET-Paar Q112 und Q113 stark vorspannt, was jede zuvor existierende Spannungsdifferenz an den Ausgangsknoten Q und QN durch positive Rückkopplung regeneriert, unterstützt durch einen ähnlichen Mechanismus, der für das kreuzgekoppelte p-Kanal-MOSFET-Paar Q107 und Q108 gilt.

[0093] Wieder ist die Taktung der ansteigenden Flanke des Steuerungssignals EXTENT NOT in Bezug auf den Zeitpunkt t5 aus [Fig. 24](#) nicht entscheidend, abgesehen davon, dass sie nach dem Zeitpunkt t5 stattfinden sollte. Im abschließenden Zustand befindet sich eines der Ausgangssignale Q und QN auf dem Pegel von VDDD, und das andere auf dem Pegel von VSSD, abhängig von dem Zeitpunkt der zeitintegrierten Differenzspannung zwischen den Eingangssignalen VREFRAMP und VDO zwischen den Zeitpunkten t3 und t5 aus [Fig. 24](#). Der integrierende Einrastvergleicher 150, zusammen mit geeigneten Schaltungen zum Bereitstellen der Steuerungssignale EXTENT und EXTENT NOT, kann da-

her den Einrastvergleich 132 in der Steuerschaltung 138 aus Fig. 23 ersetzen, wobei eines seiner Ausgangssignale Q oder QN als ein Rückkopplungsregelsignal U/D aus Fig. 23 ausgewählt wird, um eine geeignete logische Polarität bereitzustellen.

Patentansprüche

1. Elektronische Treiberschaltung zum Erzeugen eines Schaltungsausgangssignals, das an einen elektrischen Leiter (12) bereitstellbar ist, der ein Leiterausgangssignal liefert, das an eine Last (14) bereitstellbar ist, wobei das Ausgangssignal der Schaltung und des Leiters jeweils annähernd zwischen einem Paar von Ausgangsspannungspegeln (V_{DD} , V_{SS}), zwischen denen ein mittlerer Spannungspegel (V_{HH}) vorliegt, einen entsprechenden Ausgangsübergang vollziehen, wobei die Induktivität und die Kapazität des Leiters und die Last eine Resonanz erzeugen, die es ermöglicht, dass das Leiterausgangssignal jeden Leiterausgangsübergang im Wesentlichen abschließt, während das Schaltungsausgangssignal für eine Nichtnull-Mittelpegelhalteperiode während des entsprechenden Schaltungsausgangsübergangs annähernd auf dem mittleren Spannungspegel gehalten wird, wobei die Schaltung eine Rampensteuerungsschaltung (118, 119) zum Steuern von partiellen Schaltungsausgangsübergängen zwischen wenigstens einem Pegel des Paares von Ausgangsspannungspegeln und dem mittleren Pegel umfasst, um für einen partiellen Schaltungsausgangsübergang eine Übergangszeit bereitzustellen, die im Wesentlichen nicht Null ist.

2. Treiberschaltung nach Anspruch 1, wobei der partielle Schaltungsausgangsübergang derart gesteuert ist, dass er im Verhältnis zu anderen Schaltungsvorgängen in der Schaltung langsam ist.

3. Treiberschaltung nach Anspruch 1 oder 2, ferner umfassend einen Pull-Up-Transistor (Q3) und einen Pull-Down-Transistor (Q1) zum Heraufziehen des Schaltungsausgangs auf einen ersten der zwei Ausgangsspannungspegel, und zum Herabziehen auf einen zweiten der zwei Ausgangsspannungspegel, wobei der partielle Schaltungsausgangsübergang derart gesteuert ist, dass er langsamer ist als das Schalten des Pull-Up- und des Pull-Down-Transistors.

4. Treiberschaltung nach Anspruch 1, 2 oder 3, ferner umfassend einen Mittelpegeltreibertransistor (Q2, Q2N), der beim Einschalten den Schaltungsausgang auf den mittleren Spannungspegel treibt, und beim Ausschalten zulässt, dass der Schaltungsausgang auf einen ersten der zwei Ausgangsspannungspegel getrieben wird, wobei der partielle Schaltungsausgangsübergang derart gesteuert ist, dass er langsamer ist als das Ausschalten des Mittelpegeltreibertransistors.

5. Treiberschaltung nach einem der vorangehenden Ansprüche, wobei die Zeit des partiellen Schaltungsausgangsübergangs einstellbar ist.

6. Treiberschaltung nach einem der vorangehenden Ansprüche, wobei die Zeit des partiellen Schaltungsausgangsübergangs als eine Funktion der Zeit steuerbar ist, die das Leiterausgangssignal benötigt, um einen Leiterausgangsübergang im Wesentlichen abzuschließen.

7. Treiberschaltung nach Anspruch 1, wobei die Steuerungsschaltung umfasst:
Zeitvergleichsschaltkreise zum Vergleichen des Schaltungsausgangssignals und des zweiten Steuerungssignals, um zu bestimmen, ob das Schaltungsausgangssignal einen Schaltungsausgangsübergang abschließt, bevor das zweite Steuerungssignal den entsprechenden Steuerungsübergang abschließt; und
Einstellschaltkreise zum Einstellen der Zeit des partiellen Schaltungsübergangs abhängig von dem Vergleich.

8. Treiberschaltung nach Anspruch 1, umfassend Referenzrampenschaltkreise zum Erzeugen einer Referenzrampe, und Vergleichsschaltkreise, die an die Referenzrampenschaltkreise gekoppelt sind, und dazu dienen, einen partiellen Schaltungsausgangsübergang mit der Referenzrampe zu vergleichen.

9. Treiberschaltung nach Anspruch 8, wobei die Vergleichsschaltkreise einen Pegel der partiellen Schaltungsausgangsübergänge mit einer Referenzspannung (V_{REF}) vergleichen, die annähernd in der Mitte zwischen dem mittleren Spannungspegel (V_{HHD}) und einem Ausgangsspannungspegel (V_{DDD} , V_{SSD}) liegt, auf den der Ausgang zu einem Zeitpunkt (t_4) übergeht, der annähernd in der Mitte zwischen einem Beginn (t_3) des partiellen Schaltungsausgangsübergangs und einem erwarteten Abschluss des partiellen Schaltungsausgangsübergangs liegt.

10. Treiberschaltung nach Anspruch 8, wobei die Vergleichsschaltkreise einen integrierenden Einrastvergleich zum Bereitstellen eines Mittelwertvergleichs zwischen einem partiellen Schaltungsausgangsübergang und einem Signal umfassen, das die Referenzrampe im Wesentlichen über die gesamte Zeit des partiellen Ausgangsübergangs hinweg darstellt.

11. Treiberschaltung nach Anspruch 10, wobei der Vergleich umfasst:
einen ersten Eingang (V_{DO}) zum Empfangen des partiellen Schaltungsausgangsübergangs;
einen zweiten Eingang ($V_{REFRAMP}$) zum Empfangen eines Signals, das eine Referenzrampe darstellt; und
ein Paar Ausgangsknoten (Q und QN);
wobei der integrierende Einrastvergleich nur dann Ladung an den Vergleicherausgangsknoten akkumu-

liert, wenn das erste oder das zweite Eingangssignal ansteigt.

12. Treiberschaltung nach einem der Ansprüche 8 bis 11, ferner umfassend Einstellschaltkreise zum Einstellen der Zeit des partiellen Schaltungsübergangs abhängig von dem Vergleich.

13. Treiberschaltung nach einem der vorangehenden Ansprüche, wobei die Zeit, die für einen partiellen Schaltungsausgangsübergang benötigt wird, als eine Funktion von Kennlinien von wenigstens einem vorangehenden Schaltungsausgangsübergang steuerbar ist.

14. Treiberschaltung nach Anspruch 13, wobei die Kennlinien anhand der relativen Taktung von zwei Signalen bestimmt werden.

15. Treiberschaltung nach einem der vorangehenden Ansprüche, wobei die Rampensteuerungsschaltung einen Source-Follower zum gesteuerten Treiben des Schaltungsausgangssignals umfasst.

16. Treiberschaltung nach einem der vorangehenden Ansprüche, umfassend einen Schalter (Q2N), der zwischen einer Quelle des mittleren Spannungspegels (V_{HH}) und dem Schaltungsausgangssignal verbunden ist, wobei die Rampensteuerungsschaltung einen Stromspiegel (Q20, Q21) umfasst, der den Schalter mit einem Strom zum gesteuerten Treiben des Schaltungsausgangssignals versorgt.

17. Treiberschaltung nach Anspruch 16, ferner umfassend eine gesteuerte Stromquelle (**120**) zum Versorgen des Stromspiegels mit einem gesteuerten Strom.

18. Treiberschaltung nach Anspruch 17, wobei der Strom als eine Funktion der Zeit gesteuert wird, die das Leiterausgangssignal benötigt, um einen Leiterausgangsübergang im Wesentlichen abzuschließen.

19. Treiberschaltung nach einem der vorangehenden Ansprüche, die zwischen Quellen unterschiedlicher erster, zweiter und dritter Versorgungsspannungen gekoppelt ist, wobei die zweite Versorgungsspannung (V_{HH}) zwischen der ersten und dritten Versorgungsspannung liegt, wobei die Schaltung umfasst:

Steuerungsschaltkreise, die auf ein Schaltungseingangssignal ansprechen, um ein jeweils unterschiedliches erstes, zweites und drittes Steuersignal zu erzeugen;

einen ersten Schalter (Q3) mit (a) einer ersten Fließelektrode, die an die Quelle der ersten Versorgungsspannung gekoppelt ist, mit (b) einer zweiten Fließelektrode, die an einen Ausgangsknoten gekoppelt ist, von dem ein Schaltungsausgangssignal (V_{DO}) bereit-

gestellt wird, und mit (c) einer Steuerungselektrode, die auf das erste Steuerungssignal anspricht, um den Stromfluss zwischen den Fließelektroden des ersten Schalters zu steuern;

einen zweiten Schalter (Q1) mit (a) einer ersten Fließelektrode, die an die Quelle der zweiten Versorgungsspannung gekoppelt ist, mit (b) einer zweiten Fließelektrode, die an den Ausgangsknoten gekoppelt ist, und mit (c) einer Steuerungselektrode, die auf das zweite Steuerungssignal anspricht, um den Stromfluss zwischen den Fließelektroden des zweiten Schalters zu steuern;

einen dritten Schalter (Q2) mit (a) einer ersten Fließelektrode, die an die Quelle der dritten Versorgungsspannung gekoppelt ist, mit (b) einer zweiten Fließelektrode, die an den Ausgangsknoten gekoppelt ist, und mit (c) einer Steuerungselektrode, die auf das dritte Steuerungssignal (V_{C2}) anspricht, um den Stromfluss zwischen den Fließelektroden des dritten Schalters zu steuern, wobei das Schaltungsausgangssignal annähernd zwischen der ersten und dritten Versorgungsspannung ansteigende und abfallende Ausgangsübergänge vollzieht, wobei das Schaltungsausgangssignal während jedes Schaltungsausgangsübergangs für eine Nichtnull-Mittelpegelhalterperiode annähernd auf dem zweiten Versorgungsspannungspegel bleibt, wobei die Übergangszeit zwischen der ersten und dritten Versorgungsspannung und/oder zwischen der zweiten und dritten Versorgungsspannung gesteuert wird.

20. Treiberschaltung nach Anspruch 19, wobei das Schaltungsausgangssignal annähernd zwischen der ersten und dritten Versorgungsspannung ansteigende und abfallende Schaltungsausgangsübergänge vollzieht, wobei der dritte Schalter als ein Source-Follower arbeitet, derart, dass der Ausgangsknoten in gesteuerter Weise der Spannung seiner Steuerungselektrode folgt.

21. Treiberschaltung nach Anspruch 19, wobei der dritte Schalter ein N-Kanal-Transistor ist, und wobei ein Kondensator (C_{FB}) vorgesehen ist, um die Anstiegsrate des Stroms zur Steuerungselektrode des dritten Transistors zu prüfen, wenn das Schaltungsausgangssignal von der ersten Spannung auf die dritte Spannung abfällt.

22. Treiberschaltung nach einem der vorangehenden Ansprüche, wobei eine Rampensteuerungsschaltung (**118**, **119**) einen partiellen Schaltungsausgangsübergang als eine Funktion eines stromgespeicherten Steuerwertes steuert, der als Ergebnis eines vorangehenden Schaltungsausgangsübergangs gespeichert wird.

23. Treiberschaltung nach Anspruch 19, wobei: der erste Schalter ein erster Transistor (Q3) ist; der zweite Schalter ein zweiter Transistor (Q1) ist; der dritte Schalter ein dritter Transistor (Q2) ist; und

ferner umfassend:

einen vierten und fünften Transistor, die jeweils zwischen der Steuerungselektrode des dritten Transistors und den Quellen des ersten bzw. zweiten Spannungspegels verbunden sind, und Steuerungsschaltkreise zum selektiven Entladen der Steuerungselektrode des dritten Transistors jeweils an den ersten und zweiten Spannungspegel über den vierten bzw. fünften Transistor, derart, dass die Steuerungselektrode des dritten Transistors partielle Übergänge zwischen dem ersten Spannungspegel und dem zweiten Spannungspegel vollzieht.

24. Treiberschaltung nach Anspruch 23, ferner umfassend:

Steuerungsschaltkreise zum Bereitstellen des ersten, zweiten und dritten Steuersignals, um das Schaltungsausgangssignal zu veranlassen, während jedes Schaltungsausgangsübergangs für eine Nicht-null-Mittelpegelhalteperiode annähernd auf der mittleren Versorgungsspannung zu bleiben.

25. Treiberschaltung nach Anspruch 23 oder 24, wobei die Steuerungsschaltung Taktsteuerungsschaltkreise zum Steuern der Zeitpunkte des Übergangs des Schaltungsausgangssignals zwischen der ersten oder zweiten Versorgungsspannung und der mittleren Versorgungsspannung umfasst.

26. Treiberschaltung nach Anspruch 24, wobei die Steuerungsspannung Referenzrampenschaltkreise zum Erzeugen einer Referenzrampe sowie Vergleichsschaltkreise umfasst, die an die Referenzrampenschaltkreise gekoppelt sind, und dazu dienen, einen partiellen Schaltungsausgangsübergang mit der Referenzrampe zu vergleichen.

Es folgen 14 Blatt Zeichnungen

Anhängende Zeichnungen

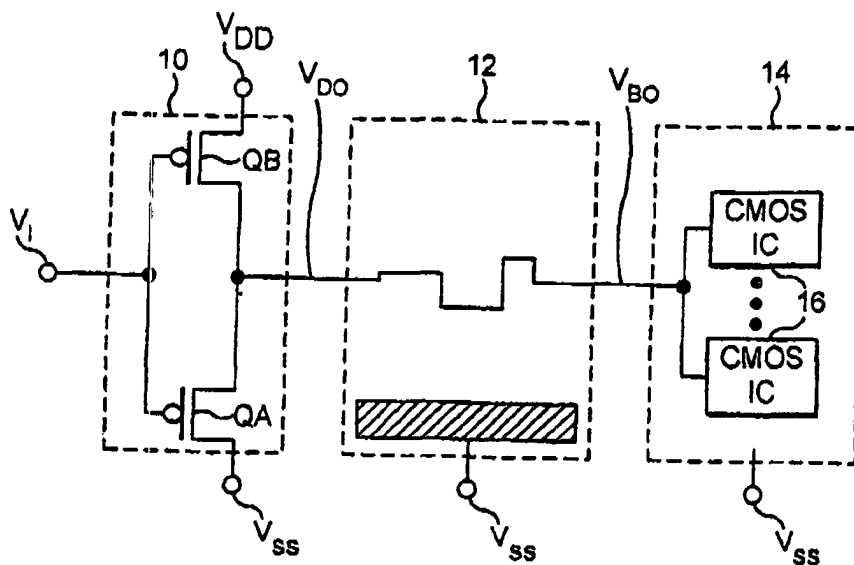


FIG. 1a
STAND DER TECHNIK

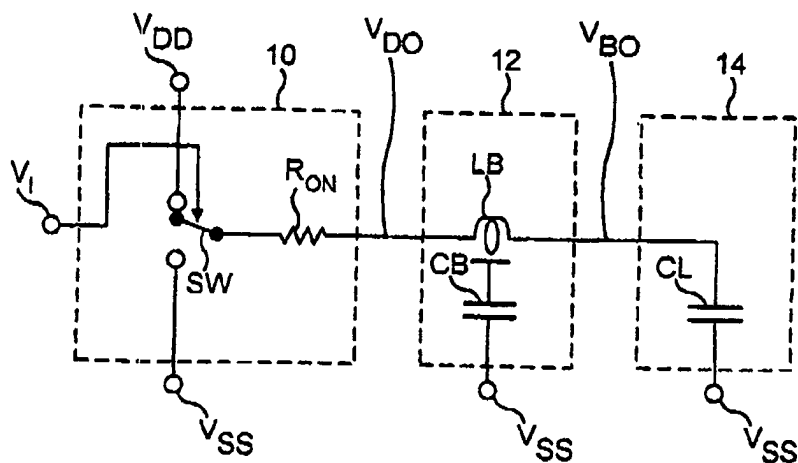


FIG. 1b
STAND DER TECHNIK

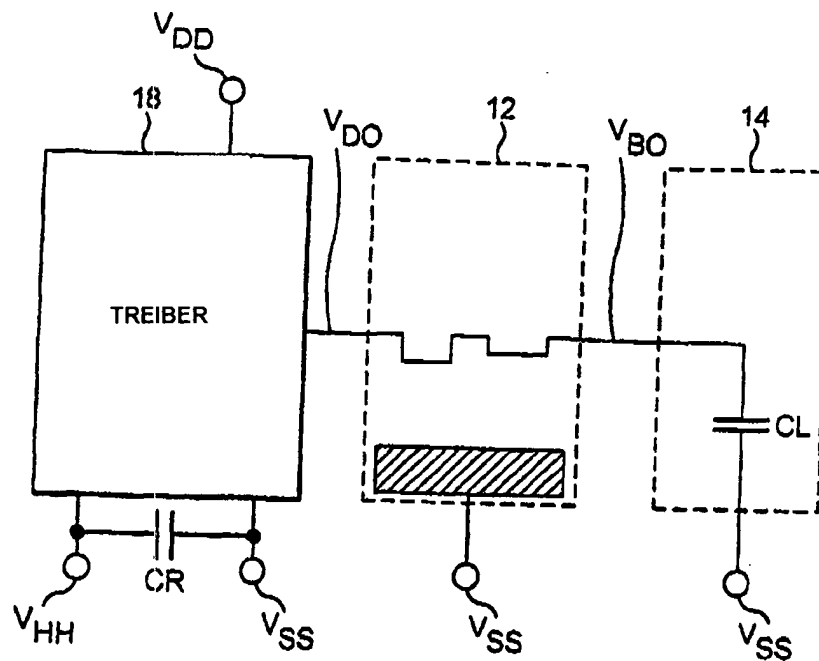


FIG. 3
STAND DER TECHNIK

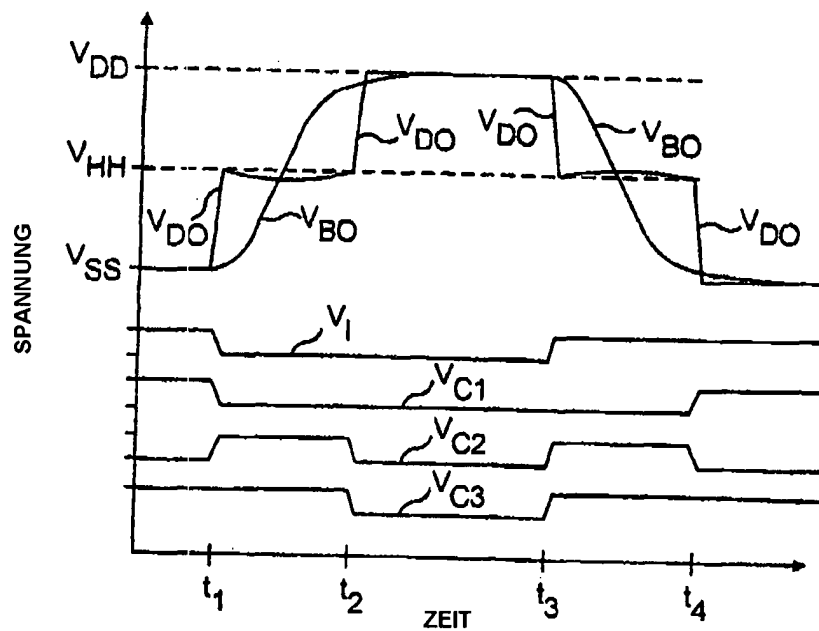


FIG. 4
STAND DER TECHNIK

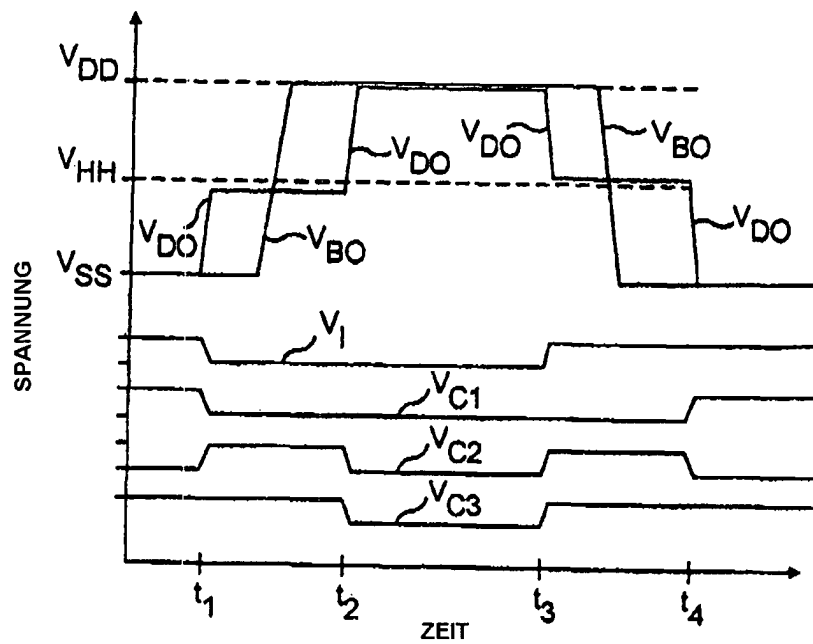


FIG. 5
STAND DER TECHNIK

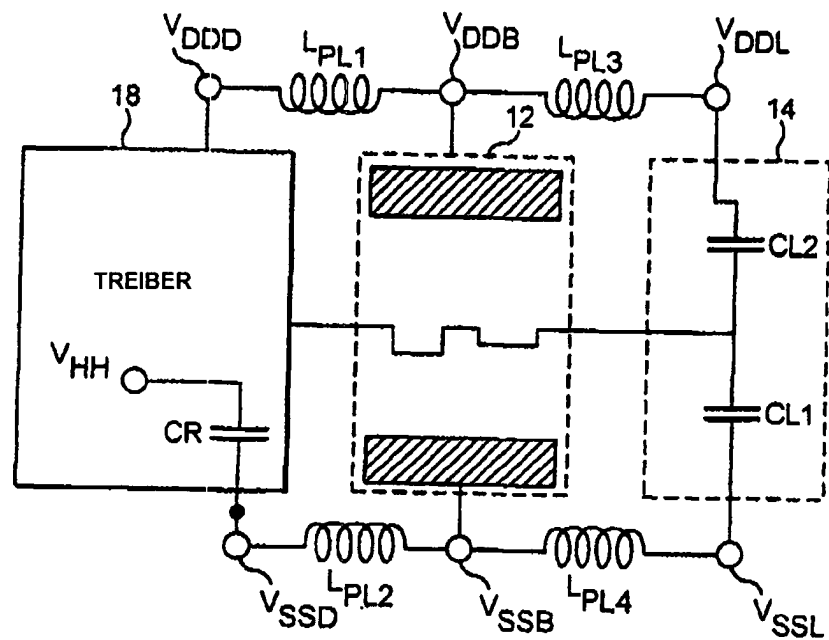


FIG. 6

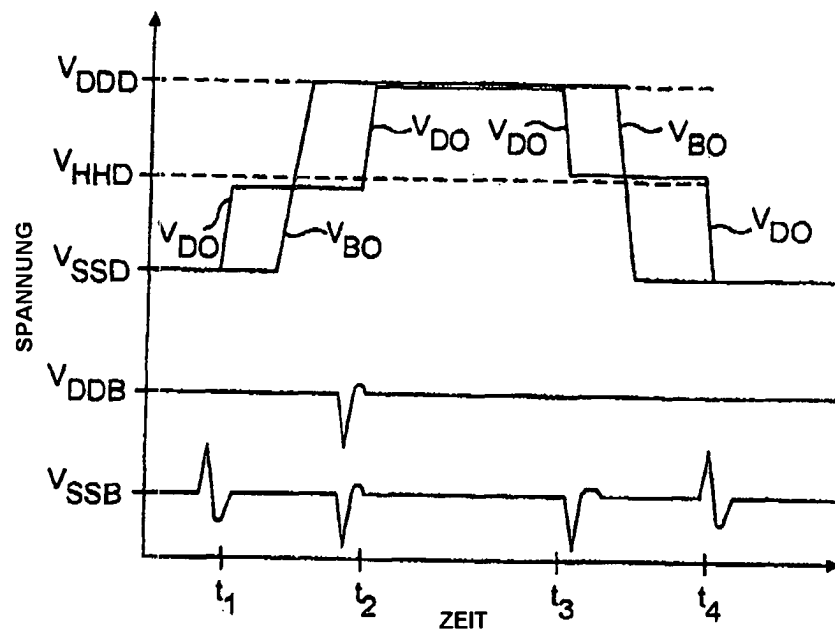


FIG. 7

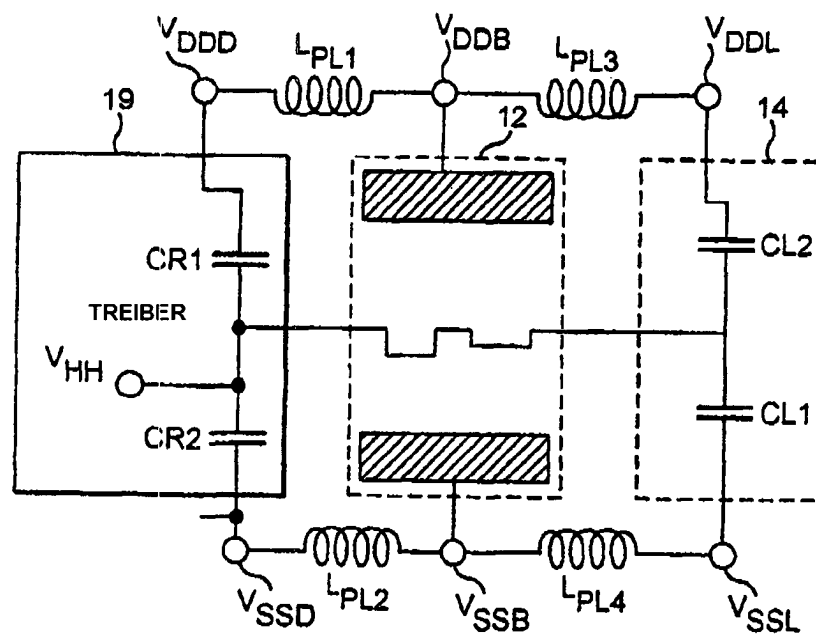


FIG. 8

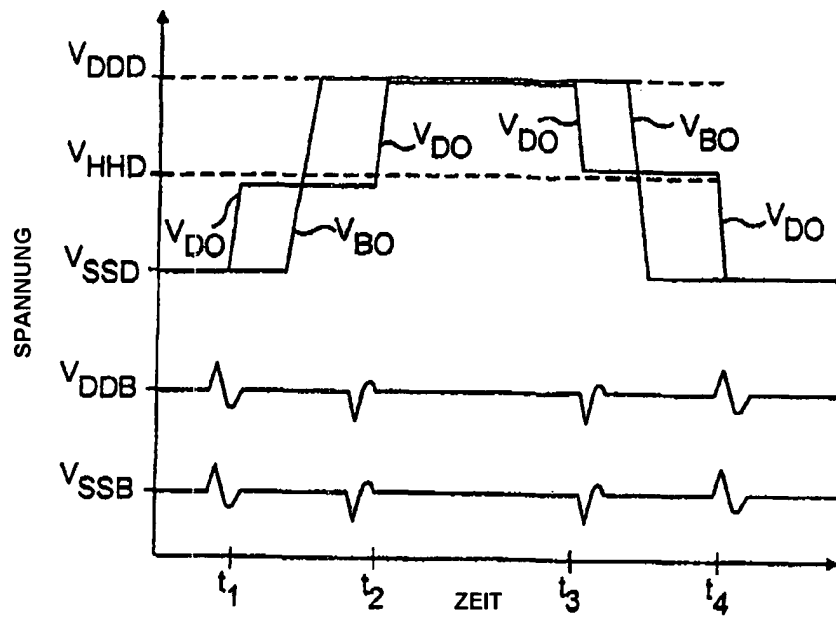


FIG. 9

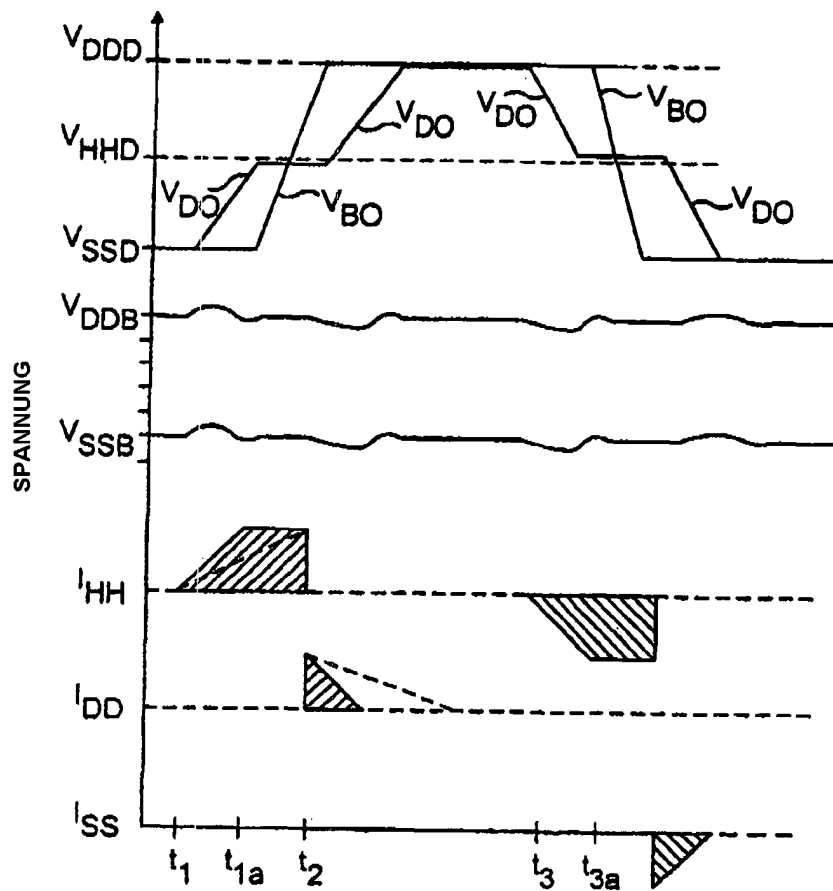


FIG. 10

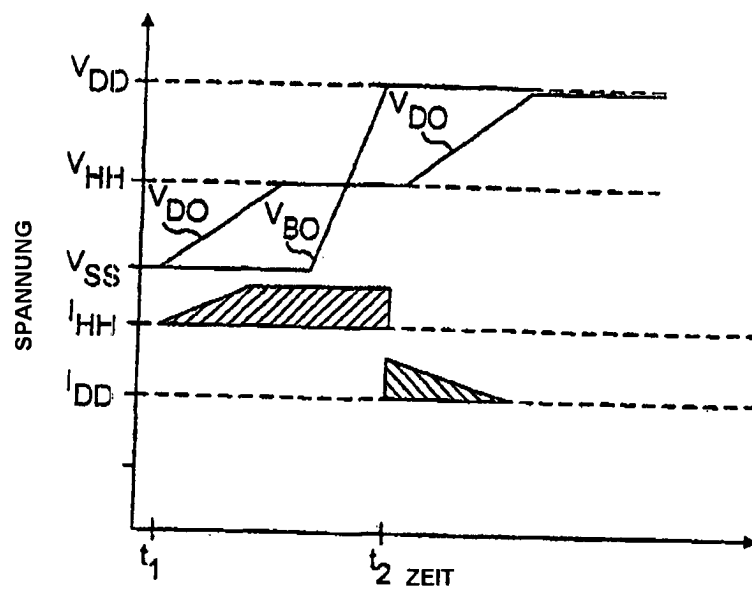


FIG. 11

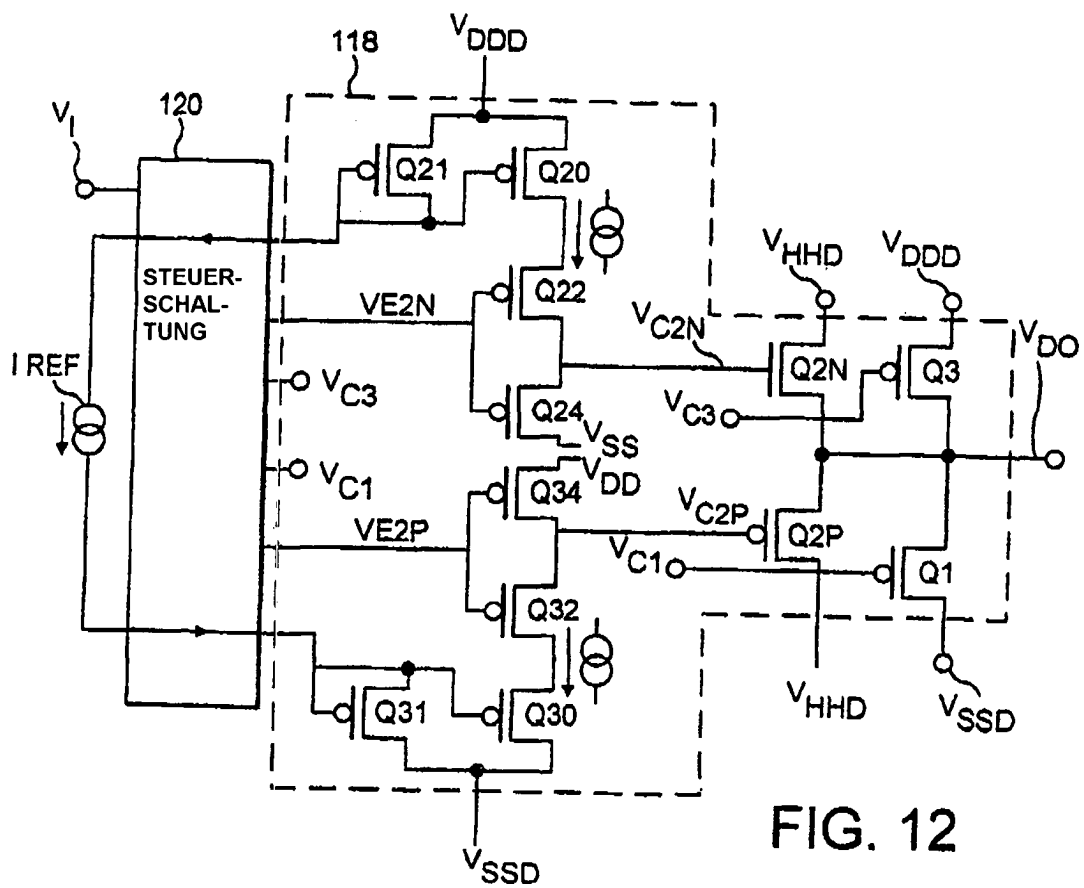


FIG. 12

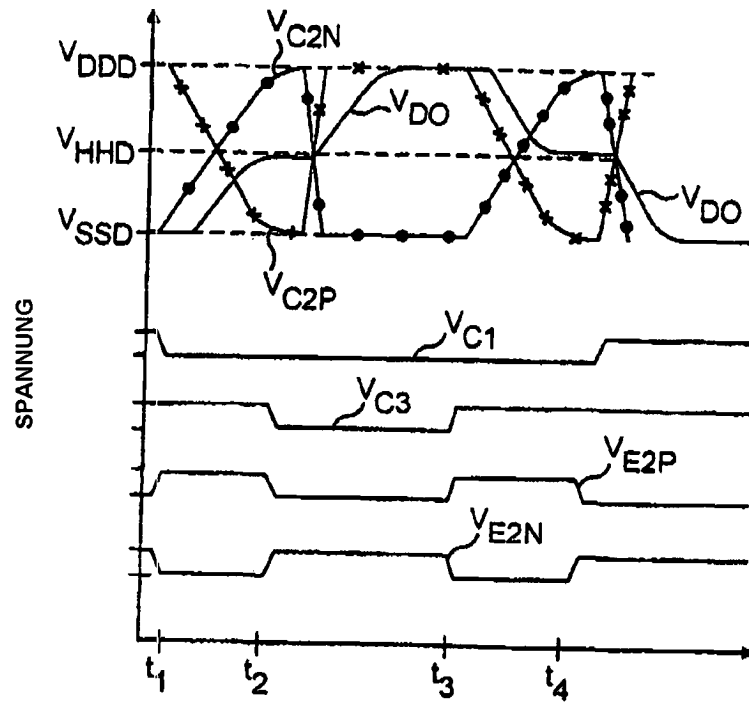


FIG. 13

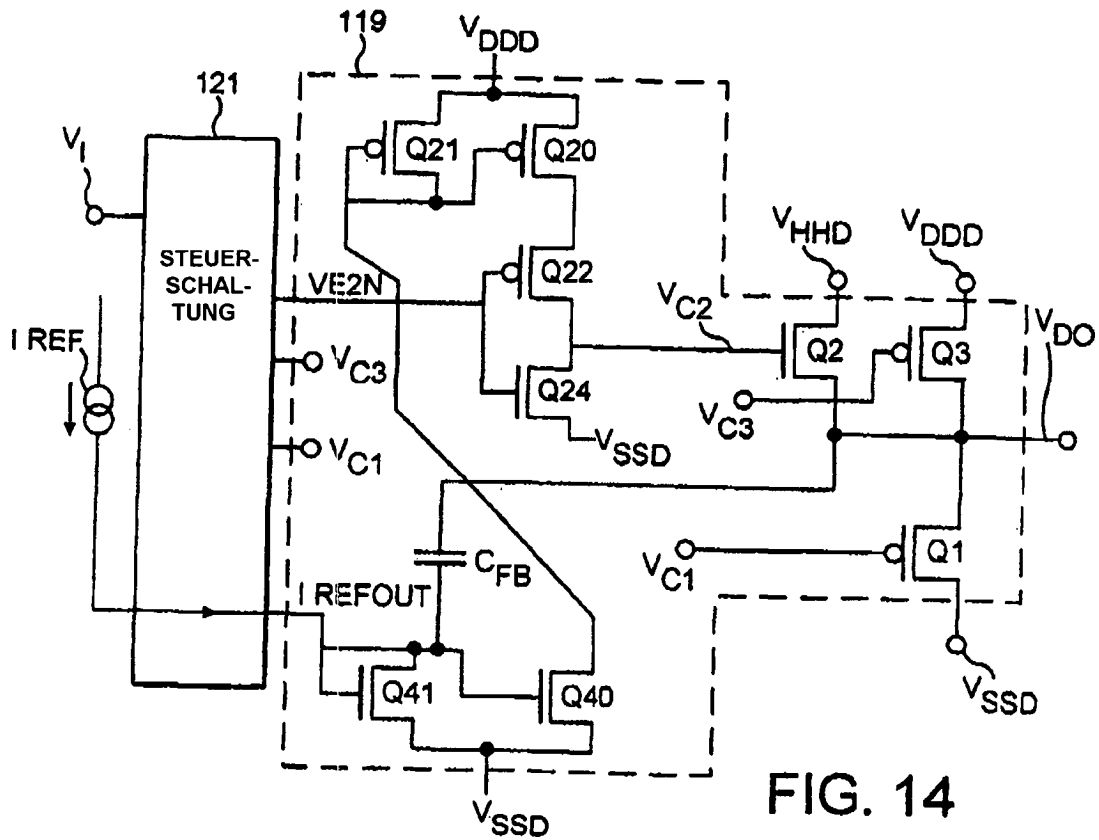


FIG. 14

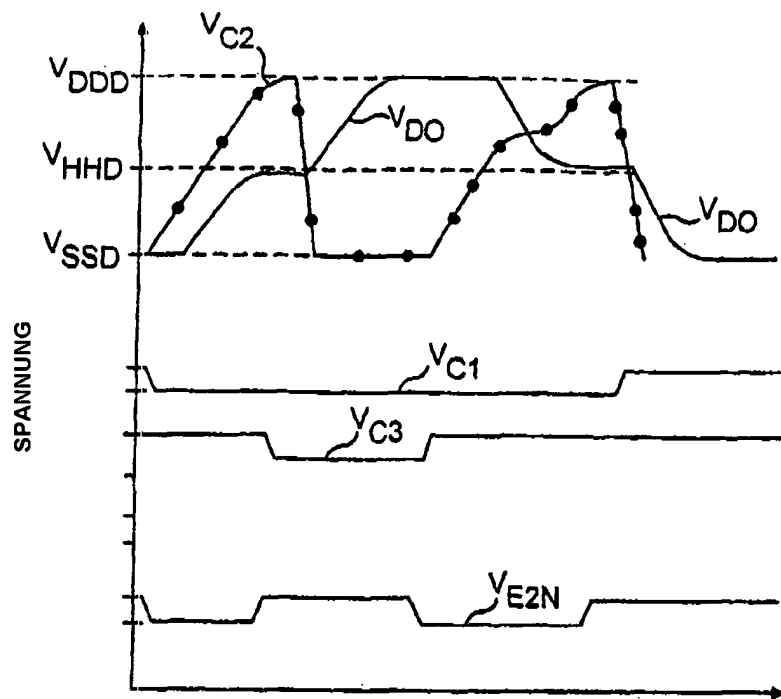


FIG. 15

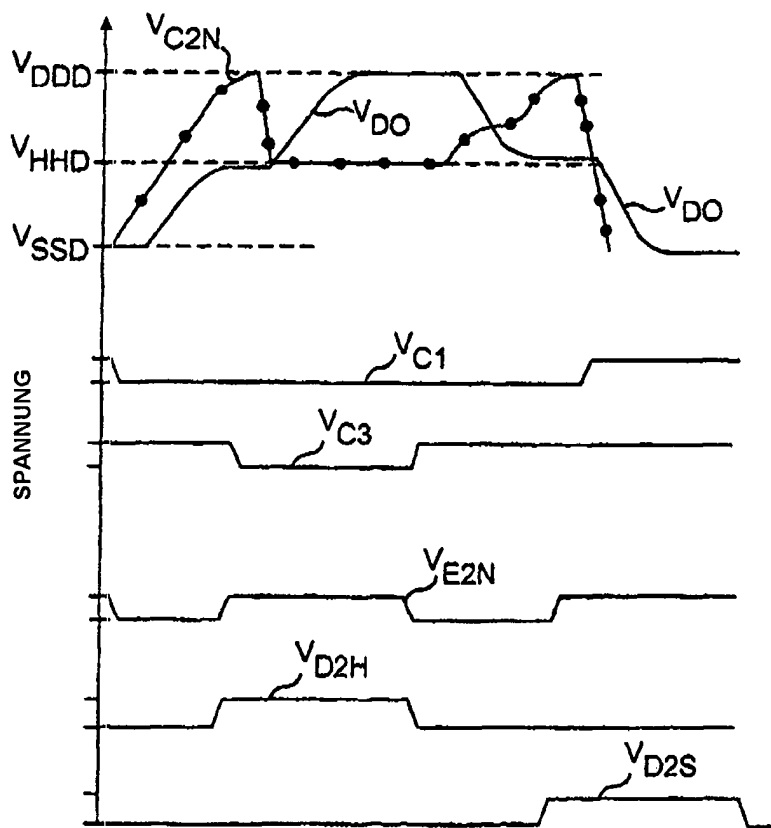


FIG. 16

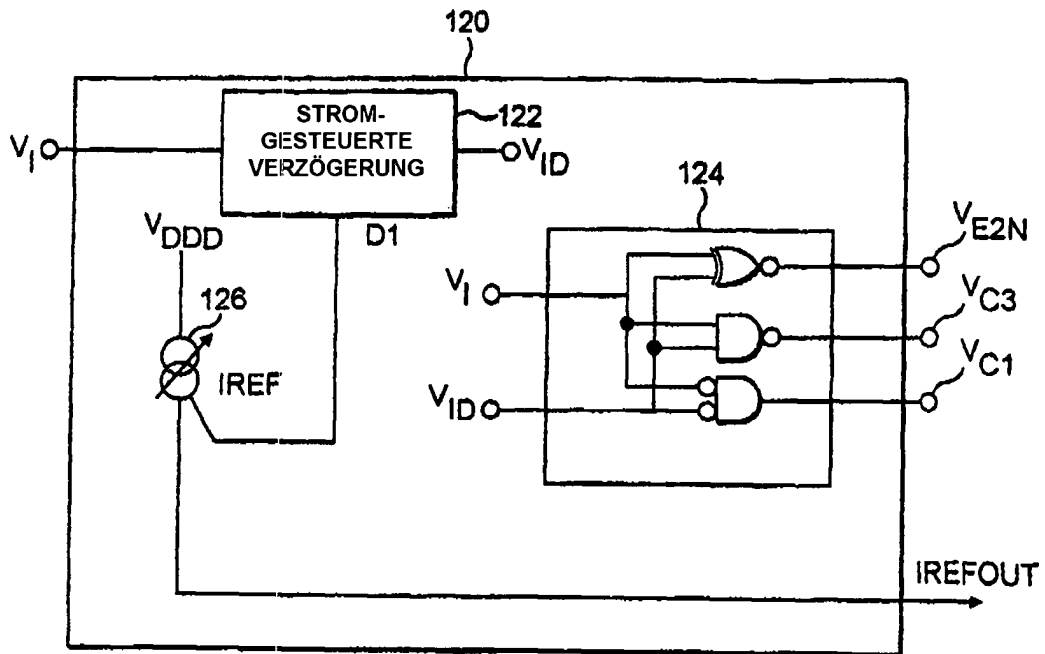


FIG. 17

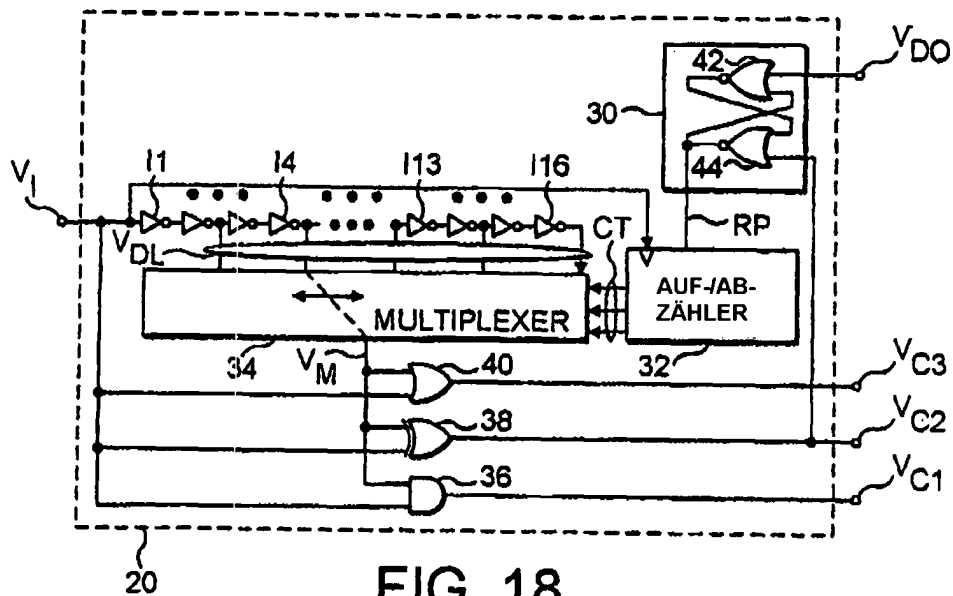


FIG. 18

STAND DER TECHNIK

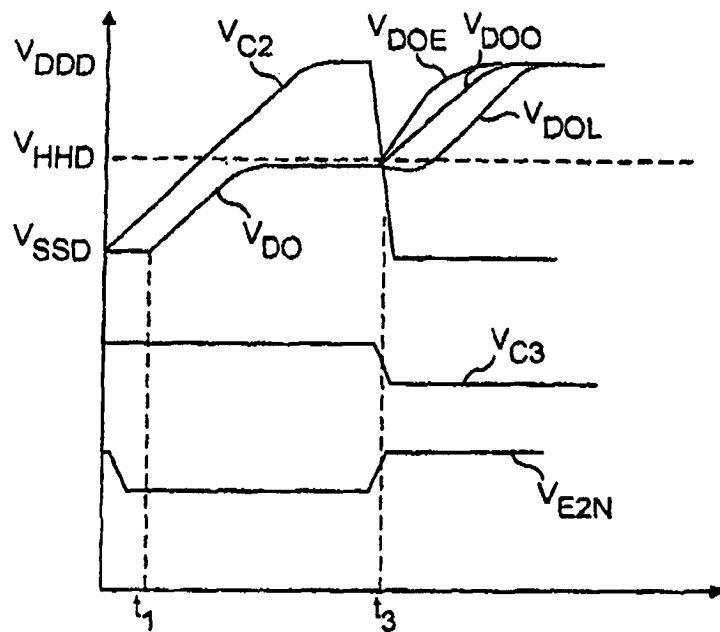


FIG. 19

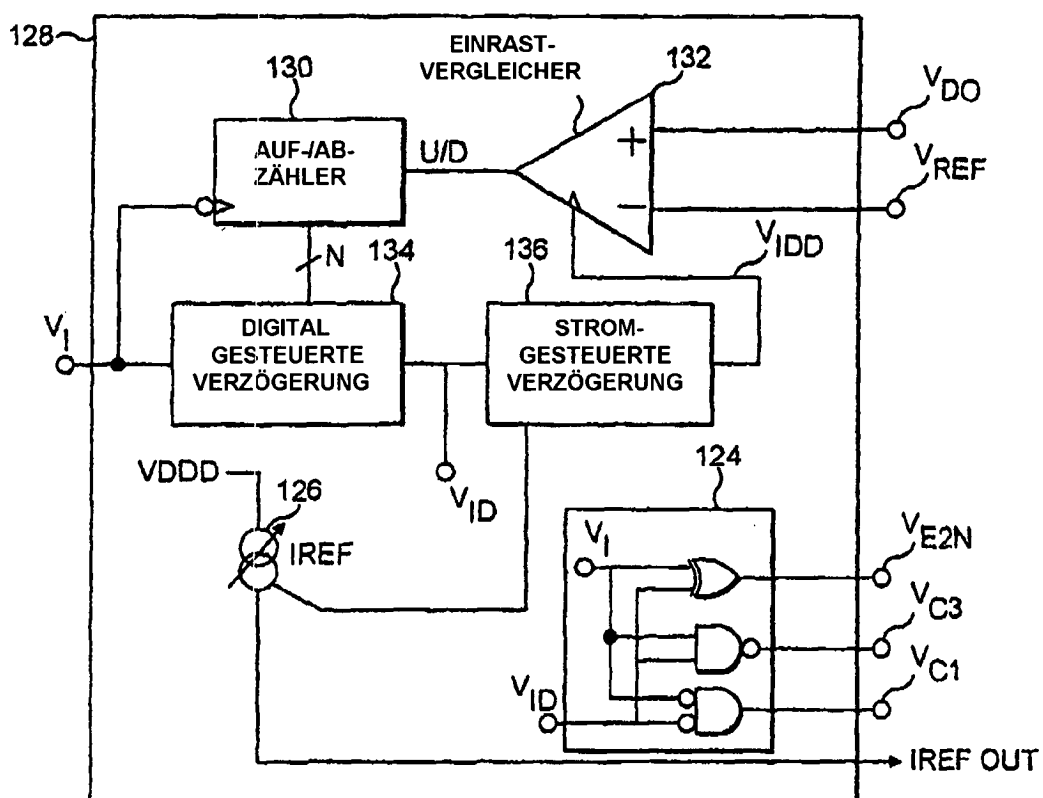


FIG. 20

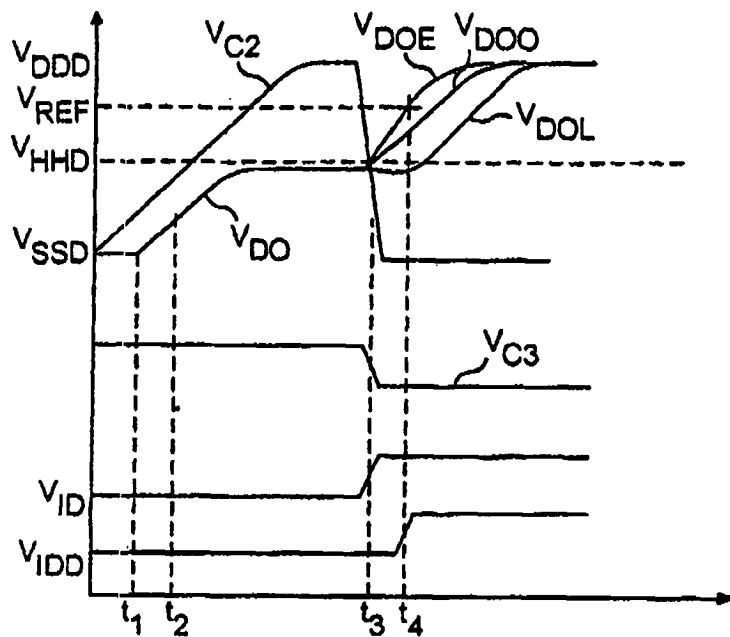


FIG. 21

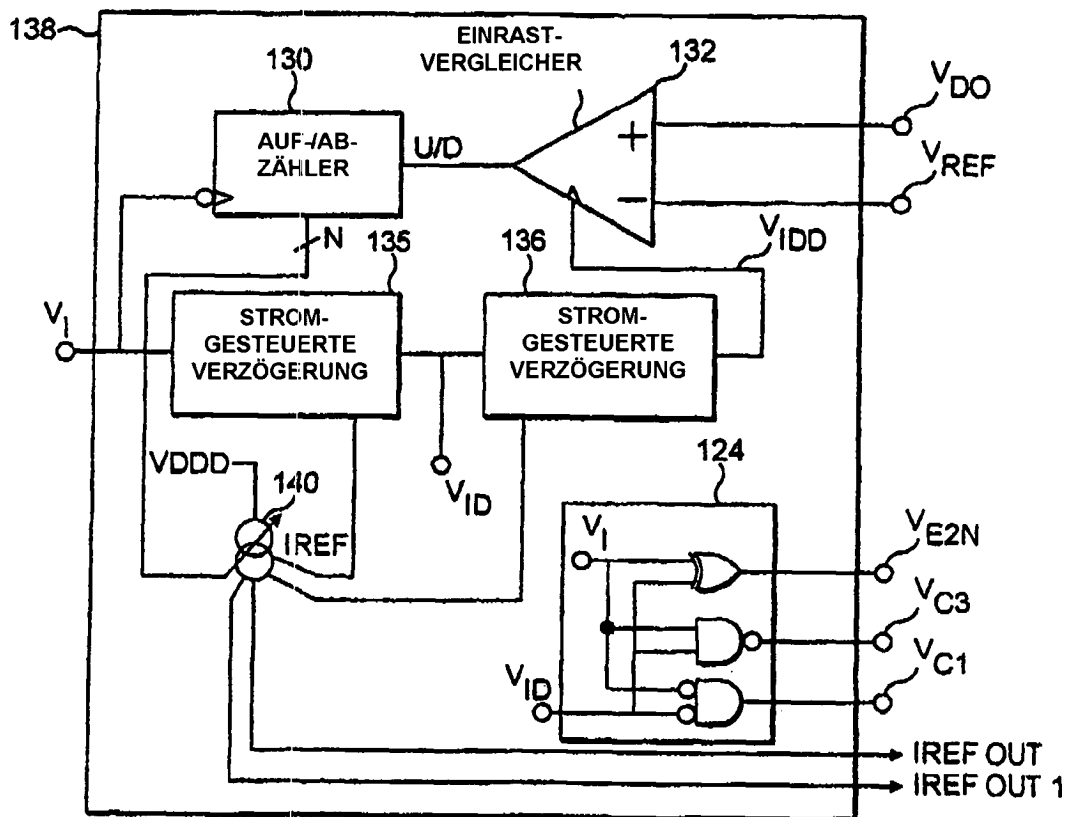


FIG. 22

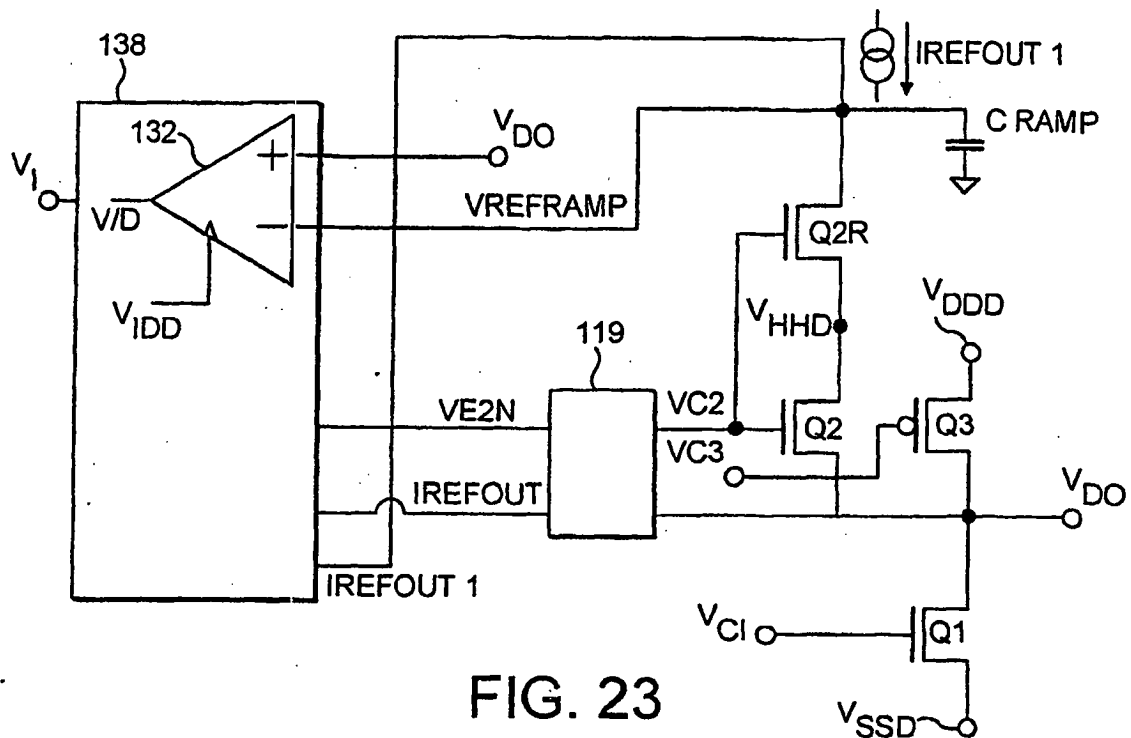


FIG. 23

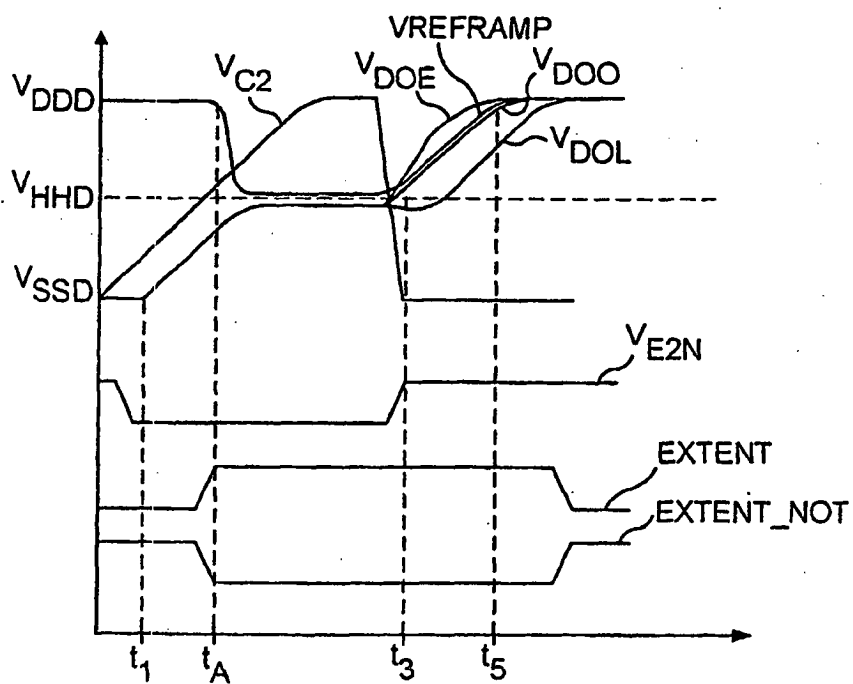


FIG. 24

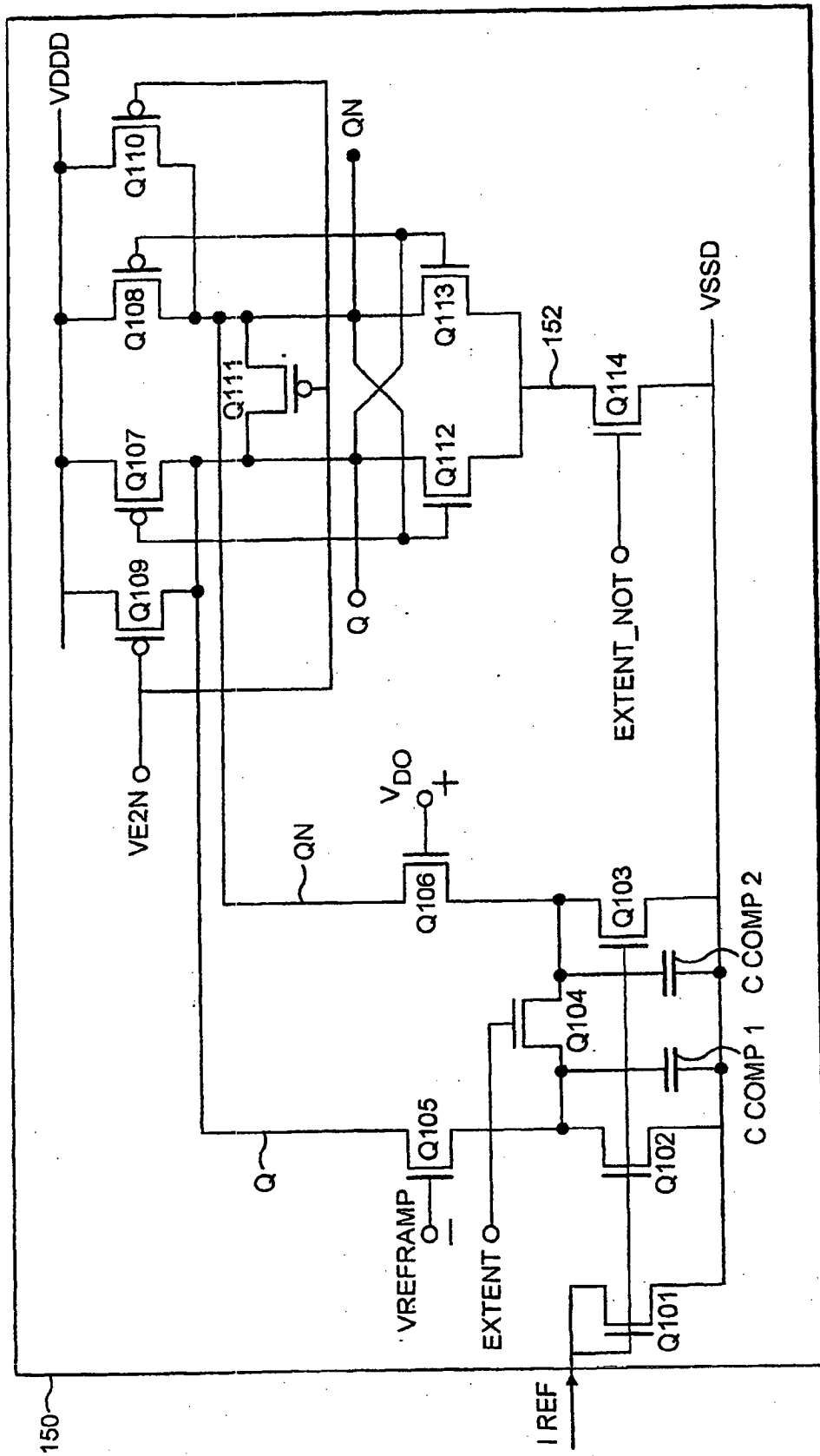


FIG. 25