



1. 一种用于驱动具有栅极、源极和漏极的结型场效应晶体管的双级栅驱动器电路,所述双级栅驱动器电路包括:

输入端,该输入端用于提供控制脉冲信号  $V_{in}$ ;

三个电阻器  $R_1$ 、 $R_2$  和  $R_3$ ,各电阻器均具有第一端子和第二端子,并通过所述第二端子电耦合到所述结型场效应晶体管的栅极;

第一导通电路,该第一导通电路电耦合在所述输入端和所述电阻器  $R_2$  的所述第一端子之间,其中所述第一导通电路将所述栅极连接至适合在导通时快速地对所述栅极和密勒电容充电的高峰值电流源并且所述电阻  $R_2$  为阻尼电阻器,其中所述高峰值电流源提供持续时间为  $t_1$  的高栅极电流,所述持续时间  $t_1$  基于所述结型场效应晶体管的反馈来调整;

第二导通电路,该第二导通电路电耦合在所述输入端和所述电阻器  $R_1$  的所述第一端子之间,其中对电阻  $R_1$  取大小以设置所述结型场效应晶体管的正向栅极电流并且将电压从正的轨电压步降为所述结型场效应晶体管的栅极所需的电压;和

下拉电路,该下拉电路电耦合在所述输入端和所述电阻器  $R_3$  的所述第一端子之间。

2. 根据权利要求1所述的双级栅驱动器电路,其中,所述控制脉冲信号  $V_{in}$  被配置为具有脉冲导通持续时间  $t_{on}$  和脉冲截止持续时间  $t_{off}$ ,从而在所述脉冲导通持续时间  $t_{on}$ ,所述结型场效应晶体管处于导电状态,并且在脉冲截止持续时间  $t_{off}$  所述结型场效应晶体管处于阻挡状态。

3. 根据权利要求2所述的双级栅驱动器电路,其中,所述第一导通电路包括:

开关  $S1$ ,该开关  $S1$  具有栅极、电耦合到所述电阻器  $R2$  的所述第一端子的源极以及电耦合到用于提供正电压  $+V_1$  的第一电流源的漏极;和

脉冲生成器,该脉冲生成器电耦合在所述输入端和所述开关  $S1$  的栅极之间。

4. 根据权利要求3所述的双级栅驱动器电路,其中,所述第二导通电路包括开关  $S2$ ,该开关  $S2$  具有电耦合到所述输入端的栅极、电耦合到所述电阻器  $R1$  的所述第一端子的源极以及电耦合到用于提供正电压  $+V_2$  的第二电流源的漏极。

5. 根据权利要求4所述的双级栅驱动器电路,其中,所述第一电流源和所述第二电流源对应于单个电流源或两个不同的电流源。

6. 根据权利要求4所述的双级栅驱动器电路,其中,所述下拉电路包括开关  $S3$ ,该开关  $S3$  具有电耦合到所述输入端的栅极、电耦合到用于提供负电压  $-V_3$  的第三电流源的源极以及电耦合到所述电阻器  $R3$  的所述第一端子的漏极。

7. 根据权利要求6所述的双级栅驱动器电路,其中,所述下拉电路还包括反相器,该反相器电耦合在所述输入端和所述开关  $S3$  的栅极之间。

8. 根据权利要求7所述的双级栅驱动器电路,其中,当所述控制脉冲信号  $V_{in}$  被提供时:

所述脉冲生成器响应性地生成具有脉冲持续时间  $t_1$  的相应的控制脉冲信号  $V_{c2}$ ,所述控制脉冲信号  $V_{c2}$  使所述开关  $S1$  在脉冲持续时间  $t_1$  中导通;

所述控制脉冲信号  $V_{in}$  分别使所述开关  $S2$  在所述脉冲导通持续时间  $t_{on}$  中导通并使所述开关  $S2$  在所述脉冲截止持续时间  $t_{off}$  中截止;和

所述控制脉冲信号  $V_{in}$  分别使所述开关  $S3$  在所述脉冲导通持续时间  $t_{on}$  中截止并使所述开关  $S3$  在所述脉冲截止持续时间  $t_{off}$  中导通。

9. 根据权利要求 8 所述的双级栅驱动器电路, 其中, 所生成的控制脉冲信号  $V_{c2}$  与所述控制脉冲信号  $V_{in}$  同步, 并且其中所生成的控制脉冲信号  $V_{c2}$  的脉冲持续时间  $t_1$  等于或小于所述控制脉冲信号  $V_{in}$  的脉冲导通持续时间  $t_{on}$  的 15%。

10. 根据权利要求 1 所述的双级栅驱动器电路, 其中, 所述结型场效应晶体管是宽带隙结型场效应晶体管或 SiC 结型场效应晶体管。

11. 一种用于驱动具有栅极、源极和漏极的结型场效应晶体管的双级栅驱动器电路, 所述双级栅驱动器电路包括:

输入端, 该输入端用于提供控制脉冲信号  $V_{in}$ ;

第一导通电路, 所述第一导通电路将所述栅极连接至适合在导通时快速地对所述栅极和密勒电容充电的高峰值电流源, 其中所述高峰值电流源提供持续时间为  $t_1$  的高栅极电流, 所述持续时间  $t_1$  基于所述结型场效应晶体管的反馈来调整;

第二导通电路, 所述第二导通电路提供所述结型场效应晶体管的正向栅极电流并且将电压从正的轨电压步降为结型场效应晶体管的栅极所需的电压; 以及

下拉电路,

其中, 所述第一导通电路、所述第二导通电路和所述下拉电路并联地电耦合在所述输入端和所述结型场效应晶体管的栅极之间。

12. 根据权利要求 11 所述的双级栅驱动器电路, 其中, 所述控制脉冲信号  $V_{in}$  被配置为具有脉冲导通持续时间  $t_{on}$  和脉冲截止持续时间  $t_{off}$ , 从而在所述脉冲导通持续时间  $t_{on}$  中所述结型场效应晶体管处于导电状态, 并且在脉冲截止持续时间  $t_{off}$  中所述结型场效应晶体管处于阻挡状态。

13. 根据权利要求 12 所述的双级栅驱动器电路, 其中, 所述第一导通电路包括:

开关 S1, 该开关 S1 具有栅极、通过电阻器 R2 电耦合到所述结型场效应晶体管的栅极的源极以及电耦合到用于提供正电压  $+V_1$  的第一电流源的漏极; 和

脉冲生成器, 该脉冲生成器电耦合在所述输入端和所述开关 S1 的栅极之间。

14. 根据权利要求 13 所述的双级栅驱动器电路, 其中, 所述脉冲生成器被配置为使得当所述控制脉冲信号  $V_{in}$  被提供时, 所述脉冲生成器响应性地生成与所述控制脉冲信号  $V_{in}$  同步的相应的控制脉冲信号  $V_{c2}$ 。

15. 根据权利要求 14 所述的双级栅驱动器电路, 其中, 所生成的控制脉冲信号  $V_{c2}$  具有脉冲持续时间  $t_1$ , 该脉冲持续时间  $t_1$  等于或小于所述控制脉冲信号  $V_{in}$  的脉冲导通持续时间  $t_{on}$  的 15%。

16. 根据权利要求 15 所述的双级栅驱动器电路, 其中, 所生成的控制脉冲信号  $V_{c2}$  的脉冲持续时间  $t_1$  能够根据来自所述结型场效应晶体管的反馈信号  $V_{FB}$  自动调整。

17. 根据权利要求 13 所述的双级栅驱动器电路, 其中, 所述第二导通电路包括开关 S2, 该开关 S2 具有电耦合到所述输入端的栅极、通过电阻器 R1 电耦合到所述结型场效应晶体管的栅极的源极以及电耦合到用于提供正电压  $+V_2$  的第二电流源的漏极。

18. 根据权利要求 17 所述的双级栅驱动器电路, 其中, 所述下拉电路包括:

开关 S3, 该开关 S3 具有栅极、电耦合到用于提供负电压  $-V_3$  的第三电流源的源极以及通过电阻器 R3 电耦合到所述结型场效应晶体管的栅极的漏极; 和

反相器, 该反相器电耦合在所述输入端和所述开关 S3 的栅极之间。

19. 根据权利要求 12 所述的双级栅驱动器电路,其中,所述第一导通电路通过电阻器 R2 电耦合在第一电流源和所述结型场效应晶体管的栅极之间,其中所述第一电流源被设置为提供正电压  $+V_1$ 。

20. 根据权利要求 19 所述的双级栅驱动器电路,其中,在操作中,当所述控制脉冲信号  $V_{in}$  处于所述脉冲导通持续时间  $t_{on}$  时,所述第一导通电路在等于或小于所述控制脉冲信号  $V_{in}$  的脉冲导通持续时间  $t_{on}$  的 15% 的持续时间  $t_1$  中导通,并且当所述控制脉冲信号  $V_{in}$  处于所述脉冲截止持续时间  $t_{off}$  时,所述第一导通电路在所述脉冲截止持续时间  $t_{off}$  中截止。

21. 根据权利要求 20 所述的双级栅驱动器电路,其中,所述第二导通电路通过电阻器 R1 电耦合在第二电流源和所述结型场效应晶体管的栅极之间,其中  $R2 > R1$ ,并且其中所述第二电流源被设置为提供正电压  $+V_2$ 。

22. 根据权利要求 21 所述的双级栅驱动器电路,其中,所述第一电流源和所述第二电流源对应于单个电流源或两个不同的电流源。

23. 根据权利要求 21 所述的双级栅驱动器电路,其中,在操作中,当所述控制脉冲信号  $V_{in}$  处于所述脉冲导通持续时间  $t_{on}$  时,所述第二导通电路在所述脉冲导通持续时间  $t_{on}$  中导通,并且当所述控制脉冲信号  $V_{in}$  处于所述脉冲截止持续时间  $t_{off}$  时,所述第二导通电路在所述脉冲截止持续时间  $t_{off}$  中截止。

24. 根据权利要求 21 所述的双级栅驱动器电路,其中,所述下拉电路通过电阻器 R3 电耦合在第三电流源和所述结型场效应晶体管的栅极之间,其中所述第三电流源被设置为提供负电压  $-V_3$ 。

25. 根据权利要求 24 所述的双级栅驱动器电路,其中,所述下拉电路包括电耦合在所述输入端和所述电阻器 R3 之间的反相器。

26. 根据权利要求 25 所述的双级栅驱动器电路,其中,当所述控制脉冲信号  $V_{in}$  处于所述脉冲导通持续时间  $t_{on}$  时,所述下拉电路在所述脉冲导通持续时间  $t_{on}$  中截止,并且其中当所述控制脉冲信号  $V_{in}$  处于所述脉冲截止持续时间  $t_{off}$  时,所述下拉电路在所述脉冲截止持续时间  $t_{off}$  中导通。

27. 根据权利要求 11 所述的双级栅驱动器电路,其中,所述结型场效应晶体管是宽带隙结型场效应晶体管或 SiC 结型场效应晶体管。

## 用于增强模式和耗尽模式宽带隙半导体 JFET 的栅驱动器

[0001] 本申请要求 2009 年 5 月 11 日提交的美国临时专利申请 No. 61/177,014 的优先权，在此通过引用将其全部内容并入本文。

### 技术领域

[0002] 本发明总体上涉及栅驱动器和包括栅驱动器的集成电路，并且更具体地涉及针对增强模式和耗尽模式宽带隙半导体结型场效应晶体管 (JFET) 的基于 n 沟道 JFET 的栅驱动器。

### 背景技术

[0003] 宽带隙结型场效应晶体管 (JFET) 的一个应用是在高电压、高频率功率电子装置中。宽带隙 JFET 的特殊器件特性使这些器件能够在许多应用中替代高电压的绝缘栅双极晶体管 (IGBT)。开关能量损耗是当选择用于新设计的器件时比较的功率半导体开关的主要特征之一。转变速度最终由器件限制。但是，栅驱动器的性能可以显著地影响该速度。

[0004] 栅驱动器的主要功能是移交 / 去除器件的内部栅极 - 源极和密勒电容所需要的必要栅电荷，以使器件在多个状态之间转变。栅驱动器能够执行该任务越快，器件从截止状态到导通状态和从导通状态到截止状态的转变越快。因此，在实际系统应用中为了获得器件的最大性能，使用适当设计的栅驱动器是重要的。

[0005] JFET 的栅结构提出两个不同的要求以驱动该器件进入导电状态。这些要求类似于金属氧化物半导体场效应晶体管 (MOSFET) 和双极结型晶体管 (BJT) 的组合。首先，类似于 MOSFET，为了对栅电容快速充电，推荐高峰值瞬时电流。第二，类似于 BJT，需要小的 DC 栅电流以维持导电。

[0006] 针对宽带隙 JFET，在大多数应用中，可以使用 AC 耦合的、类似 BJT 的 RC 驱动器。在图 1 中描述该类型的驱动器。该驱动器方案已经证明可以提供特殊的开关性能，但经受占空因数和开关频率的限制。RC 驱动器由连接在半导体开关的栅 / 基极和脉宽调制 (PWM) IC 或其它脉冲生成电路的输出之间的并联电阻器和旁路电容器组成。

[0007] RC 驱动器能够电平移位、设置 DC 电流限制，以及针对快速导通提供多数功率半导体所要求的高峰值电流。为了持续地维持最大开关速度，RC 驱动器的旁路电容器必须在下一开关事件之前被完全放电。放电的时间取决于 RC 驱动器的 RC 时间常数。因此，应用的最大开关频率和占空因数由 RC 驱动器的 RC 时间常数限制。

[0008] 因此，仍存在针对宽带隙 JFET 的改善的栅驱动器的需要，并且特别是对可以克服 RC 驱动器的限制的有源的、DC 耦合的驱动器的需要。

### 发明内容

[0009] 提供一种用于驱动具有栅极、源极和漏极的结型场效应晶体管 (JFET) 的双级栅驱动器电路，该双级栅驱动器电路包括：

[0010] 输入端，该输入端用于提供控制脉冲信号  $V_{in}$ ；

- [0011] 三个电阻器  $R_1$ 、 $R_2$  和  $R_3$ ，各电阻器均具有第一端子和第二端子，并通过第二端子电耦合到所述 JFET 的栅极；
- [0012] 第一导通电路，该第一导通电路电耦合在输入端和电阻器  $R_2$  的第一端子之间；
- [0013] 第二导通电路，该第二导通电路电耦合在输入端和电阻器  $R_1$  的第一端子之间；和
- [0014] 下拉电路，该下拉电路电耦合在输入端和电阻器  $R_3$  的第一端子之间。
- [0015] 还提供一种用于驱动具有栅极、源极和漏极的结型场效应晶体管 (JFET) 的双级栅驱动器电路，该双级栅驱动器电路包括：
- [0016] 输入端，该输入端用于提供控制脉冲信号  $V_{in}$ ；
- [0017] 第一导通电路；
- [0018] 第二导通电路；以及
- [0019] 下拉电路，
- [0020] 其中，第一导通电路、第二导通电路和下拉电路并联地电耦合在输入端和 JFET 的栅极之间。
- [0021] 在此阐述本教导的这些和其它特征。

#### 附图说明

- [0022] 附图示出了本发明的一个或更多个实施方式，并且与说明书一起用于解释本发明的原理。只要可能，在全部附图中用相同的附图标记表示实施方式的相同或者类似元件。
- [0023] 图 1 是 AC 耦合的 RC 栅驱动器的电路图。
- [0024] 图 2 是建模为与 pn 二极管并联的电容的 VJFET 的示意图。
- [0025] 图 3 是针对宽带隙 JFET 的 DC 耦合的双级栅驱动器的电路图。
- [0026] 图 4 是具有对脉冲生成器电路的反馈的针对宽带隙 JFET 的 DC 耦合的双级栅驱动器的电路图。
- [0027] 图 5 是根据另一个实施方式的针对宽带隙 JFET 的 DC 耦合的双级栅驱动器的电路图。
- [0028] 图 6 是根据另一实施方式的具有对脉冲生成器电路的反馈的针对宽带隙 JFET 的 DC 耦合的双级栅驱动器的电路图。
- [0029] 图 7 是示出在时段  $t_1$  期间处于操作中的栅驱动器的一部分的电路图。
- [0030] 图 8 是示出在时段  $t_2$  期间处于操作中的栅驱动器的一部分的电路图。
- [0031] 图 9 是示出在时段  $t_3$  期间处于操作中的栅驱动器的一部分的电路图。
- [0032] 图 10A 到图 10F 示出针对双级 JFET 栅驱动器的操作波形。
- [0033] 图 11A 是用于驱动增强模式 (EM) SiC JFET 的双驱动器 IC 的电路图。
- [0034] 图 11B 是针对图 11A 的器件的波形。
- [0035] 图 12A 是针对单个器件测试的开关能量测试电路的电路图。
- [0036] 图 12B 是针对桥配置测试的开关能量测试电路的电路图。
- [0037] 图 13 示出在图 12A 的单个开关测试电路中的针对 AC 耦合驱动的操作波形。
- [0038] 图 14A 和图 14B 示出使用图 12B 的测试电路在完全相位管脚中测试的针对 SiCJFET (SJEP120R125) 的开关能量测量值。
- [0039] 图 15A 和图 15B 是示出针对两个 SiC JFET (SJEP120R125 和 SJEP120R063) 在 25°C

和 150℃ 的结温度的开关能量 - 负载电流的曲线图。

[0040] 图 16A 是将双驱动器电路用于驱动增强模式 (EM) SiC JFET 的实施方式的示意图。

[0041] 图 16B 到图 16E 例示在图 16A 中描述的実施方式的实验结果。

[0042] 图 17A 是将 IC 驱动器和晶体管驱动器用于驱动增强型模式 (EM) SiC JFET 的实施方式的示意图。

[0043] 图 17B 到图 17E 示出在图 17A 中描述的実施方式的实验结果。

[0044] 图 18A 是将 IC 驱动器和晶体管驱动器用于驱动增强模式 (EM) SiC JFET 的另选实施方式的示意图。

[0045] 图 18B 到图 18C 示出在图 18A 中描述的実施方式的实验结果。

### 具体实施方式

[0046] 现在详细地描述本发明的各种实施方式。参照附图, 贯穿全部视图, 相似的标号指示相似的组件。如在本文说明书中和贯穿随后的权利要求中所使用的, 单数形式“一”以及“该 / 所述”的含义包括复数形式, 除非上下文另行清楚地指出。另外, 如在本文说明书中和贯穿随后的权利要求中所使用的, “在……里 (in)” 的含义包括“在……里 (in)” 和“在……上 (on)”, 除非上下文另行清楚地指出。

[0047] 结合附图来描述本发明的实施方式。

[0048] JFET 的转变速度最终由器件限制。但是, 栅驱动器的性能可以显著地影响该速度。如上面阐述的, 栅驱动器必须满足两个主要要求: 动态栅电荷的移交 / 去除; 和导电期间的 DC 栅电压和作为结果的栅极 - 源极电流的可持续性。栅驱动器快速移交 / 去除器件的内部栅极 - 源极和密勒电容所需要的必要栅电荷的能力是影响器件在多个状态之间转变所需要的时间的主要因素。栅驱动器还应该设计为在导电期间有效地维持最小  $R_{DS(ON)}$  所要求的稳定状态的 DC 栅电压和栅电流。

[0049] 利用简单 RC 网络, AC (电容器) 耦合的栅驱动器电路将 JFET 的栅极连接到标准 COTS MOSFET/IGBT 栅驱动器 IC 的输出, 以允许在应用领域中利用常关 SiC JFET 来对 MOSFET 或 IGBT 进行插入替换。尽管 AC 耦合的驱动器已经证明是驱动增强模式 (EM) SiC JFET 的有效方式, 但它可经受占空因数和开关频率限制。

[0050] 图 1 提供 AC 耦合的驱动的示意图。该特定的栅驱动器使用限流电阻器  $R_{CL}$ , 以通过降低栅驱动器 IC 的高电平输出和在指定的  $I_{GFWD}$  处的要求的 SiC JFET 的栅极 - 源极电压之间的电势差而设置“导通”状态中的 DC 操作点。旁路电容器用于针对快速导通和截止快速地移交 / 去除动态栅电荷。在某种意义上, 电容器表现为过驱动 JFET 的栅极, 这通过在端子处测试的栅极 - 源极电压的过冲而可看到。利用通过低电阻电阻器连接到栅极的 +15V 的最大驱动器 IC 电压对栅极过驱动 < 200ns 的持续时间是可接受的, 并针对快速导通而推荐。随着器件在阻挡状态和导电状态之间转变, 来自栅驱动的高峰值电流正在移交输入电容要求的电荷, 并且不流过栅极 - 源极二极管。当输入电容完全充电时, 稳定状态状况将由限流电阻器调整。可以包括与旁路电容器串联的附加的低电阻电阻器 (通常为 1-5 欧姆), 以抑制任何观察到的栅振铃 (ringing)。

[0051] 可以以单极或双极驱动电压来使用该类型的驱动器。如果以单极驱动电压来使用, 则旁路电容器将在截止时提供一些负的栅偏压以帮助降低截止时间, 并在有限的持续

时间提供一定程度的噪声抗扰度。由于 MOSFET 和 IGBT 通常通过栅电阻器连接到驱动器 IC，所以在大多数功率开关结构中，简单改变电阻值和加入旁路电容器是将标准 MOSFET/IGBT 驱动转换为 SiC JFET 驱动的全部要求。

[0052] 基于 SiC JFET 的  $Q_g$  及其独立的 PWM/ 驱动器 IC 供电轨电压来选择适当的  $C_{BP}$  值。寄生电路效应可以影响  $C_{BP}$  的选择，所以一个特定  $C_{BP}$  的值不一定适合于全部的应用。相反，向用户建议经验评估的  $C_{BP}$  值范围作为起点，该  $C_{BP}$  值范围由下面的表达式限定：

$$[0053] \quad \frac{2 * Q_g}{V_{DD} - V_{GS}} \leq C_{BP} \leq \frac{4 * Q_g}{V_{DD} - V_{GS}}$$

[0054] RCL 用于限制从 PWM/ 驱动器 IC 经过 SiC JFET 的栅极 - 源极二极管流动的持续电流，因而设置栅极 - 源极电压。为了避免在稳定状态导电期间对 JFET 的栅极过驱动，推荐施加不超过 +3.0V 的正栅极 - 源极偏压。RCL 的选择要求下面的信息：

[0055] a、 $V_O$  = PWM/ 驱动器 IC 的正输出电压

[0056] b、 $V_{GS}$  = 希望的 JFET 栅极 - 源极电压

[0057] c、 $I_{GFWD}$  = 在希望的栅极 - 源极电压处的栅极 - 源极二极管电流。可以从数据表的图 X 来估计  $I_{GFWD}$ 。

[0058] 接着使用下面的表达式来计算  $R_{CL}$ ：

$$[0059] \quad R_{CL} = \frac{V_O - V_{GS}}{I_{GFWD} (@ V_{GS})}$$

[0060] 为了持续地获得可能的最快开关性能，RC 网络的旁路电容器必须在下一个开关事件之前完全放电。该电容器的大小取决于应用和驱动器 IC 的规格。任何特定的值可能需要比针对开关频率和占空因数的特定组合可用的时间更多的时间来放电。尽管该电容器未完全放电不导致任何操作问题，但是由于在下一导通事件处驱动器 IC 的输出和电容器电压之间的电压差越小，将导致导通转变越慢。因此，可在更宽范围的开关频率和占空因数操作的附加的 DC 耦合的栅驱动器设计是必需的。

[0061] 该 JFET 器件的栅极 - 源极和栅极漏极结构可以如图 2 所示建模为与 pn 二极管并联的电容。该器件的等效模型是唯一的，并且代表 MOSFET 的一些特征和 BJT 的一些特征。功率 JFET 针对栅驱动器提出两个主要要求：快速移交 / 去除动态电荷以对总的栅电容进行充电 / 放电；和所要求的栅极 - 源极二极管的稳定状态电压 / 电流要求在导电状态持续时间内的可维持性。

[0062] 高频率应用针对最佳性能需要不依赖于 RC 时间常数的驱动器。已经特别针对 JFET 来开发了双级、DC 耦合的驱动器设计。图 3 示出根据一个实施方式的双级、DC 耦合的驱动器。图 4、图 5 和图 6 描绘双级栅驱动器的其它实施方式。该驱动器可以施加高峰值电流脉冲以针对快速导通尽可能快地提供要求的动态电荷，并且还维持稳定状态 DC 栅电压 / 电流以维持导电。该驱动器可以用于在导通瞬间对栅极过驱动。所开发的双级驱动器允许精确控制过驱动状况以及稳定状态状况。

[0063] 图 3 中示出的电路接收单个 PWM 控制信号并生成与原始控制信号同步的第二脉宽调制 (PWM) 信号。所生成的脉冲驱动第一导通级，第一导通级提供高峰值电流源以快速地对器件的栅极和密勒（或栅极 - 漏极）电容充电。第二控制脉冲的脉宽持续到器件的密勒电容完全充电并且漏极 - 源极电压完全崩溃为止。第二控制脉冲可以由开环和闭环电路生



成。

[0064] 与原始控制信号同步的第二 PWM 信号具有短得多的脉宽。所生成的脉冲驱动第一导通级,第一导通级控制动态栅电荷的移交。第一级的开关  $S_1$  连接高峰值电流源以在导通时快速地对器件的栅极和密勒电容充电。原始控制脉冲施加到第二导通级,在第二导通级处,开关  $S_2$  提供维持导电所需的必要的稳定状态 DC 栅电流。限流电阻器  $R_1$  取适当大小以设置正向栅电流  $I_{GFWD}$  并且将电压从正的轨电压步降为 JFET 的栅极所需的电压。 $R_1$  按照与 AC 耦合的 RC 驱动电路中的限流电阻器使用的相同方式取大小。用户提供的 PWM 脉冲的补充控制截止级,该截止级通过低电阻下拉电阻器  $R_3$  拉低 JFET 栅极。该驱动器方式可以按照多种方式实现,如使用分立晶体管、多个驱动器 IC 或单个双驱动器 IC。所选择的方法将取决于所需的驱动器电压、转变时间和希望的峰值电流供应。

[0065] 原始控制脉冲被施加到第二导通级,第二导通级提供为了维持导电所需的必要的稳定状态 DC 栅电流。限流电阻器适当地取大小以设置正向栅电流并且将电压从正的轨电压步降为 JFET 的栅极所需的电压。当用户输入的 PWM 信号转变为指示 JFET 的希望的  $t_{off}$  持续时间的逻辑状态时,下拉电路通过小的下拉电阻器将栅极拉到开关共用或负电压。

[0066] 根据使用的晶体管技术(即,FET 或双极),反相电路对于驱动下拉电路可以不是必需的。图 4 示出具有对脉冲生成器电路的反馈的针对宽带隙 JFET 的 DC 耦合的双级栅驱动器。图 5 是根据另一实施方式的针对宽带隙 JFET 的 DC 耦合的双级栅驱动器的电路图。图 6 是根据另一实施方式的具有对脉冲生成器电路的反馈的针对宽带隙 JFET 的 DC 耦合的双级栅驱动器的电路图。如图 4 至图 6 所示,双级栅驱动器分为 3 个部分。

[0067] 图 10A 至图 10F 提供描述完整栅驱动器操作的相应波形。在时段  $t_1$  期间,第一导通电路是活动的。图 10A 中示出的用户输入  $V_{in}$  被接收,并且脉冲生成器电路导出图 10B 示出的第二控制脉冲  $V_{c2}$ 。 $V_{c2}$  驱动通过小的阻尼电阻器  $R_2$  将 JFET 的栅极连接到高峰值电流源的开关。在图 10F 示出的针对栅电流 ( $I_G$ ) 的波形例示在  $t_1$  期间栅电流为高,并且为  $\leq 1A$ 。在图 10E 示出的漏极-源极电压  $V_{DS}$  崩溃后,第一导通电路截止。

[0068] 在优选实施方式的情况下,可以手动调整时间  $t_1$  的持续时间,或者基于来自 JFET 的反馈自动调整时间  $t_1$  的持续时间。在  $t_1$  的开始处,第二导通电路也导通。但是,与第一导通级的贡献相比,驱动器的该级的小电流贡献是最小的。在第一导通电路被去激活后,第二导通电路在导电时段的其余时间调节 DC 栅电流 ( $\leq 1A$ )。从图 10F 可以看出,在  $t_2$  的开始处, $I_G$  降低到小得多的值。通过用户输入电压确定  $t_2$  时段的结束。在  $t_2$  时段的结束栅下拉电路激活,开始时段  $t_3$ 。在该时段期间,JFET 转变为阻挡状态并保持阻挡,直到接收到下一个输入脉冲为止。在  $t_3$  期间,针对阻挡状态持续时间,下拉电路将器件的栅极保持为开关共用或为负电压。

[0069] 图 7 是示出在时段  $t_1$  期间处于操作中的栅驱动器的一部分的电路图。图 8 是示出在时段  $t_2$  期间处于操作中的栅驱动器的一部分的电路图。图 9 是示出在时段  $t_3$  期间处于操作中的栅驱动器的一部分的电路图。

#### [0070] 示例性实施方式

[0071] 提供了一种电路,该电路包括:

[0072] 宽带隙结型场效应晶体管 (JFET);和

[0073] DC 耦合的、双级驱动器,其中该驱动器包括:

[0074] 第一导通电路；

[0075] 第二导通电路；以及

[0076] 下拉电路，

[0077] 其中，该驱动器被配置为接收输入的脉宽调制 (PWM) 控制信号并生成用于驱动该宽带隙 JFET 的栅极的输出驱动器信号。

[0078] 用户输入控制脉冲的周期可以等于指示 JFET 处于导电的时间的脉冲持续时间  $t_{on}$  与指示 JFET 要阻挡的时间的脉冲持续时间  $t_{off}$  的和。

[0079] 第一导通电路可包括脉冲生成器电路和高峰值电流源。脉冲生成器电路可接收用户输入的 PWM 控制信号并生成第二控制脉冲。输出可与用户输入的脉冲同步，但具有用户输入的脉冲的脉宽的  $\leq 15\%$ 。第一导通电路可以连接到正的轨电压  $+V_1$ 。脉宽可以是可调的。例如，可以手动调整脉宽或基于来自 JFET 的反馈而自动调整脉宽。

[0080] 第一导通电路可以通过低值（如， $< 10$  欧姆）阻尼电阻器将宽带隙 JFET 的栅极连接到高峰值电流源。

[0081] 第一导通电路可在用户输入控制脉冲的  $t_{on}$  持续时间的  $\leq 15\%$  期间是活动的，如利用脉冲生成器电路确定的。

[0082] 第二导通电路可以通过限流电阻器（如， $< 2000$  欧姆）将晶体管的栅极连接到正的电压轨  $+V_2$ 。第二导通电路可在用户输入控制脉冲的全部  $t_{on}$  持续时间内是活动的。

[0083] 下拉电路可以通过低阻尼电阻器（如， $< 100$  欧姆）将晶体管的栅极连接到电路共用或负的电压  $-V_3$ 。下拉电路可以包括反相电路。下拉电路可在用户输入的电压的  $t_{off}$  持续时间内是活动的。

[0084] 正的轨电压  $+V_1$  和  $+V_2$  可以是单独的正电压，或连接到同一个正的电压轨。

#### [0085] 实验

[0086] 使用双驱动器 IC 来驱动增强模式 (EM) SiC JFET。图 11A 中描述该方式。在该电路中，驱动器 A 控制动态充电状况，并且驱动器 B 控制稳定状态栅状况。对驱动器 A 的输入的脉宽可限制为  $\leq 200\text{ns}$ 。由于驱动器 A 的用途是移交高峰值电流以便对器件输入电容充电，它的脉宽应该不比器件的导通时间超出大于  $100\text{ns}$ 。另外，在导通瞬间提供的高峰值电流被内部地分配，从而它将电荷移交到输入电容，而不仅流过栅极-源极二极管。这导致在精确受限的时间将栅电压过冲大于  $+3\text{V}$ 。然而，当输入电容完全充电并且漏电压完全崩溃时，栅电压将继续升高，允许高电流流到栅极-源极二极管，直到驱动器 A 截止为止。推荐的是，转变时段的结束和使驱动器 A 截止的时间之间的时间差尽可能最小化。在导电时段期间对于驱动器 A 保持活动的任何持续时间，过多的功率损耗将被栅极消耗，如果该持续时间比  $100\text{ns}$  更长可导致损坏栅极。

[0087] 图 11B 呈现使用图 11A 中描绘的双驱动电路驱动 SiC JFET 的一些实验结果。所使用的 SiC JFET 是由 SemiSouth Laboratories, Inc 制造的 SJEP120R125。提供  $+15\text{V}$  和  $-10\text{V}$  的栅驱动电压，并且设置了相应大小的电阻器（即， $R_1 = R_3 = 5$  欧姆， $R_2 = 135$  欧姆）。驱动器 A 脉宽设置为  $100\text{ns}$ 。

[0088] 图 11B 示出在导通转变期间，在  $V_{GS} = +6\text{V}$ ， $I_{GS(PK)} = 2\text{A}$ 。当驱动器 A 截止并且驱动器 B 进行控制时，在  $V_{GS} = +3\text{V}$  并且  $I_{GS} = 100\text{mA}$  处测量稳定状态状况。

[0089] 开关能耗是在比较针对新的设计不同半导体晶体管中使用的主要性能因素之

一。针对高开关频率应用,使该数字最小化是优先的,因为该类型的损耗可以变为总器件功耗的显著部分。根据与 MOSFET/IGBT 相同的标准来测量常关 SiC JFET。使用标准、双脉冲箝位电感负载测试电路来观察导通和截止两者期间的能量损耗。还基于不同的驱动电压推荐(即,单极或双极驱动)以及开关配置(即,单器件或桥接配置)进行测量。还在升高的温度处进行测量,示出随着结温度提高,开关能量中存在很小的变化。

[0090] 对于单器件应用,例如升降压型转换器,单极驱动电压通常对于驱动 EM SiC JFET 是足够的。在这些类型的电路中,在功率晶体管和飞轮二极管(free-wheeling diode)之间传递电流。尽管每个应用/设计可以提出不同的状况组,但实验结果迄今已经证明负轨的使用在单开关应用中通常是不需要的。利用旁路电容器,AC 耦合的、RC 驱动器的使用还证明对于大多数的单开关应用是足够的,该旁路电容器在截止时(基于 RC 时间常数的负偏压的持续时间)提供一些负偏压以帮助快速截止,并在有限的时间量中提供一定程度的噪声抗扰度。在各种状况下观察 SiC JFET(即, SJEP120R125)的开关损耗。使用图 12A 示出的测试电路评价与该 AC 耦合、RC 驱动器接口结合的 +15V 单极驱动器 IC 以及 +15V/-10V 双极驱动器。调整占空因数以观察当允许旁路电容器完全放电或部分放电时开关损耗中的差别。表 1 列出针对每个情况得到的导通损耗。如希望的,当不允许在下一个开关事件之前将旁路电容器完全放电时,导通能量损耗可以更大高达 2x 以上。基于特定应用的需要,这些结果可以或不可以是充分的,并可以要求使用具有适度的负轨的双级驱动器以实现更高的开关频率或更高的占空因数。

[0091] 使用如图 12B 中示出的桥接配置,修改用于基于状况监测开关能量的测试电路以反映在应用中经历的状况。对于这些应用,直通可能是实际的问题,因而必须评价噪声抗扰度。针对截止推荐负驱动电压以帮助提高噪声抗扰度并防止由“密勒效应”引起的直通。类似于 MOSFET 和 IGBT,存在用于防止栅电压上的正尖峰达到器件的阈值电压的三种通常方式:

[0092] a、在截止期间在栅极上的负驱动电压;

[0093] b、在栅极-源极端子处紧密连接的电容钳;

[0094] c、限制开关期间的  $dV/dt$ 。

[0095] 如果要求尽可能最低的开关损耗,作为第一个方式,推荐通过添加或增加负电压的量来增大截止电压和阈值电压之间的电压差。这是容易的解决方案并且是不影响高或低侧器件的开关性能的唯一方案。但是,如对于所有的场控制功率器件,对可向 SiC JFET 的栅极施加的负电压的量存在限制。如果在施加最大负电压后,正的栅尖峰仍然明显,则必须采用另一个方式。在每个器件的栅极-源极端子上紧紧地连接的电容钳将提供次级源以拉动必要位移电流。这将降低在栅极处的正尖峰;然而,该方法将要求栅驱动器在每个导通开关事件期间移交更多的栅电荷。将观察到栅驱动功率的适度增加以及有可能的更慢的导通速度。最后的选项是通过调整栅驱动的串联栅电阻向下调整  $dV/dt$ 。这将通过两个开关两者的密勒电容来降低峰值电流,并通过阻挡开关来降低直通的概率。与可能的最大值相比,该第三选项将明显导致更慢的开关;因此,设计者必须针对每个特定应用进行折衷。

[0096] 图 14A 和图 14B 示出使用图 12B 的测试电路在全相位支路中测试的针对 SiC JFET(SJEP120R125)的开关能量测量值。

[0097] 表 1 包括使用 DC 耦合的栅驱动器、使用图 12B 描述的测试装置观察的开关损耗。

[0098] 表 1 :SJEP120R125 的开关能量损耗 ( 条件 : $V_{DS} = 600V$ ,  $I_D = 12A$ )

[0099]

| 器件配置 | 测试电路  | 栅驱动器                                   | CBP 放电 | $E_{ON}$ (us) | $E_{OFF}$ (us) |
|------|-------|----------------------------------------|--------|---------------|----------------|
| 单开关  | 图 12A | 单极+15 V;<br>AC 耦合的驱动                   | 100%   | 75            | 38             |
| 单开关  | 图 12A | 单极+15 V;<br>AC 耦合的驱动                   | 75%    | 82            | 38             |
| 单开关  | 图 12A | 单极+15 V;<br>AC 耦合的驱动                   | 58%    | 105           | 38             |
| 单开关  | 图 12A | 单极+15 V;<br>AC 耦合的驱动                   | 30%    | 149           | 38             |
| 单开关  | 图 12A | 双极+15 V/-10 V;<br>AC 耦合的驱动             | 100%   | 57            | 35             |
| 单开关  | 图 12A | 双极+15 V/-10 V;<br>DC 耦合的驱动             | N/A    | 52            | 45             |
| 桥接   | 图 12B | 双极+15V/-10V;<br>10 nF 电容钳;<br>DC 耦合的驱动 | N/A    | 121           | 59             |

[0100] 图 15A 和图 15B 示出两个 SiC JFET ( 即, SJEP120R125 和 SJEP120R063, 都由 SemiSouth Laboratories, Inc 制造 ) 的测量的开关能量损耗作为负载电流和结温度的函数。如图所示, 在 25°C 和 150°C 结温度之间总开关能量中存在约 10% 的增加。

[0101] 即使增强模式 SiC JFET 是新的器件技术, 对于其它类型的高频功率晶体管有效的许多相同设计和布图技巧对于 SiC JFET 设计仍是适用的。当创建用于功率转换器的 PCB 布图时必须总是加以小心, 从而不引入额外的耦合电容, 不靠近开关 IC 和磁性组件安装器件, 当将器件并联时, 使用对称布图, 并获得足够的冷却 / 散热。

[0102] 可由通过器件的密勒电容反馈高频噪声或者由信号和功率地的不适当分离引起的地反弹引起栅振铃。布图应该设计为, 通过在单个点进行二者之间的公共连接, 适当地分离功率地和信号地。而且, 适当使用地平面对可以帮助将栅极从漏极以及其它高频电路连接屏蔽开。还可以使用尽可能密切地连接到 SiC JFET 的栅极端子的铁氧体珠子以降低在栅极处的电压尖峰。小的、低电阻外部栅电阻器也可以是足够的, 如在本文件中提出的设计示例中所使用的。在主 DC 电压总线上直接连接的串联 R-C 缓冲器的使用已经证明通过密勒电容来降低高频噪声反馈的量。最后, 栅驱动器和栅截止组件应该始终尽可能紧密地连接到器件的栅极端子以降低对栅噪声的全部上述贡献要素。

[0103] 可以评价应用的规格以确定最佳的栅驱动器方式。双驱动器 IC 的使用是最简单的方式。然而, 可以使用两个单独的驱动器 IC 来实现希望的峰值电流级别。过驱动脉冲的导出应该是精确的, 并紧密匹配晶体管的导通速度以使不必要的栅功率消耗最小化。

[0104] 如对于任意的低阈值器件, 噪声抗扰度是一个重要的方面。当在桥接或串联配置中使用 EM SiC JFET 时, 推荐负的截止电压。如对于 MOSFET/IGBT, JFET 也可以经历由于“密勒效应”导致的误触发。然而, 通过增加截止电压和栅阈值电压之间的电压差, 该不利的影响可以最小化。如果正的栅电压尖峰仍是问题, 则推荐在栅极 - 源极端子上添加的小的

电容钳以限制相对的 JFET 的栅极上的高  $dV/dt$  的影响。

#### [0105] 附加实施方式

[0106] 还提供了一种电路,该电路包括:宽带隙结型场效应晶体管 (JFET) 和 DC 耦合的双级驱动器。该驱动器包括:上导通驱动器 (U9) 电路;下导通驱动器 (U11) 电路;和逻辑门 U12,该逻辑门 U12 用于从它的输入端接收信号并生成针对上导通驱动器 (U9) 的短暂的“导通”脉冲。上驱动器和下驱动器被配置为接收输入的脉宽调制 (PWM) 控制信号并生成用于驱动宽带隙 JFET 的栅极的输出驱动器信号 VG。

[0107] 根据此实施方式,上导通驱动器包括导通驱动器 U9、第一电阻器 (5) 和第一二极管 D1,其中导通驱动器 U9 的输出耦合到第一电阻器的第一端子,第一电阻器的第二端子耦合到第一二极管 D1 的阳极端子,并且第一二极管 D1 的阴极形成上驱动器电路的输出。下导通驱动器包括导通驱动器 U11、具有第一端子和第二端子的第二电阻器 (100)、具有阳极和阴极的第二二极管 D2 以及具有第一端子和第二端子的第三电阻器。导通驱动器 U11 的输出耦合到第二电阻器的第一端子和第二二极管 D2 的阴极。第二二极管 D2 的阳极耦合到第三电阻器的第一端子。第三电阻器的第二端子耦合到第三电阻器的第二端子,以形成下驱动器电路的输出。上驱动器电路的输出和下驱动器电路的输出连接在一起以形成对宽带隙结型场效应晶体管 JFET 的输入。

[0108] 使用双驱动器电路来驱动增强模式 (EM) SiC JFET。图 16A 描述该方式。在该电路中,逻辑门 U12 的输出连接到上导通驱动器 U9 的输入和下导通驱动器 U11 的输入。

[0109] 图 16B 示出逻辑门 U12 的输入 VA 和逻辑门 U12 的输出 VB 的空载时间。上导通驱动器 U9 的输出的波形在图 16C 中示出为 V1,并且下导通驱动器 U11 的输出的波形在图 16C 中示出为 V2。

[0110] 图 16C 示出上导通驱动器 U9 造成与下导通驱动器 U11 的输出相比的额外的时间延迟。该延迟远远在来自下导通驱动器 U11 的“维持导通”脉冲之后。为了降低时间延迟可采用的一个有效方式包括在下导通驱动器 U11 的输入处添加 1.5K 电阻器和 120pF 电容器的 RC 延迟电路,以将 V1 和 V2 对准,如图 16D 所示。RC 延迟电路的电阻值和电容值的选择为使得上导通驱动器 U9 的输出和下导通驱动器 U11 的输出将同时变高。

[0111] 在图 16D 中,上导通驱动器 U9 的输出和下导通驱动器 U11 的输出示出为同时变高。当如图 16D 所示不使用第三电阻器 (示出 6.8 欧姆) 和第二二极管 D2 时,观察到慢的截止。为了加速截止,使用第三电阻器 (示出为 6.8 欧姆) 和第二二极管 D2 以产生更快的截止。图 16E 示出添加加速电路的效果。

[0112] 还提供了一种电路,该电路包括:宽带隙结型场效应晶体管 (JFET) 和 DC 耦合的双级驱动器。根据此实施方式,该驱动器包括:逻辑电路,该逻辑电路用于接收脉宽调制 (PWM) 控制信号并生成使能信号和反相 PWM 信号;IC 驱动器 (509) 电路,该 IC 驱动器 (509) 电路具有从逻辑电路 (LOGIC) 输入的 PWM 输入信号和使能信号;和晶体管驱动器电路,该晶体管驱动器电路具有反相的 PWM 信号的输入。IC 驱动器 (509) 电路和晶体管驱动器电路被配置为接收输入的脉宽调制 (PWM) 控制信号并生成用于驱动宽带隙 JFET 的栅的输出驱动器信号 VG。

[0113] 根据此实施方式的逻辑电路 (LOGIC) 包括:第一或非门、第二或非门、具有第一端子和第二端子的第一电容器、具有阳极和阴极的第二二极管 (1N914)、具有第一端子和第二

端子的第四电阻器 500、第三或非门以及第四或非门。第一、第二、第三和第四或非门中的每一个均具有第一输入、第二输入和输出。详细的电路布图在图 17A 中描述。

[0114] IC 驱动器 (509) 电路包括 509 驱动器 IC 和第一电阻器 1。509 驱动器 IC 具有正电源、负电源、接收 PWM 控制信号的输入端子、用于接收使能信号的输入端以及输出端。用于接收使能信号的输入端从逻辑电路 (LOGIC) 的输出接收使能信号。输入端子接收 PWM 控制信号。509 驱动器 IC 的输出耦合到第一电阻器的第一端子,并且第一电阻器的第二端子耦合到 JFET 的栅极端子。

[0115] 晶体管驱动器电路包括:具有阳极和阴极的齐纳二极管 D1、具有第一端子和第二端子的第二电阻器 100、具有基极端子、发射极端子和集电极端子的晶体管 (2N3906) 以及具有第一端子和第二端子的第三电阻器 15。齐纳二极管 D1 的阳极形成晶体管驱动器电路的输入端。齐纳二极管 D1 的阴极连接到第二电阻器 100 的第一端子。第二电阻器 100 的第二端子连接到晶体管的基极端子。晶体管的发射极端子连接到晶体管驱动器的正电源。晶体管的集电极端子连接到第三电阻器的第一端子。第三电阻器的第二端子连接到 IC 驱动器 (509) 电路的输出和 JFET 的栅极端子。

[0116] IC 驱动器 (509) 电路的输出和晶体管驱动器电路的输出连接在一起以形成对宽禁带结型场效应晶体管 (JFET) 的输入。

[0117] 如上面阐述的驱动器结构用于驱动增强模式 (EM) SiC JFET。图 17A 描述该方法。在该电路中,逻辑电路 (LOGIC) 的输出连接到 IC 驱动器电路的使能信号输入,并且逻辑电路 (LOGIC) 的 PWM 信号输出的反相信号连接到晶体管驱动器电路的输入端。图 17B 示出 JFET 的栅极端子和源极端子之间的电压的双脉冲波形,以及流入 JFET 的栅极的电流。图 17C 示出 JFET 的栅极端子和源极端子之间的导通电压和流入 JFET 的栅极的导通脉冲电流,示出电流的峰值在 5.5A。因此,应该针对导通和截止二者包括诸如 IC 驱动器的至少一个高电流驱动器。当在放大的时间标度上观察时,示出导通和截止沿处的波纹效应。图 17D 示出流入 JFET 的栅极的双脉冲电流。它示出导通和截止沿是迅速和整齐的。可以利用从较低功率的电源供电的较低电流的晶体管提供“停留”电流。这样的结构用于对组件经济化,并降低相关联的栅电阻器中的损耗。图 17E 示出 JFET 的栅极端子和源极端子之间的导通电压,以及流入 JFET 的栅极的导通脉冲电流。当在放大的时间标度上观察时,示出导通和截止沿处的波纹效应。

[0118] 图 18A 示出另一个类似的双级驱动器电路。仅进一步添加并修改 JFET 周围的组件。图 18B 示出 JFET 的栅极端子和源极端子之间的导通电压,以及流入 JFET 的栅极端子的截止电流。图 18C 示出 JFET 的栅极端子和源极端子之间的截止电压和流入 JFET 的栅极端子的截止电流。截止波形示出明显的波纹。尽管不希望由理论束缚,但认为这样的波纹的原因可能是与由于逻辑电路的“空中布线 (sky-wiring)”导致的逻辑电路的高  $dV/dt$  误触发有关。

[0119] 对本发明示例性实施方式的前述描述是仅为了例示和描述的目的而提供的,其并非旨在穷举或者将本发明限于所公开的确切形式。根据上面的教导,许多修改和变体是可能的。

[0120] 选择并描述这些实施方式是为了说明本发明的原理及其实际应用,从而使得本领域其它技术人员能够利用本发明和各种实施方式以及适用于所构想特定用途的各种变型。

在不偏离它的精神和范围的情况下,另选实施方式将对本发明所属于领域中的技术人员变得明显。因此,本发明的范围由所附的权利要求限定,而非由前面的描述和本文描述的示例性实施方式限定。

[0121] 参考文献

[0122] [1]D.Bortis, P.Steiner, J.Biela, and J.W.Kolar, " Double-Stage Gate Driver Circuit for Parallel Connected IGBT Modules, " Proc.of the 2008 IEEE International Power Modulator Conference(2008).

[0123] [2]G.Schmitt, R.Kennel, and J.Holtz, " Voltage Gradient Limitation of IGBTs by Optimized Gate-Current Profiles, " Power Electronics Specialists Conference, 2008. PESC2008, pp. 3592-3596 (Jun. 15-19, 2008).

[0124] [3]M.Abu-Khaizaran, P.Palmer, and Y.Wang, " Parameters Influencing the Performance of an IGBT Gate Driver, " Power Electronics Specialists Conference, 2008, pp. 3457-3462 (Jun. 15-19, 2008).

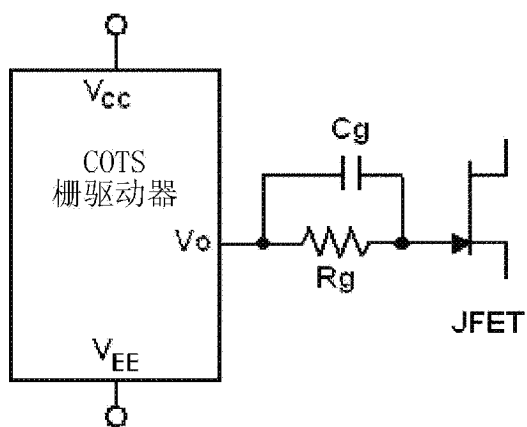


图 1

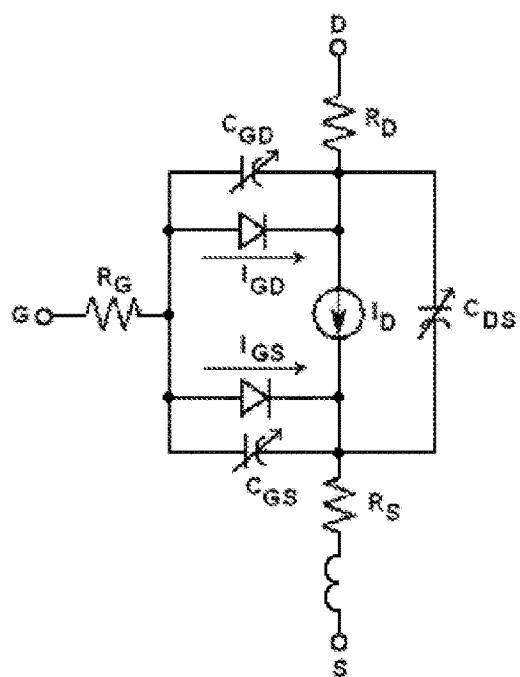


图 2

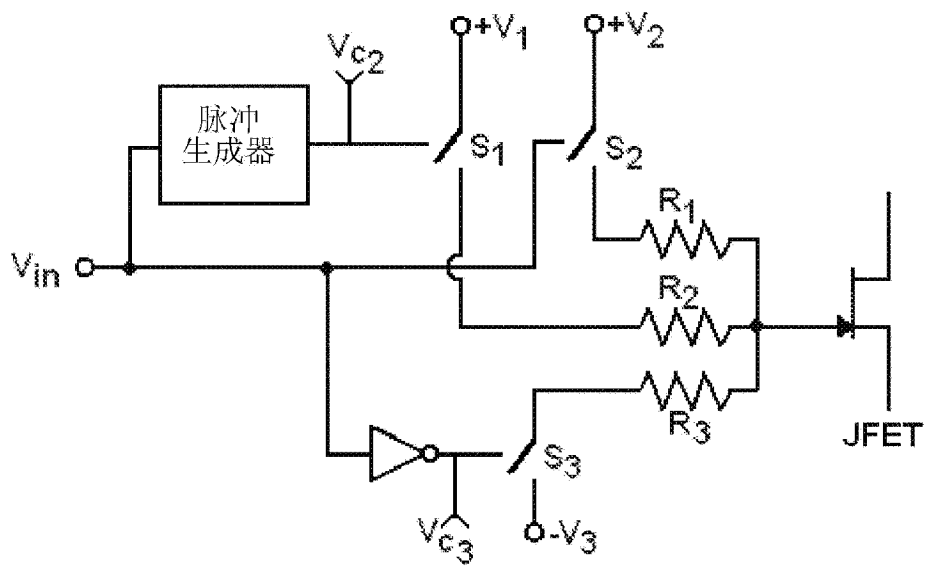


图 3



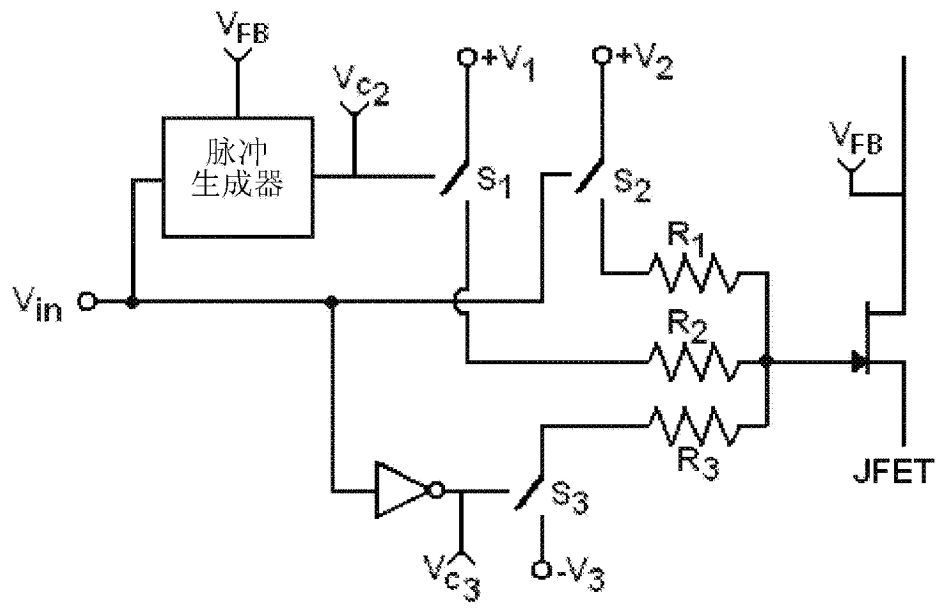


图 4

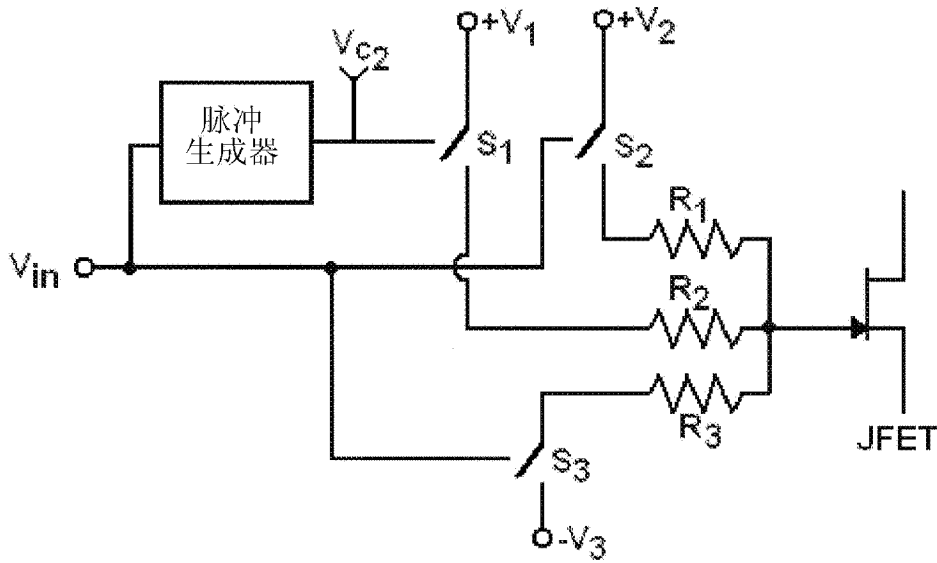


图 5

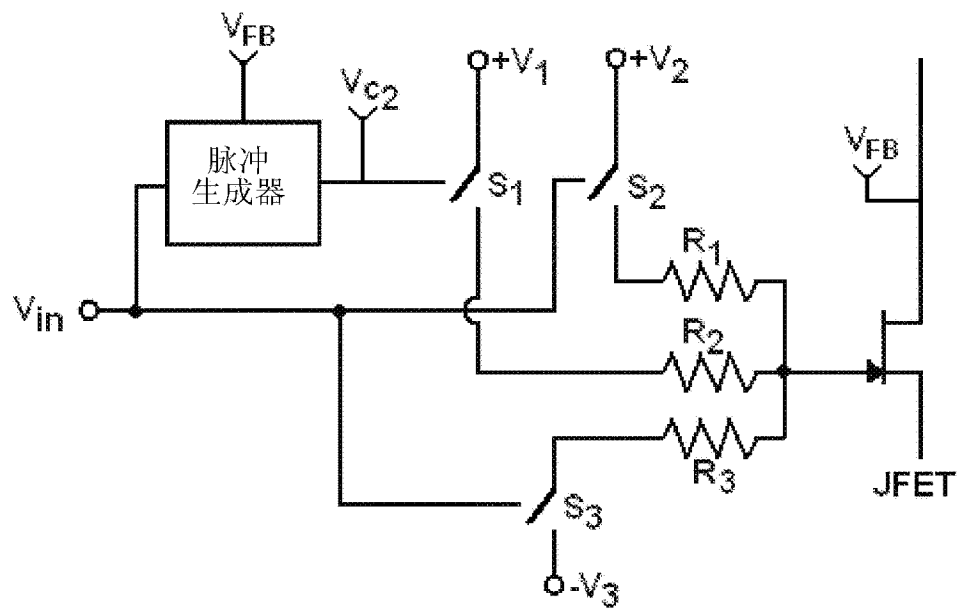


图 6

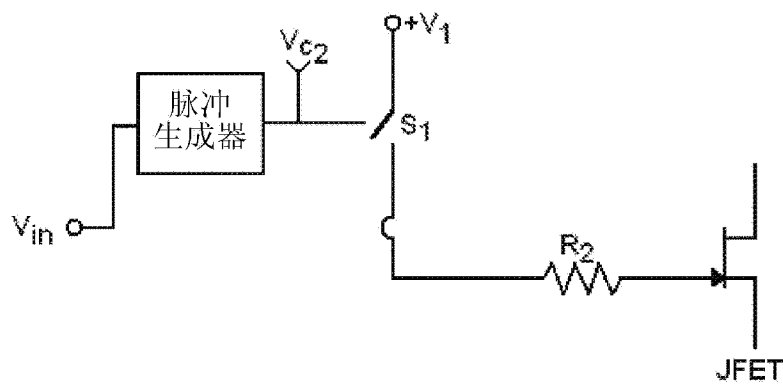


图 7

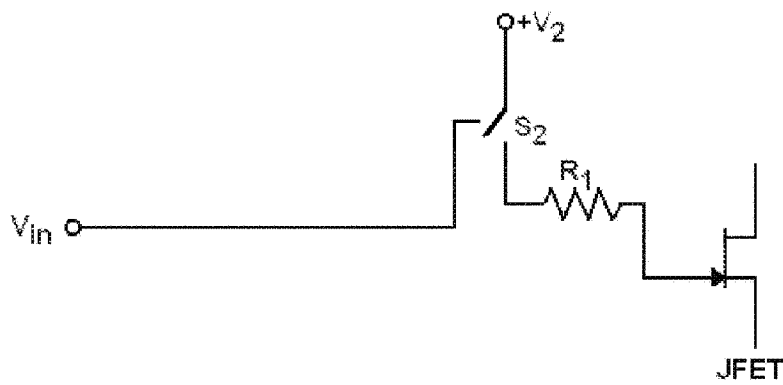


图 8

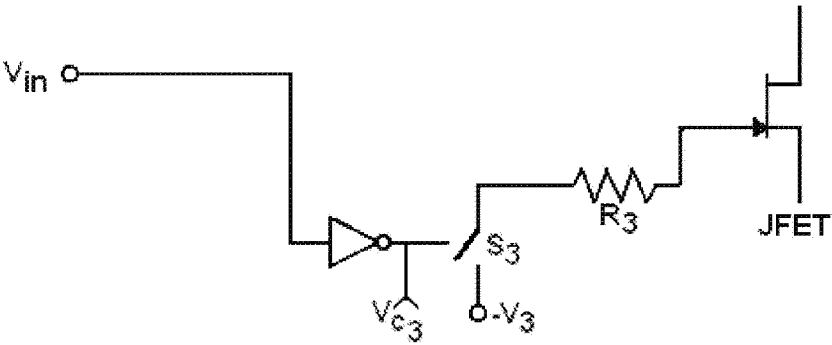


图 9

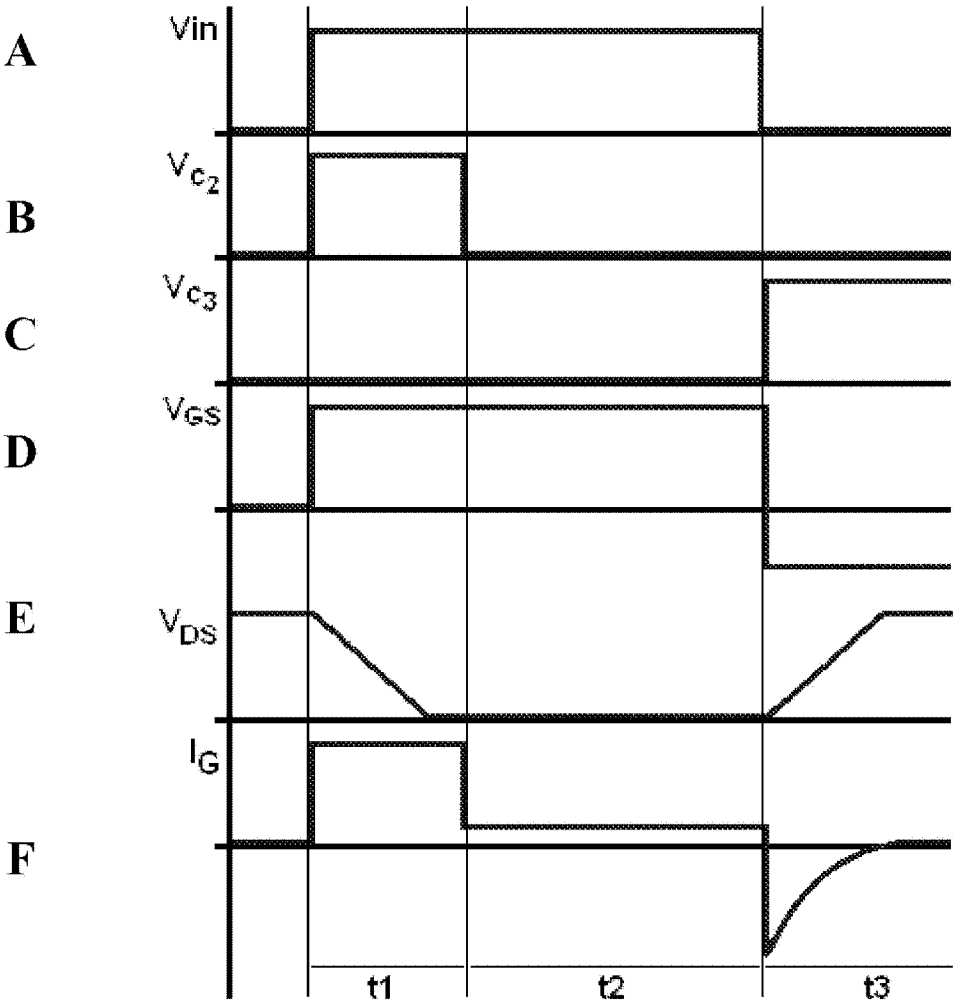


图 10

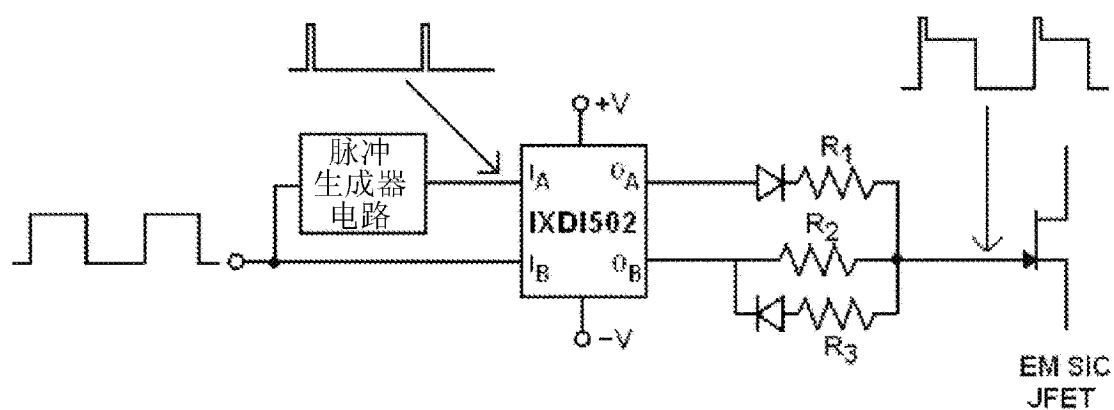


图 11A

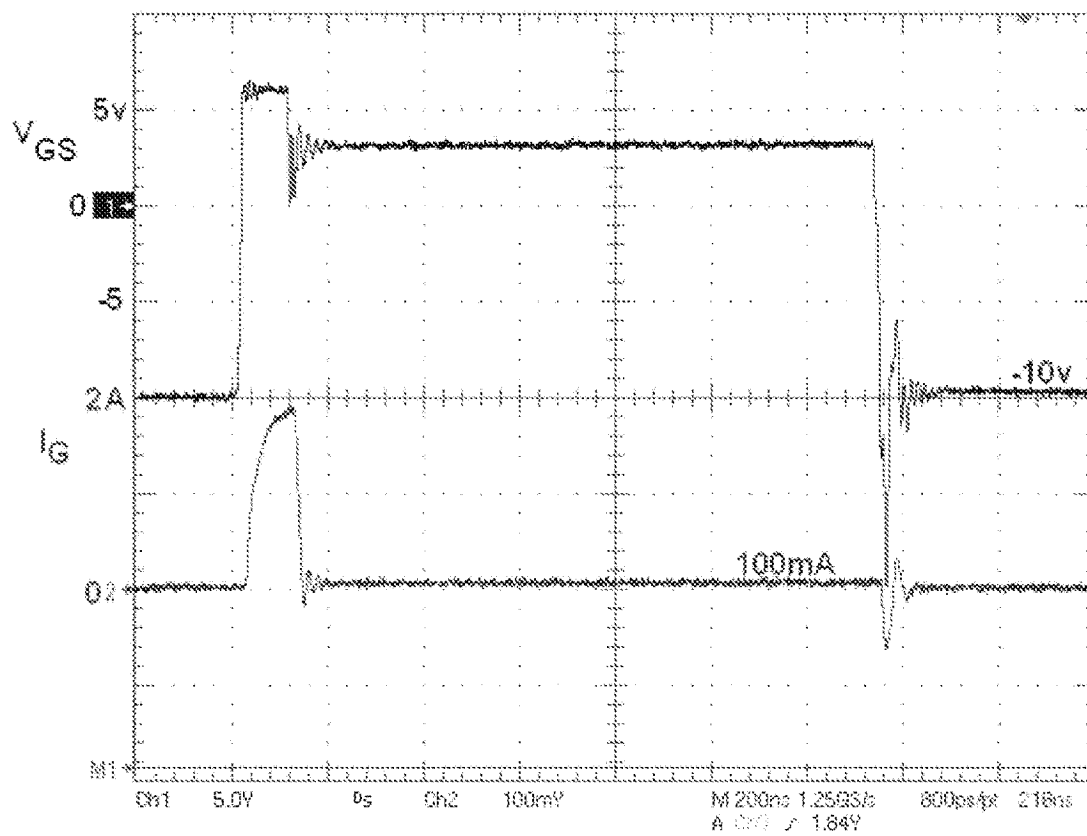


图 11B

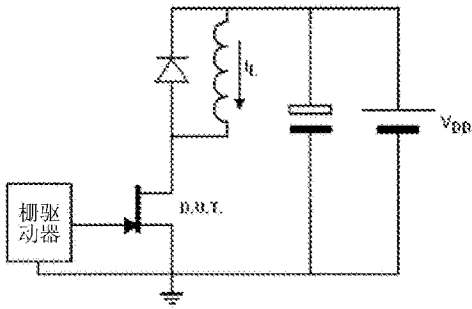


图 12A

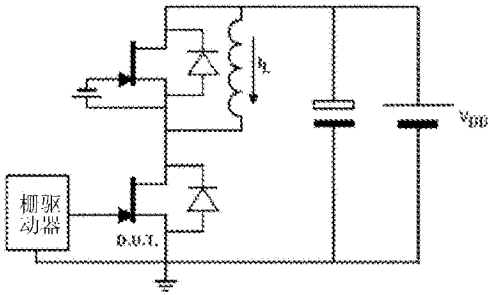


图 12B

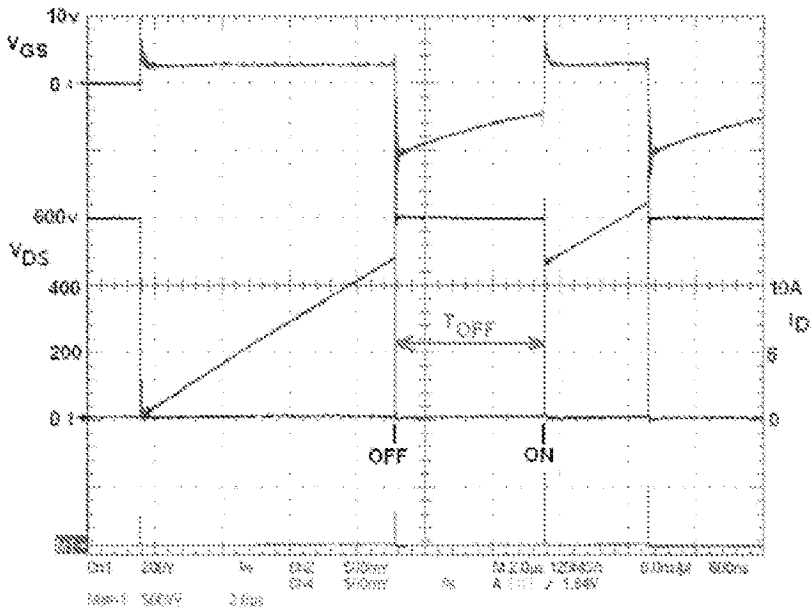


图 13

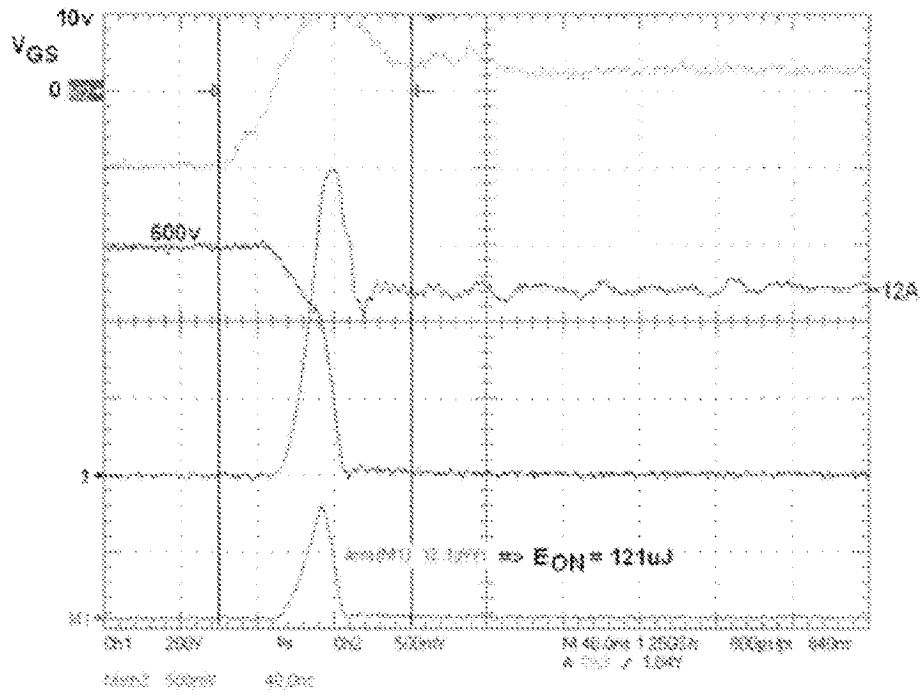


图 14A

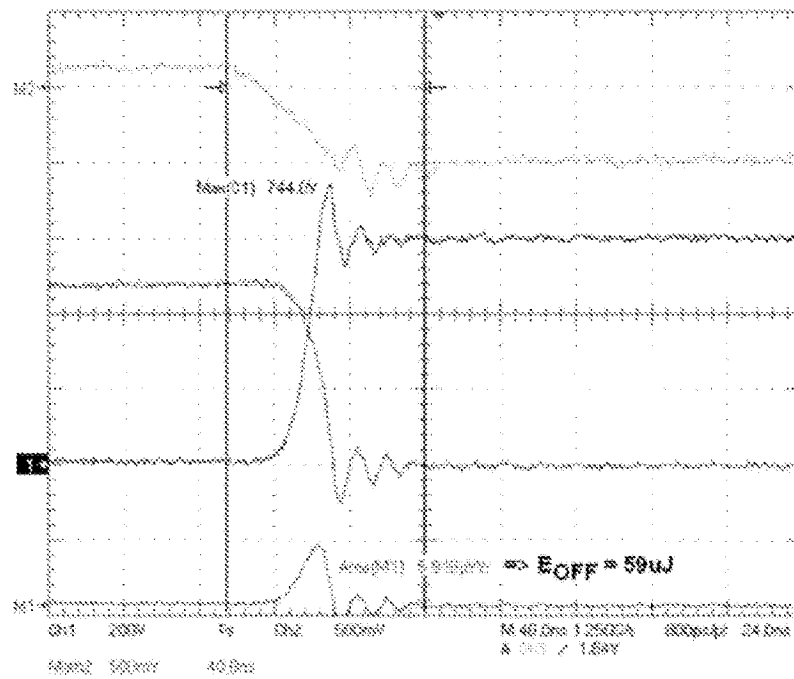


图 14B

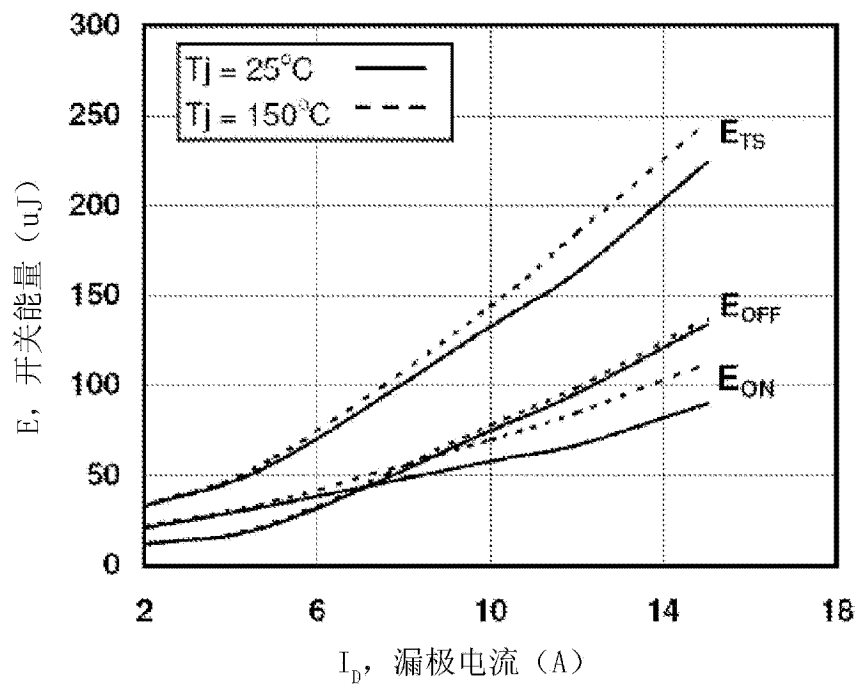


图 15A

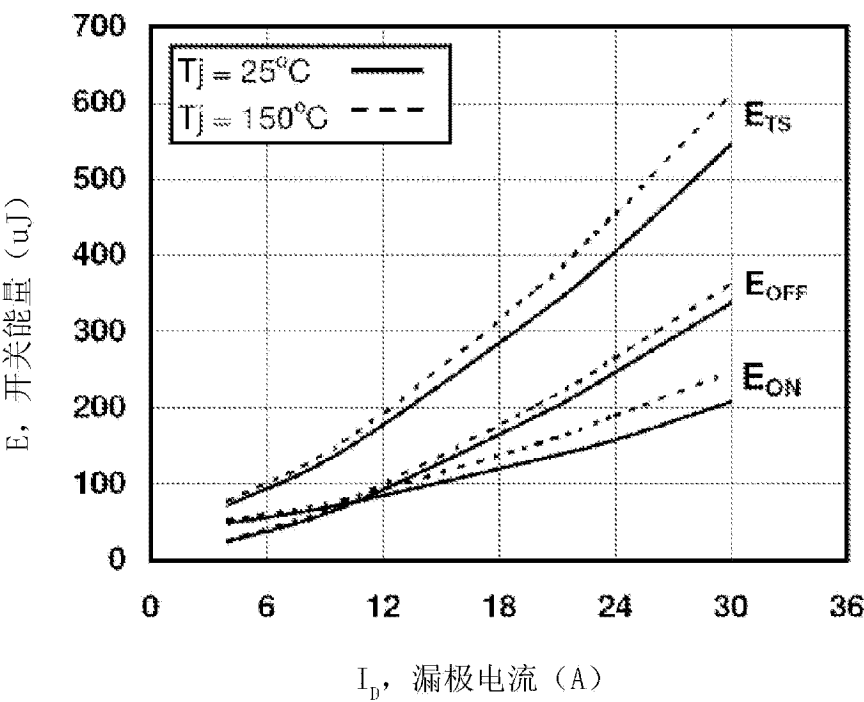


图 15B

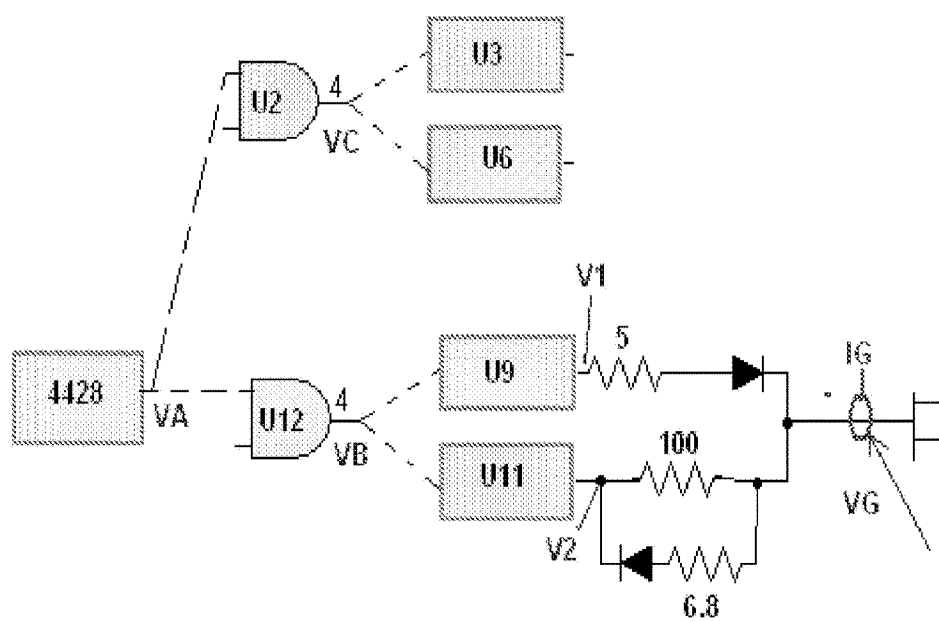


图 16A

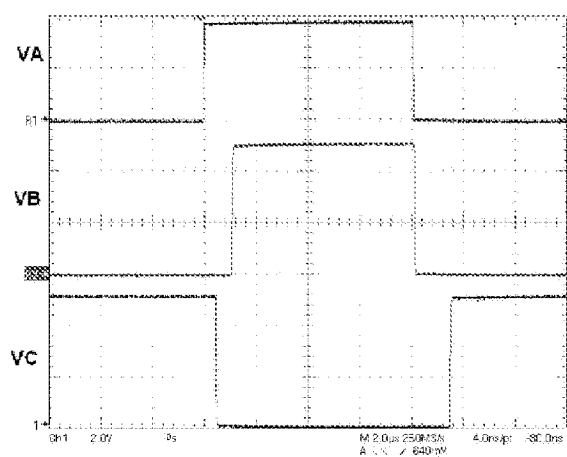


图 16B

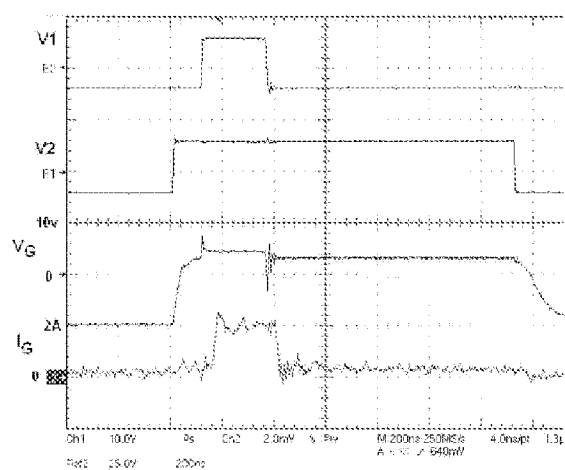


图 16C





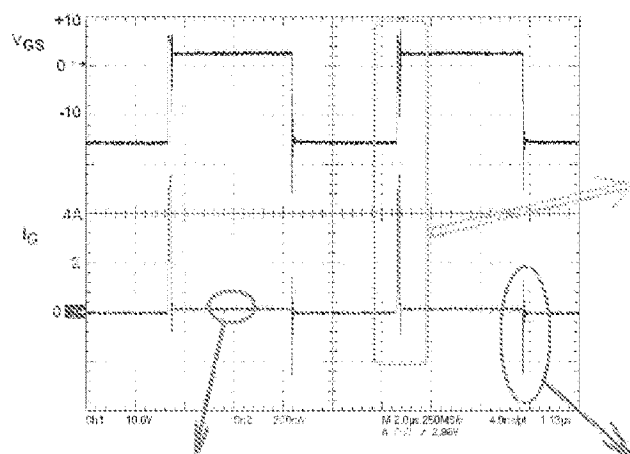


图17B

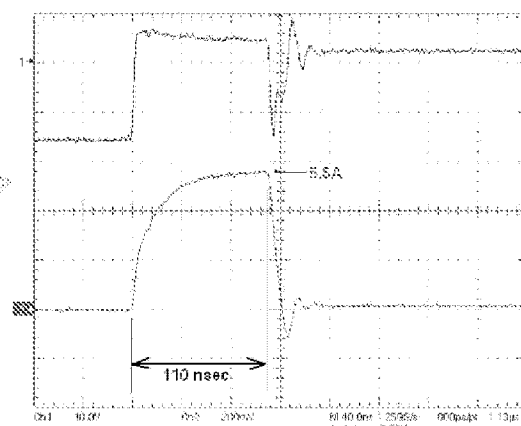


图17C

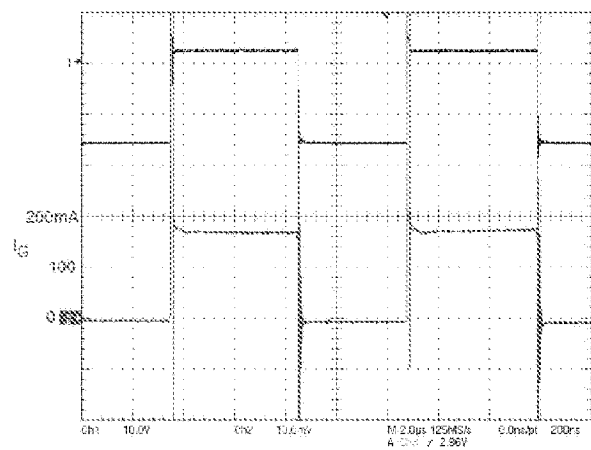


图 17D

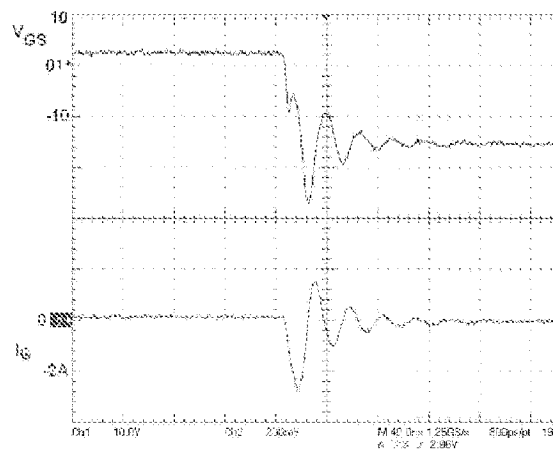


图 17E

