



(12) 发明专利

(10) 授权公告号 CN 109037184 B

(45) 授权公告日 2022. 05. 03

(21) 申请号 201810790404.3

(22) 申请日 2014.07.23

(65) 同一申请的已公布的文献号
申请公布号 CN 109037184 A

(43) 申请公布日 2018.12.18

(30) 优先权数据
2013-158233 2013.07.30 JP

(62) 分案原申请数据
201410352981.6 2014.07.23

(73) 专利权人 瑞萨电子株式会社
地址 日本东京都

(72) 发明人 今关洋辅 黑田壮司

(74) 专利代理机构 北京市金杜律师事务所
11256

代理人 陈伟 王娟娟

(51) Int.Cl.
H01L 23/495 (2006.01)
H01L 23/49 (2006.01)

(56) 对比文件
JP 2008171927 A, 2008.07.24
JP 2001156107 A, 2001.06.08
JP H027446 A, 1990.01.11
CN 101127340 A, 2008.02.20
US 2002158325 A1, 2002.10.31
CN 101364578 A, 2009.02.11

审查员 曹毓涵

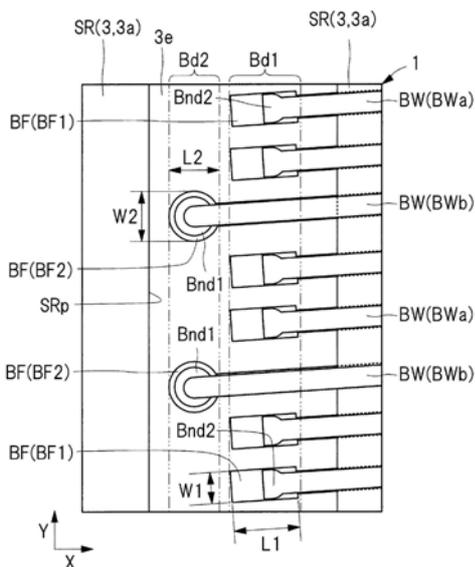
权利要求书3页 说明书20页 附图26页

(54) 发明名称

半导体器件

(57) 摘要

本发明公开了一种可提高半导体器件的可靠性的技术。所述半导体器件包括具有形成于芯片装载面上的多个焊点(引脚)BF的布线基板3、搭载于布线基板3上的半导体芯片、以及分别具有球形部Bnd1及接合部Bnd2的多条引线BW。多个焊点BF具有分别与引线BWa的接合部Bnd2连接的焊点BF1、以及与引线BWb的球形部Bnd1连接的焊点BF2。另外,在俯视观察时,焊点BF2配置在与多个焊点BF1的配置列Bd1上不同的位置上,而且,焊点BF2的宽度W2比焊点BF1的宽度W1大。



1. 一种半导体器件,其特征在于,具有:

布线基板,所述布线基板具有绝缘层、形成在所述绝缘层的上表面上的多个引脚、形成在所述绝缘层的所述上表面上且分别与所述多个引脚连接的多条布线、以及以使所述多条布线各自的一部分和所述多个引脚的每一个引脚露出的方式形成在所述绝缘层的所述上表面上的绝缘膜;

第1半导体芯片,所述第1半导体芯片具有第1表面、形成于所述第1表面上的多个第1电极、以及位于所述第1表面相反侧的第1背面,所述第1半导体芯片以所述第1背面面向所述布线基板的所述绝缘层的所述上表面的方式搭载在所述布线基板的所述绝缘层的所述上表面上;以及

多条引线,所述多条引线分别具有球形部以及接合部,并分别与所述多个引脚连接,

在俯视观察时,所述球形部的宽度比所述接合部的宽度大,

所述多条引线具有第1引线和第2引线,

在俯视观察时,所述多个引脚沿着所述第1半导体芯片的所述第1表面的第1边配置,

所述多个引脚具有与所述第1引线的所述接合部连接的第1引脚、以及与所述第2引线的所述球形部连接的第2引脚,

所述多条布线具有与所述第1引脚连接的第1布线、以及与所述第2引脚连接的第2布线,

在俯视观察时,所述第2引脚具有与所述第2引线的所述球形部连接的第1部分、以及与所述第1部分连结且沿着所述第2引线的延伸方向延伸的第2部分,

在俯视观察时,所述第2引脚的所述第1部分位于与多个所述第1引脚的配置列上不同的位置上,

在俯视观察时,所述第2引脚的所述第2部分设置在多个所述第1引脚的配置列上,

在俯视观察时,所述第2引线的所述球形部的宽度比所述第1引线的所述接合部的宽度大,

在俯视观察时,所述第1引脚的宽度比所述第1布线的所述一部分的宽度大,

在俯视观察时,所述第2引脚的所述第2部分的宽度比所述第2布线的所述一部分的宽度大,

在俯视观察时,所述第2引脚的所述第1部分的宽度比所述第1引脚及所述第2引脚的所述第2部分各自的宽度大,

所述第1布线的所述一部分、所述第1引线的所述接合部以及所述第1引脚各自的宽度是与所述第1引线的延伸方向相交的方向上的长度,

所述第2布线的所述一部分、所述第2引线的所述球形部、所述第2引脚的所述第1部分以及所述第2引脚的所述第2部分各自的宽度是与所述第2引线的延伸方向相交的方向上的长度。

2. 如权利要求1所述的半导体器件,其特征在于,

在俯视观察时,由所述第1部分以及所述第2部分构成的所述第2引脚的所述第1部分在所述第2引脚的延伸方向上的长度,比所述第1引脚在所述第1引脚的延伸方向上的长度小。

3. 如权利要求2所述的半导体器件,其特征在于,

在俯视观察时,由所述第1部分以及所述第2部分构成的所述第2引脚的所述第1部分在

所述第2引脚的延伸方向上的长度,比由所述第1部分以及所述第2部分构成的所述第2引脚的所述第2部分在所述第2引脚的延伸方向上的长度小。

4. 如权利要求1所述的半导体器件,其特征在于,

在所述第1半导体芯片的所述第1表面上搭载有第2半导体芯片,所述第2半导体芯片具有面向所述第1半导体芯片的所述第1表面的第2背面、位于所述第2背面相反侧的第2表面、以及形成于所述第2表面上的第2电极,

所述第1引线的所述球形部与所述第1半导体芯片的所述第1电极连接,

所述第2引线的所述接合部与所述第2半导体芯片的所述第2电极连接。

5. 如权利要求1所述的半导体器件,其特征在于,

所述第2引脚的所述第1部分的俯视形状为圆形。

6. 如权利要求1所述的半导体器件,其特征在于,

沿着所述第1半导体芯片的所述第1表面的第1边配置的所述多个第1电极具有第3电极以及第4电极,

所述第4电极与所述第1边的间隔距离比所述第3电极与所述第1边的间隔距离大,

所述第1引线的所述球形部与所述第3电极连接,

所述第2引线的所述接合部与所述第4电极连接。

7. 如权利要求1所述的半导体器件,其特征在于,

沿着所述第1半导体芯片的所述第1表面的第1边配置的所述多个第1电极具有第3电极以及第4电极,

所述第1引线的所述球形部与所述第3电极连接,

所述第2引线的所述接合部与所述第4电极连接,

所述多个引脚在形成于所述绝缘膜上的一个开口部中从所述绝缘膜露出,

所述开口部中配置有第3布线,且流经所述第3布线的电流与流经所述第2引线的电流不同,

在俯视观察时,所述第2引线在与所述开口部在厚度方向重合的位置以跨过所述第3布线的方式设置。

8. 如权利要求1所述的半导体器件,其特征在于,

沿着所述第1半导体芯片的所述第1表面的第1边配置的所述多个第1电极具有第3电极以及第4电极,

所述第1引线的所述球形部与所述第3电极连接,

所述第2引线的所述接合部与所述第4电极连接,

所述第2引线以跨过所述第1引线中的一部分的方式设置。

9. 如权利要求1所述的半导体器件,其特征在于,

在俯视观察时,所述第1引脚在所述第1引线的延伸方向上的长度比所述第1引脚的宽度大。

10. 如权利要求1所述的半导体器件,其特征在于,

所述第1引脚的数量比所述第2引脚的数量多,

在俯视观察时,所述第2引脚的所述第2部分位于比所述第2引脚的所述第1部分更靠近所述第1半导体芯片的位置上。

11. 如权利要求1所述的半导体器件,其特征在于,
在俯视观察时,所述第2引脚的所述第2部分的宽度与所述第1引脚的宽度相同。

半导体器件

[0001] 本发明申请是申请日为2014年7月23日、申请号为201410352981.6、发明名称为“半导体器件及其制造方法”的发明申请的分案申请。

技术领域

[0002] 本发明涉及一种半导体器件及其制造技术,尤其是适用于一种经由引线将半导体芯片的电极和布线基板的引脚电连接的半导体器件的有效技术。

背景技术

[0003] 在日本特开1986-105851号公报(专利文献1)中,公开了通过引线焊接将2列焊盘分别连接到相互面对面的两个区域上的技术。专利文献1中,将所述2列焊盘列中位于各区域的边界线外侧的焊盘列称为第1焊盘,将位于分界线内侧的焊盘列称为第2焊盘。

[0004] 专利文献1日本特开1986-105851号公报

发明内容

[0005] 既有技术中,已经存在经由引线将布线基板的引脚与搭载于所述布线基板上的半导体芯片的电极进行电连接的技术。

[0006] 近年来,随着半导体器件高功能化的要求,所述引脚的数量(以下简称“引脚数”)具有增大的倾向。

[0007] 但是,如果仅是增加引脚数的话,将导致布线基板的平面尺寸变大。而对此的对策只能是缩小每一个引脚的平面尺寸(外型尺寸),但因此也将导致将引线和引脚稳定连接的容限变小。

[0008] 下面说明解决上述课题的方法。本发明的所述内容及所述内容以外的目的和新特征在本说明书的描述及附图说明中写明。

[0009] 本发明一实施方式中的半导体器件具有:形成于芯片装载面上的多个引脚的布线基板;搭载于所述布线基板上的半导体芯片;分别具有球形部及接合部且分别与所述多个引脚连接的多条引线等。所述多个引脚具有分别与多条第1引线的所述接合部连接的多个第1引脚、以及与第2引线的所述球形部连接的第2引脚。另外,在俯视观察时,所述第2引脚配置在与所述多个第1引脚的配置列之上的不同位置上、而且所述第2引脚的宽度比所述多个第1引脚的每一个的宽度都大。

[0010] 根据所述一实施方式,便可提高半导体器件的可靠性。

附图说明

[0011] 图1所示的是一实施方式中半导体器件的透视图。

[0012] 图2所示的是图1中的半导体器件的底视图。

[0013] 图3所示的是除去图1的封装体后的状态下布线基板上的半导体器件的内部结构的透视俯视图。

- [0014] 图4所示的是沿着图1的A—A线截断的截面图。
- [0015] 图5所示的是在图3的多条引线中,将下段侧的半导体芯片和布线基板进行电连接的引线的放大截面图。
- [0016] 图6所示的是在图3的多条引线中,将上段侧的半导体芯片和布线基板进行电连接的引线的放大截面图。
- [0017] 图7所示的是在图3的布线基板的芯片装载面侧的俯视中,将焊点的配置密度高的区域进行放大后的放大俯视图。
- [0018] 图8所示的是将比图7中焊点配置密度低的区域进行放大后的放大俯视图。
- [0019] 图9所示的是一实施方式中半导体器件的组装流程的说明图。
- [0020] 图10所示的是在图9所示的基板准备工序中所准备的布线基板的整体结构的俯视图。
- [0021] 图11所示的是在图10所示的多个器件形成部的一个中,将与图7所示的区域对应的部分的放大俯视图。
- [0022] 图12所示的是将半导体芯片搭载到图10所示的布线基板上的状态的放大俯视图。
- [0023] 图13所示的是沿着图12的A—A线截断的放大截面图。
- [0024] 图14所示的是通过引线焊接将图12的半导体芯片和布线基板进行电连接的状态的放大俯视图。
- [0025] 图15所示的是通过引线焊接将图13的半导体芯片和布线基板进行电连接的状态的放大截面图。
- [0026] 图16所示的是在通过正向焊接方式焊接的第1焊盘侧中,将球形部接合到焊盘的状态的放大截面图。
- [0027] 图17所示的是在通过正向焊接方式焊接的第2焊盘侧中,将接合部接合到焊点的状态的放大截面图。
- [0028] 图18所示的是在通过逆向焊接方式焊接的第1焊盘侧中,将球形部接合到焊点的状态的放大截面图。
- [0029] 图19所示的是在通过逆向焊接方式焊接的第2焊盘侧中,将接合部接合到突起电极的状态的放大截面图。
- [0030] 图20所示的是通过树脂将图15所示的半导体芯片及多条引线进行封装后的状态的放大截面图。
- [0031] 图21所示的是在图20所示的多个焊接盘的每一个的露出面上形成焊锡后的状态的放大截面图。
- [0032] 图22所示的是通过划片刀将图21所示的布线基板进行切断后的状态的放大截面图。
- [0033] 图23所示的是图7的变形例的放大俯视图。
- [0034] 图24所示的是在图3所示的半导体器件的变形例中,半导体芯片所具有的多个焊盘和布线基板的多个焊点的连接关系的模式的放大俯视图。
- [0035] 图25所示的是图24的变形例的放大俯视图。
- [0036] 图26所示的是图24的其他变形例的放大俯视图。
- [0037] 图27所示的是焊点的形状及大小都与图7所示的实施方式不同的焊点的放大俯视

图。

[0038] 图28所示的是沿着图27的A—A线截断的放大截面图。

[0039] 图29所示的是焊点的形状及大小都与图7所示的实施方式不同的焊点的放大俯视图。

[0040] 图30所示的是焊点的形状及大小都与图7所示的实施方式不同的焊点的放大俯视图。

[0041] 符号说明

[0042]	1, 1A, 1B, 1C, 1D	半导体器件
[0043]	2	半导体芯片
[0044]	2a	表面(主面、上表面)
[0045]	2b	背面(主面、下表面)
[0046]	2c	侧面
[0047]	3	布线基板
[0048]	3a	上表面(芯片装载面)
[0049]	3b	下表面(安装面)
[0050]	3c	侧面
[0051]	3e	绝缘层(核心绝缘层)
[0052]	3h	阻焊膜(绝缘膜)
[0053]	3p	供电线
[0054]	3r	布线
[0055]	4	封装体(树脂体)
[0056]	4a	上表面
[0057]	4b	下表面
[0058]	4c	侧面
[0059]	5, 6	芯片粘接材料(粘结材料)
[0060]	7	焊接材料
[0061]	25	布线基板
[0062]	25a	器件形成部
[0063]	25b	框部
[0064]	25c	切割部(切割线)
[0065]	Bd1	配置列(第1列配置列)
[0066]	Bd2	配置列(第2列配置列)
[0067]	BF	焊点(引脚、芯片装载面侧引脚、焊接引线)
[0068]	BF1	焊点(点焊用的焊点、正向焊接方式用的焊点)
[0069]	BF2	焊点(球焊用的焊点、逆向焊接方式用的焊点)
[0070]	BMP	突起电极(导电性材料)
[0071]	Bnd1	球形部
[0072]	Bnd2	接合部
[0073]	BW	引线(导电性材料)

[0074]	BWa	引线(正向焊接方式的引线)
[0075]	BWb	引线(逆向焊接方式的引线)
[0076]	CC	控制芯片(半导体芯片)
[0077]	CP	劈刀
[0078]	CP1,CP2,CP3,CP4,CP5	箭头
[0079]	DBL	划片刀(旋转刃)
[0080]	FC	模拟芯片(半导体芯片)
[0081]	Fp1	圆形部(部分)
[0082]	Fp2	延伸部(部分)
[0083]	L1,L2,L3	延伸方向的长度
[0084]	LD	焊接盘(外部引脚、电极垫、外部电极垫)
[0085]	PD,PD1,PD2	多个焊盘(引脚、电极、电极垫、焊盘)
[0086]	S1,S2,S3,S4	边
[0087]	SR	阻焊膜(绝缘膜)
[0088]	SRp	开口部
[0089]	W1,W2,W3,W4,Wbt,Wbp	宽度

具体实施方式

[0090] (关于本专利说明书中的叙述方式、基本用语以及用法等的说明)

[0091] 在以下实施方式中,为了方便,在必要时将几个部分或将实施方式分割来说明,除了需要特别说明的以外,这些都不是彼此独立且无关系的,而是与其它一部分或者全部的变形例、详细内容及补充说明等相互关联的。同样地,在以下实施方式中提及的构成要素等时,除了原理上已经明确了数量或从前后文来看并非如此时,并非是必须之要素。

[0092] 同样地,在实施方式等的叙述上,对于材料及构成等方面,除了写明了仅限于所述材料外,“由A构成”“具有A”“包括A”等的表述还指主要构成要素除了A以外还有其他要素。例如“硅材料”等并非限定于单纯的硅元素,而是可为Si-Ge(锗化硅)合金或其他以硅为主要成分的多元合金、以及还含有其他添加物的硅材料等。另外,提到镀金、Cu层、镀镍等时也同样,除了特别说明的以外,还分别指以金、铜、镍等为主要成分的材料。

[0093] 同样地,在以下实施方式中提及的特定数值及数量等时,除了特别说明时及原理上已经明确了并非如此时,实质上还指可大于等于该特定数或小于等于该特定数。

[0094] 另外,为了说明实施方式的所有图中,原则上对具有同一功能的构件采用同一符号,并省略掉重复的说明。

[0095] 另外,在实施方式所用的图中,为了使图面简单易懂,有时会省略掉剖面图的剖面线或者给俯视图加上剖面线,或者即使在俯视中存在通孔,但在图面中省略了通孔的背景轮廓线等,在此不再赘言。

[0096] 以下实施方式中所说明的技术可广泛适用于如下的半导体器件,即经由金属线即引线将形成于半导体芯片表面上的电极垫和搭载有半导体芯片的布线基板的引脚(焊点)进行电连接的半导体器件。本实施方式中,以在布线基板上层积有多个半导体芯片、且彼此之间都被电连接的SiP(System in Package,系统级封装)型的半导体器件为例进行了说

明。

[0097] 图1所示的是一实施方式中半导体器件的透视图。图2所示的是图1中的半导体器件的底视图。图3所示的是除去图1的封装体后的状态下布线基板上的半导体器件的内部结构的透视俯视图。图4所示的是沿着图1的A—A线截断的截面图。图4中,为了区分正向焊接方式的引线BWa和逆向焊接方式的引线BWb的环形形状的不同,用双点虚线示出引线BWb。

[0098] <半导体器件>

[0099] 下面首先通过图1~图4来说明本实施方式中半导体器件1的结构概要。本实施方式中的半导体器件1具有多个半导体芯片2(请参照图3、图4)、以及搭载有多个半导体芯片2的布线基板3。如图4所示,以层积在布线基板3的上表面(芯片装载面)3a侧上的方式搭载有多个半导体芯片2,且所述多个半导体芯片2分别被封装体(树脂体)4覆盖。

[0100] 本实施方式中,搭载于下段侧的半导体芯片2例如为形成有模拟电路的模拟芯片(半导体芯片)FC。另外,搭载在模拟芯片FC上的半导体芯片2为在对所述模拟电路进行控制的控制电路中形成的控制芯片CC。如上所述,在一个封装内搭载有多个多个半导体芯片2的半导体封装被称为多芯片型半导体器件。另外,将由搭载在一个封装内且相互电连接的多个半导体芯片2并构成系统的半导体封装称为SiP型半导体器件。具有SiP型半导体器件的多芯片型半导体器件在对每个半导体芯片2进行封装时都进行比较,由此可减少安装面积。尤其如本实施方式所述,将多个半导体芯片2进行层积时,比起将多个半导体芯片2排列配置更能减小安装面积。

[0101] 如图4所示,封装体4具有上表面4a、位于上表面4a相反侧的下表面4b、以及位于上表面4a和下表面4b之间的侧面4c,且在俯视观察时为四角形。图1所示的例子中,封装体4的平面面积(从上表面4a侧的俯视观察时的面积)与布线基板3的平面面积相同,且封装体4的侧面4c与布线基板3的侧面3c相连。布线基板3及封装体4的俯视形状如由一边的长度为6mm左右的四角形构成。另外,为了应对半导体器件1的薄型化要求,还对封装体4进行了薄型化设计。封装体4的厚度(高度)即图4所示的从上表面4a到下表面4b之间的距离如为600~800 μm 左右。

[0102] 另外,如图3及图4所示,搭载在布线基板3上的多个半导体芯片2的每一个都具有表面(主面、上表面)2a、位于表面2a相反侧的背面(主面、下表面)2b(请参照图4)、以及位于表面2a和背面2b之间的侧面2c(请参照图4)。为了应对半导体器件1的薄型化要求,还对半导体芯片2进行了薄型化设计。另外,半导体芯片2每一个的厚度(高度)例如为200~300 μm 左右。如图3所示,多个半导体芯片2的每一个在俯视观察时都为四角形。本实施方式中,搭载于上段的半导体芯片2(图3所示的控制芯片CC)的平面尺寸(平面面积)比搭载于下段侧的半导体芯片2(图3所示的模拟芯片FC)的平面尺寸(平面面积)小。

[0103] 具体内容如图3所示,多个半导体芯片2的每一个在俯视观察时都具有边S1、位于边S1相反侧的边S2、与边S1及边S2相交的边S3、以及位于边S3相反侧的边S4。另外,模拟芯片FC的边S1以沿着控制芯片CC的边S1的方式配置,且模拟芯片FC的边S1比控制芯片CC的边S1短。模拟芯片FC的边S2以沿着控制芯片CC的边S2的方式配置,且模拟芯片FC的边S2比控制芯片CC的边S2短。模拟芯片FC的边S3以沿着控制芯片CC的边S3的方式配置,且模拟芯片FC的边S3比控制芯片CC的边S3短。另外,模拟芯片FC的边S4以沿着控制芯片CC的边S4的方式配置,且模拟芯片FC的边S4比控制芯片CC的边S4短。

[0104] 另外,图3所示的例子中,模拟芯片FC各边的长度比控制芯片各边的长度短,在俯视观察时,整个控制芯片CC与模拟芯片FC的表面2a重合。在俯视观察时,模拟芯片FC如由一边的长度为3~5mm左右的四角形构成,而控制芯片CC如由一边的长度为1~2mm左右的四角形构成。

[0105] 另外,在俯视观察时为四角形的半导体芯片2的表面2a上,沿着表面2a的各边分别配置有多个焊盘PD(引脚、电极、电极垫、焊盘)。另外,虽然图中未示出,半导体芯片2的主面(具体地说就是设置在半导体芯片2的基材(半导体衬底)的主面(半导体元件形成面、上表面)的半导体元件形成区域)上形成有多个半导体元件(电路元件)。而且,多个焊盘PD经由布线(图中未示出)与所述半导体元件电连接,所述布线形成于配置在半导体芯片2的内部(具体地说是在表面2a与图中未示出的半导体元件形成区域之间)的布线层上。

[0106] 半导体芯片2(具体地说就是半导体芯片2的基材即半导体衬底)例如由硅(Si)构成。另外,表面2a上形成有覆盖半导体芯片2的基材及布线的绝缘膜,而且,在形成于所述绝缘膜上的开口部中,多个焊盘PD每一个的表面从所述绝缘膜露出。另外,所述焊盘PD由金属构成,如主要由铝(Al)构成。另外,例如为了使所述焊盘PD上与其他布线连接而在其他位置上重新配置焊盘即所谓的再布线技术中,所述再布线的一部分将成为新的焊盘。此时,以铜(Cu)为主成分的布线的表面上形成镍(Ni),且在镍(Ni)上形成有金(Au)。

[0107] 模拟芯片FC及控制芯片CC搭载在布线基板3的上表面3a上。图3所示的例子中,模拟芯片FC搭载于布线基板3的上表面3a的中央部,控制芯片CC搭载于模拟芯片FC的中央部。另外,如图4所示,在背面2b面向布线基板3的上表面3a的状态下,经由芯片粘接材料5将模拟芯片FC搭载到布线基板3上。也就是说,通过将形成有多个焊盘PD的表面(主面)2a的相反面(背面2b)朝向芯片装载面(上表面3a)的所谓面朝上安装方式搭载模拟芯片FC。另外,在背面2b面朝向模拟芯片FC的表面2a的状态下,经由芯片粘接材料6将控制芯片CC搭载到模拟芯片FC上。

[0108] 芯片粘接材料5为将半导体芯片2和布线基板3进行粘接固定的膏状粘接材料,如通过使膏状的接着材料硬化后使半导体芯片2和布线基板3进行粘接固定。另外,芯片粘接材料6如为将两个半导体芯片2进行粘接固定的膜状粘接材料,例如通过使被称为DAF(Die Attach Film)的树脂膜等硬化将上下段的半导体芯片2进行粘结固定。但是,芯片粘接材料5、6并非仅限于此,如还可用所述树脂膜作为芯片粘接材料5,也可用膏状粘接材料作为粘接材料6。用做芯片粘接材料5、6的粘接材料不管是树脂膜或是膏状粘接材料,主要成分多为环氧树脂。

[0109] 另外,如图4所示,布线基板3具有搭载有半导体芯片2的上表面(芯片装载面)3a、位于上表面3a相反侧的下表面(安装面)3b、以及配置在上表面3a和下表面3b之间的多个侧面3c。而且,如图2及图3所示,在俯视观察时,布线基板3为四角形。

[0110] 详情如图3所示,在俯视观察时,布线基板3具有边S1、位于边S1相反侧的边S2、与边S1及边S2相交的边S3、以及位于边S3相反侧的边S4。另外,图3所示的示例中,半导体芯片2的边S1、S2、S3、S4分别以沿着布线基板3的边S1、S2、S3、S4的方式配置。如上所述,图1所示的示例中,布线基板3的平面面积与封装体4的平面面积相同,而且,布线基板3的俯视形状如为一边的长度为6mm左右的四角形。图1所示的示例为长方形。另外,布线基板3的厚度(高度)即如图4所示从上表面3a到下表面3b之间的距离例如为0.2~0.4mm左右。

[0111] 布线基板3具有多个布线层(图4所示的示例中为上表面布线层及下表面布线层共2层)。配置在各布线层之间的绝缘层3e如为通过预浸材将树脂预浸到玻璃纤维或碳纤维中而形成。另外,绝缘层3e的上表面侧形成有多个焊点BF、绝缘层3e的下表面侧形成有多个焊接盘LD,并经由多条布线3r将焊点BF和焊接盘LD进行电连接。

[0112] 另外,如图3所示,布线基板3的上表面3a上形成有用于将布线基板3和半导体芯片2电连接的内部接口用引脚即多个焊点(引脚、芯片装载面侧引脚、焊接引线)BF。多个焊点BF沿着半导体芯片2的各边配置在搭载有半导体芯片2的芯片搭载区域的外围。具体地说就是,在布线基板3的上表面3a上形成阻焊膜(绝缘膜)SR,所述阻焊膜SR覆盖形成于绝缘层3e的上表面侧的布线,且多个焊点BF在阻焊膜SR上形成的开口部SRp中从阻焊膜SR露出。

[0113] 另外,半导体芯片2的多个焊盘PD和布线基板3的多个焊点BF经由多条引线(导电性材料)BW分别被电连接。另外,本实施方式中的多条引线BW例如由金(Au)构成,也可由其他材料如以铜(Cu)为主要成分的金属构成。关于焊点BF及引线BW的内容后文还有详述。

[0114] 另外,如图2所示,布线基板3的下表面3b上形成有多个焊接盘(外部引脚、电极垫、外部电极垫)LD。多个焊接盘LD按行列状(矩阵状)配置。另外,如图4所示,多个焊接盘LD经由形成于布线基板3上的多条布线3r分别与多个焊点BF电连接。也就是说,多个焊接盘LD的每一个分别与多个半导体芯片2的每一个电连接,为将多个半导体芯片2与图中未示出的外部设备进行电连接的外部接口用的引脚。

[0115] 上述的半导体器件即将外部引脚按行列状配置在布线基板的安装面侧上的半导体器件被称为面积阵列(Area array)型半导体器件。面积阵列型的半导体器件中,由于可将布线基板3的安装面(下表面3b)侧作为外部引脚的配置空间,所以即使增加了外部引脚的数量也可抑制半导体器件安装面积的增加。也就是说,随着高功能化及高集成化的进展,可对增加了外部引脚数的半导体器件进行省空间安装。

[0116] 另外,图2的示例中的外部引脚数为140个,但是引脚数及布局情况并不仅限于此。图4中以分别在绝缘层3e的上表面和下表面形成了布线层的布线基板3为例进行了说明,但布线层数并不仅限于此,也可设为2层以上的布线层的结构。

[0117] 如图4所示,构成布线基板3的导电电路的焊点BF、焊接盘LD及布线3r通过对金属膜进行图案化而形成的,如由以铜(Cu)为主的导电膜构成。另外,布线3r中,将绝缘层3e的上表面侧和下表面侧进行导通的布线3r如由以铜(Cu)为主的导电膜构成,并通过将金属膜填埋通孔而形成。因此,在以铜为主体的导电膜中,可选择铜单体、铜合金、或在铜膜上层积了其他金属膜(如镍膜等)的金属膜,可根据布线基板3所要求的规格来进行选择。

[0118] 另外,多个焊接盘LD分别从覆盖布线基板3的下表面3b的阻焊膜(绝缘膜)3h露出。具体说就是,在布线基板3的下表面3b上形成有阻焊膜(绝缘膜)3h,所述阻焊膜3h覆盖形成于绝缘层(核心绝缘层)3e的下表面侧上的布线,而且,各焊接盘LD分别在形成于阻焊膜3h上的多个开口部中从阻焊膜3h露出。

[0119] 另外,本实施方式中,焊接盘LD每一个的露出面都被焊接材料7所覆盖。将半导体器件1安装到图中未示出的安装基板上时,将安装基板侧的引脚与半导体器件1进行电连接的导电性接合材料大多使用焊锡。因此,通过在外围引脚即焊接盘LD从阻焊膜3h的露出面上形成焊接材料7,在将半导体器件1安装到图中未示出的安装基板上时,可提高焊锡的可湿性。如图1、图2及图4所示,焊接材料7为球状时被称为BGA(Ball Grid Array)型。另外,虽

然图中未示出,将变形例中的半导体器件称为LGA(Land Grid Array)型,即不形成焊接材料7,而是露出焊接盘LD的结构、或在焊接盘LD的露出面上形成很薄的焊接材料、或形成由焊接材料以外的金属材料构成的电镀膜的半导体器件。

[0120] 焊接材料7中不含铅(Pb),即所谓的无铅焊锡,如为纯锡(Sn)、锡—铋(Sn—Bi)、或为锡—银—铜(Sn—Ag—Cu)等。因此,无铅焊锡是指铅(Pb)的含量不超过0.1wt%的焊锡,该含量是以RoHS(Restriction of Hazardous Substances)指令为准而规定的。后文的本实施方式中在提到焊锡时,除了特别说明的以外,都是指无铅焊锡。〈引线及焊点的详细内容〉

[0121] 接下来,对图3及图4所示的通过引线BW进行电连接的部分的详细结构进行说明。图5所示的是在图3的多条引线中,将下段侧的半导体芯片和布线基板进行电连接的引线的放大截面图。图6所示的是在图3的多条引线中,将上段侧的半导体芯片和布线基板进行电连接的引线的放大截面图。图7所示的是在图3的布线基板的芯片装载面侧的俯视中,将焊点的配置密度高的区域进行放大后的放大俯视图。图8所示的是将比图7中焊点配置密度低的区域进行放大后的放大俯视图。图27、图29、图30分别示出了焊点的形状及大小都与图7所示的实施方式不同的焊点的放大俯视图。图28所示的是沿着图27的A—A线截断的放大截面图。

[0122] 另外,图5及图6中,为了示出正向焊接方式的引线BWa和逆向焊接方式的引线BWb的环形形状的不同,分别用双点虚线标出了图5的引线BWb和图6中的引线BWa。另外,图7所示的是图3的半导体芯片2所具有的四个边中,将沿着边S1配置的焊点群的一部分放大的俯视图;图8所示的是将沿着边S3配置的焊点群的一部分进行放大后的俯视图。图7及图8所示的焊点BF中,虽然还形成有用于对金属图案进行电镀的供电线,但是为了使图面简单易懂,图中并未示出所述供电线。另外,图7及图8中,在与引线BW重合的位置上还形成有图4所示的布线3r,但是为了使图面简单易懂,图中并未示出布线3r的符号。关于布线3r及供电线的布局例,将在后文的图11中详述。

[0123] 如图3所示,本实施方式中,多个焊盘PD和多个焊点BF分别经由多条引线BW彼此电连接。引线BW为一端与焊盘PD连接,另一端与焊点BF连接的金属细线。按连接顺序的不同,将半导体芯片2和布线基板3进行电连接时的引线焊接方法可分为以下两种。

[0124] 首先为所谓的正向焊接方式,即以第1焊盘侧(先连接的引脚)为半导体芯片2的焊盘PD,以第2焊盘侧(后连接的引脚)为布线基板3的焊点BF。其次还有所谓的逆向焊接方式,即以第1焊盘侧为布线基板3的焊点BF,以第2焊盘侧为半导体芯片2的焊盘PD。

[0125] 为正向焊接方式时,与图5中的引线BWa一样,在第1焊盘侧即半导体芯片2的焊盘PD上,如通过球焊方式与引线BW的一端连接。球焊方式中,将形成于引线尖端的球形金属块即球形部Bnd1与焊盘PD接触,并通过图中未示出的劈刀进行冲压,以使焊盘PD与球形部Bnd1键合。此时,从劈刀施加超音波,便可提高焊盘PD和球形部Bnd1之间的接合性。

[0126] 另外,如通过点焊方式,将位于球形部Bnd1相反侧的端部与第2焊盘侧即布线基板3的焊点BF连接。采用点焊方式时,在使引线BW的一部分与第2焊盘侧即焊点BF接触后,通过图中未示出的劈刀将引线BW向焊点BF冲压的同时,还使其沿着焊点BF的延伸方向移动。根据所述劈刀的动作,在引线BW的第2焊盘侧的端部上引线BW因被冲压而塑性变形,从而形成接合部Bnd2。

[0127] 相反地,为逆向焊接方式时,如图6的引线BWb所示,由于布线基板3的焊点BF成为第1焊盘侧,所以引线BW的一个端部通过球焊方式与布线基板3的焊点BF连接。换言之就是,焊点BF与球形部Bnd1连接。另外,与成为第2焊盘侧的半导体芯片2的焊盘PD的连接部上,通过点焊方式与引线BW的另一端部连接。

[0128] 如上所述,由于为球形部Bnd1时是将球形金属块冲压到被连接部上的,所以如图7所示,俯视形状呈圆形(包括椭圆形)。另一方面,接合部Bnd2是在将引线BW向焊点BF冲压的同时,沿着焊点BF的延伸方向移动而形成的,所以如图7所示,俯视形状成为半椭圆形(包括半圆形)。

[0129] 此时,通过点焊方式将引线BW与图3所示的半导体芯片2的焊盘PD连接时,也可使引线BW直接与焊盘PD连接。此时,将图6所示的接合部Bnd2与焊盘PD接合。但在采用点焊方式时,如上所述,将引线BW的一部分与连接对象冲压的同时,通过使图中未示出的劈刀按平面方向移动,便可提高连接强度。因此,为了减小因劈刀的动作而向半导体芯片2的焊盘PD外围施加的应力,如图6所示,优选在焊盘PD和接合部Bnd2之间介有突起电极BMP的结构。突起电极BMP为以在焊盘PD上突出的方式形成的突起电极,如由金(Au)构成。由金构成的突起电极BMP也可通过上述的球焊方式来形成。即,在将形成于引线的端部的球状部分(球形部)与焊盘PD接合后,在接合部分附近将引线切断。由此,便可形成突起电极BMP。

[0130] 另外,本实施方式中,图3所示的多条引线BW中具有通过正向焊接方式形成的引线BWa、以及通过逆向焊接方式形成的引线BWb。同时采用正向焊接方式和逆向焊接方式的理由有各种各样,本实施方式所采用的方式是,下段侧的模拟芯片FC与正向焊接方式的引线BWa连接,上段侧的控制芯片CC与逆向焊接方式的引线BWb连接。

[0131] 如图6所示,通过逆向焊接方式形成的引线BWb配置在第2焊盘侧的位置比第1焊盘侧的位置高(相对来说配置在封装体4的上表面4a附近)的位置上。因此,将与配置在上段侧的半导体芯片2连接的引线BW全部通过逆向焊接方式来形成,便可降低引线BWb的引线的高度,并可使封装体4的厚度变薄。另一方面,由于下段侧的半导体芯片2的焊盘PD配置在比上段侧的半导体芯片2的焊盘低的位置上,所以即使如图5所示通过正向焊接方式形成,引线BWa线圈的最高点配置在比引线BWb的线圈的最高点低的位置上。因此,通过正向焊接方式形成与下段侧的半导体芯片2连接的引线BW,便无需形成突起电极BMP(请参照图6)等,从而提高生产效率。

[0132] 另外,如图3所示,本实施方式中的半导体器件1在俯视观察时,沿着半导体芯片2的各边分别配置有多个焊点BF。沿着各边配置的焊点BF的数量可适用于各个变形例,如图3所示的示例中,沿着半导体芯片2的边S1配置的焊点BF的数量比沿着其他边即边S2、S3、S4配置的焊点BF的数量多。如上所述,由于焊点BF为半导体器件1的内部接口用的引脚,所以,为了应对半导体芯片2的电路布局,沿着半导体芯片2各边配置的焊点BF的数量有时也不同。

[0133] 本实施方式的示例中,配置在下段侧的模拟芯片FC所具有的多个焊盘PD中,边S1侧上密集地配置有向模拟电路输入输出开关信号的焊盘PD。如上所述,通过将信号输入输出用的焊盘PD沿着半导体芯片2的一边密集地配置,便可更加容易实现信号传送距离的等长化。另外,配置在上段侧的控制芯片CC所具有的多个焊盘PD中,与模拟芯片FC之间进行信号输入输出的焊盘PD优选配置为比模拟芯片FC和控制芯片CC的传送距离短的配置方式。结

果,控制芯片CC所具有的多个焊盘PD中的一部分沿着控制芯片CC的边S1配置。而且,与沿着控制芯片CC的边S1配置的焊盘PD连接的引线BWb与沿着模拟芯片FC的边S1配置的焊点BF连接。另外,为了使控制芯片CC具有通用性,控制芯片CC的多个焊盘PD沿着控制芯片CC的各边配置。因此,与控制芯片CC连接的多条引线BW中的一部分与布线基板3的多个焊点BF中,沿着半导体芯片2的边S1配置的焊点BF连接。

[0134] 如上所述,本实施方式中,沿着半导体芯片2的边S1配置的多个焊点BF比沿着边S2、S3、S4配置的焊点BF数量多。而且,与沿着半导体芯片2的边S1配置的焊点BF连接的多条引线BW同时具有正向焊接方式的引线BWa和逆向焊接方式的引线BWb。

[0135] 此时,如果焊点BF的数量过多,为了抑制半导体器件1整体的平面尺寸的增大,就必须缩小所述焊点BF的宽度及配置间隔。例如在图3所示的多个焊点群中,将沿着半导体芯片2的边S1配置的焊点群的焊点BF的宽度设置为比沿着边S2、S3、S4配置的焊点群的焊点BF的宽度窄。

[0136] 通过球焊方式将焊点BF与引线BW进行连接时,从稳定线圈形状的方面来考虑,或者从为了提高引线BW与焊点BF之间的接合强度的方面来考虑,优选加大球形部Bnd1(请参照图6)与焊点BF之间的接合面积。如图27所示,在俯视观察时,与球形部Bnd1的一部分从焊点BF被挤压出的状态相比,如图7所示整个球形部Bnd1与焊点BF重合时可加大球形部Bnd1与焊点BF之间的接合面积。

[0137] 具体如图28所示,在与延伸方向垂直相交的方向上将焊点BF切断时的截面形状成为不等边四边形。即,与焊点BF的引线BW的接合面即上表面的宽度 W_{tp} 比下表面(与布线基板3的上表面3a接合的面)的宽度 W_{bt} 小。例如,如果设计尺寸为 $55\mu\text{m}$,在将下表面的宽度 W_{bt} 设置为 $55\mu\text{m}$ 时,上表面的宽度 W_{tp} 就为 $40\mu\text{m}$ 左右。因此,在球形部Bnd1的宽度与焊点BF的设计尺寸相同时,则在球形部Bnd1与焊点BF的接合面中,球形部Bnd1的一部分将被挤压出。此时,球形部Bnd1的宽度是指在俯视观察时,与引线BWb(请参照图7)的延伸方向垂直相交的方向上的球形部Bnd1的长度。如果将球形部Bnd1的俯视形状看作圆形时,球形部Bnd1的宽度也可说是球形部Bnd1的直径。

[0138] 另一方面,通过点焊方式将焊点BF与引线BW进行连接时,如上所述,在压住引线BW的一部分的同时,使劈刀沿着焊点BF的延伸方向移动以进行接合。因此,即使焊点BF的宽度变窄也没问题,只需可确保焊点BF的延伸距离便可。另外,如图28所示,如果接合部Bnd2的宽度比球形部Bnd1的宽度小时,接合部Bnd2将难于从焊点BF被挤压出。此时,接合部Bnd2的宽度是指在俯视观察时,在与引线BWa(请参照图7)的延伸方向垂直相交的方向上的接合部Bnd2的最大的长度。在将接合部Bnd2的俯视形状看作半圆形时,接合部Bnd2的宽度也可说是接合部Bnd2的直径。

[0139] 本案发明人对如下的实施方式进行了研究,即如图29所示,将与球形部Bnd1连接的焊点BF2的宽度 W_2 设为比与接合部Bnd2连接的焊点BF1的宽度 W_1 大,且排成一行。如图29所示的实施方式中,球形部Bnd1与焊点BF的接合面积比图27所示的接合面积大。另外,由于是选择性地加大与球形部Bnd1连接的焊点BF2的宽度,所以与加大所有的焊点BF的宽度的实施方式相比,可有效抑制封装的平面尺寸的增大。但是如果将图29所示的实施方式与图27所示的实施方式进行比较,由于焊点群的长度(图29所示的Y方向上的长度)变大,所以将导致封装的平面尺寸变大。

[0140] 因此,本案发明人对如下的实施方式进行了研究,即如图30所示,将多个焊点BF排列成多列即按所谓的之字形进行排列的实施方式进行了研究。图30所示的实施方式中,由于各个焊点BF的宽度都将变大,所以球形部Bnd1与焊点BF之间的接合面积比图27所示的实施方式中的接合面积大。另外,通过将焊点BF配置为多列,便可减小焊点群的长度,所以可抑制封装的平面尺寸的增大。

[0141] 但是,如果如图30所示,在第1列配置列Bd1和第2列配置列Bd2上分别通过点焊方式与引线BWa连接时,有可能导致与第2列配置列Bd2连接的引线BWa的一部分接触到第1列配置列的焊点BF的一部分。而且,如果将配置为多列的焊点BF之间的间隔距离缩小,越缩小则越容易导致引线BWa和焊点BF接触的现象。换言之就是,为了抑制出现引线BWa和焊点BF接触的现象,就必须增大第1列配置列Bd1和第2列配置列Bd2之间的间隔距离。结果,根据图30所示的实施方式将导致封装的平面尺寸增大的现象。

[0142] 根据上述研究结果,本案发明人对图7所示的实施方式进行了探讨。本实施方式中,如图7所示,在配置有多个焊点BF的焊点群中,焊点BF被配置为多列。首先,在距离图3所示的半导体芯片2的边S1相对较近的第1列配置列Bd1上形成有点焊用的焊点BF1。其次,在第2列配置列Bd2上形成有球焊用的焊点BF2,其中,所述第2列配置列Bd2距图3所示的半导体芯片2的边S1的距离相对来说比第1列配置列Bd1远。另外,第2列上并没形成有点焊用的焊点BF1。换言之就是,本实施方式中,在相对来说离半导体芯片2(请参照图3)较近的第1列上配置有正向焊接方式用的焊点BF1,相对来说离半导体芯片2较远的第2列上形成有逆向焊接方式用的焊点BF2。

[0143] 另外,在焊点BF的配置密度相对较高的焊点群中,通过正向焊接方式与引线BWa连接的第1列焊点BF1在俯视观察时形成为长方形,而且焊点BF1在延伸方向上的长度L1比与延伸方向垂直相交的方向上的长度(宽度W1)长。图3所示的示例中,形成半导体芯片2外缘的四个边中,沿着边S2、S3、S4配置的焊点群中焊点BF的配置密度比沿着边S1配置的焊点群中焊点BF的配置密度低。因此,将图7与图8进行比较后可知,图7所示的第1列焊点BF1(与延伸方向垂直相交的方向的长度)的宽度W1比图8中不同的焊点群中焊点BF的宽度W3小。

[0144] 如上所述,通过将形成于焊点BF的配置密度较高区域中的焊点BF1的宽度W1缩小,即使如图7所示在配置列Bd1上形成有多个焊点BF1,也可抑制封装的平面尺寸的增大(即可抑制图7中Y方向的长度的增大)。

[0145] 另外,本实施方式中,在一个开口部SRp内还形成有包括焊点BF1及焊点BF2的多个焊点BF。例如,如图3所示的示例中,在每一个由多个焊点BF构成的焊点群中都形成有一个开口部SRp。换言之就是,一个焊点群中,相邻的焊点BF之间并没配置有阻焊膜SR。如上所述,通过采用在一个开口部SRp内配置有多个多个焊点BF的结构,便可缩短相邻的焊点BF之间的间隔。结果,即使在图7所示的配置列Bd1上形成有多个焊点BF1,也可抑制封装的平面尺寸的增大(即可抑制图7中Y方向的长度的增大)。但是,在焊点BF的配置空间较宽裕的区域中,也可在一个焊点群中形成多个开口部SRp。例如,如图3所示的示例中,沿着半导体芯片2的边S2、边S3、边S4配置的焊点群中,可配置有多个开口部SRp。

[0146] 另外,如果将第1列焊点BF1和第2列焊点BF2的宽度方向进行比较,第1列焊点BF1的宽度W1比第2列焊点BF2的宽度W2(图7中为Y方向上的长度)小。换言之就是,焊点BF2的宽度W2比焊点BF1的宽度W1大。例如,在图7所示的示例中,焊点BF1的宽度W1的设计尺寸为55 μ

m左右时,焊点BF2的宽度W2的设计尺寸就为80 μ m左右。如果在对图28所示的示例进行说明的话,即焊点BF1(请参照图7)的上表面的宽度 W_{tp} 为40 μ m左右,焊点BF2(请参照图7)的上表面的宽度 W_{tp} 为60 μ m左右。

[0147] 因此,如图7所示,即使在引线BWb的球形部Bnd1的宽度(直径)比引线BWa的接合部Bnd2的宽度(与引线BW的延伸方向垂直相交的方向的长度)大时,也可使球形部Bnd1的整个下表面与焊点BF2接合。例如,如果球形部Bnd1的宽度不满60 μ m,便可使球形部Bnd1的整个下表面与焊点BF的上表面接合。即,根据本实施方式,可充分加大与球形部Bnd1连接的焊点BF2的宽度,因此可加大球形部Bnd1与焊点BF2之间的接合面积。结果,便可保持线圈形状的稳定。或者可提高引线BW与焊点BF之间的接合强度。

[0148] 另外,本实施方式中,逆向焊接方式用的焊点BF2配置在与配置有正向焊接方式用的焊点BF1的第1列配置列Bd1之上的不同位置上(图7的示例中为不与配置列Bd2重合的配置列Bd2上)。因此,便可减小焊点群的延伸方向(图7中为Y方向)上的长度。另外,不在第2列中进行正向焊接方式的引线焊接。如为逆向焊接方式时,引线BW相对于第1焊盘侧的连接对象的倾斜角度可接近90度。例如,在图6所示的焊点BF2附近,引线BWb相对于焊点BF2的上表面的倾斜角度(约90度)比在图5所示的焊点BF1的附近,引线BWa相对于焊点BF1的上表面的倾斜角度(约20度)大。因此,根据本实施方式,即使缩小了第1列和第2列之间的隔离距离,与焊点BF2连接的引线BWb也难于与第1列焊点BF1接触。换言之就是,根据本实施方式,可缩短第1列焊点BF1和第2列焊点BF2之间的距离。所以即使如上所述,将焊点BF配置为多列时,只需缩短各列间的距离,便可抑制封装的平面尺寸的增大(即图7中X方向的增大)。

[0149] 另外,由于图7中的焊点BF2是用于进行球焊的引脚,所以其延伸距离可缩短为比点焊用的焊点BF1短。图7所示的示例中,焊点BF2的俯视形状例如为圆形。因此,焊点BF2在延伸方向上的长度L2比焊点BF1在延伸方向上的长度小(短)。另外,焊点BF2在延伸方向上的长度L2在俯视观察时,为焊点BF2在与焊点BF2连接的引线BWa的延伸方向平行的方向上的最大长度。因此,图7所示的焊点BF2的俯视形状为圆形时,长度L2与宽度W2相同。通过缩短焊点BF2的长度L2,便可抑制封装的平面尺寸的增大(即可抑制图7中X方向的长度的增大)。另外,图7中的示例为第1列配置列Bd1整体不与第2列配置列Bd2的整体重合的示例,但在变形例中,也可以使第1列配置列Bd1的一部分与第2列配置列Bd2的一部分重合的方式使其相互靠近。换言之就是,如可在Y方向上,以使焊点BF1的一部分与焊点BF2的一部分重合的方式靠近配置。

[0150] <半导体器件的制造方法>

[0151] 下面对图1至图8中半导体器件1的制造方法进行说明。本实施方式的半导体器件1为通过图9所示的组装流程制造而成。图9所示的是本实施方式中半导体器件组装流程的说明图。

[0152] 1. 基板的准备工序

[0153] 首先,在图9所示的基板的准备工序中,准备图10所示的布线基板25。图10所示的是在图9的基板准备工序中所准备的布线基板的整体结构的俯视图。图11所示的是在图10所示的多个器件形成部中的一个中,与图7所示的区域对应的部分的放大俯视图。

[0154] 如图10所示,本工序所准备的布线基板25在框部25b的内侧具有多个器件形成部25a。具体地说就是在框部25b的内侧按行列状配置有多个器件形成部25a。器件形成部25a

的数量不受图10所示的方式的限定,本实施方式的布线基板25例如具有按行列状配置的16个器件形成部25a(图10中为2行×8列)。也就是说,布线基板25为具有多个器件形成部25a的所谓的多个可断开板。

[0155] 另外,各器件形成部25a的外围还配置有在图9所示的划片工序中将布线基板25进行切断的预先切断区域,即切割部(切割线)25c。如图10所示,切割部25c以围住相邻的器件形成部25a之间、以及框部25b和器件形成部25a之间的各器件形成部25a的方式配置。

[0156] 各器件形成部25a相当于图3及图4所示的布线基板3。各器件形成部25a具有:图4所示的上表面(芯片装载面)3a、形成于上表面3a上的多个焊点(引脚、芯片装载面侧引脚、焊接引线)BF、位于上表面3a相反侧的下表面(安装面)3b、以及形成于下表面3b上的多个焊接盘(引脚、外部引脚)LD。多个焊点BF与图4所示的多个焊接盘LD分别经由形成于各器件形成部25a上的多条布线3r而被电连接。

[0157] 另外,如图11所示,布线基板25的上表面3a中,多个焊点BF分别与布线3r及供电线3p连接。在通过电焊法形成焊点BF及布线3r等金属图案时,图11所示的供电线3p将被用作供电线,并以朝向图10所示的切割部25c延伸的方式形成。焊点BF、布线3r及供电线3p以覆盖以铜(Cu)为主成分的基材的表面的方式形成如由镍(Ni)等构成的电镀膜。

[0158] 另外,图11中列出了多个焊点BF分别与供电线3p连接的示例,作为变形例之一例,也可以是多个焊点BF中的一部分与供电线3p连接,而其他部分不与供电线3p连接的方式。供电线3p及布线3r的宽度(与延伸方向垂直相交的方向的长度)比焊点BF1的宽度W1小。

[0159] 图11所示的多个焊点BF的形状及布局的详细内容与通过图7所说明的内容一致,所以在此不再进行重复说明。

[0160] 2. 半导体芯片的准备工序

[0161] 图9所示的半导体芯片的准备工序中,准备图4所示的多个半导体芯片2即模拟芯片FC及控制芯片CC的工序。本工序中,准备如下的半导体晶片,即在由硅构成的半导体晶片(图中未示出)的主面侧上由多个半导体元件或与其电连接的布线层构成的半导体晶片。模拟芯片FC上形成有模拟电路、控制芯片CC上形成有对模拟电路进行控制的控制电路。

[0162] 另外,本工序中,如图6所示通过逆向焊接方式与引线BW连接的焊盘上,优选在焊盘PD上形成突起电极BMP。如上所述,本实施方式中,由于上段侧搭载的控制芯片CC的各焊盘PD是通过逆向焊接方式与引线BW连接的,所以在控制芯片CC的焊盘PD上预先形成了突起电极BMP。

[0163] 之后,使划片刀沿着半导体晶片的切割线移动(图中未示出)将半导体晶片进行切断,便可取得多个图4所示的模拟芯片FC及控制芯片CC。另外,模拟芯片FC与控制芯片CC例如可分别从不同的半导体晶片取得。

[0164] 3. 芯片粘贴工序

[0165] 接下来,在图9所示的芯片粘贴工序中,如图12及图13所示,在布线基板25的器件形成部25a的芯片装载面上搭载半导体芯片2并将之进行粘接固定。图12所示的是将半导体芯片搭载到图10所示的布线基板上的状态的放大俯视图,图13所示的是沿着图12的A-A线截断的放大截面图。

[0166] 本实施方式中,将多个半导体芯片2层积在布线基板25的芯片装载面上。首先,将配置在下段侧的模拟芯片FC搭载(粘接固定)于布线基板25的各器件形成部25a的上表面3a

上。器件形成部25a在俯视观察时为四角形,具有边S1、位于边S1相反侧的边S2、与边S1及边S2相交的边S3、以及位于边S3相反侧的边S4。因此,在图12所示的示例中,配置有多个焊点BF的焊点群中,沿着器件形成部25a的边S1配置的焊点群中焊点BF的配置密度比其他焊点群中焊点BF的配置密度高。

[0167] 本工序中,与焊点BF对应(换言之就是,将与其进行电连接)的焊盘PD在俯视观察时以面对面的方式搭载半导体芯片2。因此,本工序中如图12所示,分别以使模拟芯片FC的边S1沿着器件形成部25a的边S1、模拟芯片FC的边S2沿着器件形成部25a的边S2、模拟芯片FC的边S3沿着器件形成部25a的边S3、以及模拟芯片FC的边S4沿着器件形成部25a的边S4的方式将模拟芯片FC配置到布线基板25上。

[0168] 另外,如图13所示,本实施方式中,以使模拟芯片FC的背面2b面向布线基板25的上表面3a的方式,经由芯片粘接材料5将模拟芯片FC搭载在布线基板25上,即通过所谓的面朝上安装方式来搭载模拟芯片FC。

[0169] 芯片粘接材料5为将模拟芯片FC与布线基板25进行粘接固定的粘接材料,如在硬化前为膏状。使用膏状粘接材料来搭载模拟芯片FC时,在搭载半导体芯片2之前,必须事先在器件形成部25a的芯片搭载区域上预先涂抹膏状的粘接材料。接下来通过将模拟芯片FC压进芯片搭载区域使膏状的粘接材料扩散后,再通过加热等使其硬化,以此来固定模拟芯片FC。另外,在芯片粘接材料5完全硬化时,在搭载模拟芯片FC后立即搭载控制芯片CC,之后可使其与芯片粘接材料6同时硬化。

[0170] 接下来如图12所示,将配置在上段侧的控制芯片CC搭载(粘接固定)在模拟芯片FC的表面2a上。本工序中,分别以使控制芯片CC的边S1沿着器件形成部25a的边S1、控制芯片CC的边S2沿着器件形成部25a的边S2、控制芯片CC的边S3沿着器件形成部25a的边S3、控制芯片CC的边S4沿着器件形成部25a的边S4的方式将控制芯片CC搭载到模拟芯片FC上。

[0171] 另外,如图13所示,本实施方式中,以使控制芯片CC的背面2b面向模拟芯片FC的表面2a的方式,经由芯片粘接材料6将控制芯片CC搭载到模拟芯片FC上,即以所谓的面朝上安装方式来搭载控制芯片CC。如上所述,芯片粘接材料6是一种将各半导体芯片2进行粘接固定的粘接膜,如通过使被称为DAF的树脂膜等硬化后将上下段的半导体芯片2进行粘接固定。此时,例如预先在控制芯片CC的背面2b贴上双面都是粘接层的粘带(粘接膜)即芯片粘接材料6,再经由粘带将控制芯片CC进行粘帖。之后,通过使芯片粘接材料6中所具有的热硬化性树脂成分热硬化来固定控制芯片CC。

[0172] 4. 引线焊接工序

[0173] 接下来在图9所示的引线焊接工序中,如图14及图15所示,经由多条引线BW将半导体芯片2的多个焊盘PD与布线基板25的多个焊点BF进行电连接。图14所示的是通过引线焊接将图12中的多个半导体芯片与布线基板分别进行电连接的状态的放大俯视图。图15所示的是通过引线焊接将图13的半导体芯片和布线基板进行电连接的状态的放大截面图。图15中,为了示出正向焊接方式的引线BWa和逆向焊接方式的引线BWb的环形的不同,用双点虚线表示引线BWb,之后的其他截面图也同样。图16所示的是在通过正向焊接方式焊接的第1焊盘侧中,将球形部接合到焊盘的状态的放大截面图。图17所示的是在通过正向焊接方式焊接的第2焊盘侧中,将接合部接合到焊点的状态的放大截面图。图18所示的是在通过逆向焊接方式焊接的第1焊盘侧中,将球形部接合到焊点的状态的放大截面图。图19所示的是在

通过逆向焊接方式焊接的第2焊盘侧中,将接合部接合到突起电极的状态的放大截面图。

[0174] 本工序中,如图14及图15所示,经由多条引线BWa并通过正向焊接方式将形成于布线基板25的器件形成部25a上的多个焊点BF中的一部分与形成于模拟芯片FC的表面2a上的多个焊盘PD分别进行电连接。另外,本工序中,还经由多条引线BWb并通过逆向焊接方式将多个焊点BF中的其他部分与形成于控制芯片CC的表面2a上的多个焊盘PD(具体地说就是形成于焊盘PD上的突起电极BMP)分别进行电连接。

[0175] 为正向焊接方式时,如图16所示,首先通过球焊方式在第1焊盘侧即半导体芯片2的焊盘PD上与引线BW的一端连接。球焊方式是指如图16中的箭头CP1所示,将形成于引线BW尖端的球形金属块即球形部Bnd1与焊盘PD接触,并通过劈刀CP冲压使焊盘PD与球形部Bnd1进行键合。此时,有时也会从劈刀CP施加超音波,以此提高焊盘PD和球形部Bnd1之间的接合性。球形部Bnd1是通过在劈刀CP所保持的引线BW的尖端上通过图中未示出的电焊枪放电而形成球形。另外,如果将球形的球形部Bnd1向焊盘PD冲压,将按劈刀CP尖端部的形状形成球形部Bnd1。本实施方式中,虽然将第1焊盘侧的尖端部称为球形部Bnd1,但由于球形部Bnd1是按上述方式形成的,所以在与被连接部连接的状态下,球形部Bnd1的形状并不一定是球形。

[0176] 接下来如图16中的箭头CP2所示,从劈刀CP拉长引线BW的同时,劈刀CP还朝向第2焊盘侧即焊点BF1运行。具体地说就是,劈刀CP在沿着箭头CP2的方向移动之前,先在焊盘PD上运行(上升动作),随后朝向离开焊点BF的方向动作(倒转)。通过使劈刀CP进行上述的上升动作及倒转动作,便可如图17所示,容易在引线BW的第1焊盘侧附近进行弯曲加工。

[0177] 接下来如图17所示,通过点焊方式将位于引线BW的球形部Bnd1相反侧的一端与焊点BF的上表面进行接合。点焊方式是指如图17中的箭头CP3所示,使引线BW的一部分与第2焊盘侧即焊点BF接触后,使劈刀CP在将引线BW向焊点BF冲压的同时沿着焊点BF的延伸方向移动。通过使劈刀CP按上述方式进行移动,便可在引线BW的第2焊盘侧的端部使引线BW被冲压并发生塑性变形,从而形成接合部Bnd2。此时,引线BW在接合部Bnd2被切断,并使劈刀CP所持有的引线BW和与焊点BF接合的引线BW分离。

[0178] 接下来如图17中的箭头CP4所示,劈刀朝向焊点BF上移动,并转移到下一个引线焊接动作。通过上述各工序及正向焊接方式来形成引线BWa。在通过正向焊接方式形成的引线BWa的第2焊盘侧中,引线BWa对于焊点BF1上表面的倾斜角度 θ_1 例如为20度左右。本实施方式中,图14所示的多条引线BW中,与下段侧的模拟芯片FC连接的引线BW都是通过正向焊接方式形成的。

[0179] 另一方面,如为逆向焊接方式时,如图18所示,首先通过球焊方式在第1焊盘侧即焊点BF2上与引线BW的一端接合。除了被连接对象即焊盘PD换成焊点BF之外,球焊方式的详细内容与图16所示的球焊方式的内容相同,所以不再进行重复说明。

[0180] 接下来如图18中的箭头CP2所示,从劈刀CP拉长引线BW的同时,劈刀CP还朝向焊点BF的上方运行(上升动作)。在逆向焊接方式的上升动作中,在劈刀CP的下端到达比半导体芯片2的表面2a的高度还高的位置之前便使劈刀CP上升,因此,上升量比正向焊接方式时上升动作的上升量大。本实施方式中,劈刀CP的上升量至少比图15所示的模拟芯片FC及控制芯片CC的合计厚度大。如上所述,在第1焊盘侧进行比正向焊接方式大的上升动作,便可如图19所示,使引线BWb对于焊点BF1上表面的倾斜角度 θ_2 比图17所示的倾斜角度 θ_1 大,如为

80~90度左右。

[0181] 接下来如图18中的箭头CP3所示,从劈刀CP拉长引线BW的同时,劈刀CP还朝向第2焊盘侧即半导体芯片2的焊盘PD运行。具体地说就是,劈刀CP在朝着离开焊盘PD的方向上运行(倒转)后,沿着箭头CP3的方向运行。通过使劈刀CP进行上述倒转动作,便可如图19所示,更易在引线BW的第1焊盘侧上进行弯曲加工。

[0182] 接下来如图19所示,通过点焊方式使位于引线BWb的球形部Bnd1相反侧的端部与形成于焊盘PD上的突起电极BMP接合。点焊方式是指如图19中的箭头CP4所示,在将引线BWb的一部分与第2焊盘侧即突起电极BMP接触后,使劈刀CP在将引线BW向突起电极BMP冲压的同时沿着引线BW的延伸方向移动。通过使劈刀CP按上述方式移动,便可在引线BW的第2焊盘侧的端部形成接合部Bnd2。此时,引线BW在接合部Bnd2被切断,并使劈刀CP所持有的引线BW和与突起电极BMP接合的引线BW分离。为逆向焊接方式时,由于是在半导体芯片2上与接合部Bnd2接合,所以在形成接合部Bnd2时所施加的外力的大小必须设定为不会造成半导体芯片2上的电路元件受损伤的范围内。

[0183] 接下来如图19中的箭头CP5所示,使劈刀上升至焊盘PD上,并移行至下一个引线焊接动作。通过以上各工序便可以逆向焊接方式形成引线BWb。在通过逆向焊接方式形成的引线BWb的第1焊盘侧中,引线BWb相对于焊点BF2上表面的倾斜角度 θ_2 如为80~90度左右。本实施方式中,图14所示的多条引线BW中,与上段侧的控制芯片CC连接的引线BW都是通过逆向焊接方式形成的。

[0184] 如图7所示,本实施方式中,相对来说位于内侧(图14所示的半导体芯片2一侧)的第1列配置列Bd1的焊点BF1中通过正向焊接方式与接合部Bnd2连接。另一方面,位于第1列外侧(图14中为器件形成部25a的外围部侧)的第2列配置列Bd2的焊点BF2上通过逆向焊接方式与球形部Bnd1连接。因此,本工序中,相对来说配置在内侧的多个焊点BF1分别与引线BWa连接后,优选在外侧的焊点BF2上形成引线BWb。

[0185] 如图8所示,多个焊点BF配置为一列的焊点群中,先形成引线BWa或先形成引线BWb都可。

[0186] 5.封装工序

[0187] 接下来在图9所示的封装工序中,如图20所示,通过树脂对半导体芯片2及多条引线BW进行封装。图20所示的是通过树脂将图15所示的半导体芯片及多条引线进行封装的状态的放大截面图。

[0188] 本工序中,在具有图中未示出的膜槽的成型模具内配置有布线基板25,通过树脂对布线基板25的上表面3a侧进行封装后,使树脂硬化后形成封装体4,即通过所谓的转送成型方式形成封装体4。

[0189] 另外,图20所示的示例是示出了通过树脂对成型模具的一个膜槽一次性地覆盖并进行树脂封装,即采用被称为MAP(Mold Allay Process)方式来形成封装体4的示例。采用MAP方式时,由于是以覆盖多个器件形成部25a的方式形成一体化的封装体4,所以切割部25c之上也被封装体4覆盖。

[0190] 6.焊接材料形成工序

[0191] 接下来,在图9所示的焊接材料形成工序中,如图21所示,以覆盖每一个焊接盘LD露出面的方式形成焊接材料7。图21所示的是在图20的多个焊接盘的每一个的露出面上形

成焊锡后的状态的放大截面图。

[0192] 本工序中,在布线基板25的下表面3b侧中露出的多个焊接盘LD的每一个的露出面上形成焊接材料7。如图21所示,形成球状的焊接材料7时,将布线基板25进行上下翻转,使下表面3b朝向上方的方式配置的状态下,在焊接盘LD上配置球形的焊锡。接下来在对球形的焊锡进行加热并使其熔融后再使其冷却,便可使多个焊接材料7分别与焊接盘LD的露出面进行接合。如上所述,对焊锡进行加热使其熔融后再冷却的处理方式被称为回流焊接处理。

[0193] 另外,本实施方式中,以形成球形的焊接材料7为例进行了说明,但半导体器件的外部引脚的样态还有各种变形例。如在电镀法或在涂布膏状的焊锡之后,通过回流焊接处理,便可如图21所示形成比焊接材料7更薄的焊接材料。另外,在没形成焊接材料7的变形例中,也可省略本工序。

[0194] 7. 划片工序

[0195] 接下来在图9所示的划片工序中,如图22所示,对布线基板25的器件形成部25a按个进行切割,便可取得多个半导体器件1。图22所示的是通过划片刀将图21的布线基板进行切断后的状态的放大截面图。

[0196] 本工序中,如图22所示,使划片刀(旋转刃)DBL沿着切割部(切割线)25c移动,以将布线基板25及封装体4进行切断(分割),布线基板25按器件形成部25a被切断。多个器件形成部25a被从各相邻的器件形成部25a及框部25b切断后,便可取得多个半导体器件1。具体地说就是,在本工序之后,通过外观检查、电性测试等必要的检查及验证后,合格产品便成为图1~图8中所说明的半导体器件1。之后,半导体器件1便可作为成品输出、或者被安装在图中未示出的安装基板上。

[0197] <变形例>

[0198] 以上根据实施方式具体地说明了本案发明人所作的发明,但是本发明并不受到所述实施方式的限定,在不超出其要旨的范围内能够进行种种变更,在此无需赘言。

[0199] (变形例1)

[0200] 图7所示的示例中,多个焊点BF中球焊方式用的焊点BF2的俯视形状为圆形。如果将焊点BF2的俯视形状设为圆形,就可使与球形部Bnd1的接合面积最大化,且使焊点BF2的占有面积最小化。焊点BF2的俯视形状还可有多种变形例,如可为四角形、五角形等。图23所示的变形例中的半导体器件1A所具有的焊点BF2包括俯视形状为圆形的圆形部Fp1、以及与圆形部Fp1联接且沿着引线BW的延伸方向延伸的延伸部Fp2。图23所示的是图7的变形例的放大俯视图。

[0201] 图23所示的半导体器件1A所具有的焊点BF2的圆形部Fp1与图7所示的半导体器件1所具有的焊点BF2对应。即,图23所示的圆形部Fp1配置在与配置有多个焊点BF1的配置列Bd1之上的不同位置上(图23中为配置列Bd2)。另外,圆形部Fp1的宽度W2比焊点BF1的宽度W1大,其设计尺寸如为80 μ m左右。因此,如果将圆形部Fp1的中央与球形部Bnd1进行连接,便可使球形部Bnd1与圆形部Fp1的接合面积最大化。

[0202] 图23所示的半导体器件1A所具有的焊点BF2的延伸部Fp2的形状及布局与配置在焊点BF2相邻位置上的焊点BF1对应。即,图23所示的延伸部Fp2设置在配置有多个焊点BF1的配置列Bd1上。另外,延伸部Fp2的宽度(与延伸方向垂直相交的方向的长度)W4的设计尺

寸与焊点BF1的宽度W1相同。另外,延伸部Fp2在延伸方向上的长度L3比焊点BF1在延伸方向上的长度L1长。

[0203] 也就是说,图23所示的半导体器件1A所具有的焊点BF2为与圆形部Fp1及延伸部Fp2一体形成的形状,其中,所述圆形部Fp1与图7所示的半导体器件1所具有的焊点BF2对应、所述延伸部Fp2与焊点BF1对应。本变形例中,如果焊点BF2通过逆向焊接方式与引线BW连接时可将圆形部Fp1与引线BW的球形部Bnd1连接,如果通过正向焊接方式将焊点BF2与引线BW连接时可将延伸部Fp2与引线BW的接合部Bnd2进行连接。也就是说,可提高布线基板3的通用性。

[0204] 另外,虽然图中未示出,图23的另一变形例的结构为圆形部Fp1上与引线BWb的球形部Bnd1连接、且延伸部Fp2上与引线BWa的接合部Bnd2连接。此时,由于可减小图4所示的上段侧的控制芯片CC和下段侧的模拟芯片FC之间的传送距离,所以可提高其电特性。

[0205] 但是,图23所示的变形例中,相邻的焊点BF1之间必须要确保焊点BF2的延伸部的配置空间,所以从缩短图23中Y方向上封装的长度方面来考虑,优选图7所示的结构。

[0206] (变形例2)

[0207] 另外,例如在一个封装内既有通过正向焊接方式形成的引线BWa也有通过逆向焊接方式形成的引线BWb时,对层积了多个半导体芯片2的实施方式进行了说明。但是,如果封装内配置的半导体芯片2只有一个,在一个封装内也有可能同时存在通过正向焊接方式形成的引线BWa和通过逆向焊接方式形成的引线BWb。图24所示的是在图3所示的半导体器件的变形例中,半导体芯片所具有的多个焊盘和布线基板的多个焊点的连接关系的模式的放大俯视图。图25所示的是图24的变形例的放大俯视图。图26所示的是图24的其他变形例的放大俯视图。

[0208] 图24所示的半导体器件1B、图25所示的半导体器件1C以及图26所示的半导体器件1D的共通点是在一个封装内都内置有一个半导体芯片2,而且都具有正向焊接方式的引线BWa和逆向焊接方式的引线BWb。

[0209] 首先,图24所示的半导体器件1B的半导体芯片2的焊盘PD被配置为多列,这是与所述实施方式不同的地方。具体地说就是,图24所示的半导体芯片2具有沿着边S1配置的多个焊盘PD。而且,所述多个焊盘PD包括焊盘PD1和焊盘PD2,所述焊盘PD1设置在相对来说离侧面2c(换言之就是边S1)较近的位置上,所述焊盘PD2设置在距侧面2c(换言之就是边S1)的距离比焊盘PD1远的位置上。

[0210] 通过引线BW将与焊盘PD2一样距离半导体芯片2的侧面2c较远的焊盘PD进行连接时,如果采用正向焊接方式,则有可能导致半导体芯片2的外围部与引线BW发生接触的现象。换言之就是,为了防止出现半导体芯片2的外围部与引线BW出现接触的现象,必须将通过正向焊接方式形成的环状加大,因此将导致封装的厚度及平面尺寸增大。此时,与通过正向焊接方式相比,采用逆向焊接方式时,具有使引线BW难于接触到半导体芯片2的外围部的优势。因此,如果担心引线BW与半导体芯片2外围部接触时,优选采用逆向焊接方式。例如,在俯视观察时,如果引线BW全长的1/4以上的长度的部分与半导体芯片2的厚度方向重合时,优选采用逆向焊接方式。相反地,由于正向焊接方式的作业效率比逆向焊接方式好,所以对于引线BW与半导体芯片2接触的几率小的焊盘PD1,优选采用正向焊接方式进行连接。另外,与逆向焊接方式相比,采用正向焊接方式时更能缩短焊点BF的宽度,所以如果从提高

焊点BF的配置密度的方面考虑,采用正向焊接方式比较有利。

[0211] 因此,即使在没层积有多个半导体芯片2的实施方式中,在与半导体芯片2连接的多条引线BW中即使包括通过正向焊接方式连接的引线BWa、以及通过逆向焊接方式连接的引线BWb时,也优选适用上述实施方式中所说明的技术。

[0212] 接下来,图25所示的半导体器件1C在俯视观察时,引线BWb在与开口部SRp重合的位置上跨过其他的信号用(或者电位供给用)的布线3r,这方面与图24所示的半导体器件1B有所不同。流经图25所示的其他信号用的布线3r的电流与流经引线BWb的电流不同。在欲增加焊点BF数量时,有可能导致与焊点BF连接的布线3r的布局复杂化的倾向。因此,如图25所示,根据布线3r的布局方式,有时会将引线BW设置为跨过其他信号用的布线3r的方式。另外,如上所述,通过在一个开口部SRp内设置多个焊点BF,便可提高焊点BF的配置密度,所以如图25所示,有时会以在与开口部SRp重合的位置上以跨过其他信号用的布线3r的方式配置引线BW。此时,如果通过正向焊接方式将跨过布线3r的引线BW进行连接时,有可能导致布线3r与引线BW接触的现象。因此,如图25所示,跨过其他信号用的布线3r的引线BW优选采用逆向焊接方式进行连接。

[0213] 因此,半导体器件1C所具有的多条引线BW包括通过正向焊接方式连接的引线BWa、以及通过逆向焊接方式连接的引线BWb。因此,半导体器件1C也优选适用上述实施方式中所说明的技术。

[0214] 接下来,图26所示的半导体器件1D中,在俯视观察时,引线BWb以跨过其他的引线BWa的方式设置,这方面与图24所示的半导体器件1B有所不同。随着半导体芯片2的高功能化,电路也将变复杂化,所以有可能出现如图26所示的情况,即在俯视观察时一部分引线BW与其他的引线BW相交的情况。此时,通过逆向焊接方式与引线BW的一端进行连接,便可抑制引线BW之间出现接触的现象。

[0215] 因此,半导体器件1D所具有的多条引线BW包括通过正向焊接方式连接的引线BWa、以及通过逆向焊接方式连接的引线BWb。因此,半导体器件1D也优选适用上述实施方式所说明的技术。

[0216] (变形例3)

[0217] 例如,在所述实施方式中,对于沿着半导体芯片2的四个边配置的多个焊点群中的一部分焊点群中,焊点BF的配置密度变大的情况进行了说明。但也可适用于其变形例,例如对于沿着半导体芯片2的四个边配置的每个焊点群中焊点BF的配置密度都很高时也可适用。在多个焊点群中,如果焊点BF的配置密度高且同时存在正向焊接方式的引线BWa和逆向焊接方式的引线BWb时,对于多个焊点群的每一个优选适用所述实施方式中所说明的技术。

[0218] (变形例4)

[0219] 另外,在所述实施方式中,如图7所示,对于在一个焊点群上设置有多个焊点BF1及多个焊点BF2的实施方式进行了说明,但在通过逆向焊接方式连接的焊点BF2只有一个的情况下时也可适用。

[0220] (变形例5)

[0221] 另外,在所述实施方式中,在距半导体芯片2的距离相对较近的第1列配置列Bd1上配置焊点BF1,在距半导体芯片2的距离比第1配置列Bd1远的第2列配置列Bd2上配置有焊点BF2。但也具有在比焊点BF1更靠近半导体芯片2的位置上配置逆向焊接方式用的焊点BF2的

变形例。逆向焊接方式时,由于引线BW的一部分以在焊点BF上延伸的方式形成,所以与正向焊接方式时相比,可将焊点BF的位置更靠近半导体芯片2配置。如果将逆向焊接方式用的焊点BF2靠近半导体芯片2配置,就可加大焊点BF2和焊点BF1之间的隔离距离。结果,便可抑制与焊点BF1连接的引线BWa与逆向焊接方式用的焊点BF2接触的现象。另外,将焊点BF2靠近半导体芯片2配置,便可抑制从焊点BF1到半导体芯片2的距离增大的现象,所以可抑制平面尺寸的增大。(变形例6)

[0222] 另外,本实施方式所说明的技术思想在不脱离其要旨的范围内还可将变形例进行各种组合,在此无需赘言。

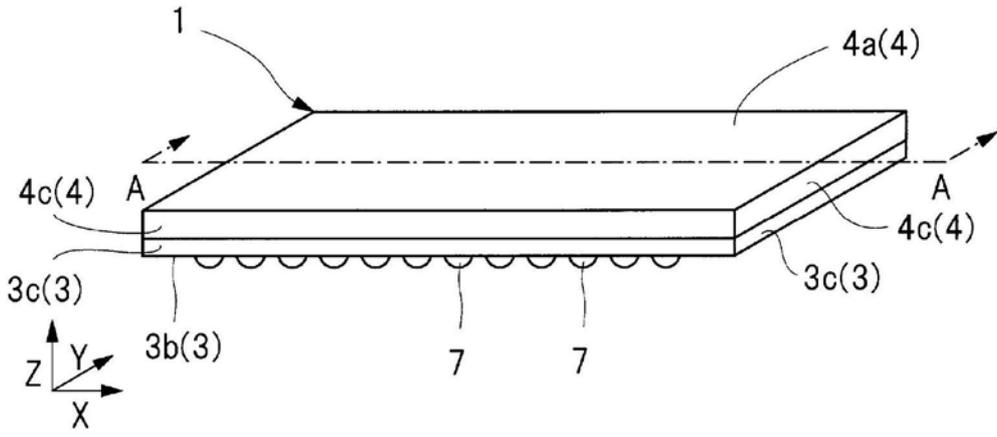


图1

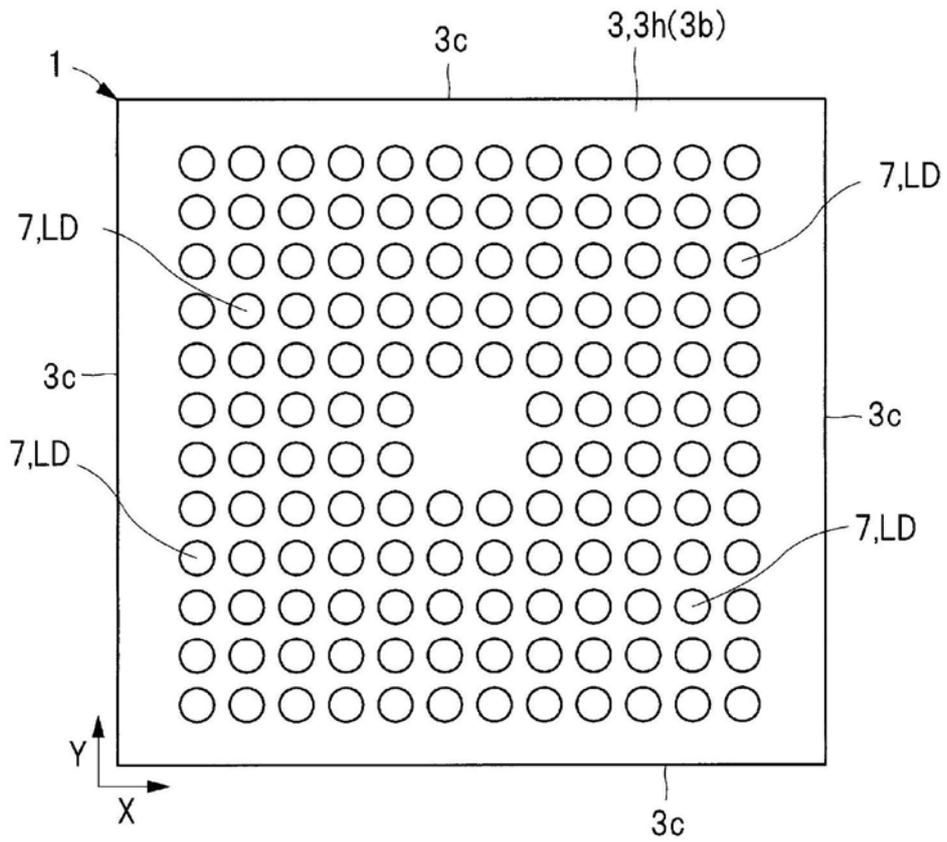


图2

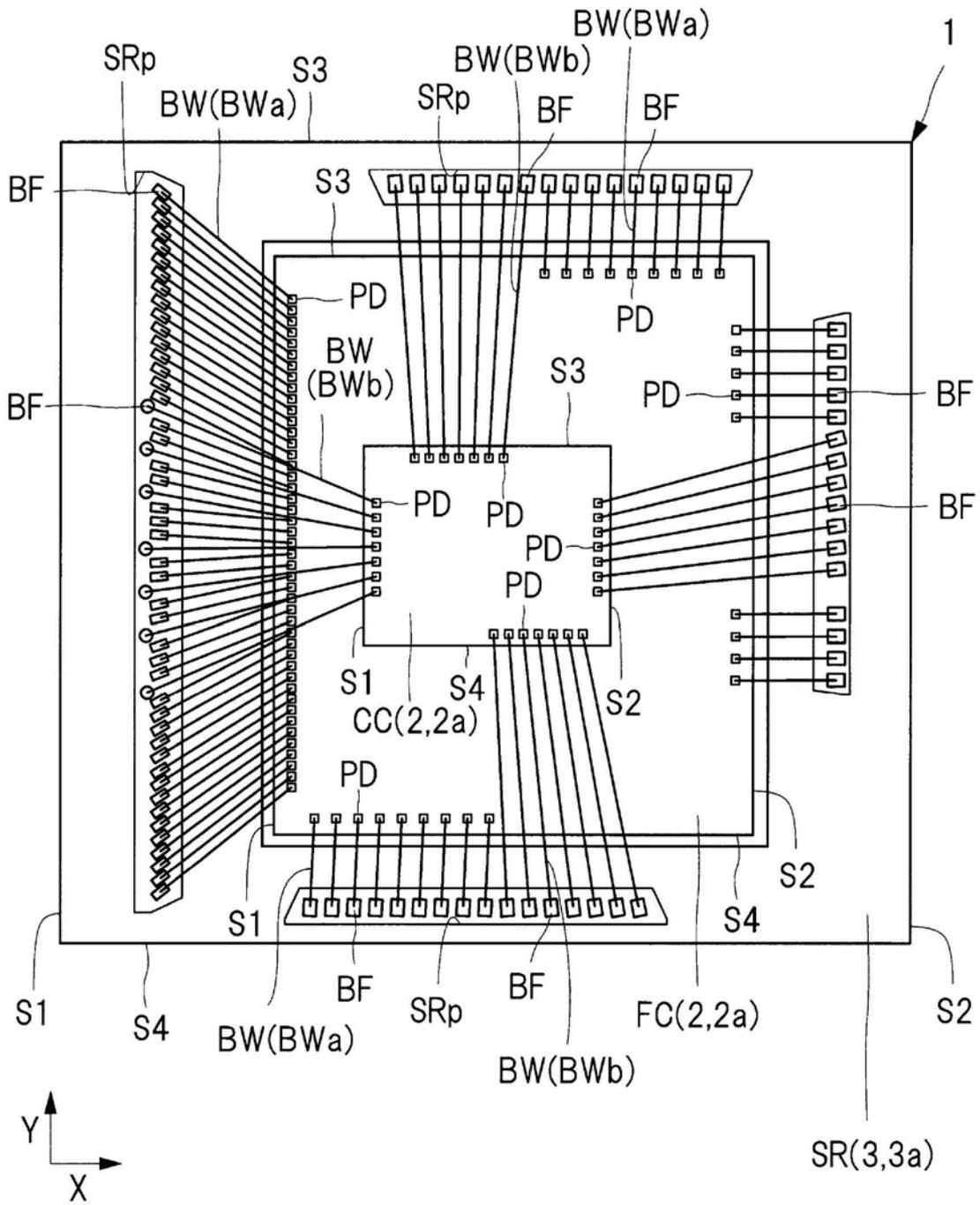


图3

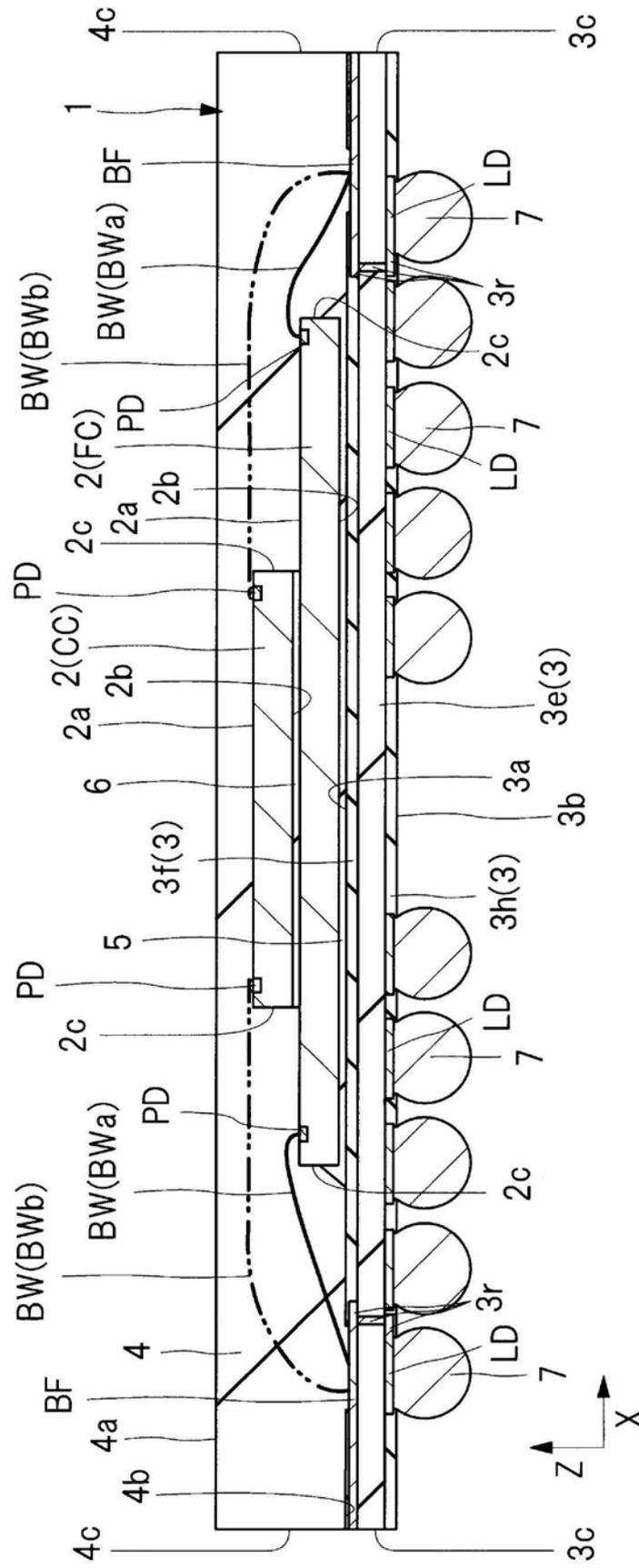


图4

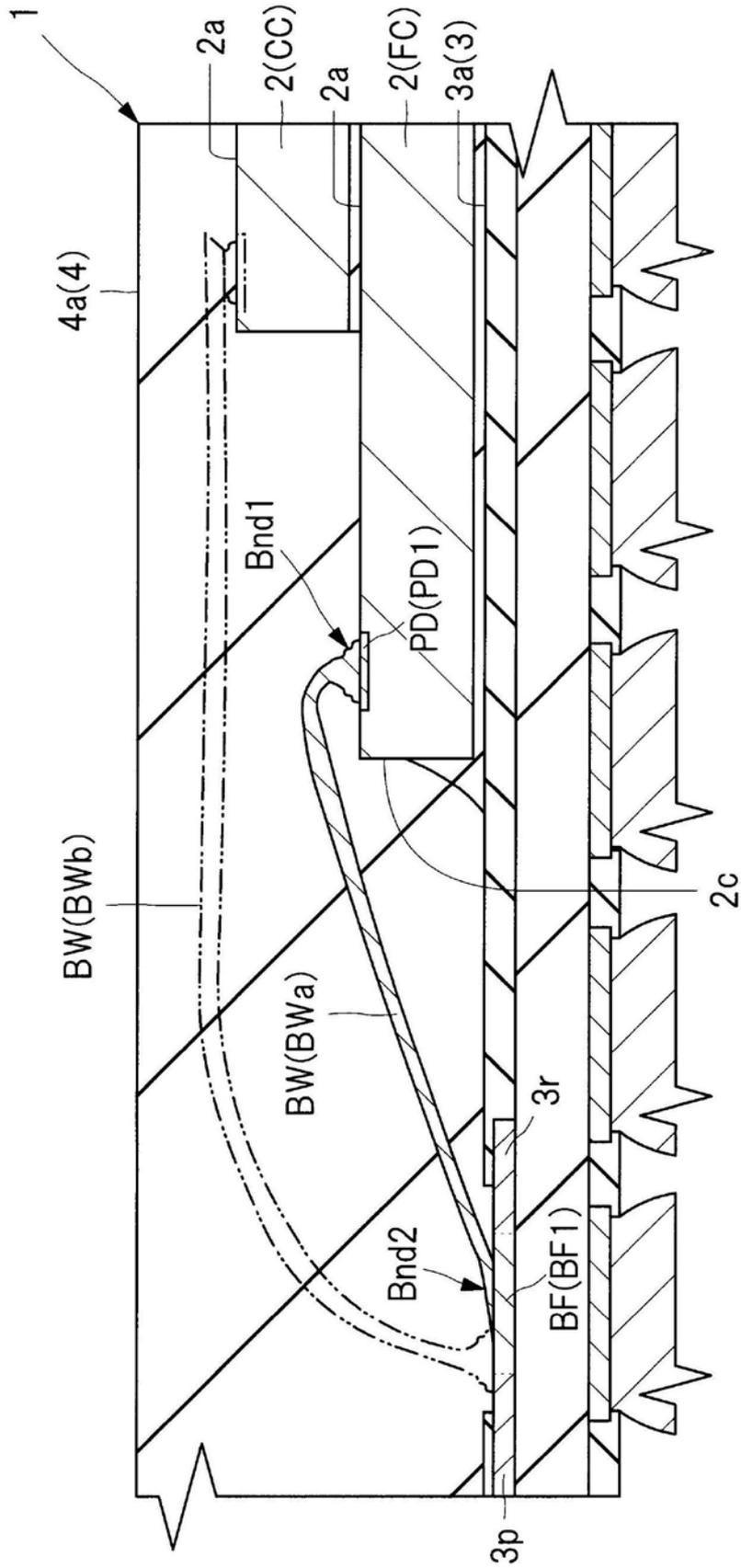


图5

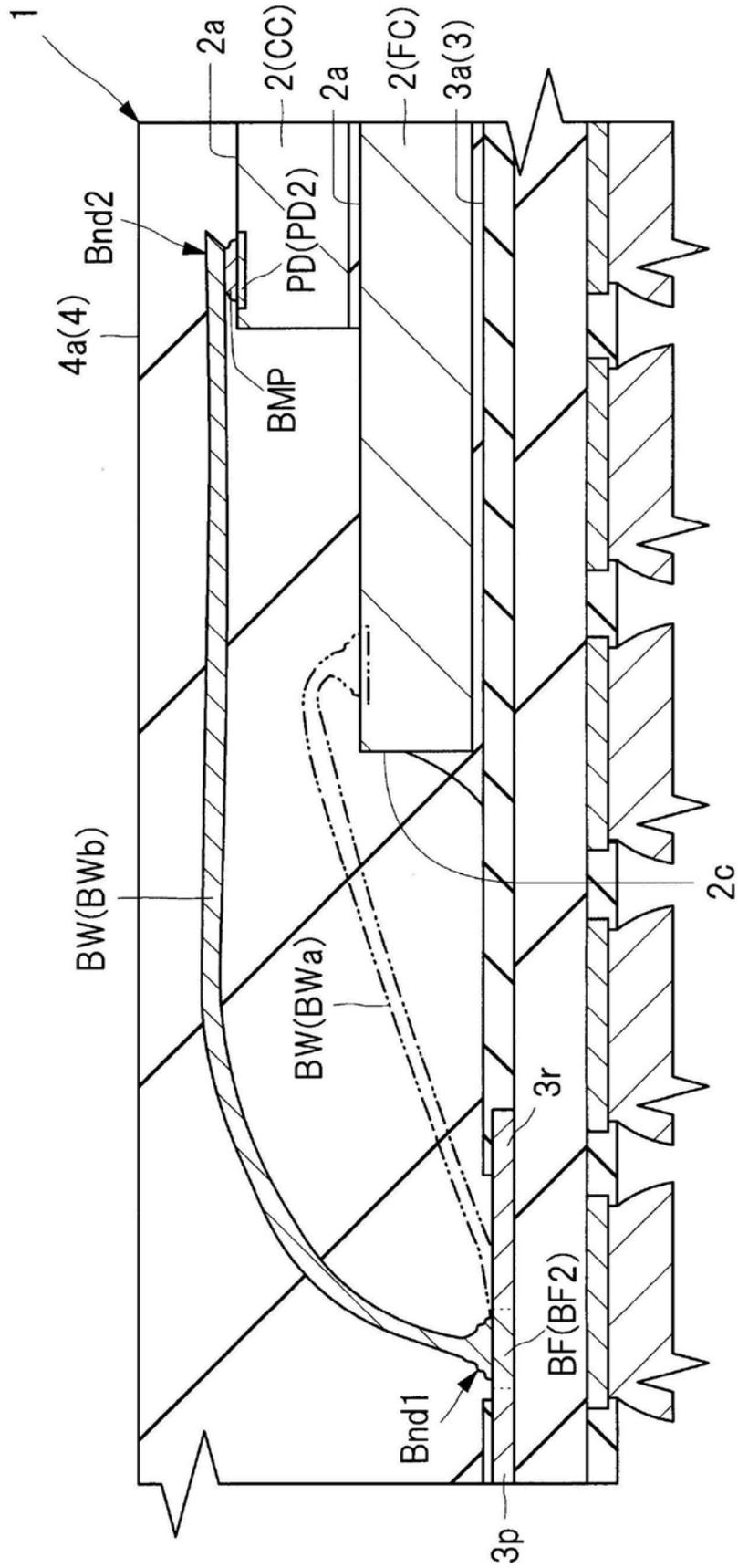


图6

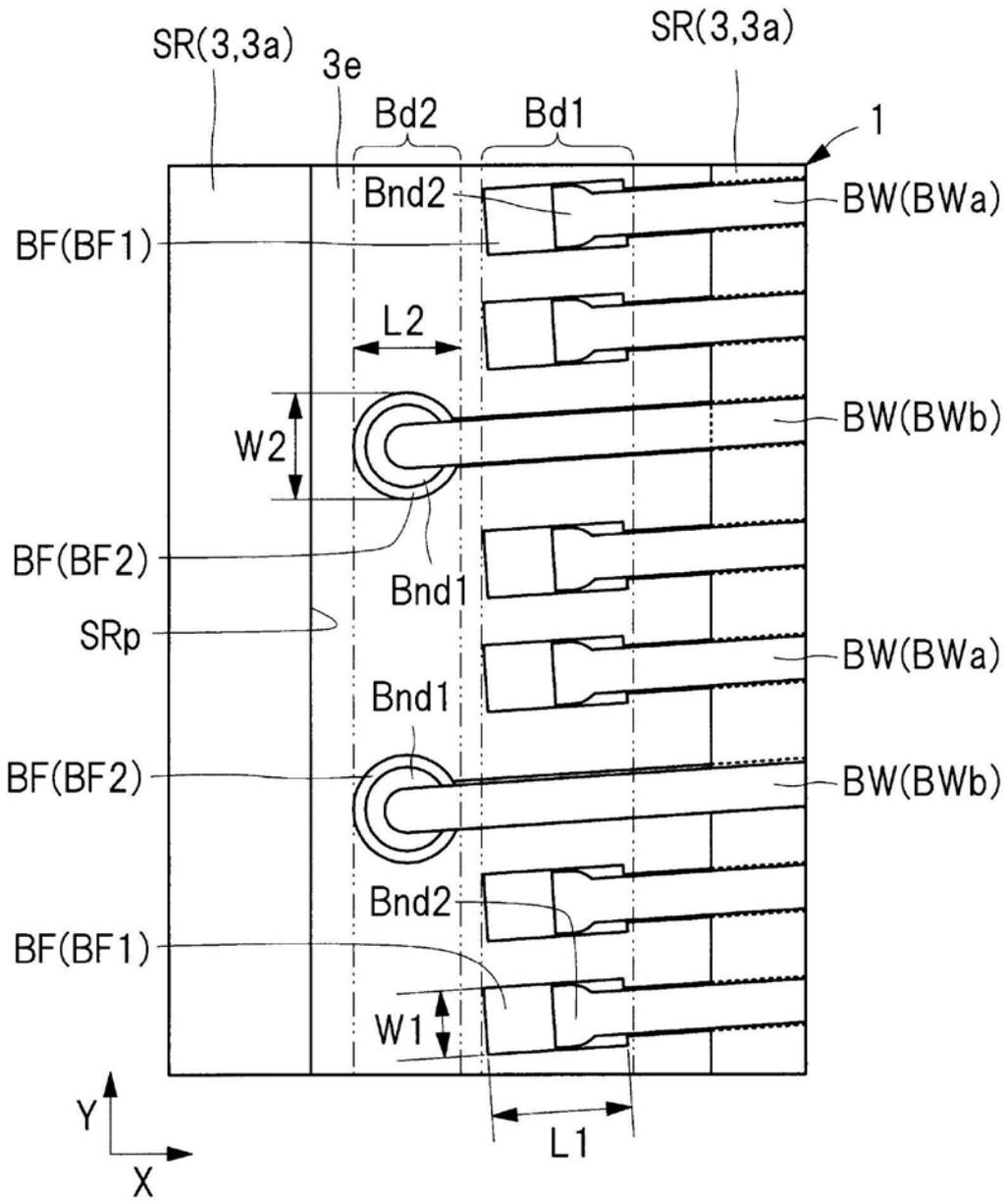


图7

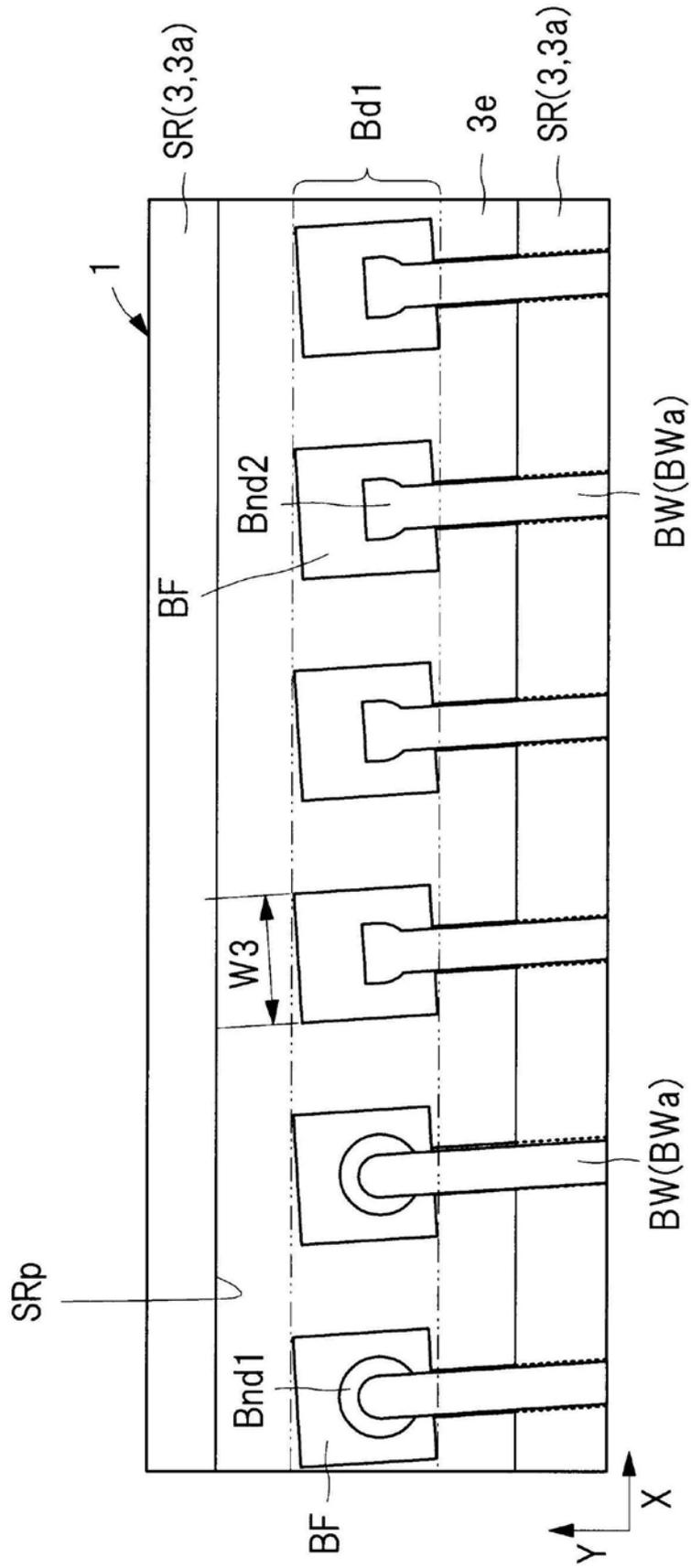


图8

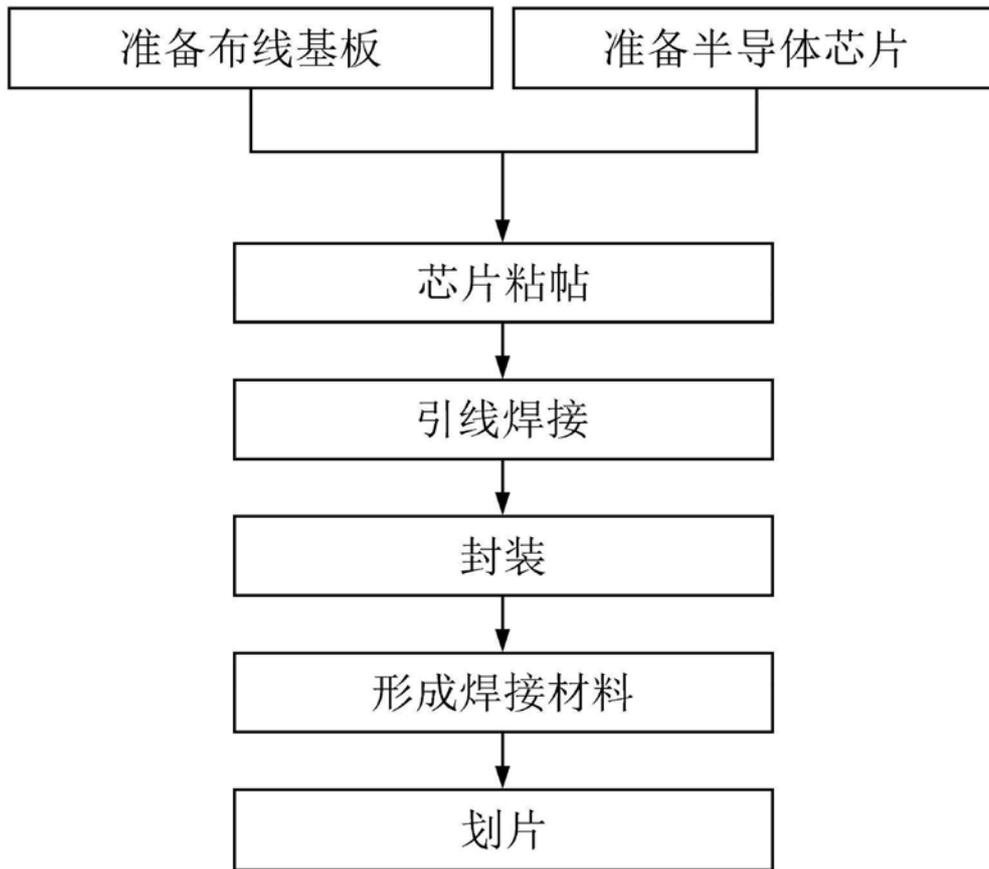


图9

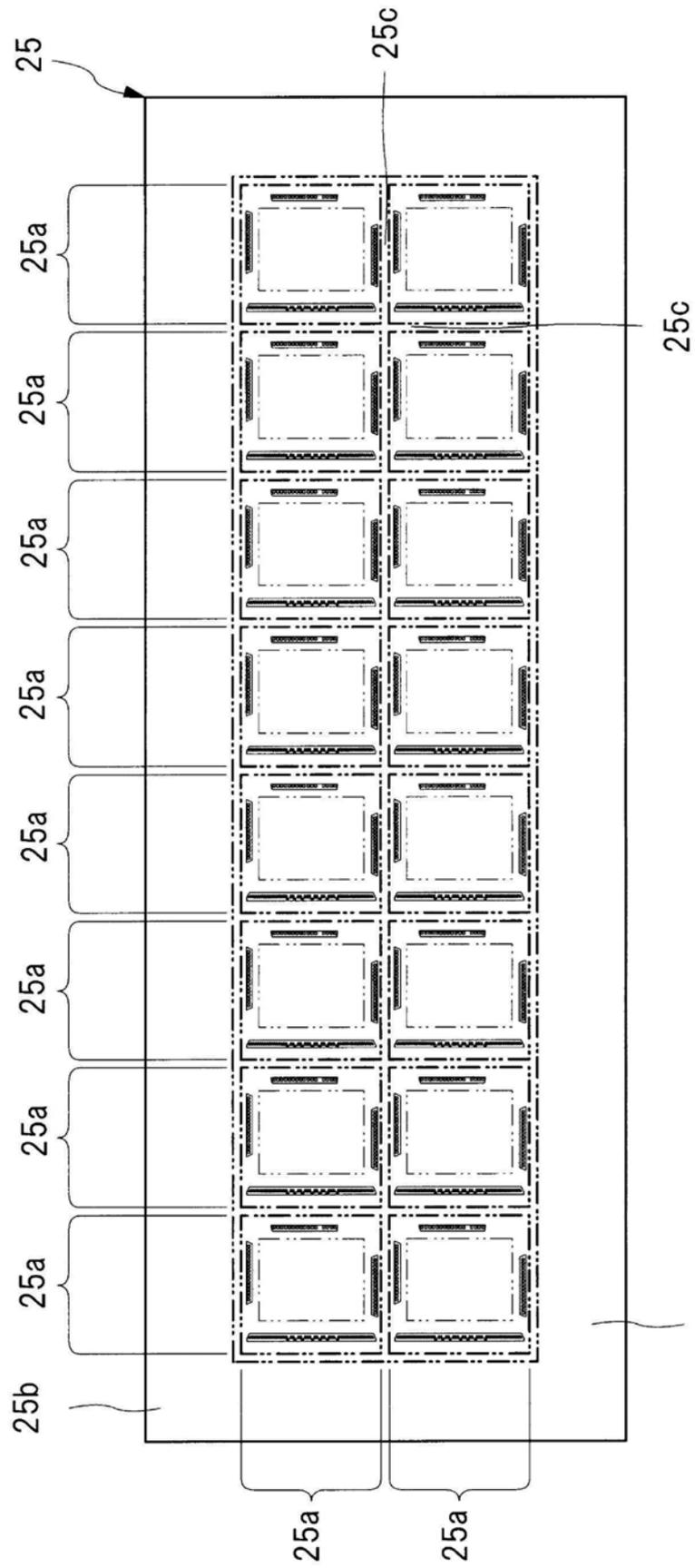


图10

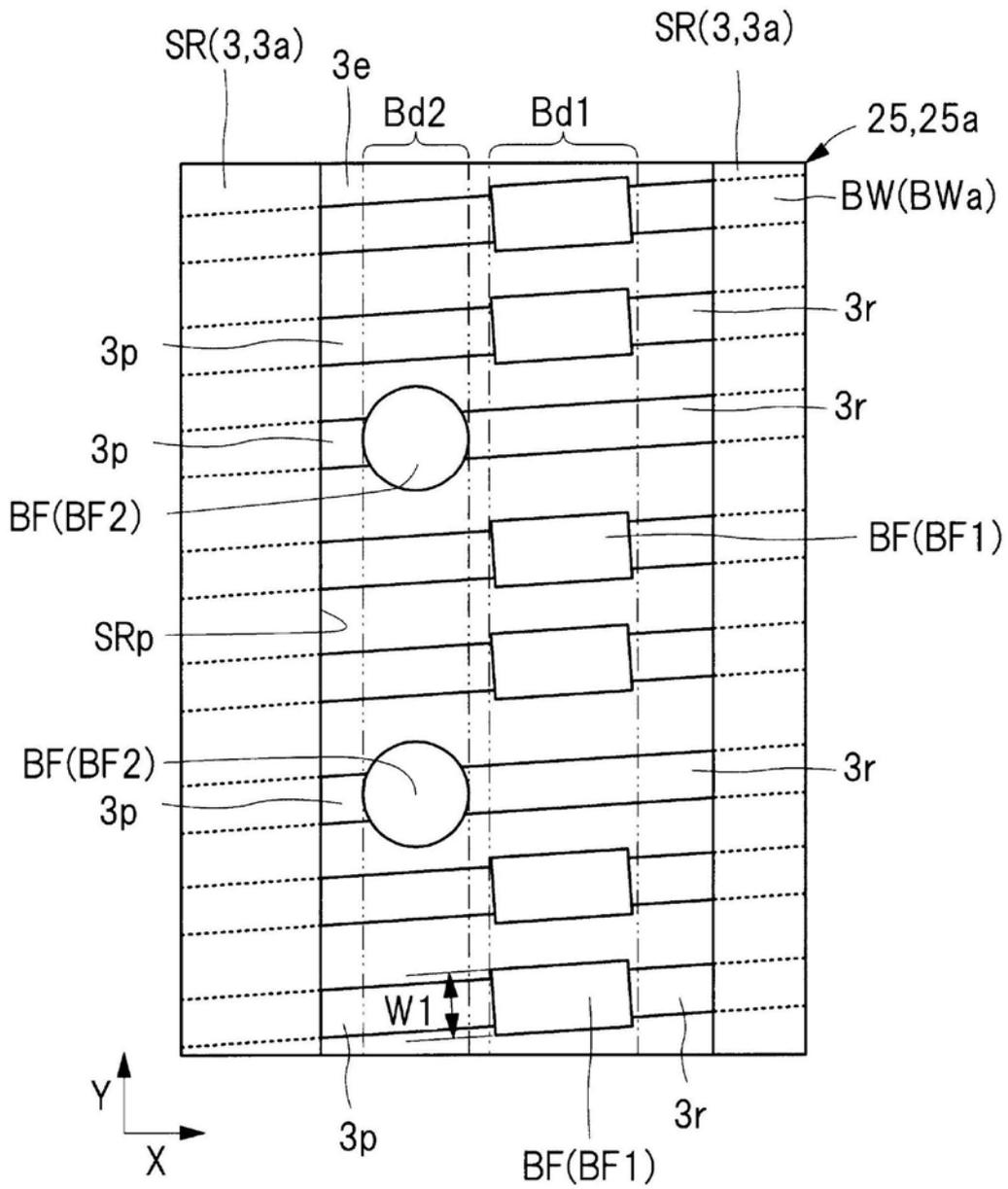


图11

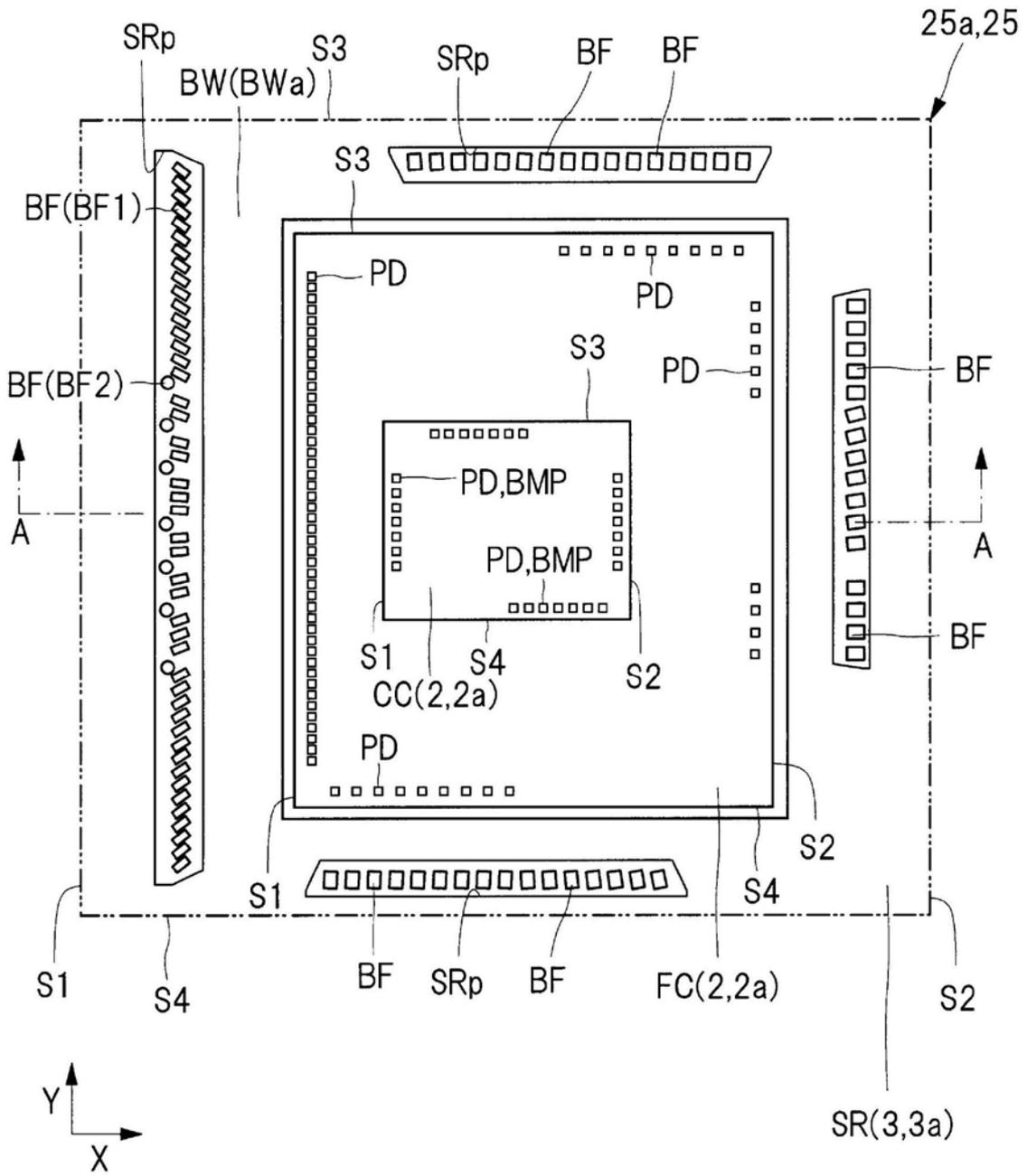


图12

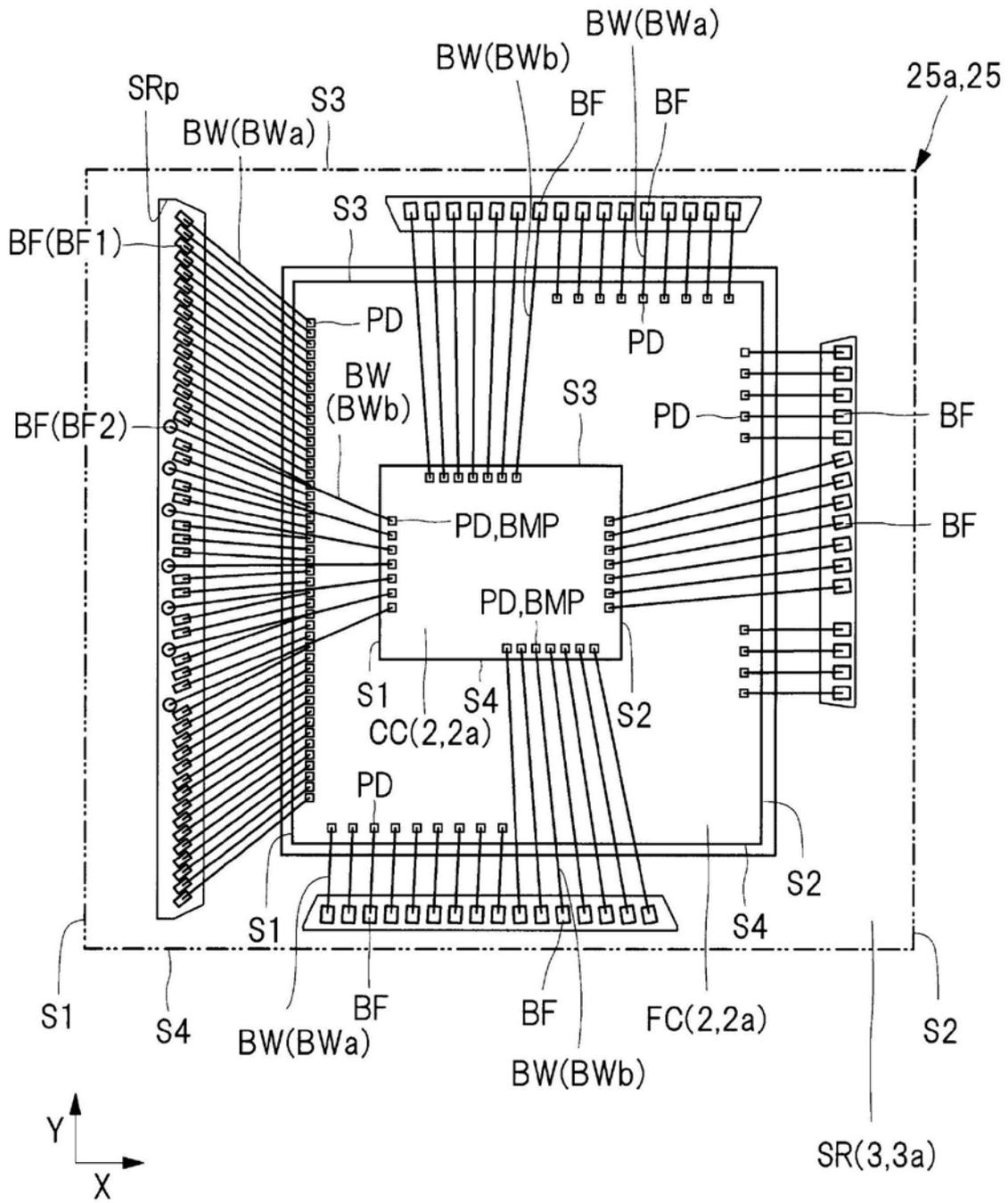


图14

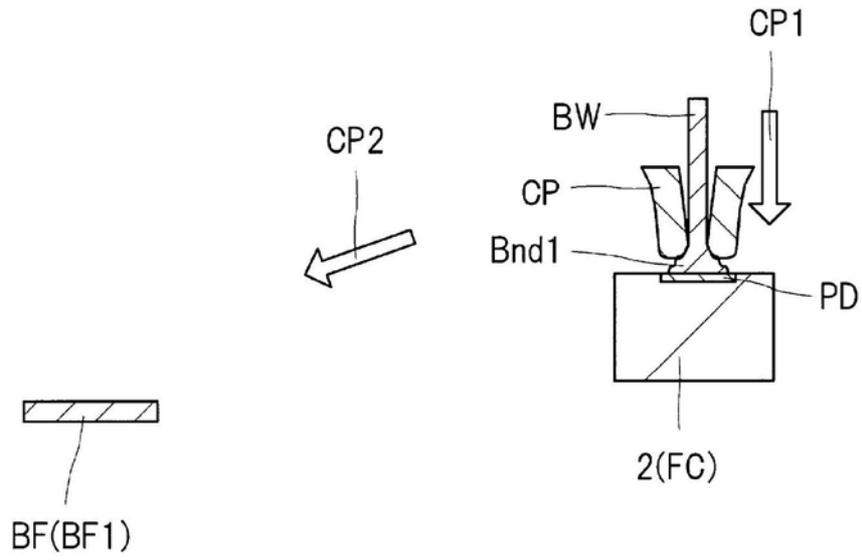


图16

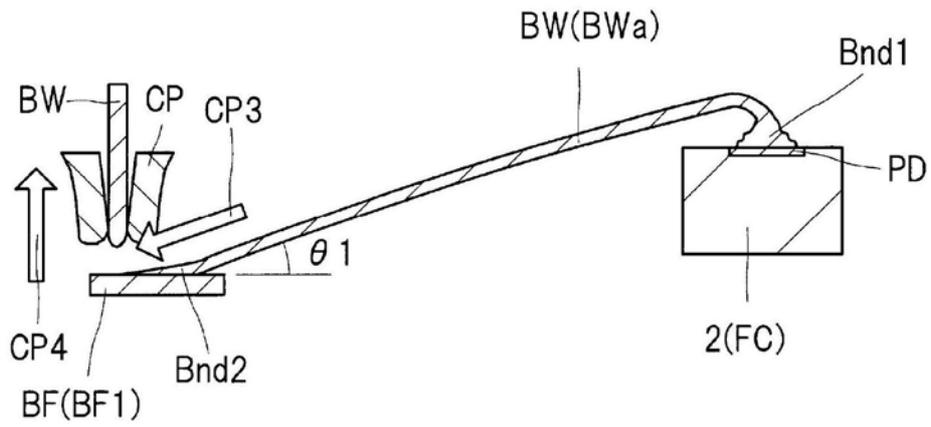


图17

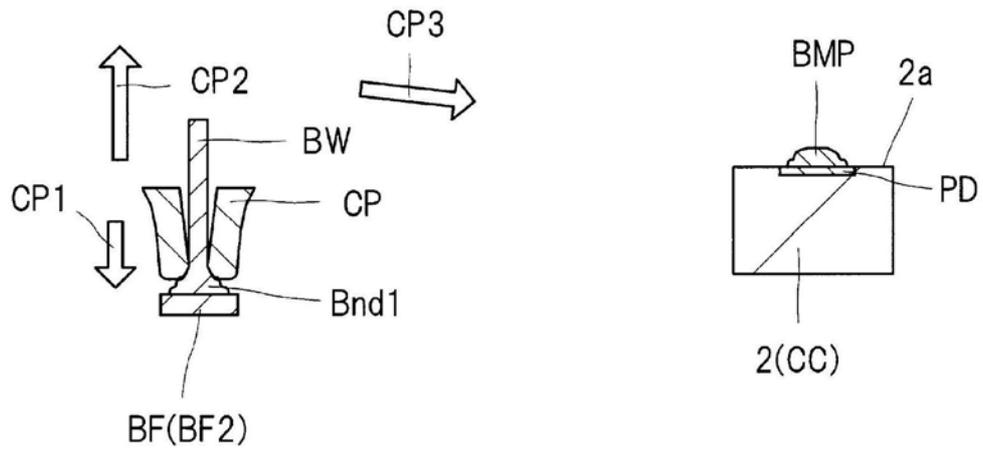


图18

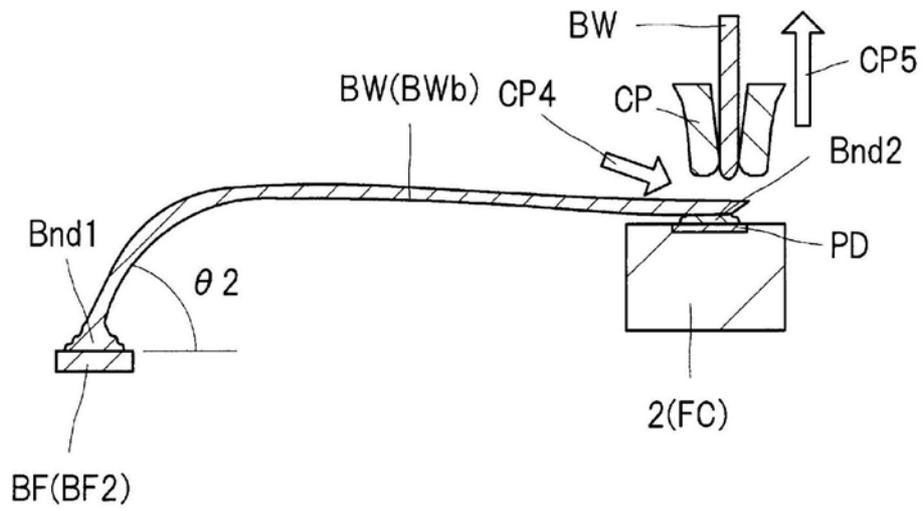


图19

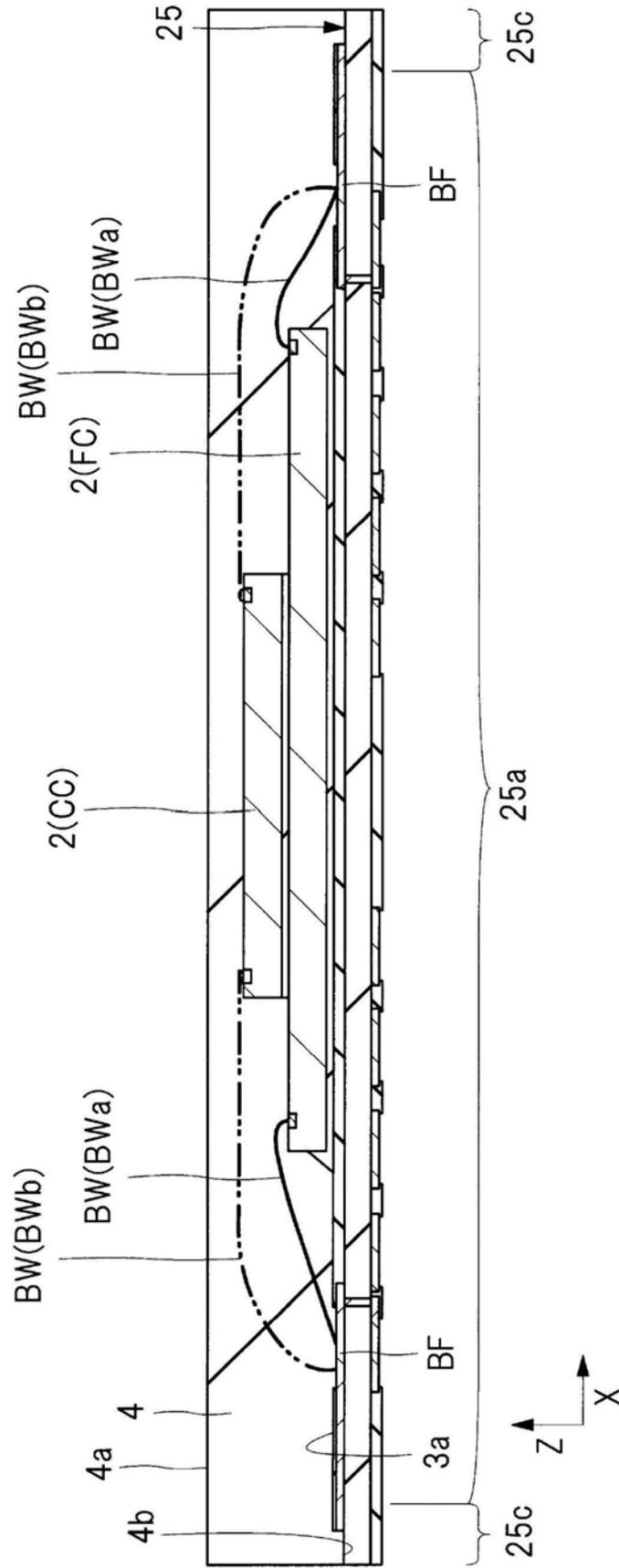


图20

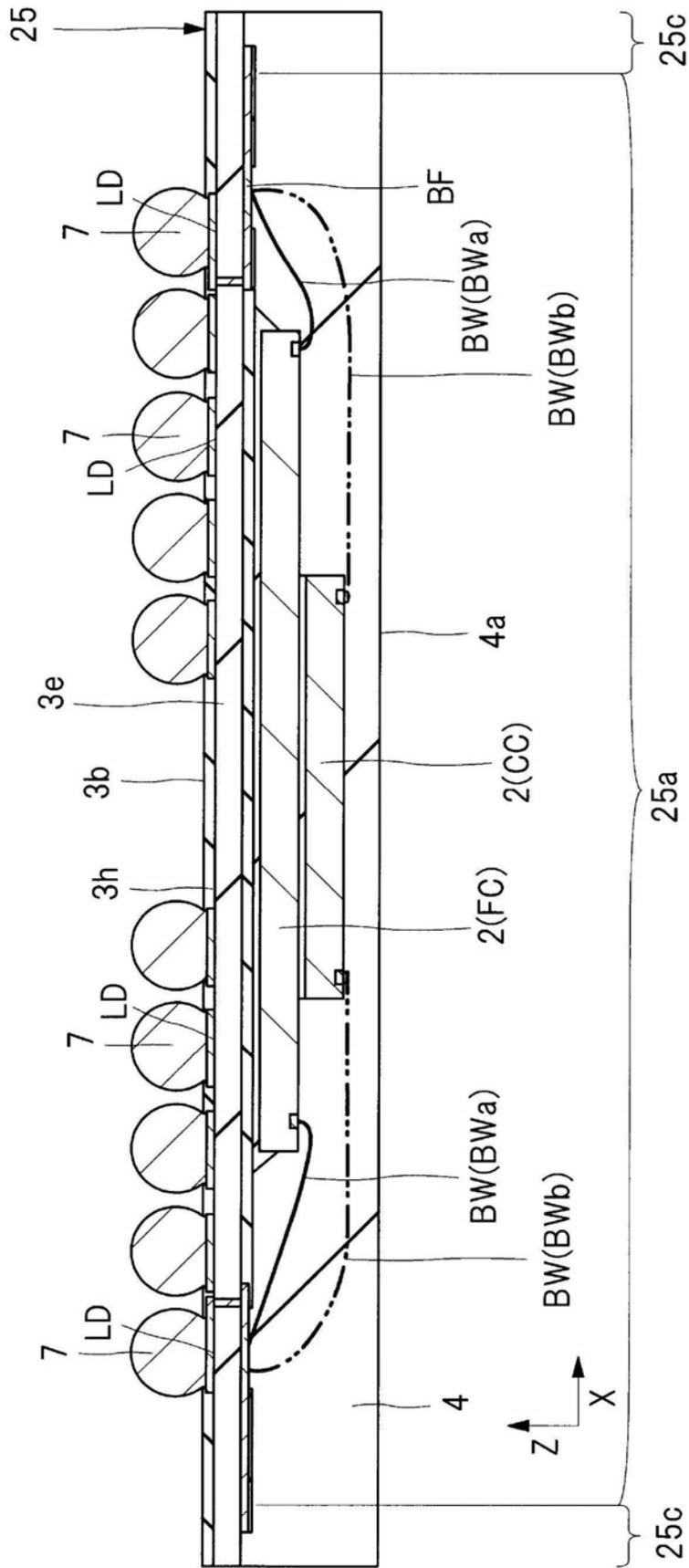


图21

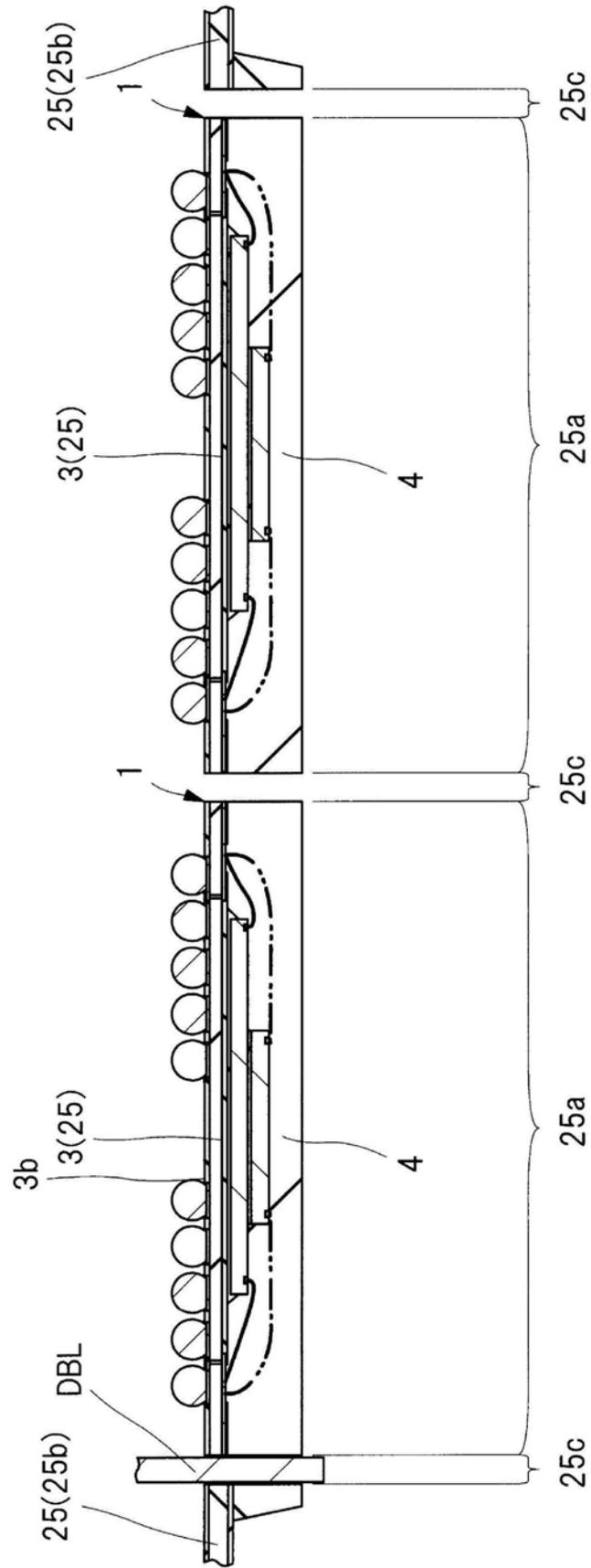


图22

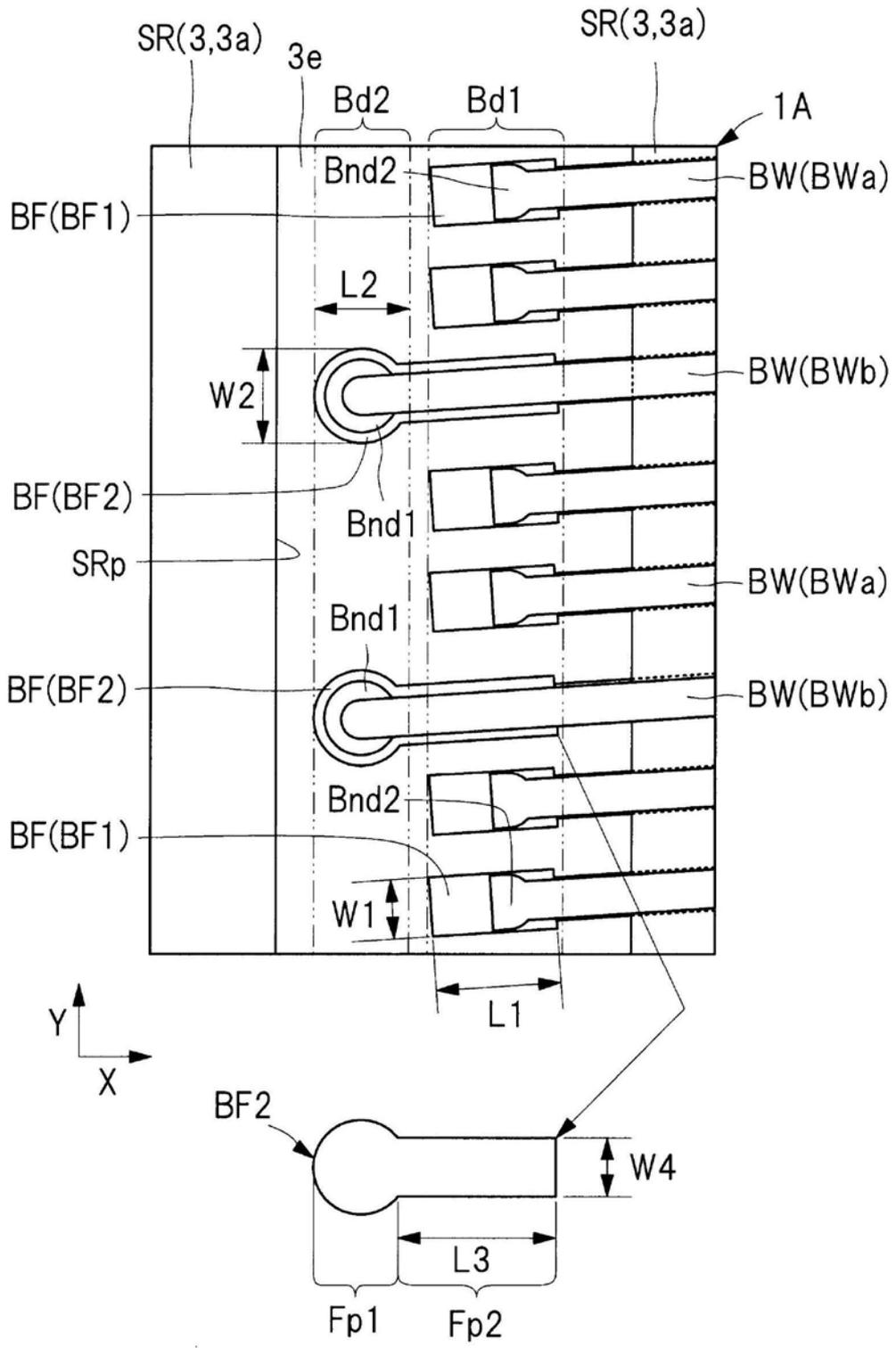


图23

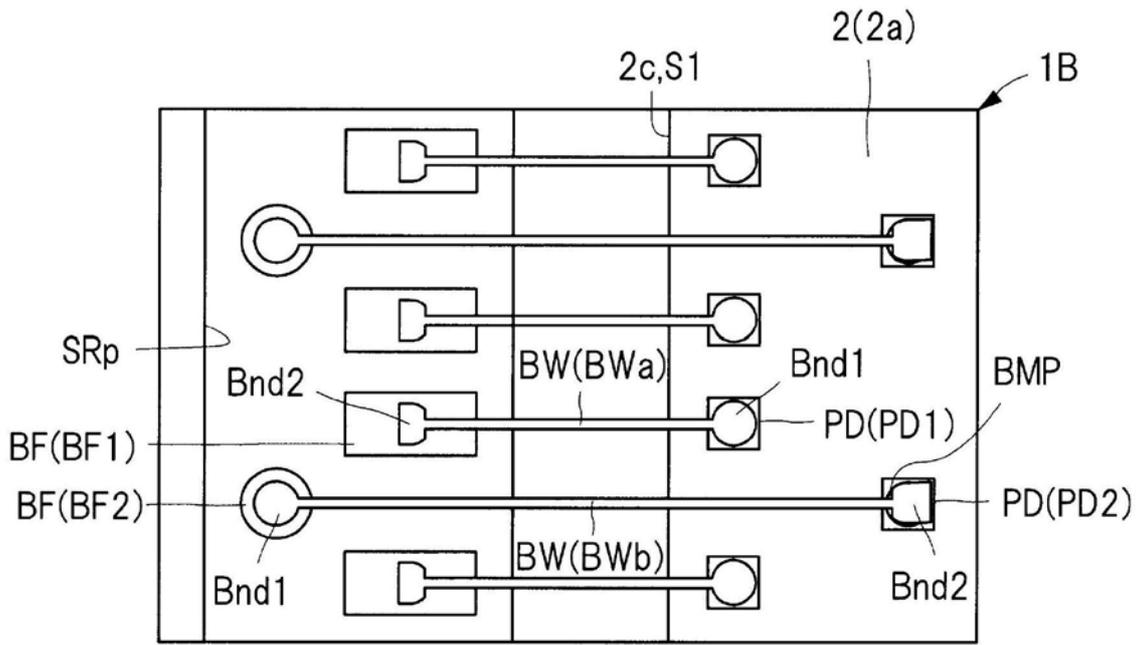


图24

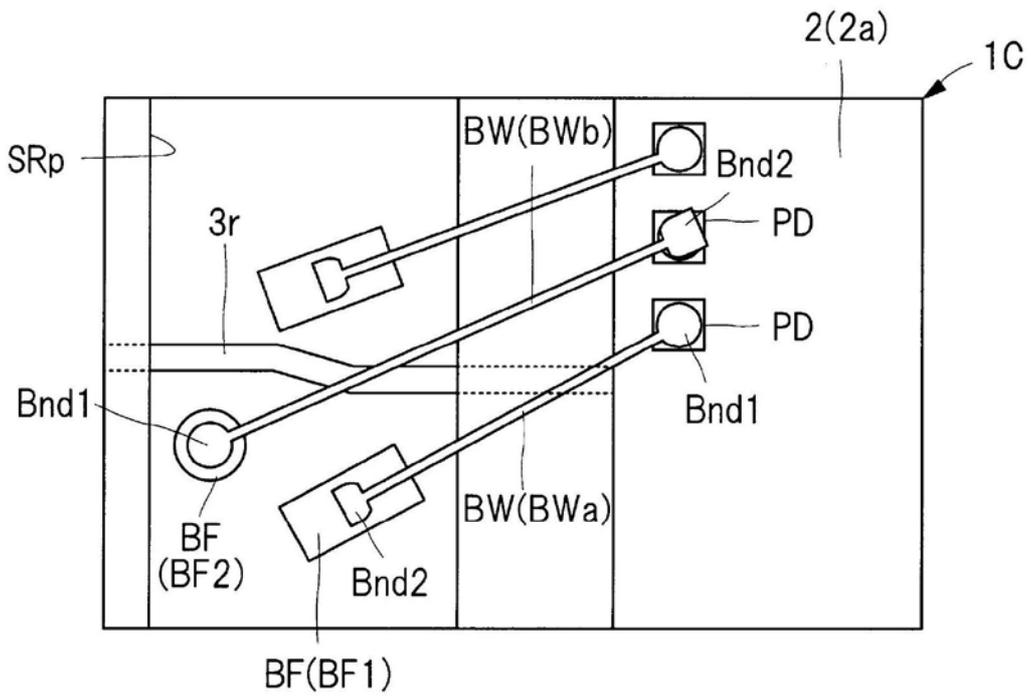


图25

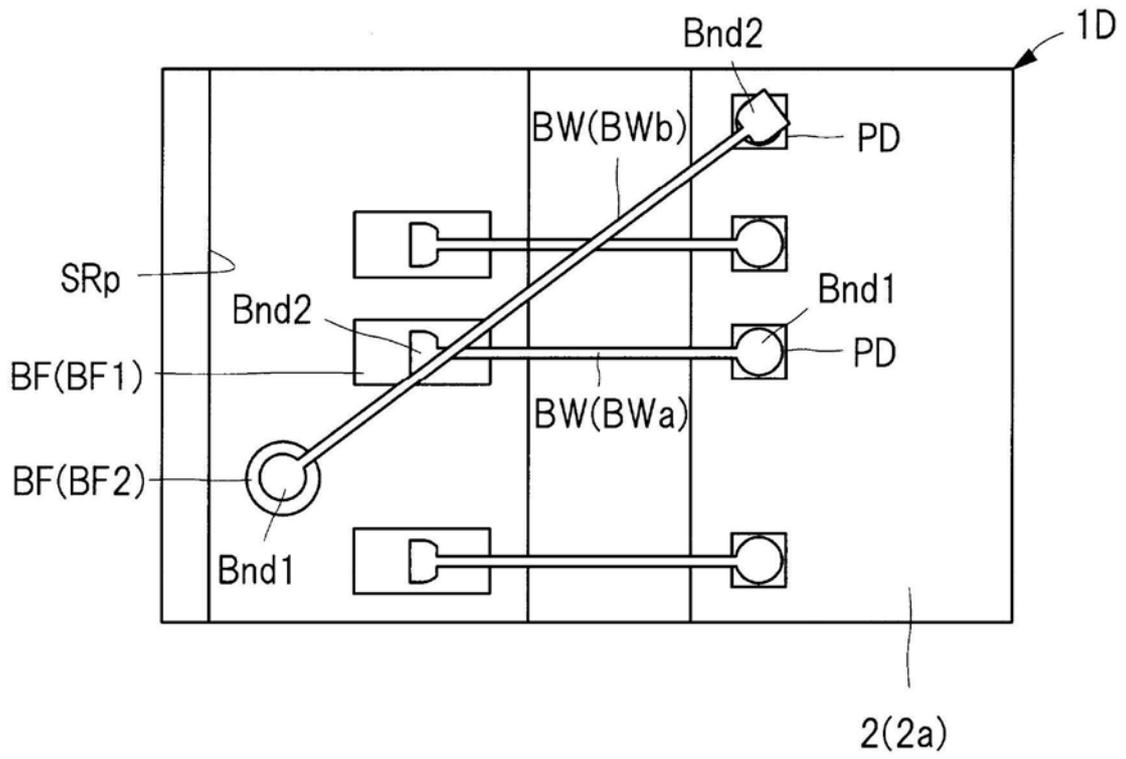


图26

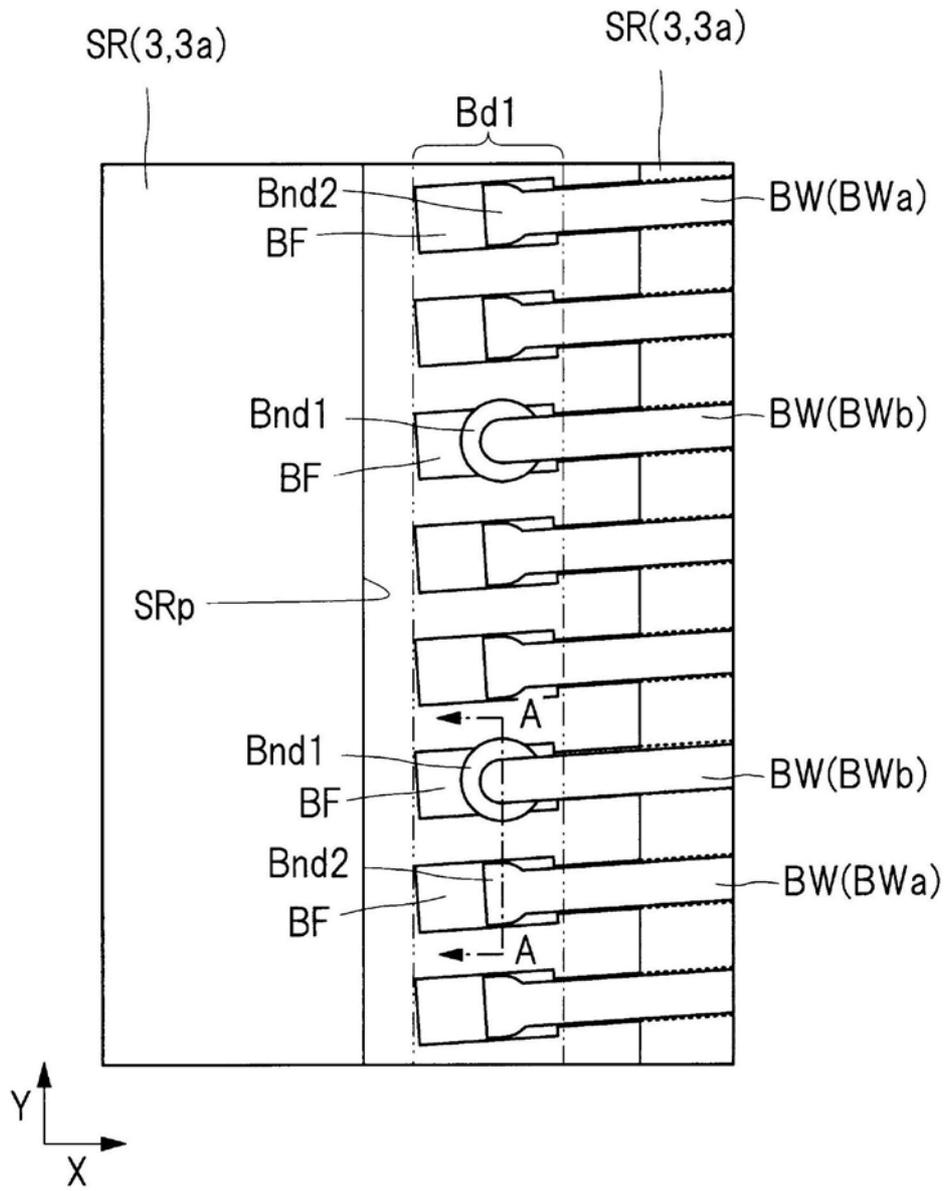


图27

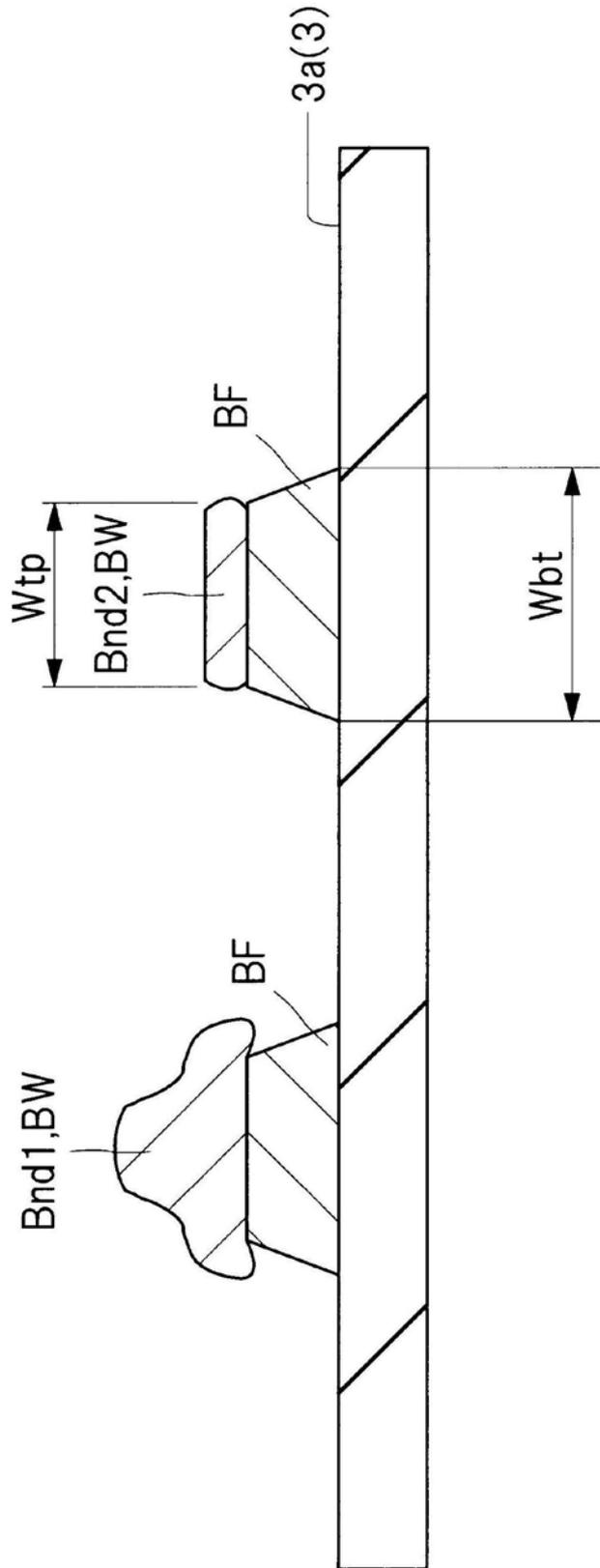


图28

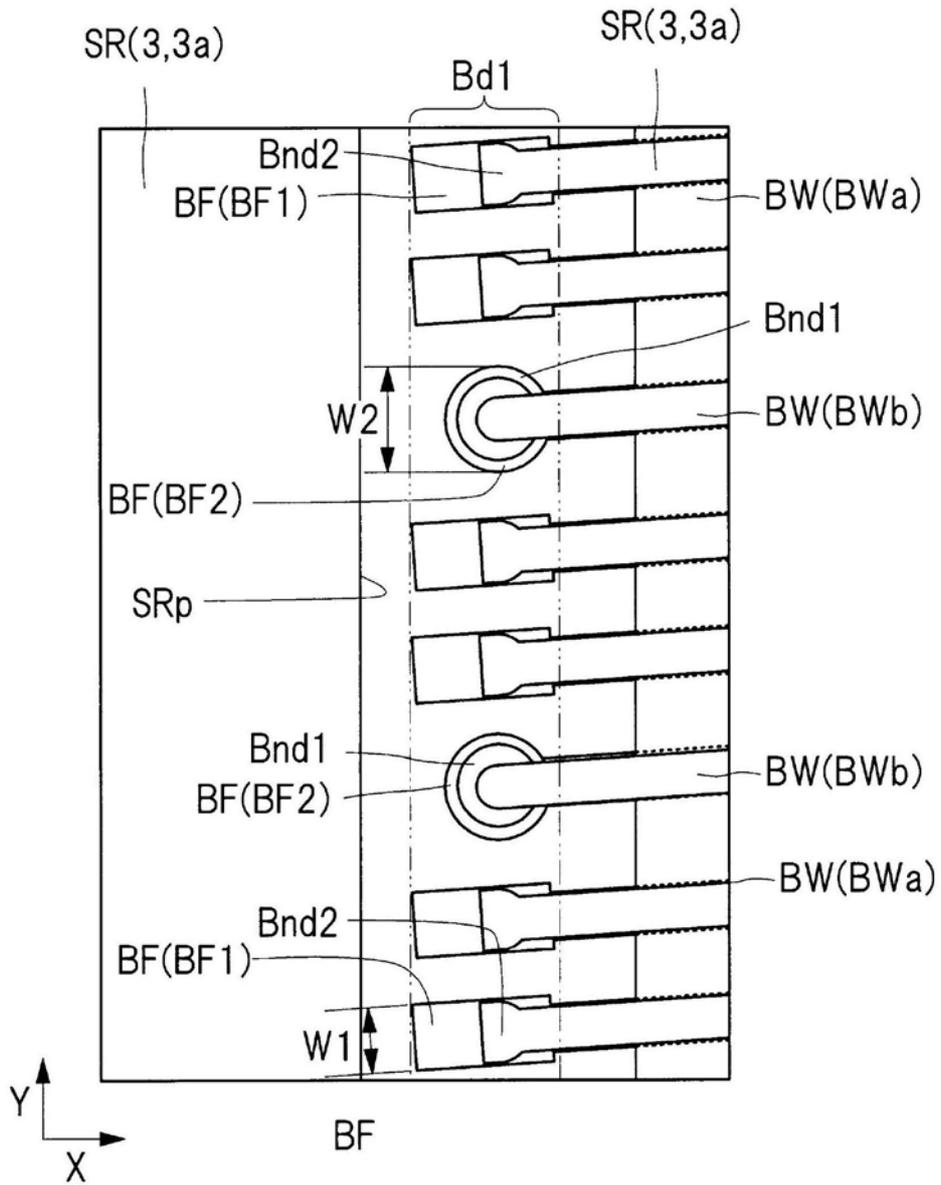


图29

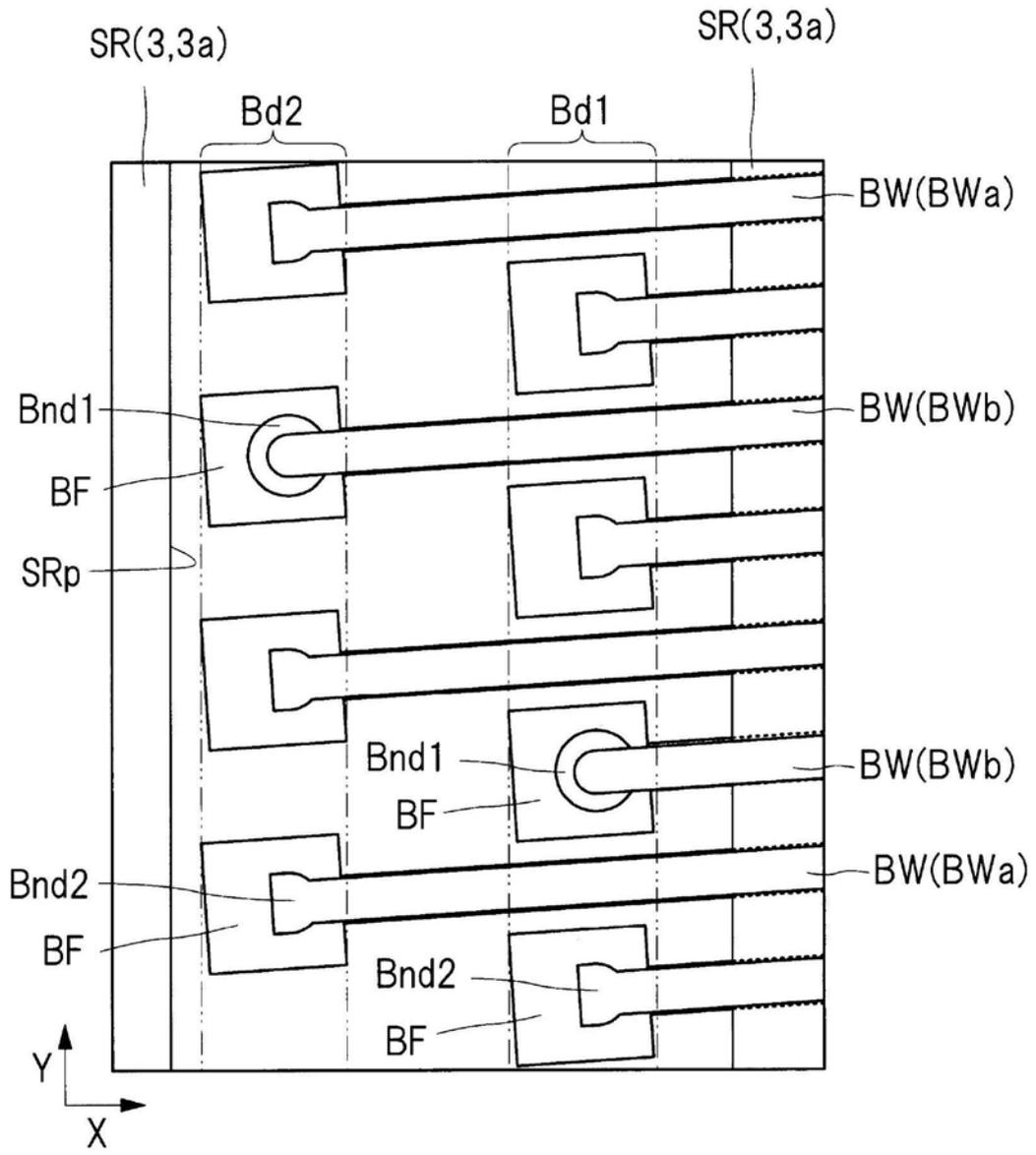


图30