公告本

申請日期： 88.7.2	案號： 88111766
類別： H01L 21/00	

（以上各欄由本局填註）

發明專利說明書 460901

一、發明名稱	中文	製造一種半導體元件之方法
	英文	METHOD FOR FABRICATING SEMICONDUCTOR DEVICE
二、發明人	姓名（中文）	1.金亨基 2.李鍾昱
	姓名（英文）	1.Hyung Ki, Kim 2.Jong Wook, Lee
	國籍	1.南韓 2.南韓
	住、居所	1.韓國仁川市南洞區間石3洞775-10 Panda Apt Da-117 2.韓國京畿道利川市夫鉢邑牙美里 現代電子Limdae Apt 108-503
三、申請人	姓名（名稱）（中文）	1.現代電子產業股份有限公司
	姓名（名稱）（英文）	1.Hyundai Electronics Industries Co., Ltd.
	國籍	1.南韓
	住、居所（事務所）	1.韓國京畿道利川市夫鉢邑牙美里山136-1
	代表人姓名（中文）	1.鄭東洙
	代表人姓名（英文）	1.Dong-Soo CHUNG

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
南韓 KR	1998/08/27	98-35024	無

有關微生物已寄存於　　寄存日期　　寄存號碼

無

五、發明說明 (1)

發明的背景

<發明的領域>

本發明是有關一種半導體元件，特別是擁有低電壓特性與較佳製程整合性的半導體元件，以及製造該元件的方法。

<相關技藝的說明>

隨著半導體元件工業朝著高速、低電壓與高度積體化的方向快速發展，使用「絕緣層上有矽」(silicon-on-insulator, SOI) 基板以取代傳統矽塊基板的一種半導體元件已被提出。此種 SOI 基板有著一個堆疊的結構，包含了一層作為支撐的底層、底層上方有一層氧化物埋層，而埋層上方的半導體層則作為元件的作用區。

相較於一般積體化於矽基板的半導體元件，積體化於 SOI 基板的半導體元件（在下文中簡稱作 SOI 元件）有著以下的優點，諸如：由於低接面電容所產生的高速度、由於較低臨限電壓 (threshold voltage) 所導致驅動電壓的降低、以及由於完全的隔離 (isolation) 所避免閉鎖 (latch-up) 現象的發生。

在同時，由於可攜式電子產品的需求日益增加，除了元件尺寸的縮小化，供應電壓的降低也是刻不容緩的。目前，降低電晶體臨限電壓的方法已被廣泛地使用，以製造低電壓元件。在這些降低臨限電壓的方法裡，包括了一種採用兩個電晶體組成一個元件的結構。其中，這兩個電晶體包含了一個主電晶體和一個連接到該主電晶體的輔助電

五、發明說明 (2)

晶體。

當這種低電壓元件以上述的結構被製造在矽基板上時，儘管臨限電壓有所降低，然而卻因為漏電流同時增加而造成元件特性的限制。相對地，當這種低電壓元件被製造在 SOI 基板上時，由於 SOI 元件擁有低臨限電壓與低漏電流的基本特性，使得 SOI 元件比製造於矽基板上的半導體元件，更能符合講求小尺寸與低電壓的可攜式電子產品在製程上的需要。

然而，由於這種低電壓元件擁有上述的兩個電晶體，而每個電晶體有個別的作用區，因此從製程整合性的觀點來看，也有缺點。

<發明的總論>

如上所述，本發明之一目的乃在提出一種擁有低電壓與較佳整合性之半導體元件。

更進一步地說，本發明之另一目的更在提出一種製造此種半導體元件之方法。

為了達到前面所提及的目的，本發明提出了一種半導體元件，其具有：一種堆疊結構的 SOI 基板，包含了一層作為支撐的底層、底層上方有一層氧化物埋層，而埋層上方的半導體層則作為元件的作用區；此外還有一個第一電晶體與一個第二電晶體被製造在 SOI 基板的作用區上，在此，這兩個電晶體在同一個作用區上形成一種堆疊結構，並且共用一個閘極電極；第二電晶體的汲極區被連接到閘極電極，而第二電晶體的源極區被連接到作用區。

五、發明說明 (3)

本發明更進一步提出了一種半導體元件，其包含了：一種堆疊結構的SOI基板，包含了一層作為支撐的底層、底層上方有一層氧化物埋層，而埋層上方的半導體層則作為元件的作用區；其第一電晶體被製造在半導體層的作用區上，並包含了一個閘極電極，其具有一層第一閘極氧化層，而其源極與汲極區在半導體層內，分別形成於閘極電極的兩側；其第二電晶體與第一電晶體共用同一個閘極電極，並且在該閘極電極上形成第二閘極氧化層，其源極與汲極則形成於第二閘極氧化層上；一層中間絕緣層形成於SOI基板上，以覆蓋第一與第二電晶體；源極與汲極電極分別被連接到第一電晶體的源極區與汲極區；第一條金屬線用以連接閘極電極與第二電晶體的汲極區；第二條金屬線則用以連接第一電晶體的作用區以及第二電晶體的源極區。

本發明並且提出了一種製造該半導體元件的方法，包含了以下的步驟：提供一種具有堆疊結構的SOI基板，其包括了一層作為支撐的底層、底層上方有一層氧化物埋層，而埋層上方的半導體層則作為元件的作用區；依序在半導體層上形成一層第一氧化層、一層第一傳導層、一層第二氧化層與一層第二傳導層；藉由定義第一氧化層、第一傳導層、第二氧化層與第二傳導層的圖案(pattern)，在半導體層的作用區形成一個傳導層的圖案、一層第二閘極氧化層、一個閘極電極與一層第一閘極氧化層；在半導體層內閘極電極的兩側，形成第一源極與汲極區，而第二

五、發明說明（4）

源極與汲極區則形成於傳導層圖案的兩端，在其中，第一電晶體涵蓋了閘極電極以及第一源極與汲極區，而第二電晶體則包含了閘極電極以及第二源極與汲極區；在上述步驟的成果上，形成一層中間絕緣層，並將之回蝕（etch back）至第二電晶體的源極與汲極區暴露出來；藉由選擇性地蝕刻（selectively etching）中間絕緣層而形成一個第一接點洞孔（contact hole）與一個第二接點洞孔以分別將第一電晶體的源極與汲極暴露出來，而一個第三接點洞孔與一個第四洞孔則分別將閘極電極與作用區暴露出來；在中間絕緣層上形成一層夠厚的金屬層，以將第一、第二、第三與第四接點洞孔全部填滿；在中間絕緣層上，藉由定義金屬層的圖案，形成源極與汲極電極，並使之經由第一與第二接點洞孔與第一電晶體之源極與汲極相連接；再形成一條第一金屬線以經由第三接點洞孔連接閘極電極與第二電晶體之汲極區，而第二條金屬線則經由第四洞孔連接作用區與第二電晶體之源極區。

<圖示之簡單說明>

本發明之上述精神與優點，藉由下列參照附圖所作之較佳具體實施例的詳細描述，將會更為明白。

第 1 圖是依照本發明之具體實施例的半導體元件之佈局圖（layout）。

第 2 圖是依照本發明之具體實施例的半導體元件之結構圖。

第 3 圖是依照本發明之具體實施例的半導體元件之電

五、發明說明 (5)

路圖。

第4至11圖是用以說明依照本發明之具體實施例的半導體元件之製程的側視圖。

<圖式中元件名稱與符號對照>

1：底層

10：基板

100：第一電晶體

11：作用區

12：第一氧化層

12a：第一電晶體的閘極氧化層

14：第一傳導層

14a：被第一與第二電晶體所共用的閘極電極

16、18：第一電晶體之源極及汲極

17：源極電極

19：汲極電極

2：氧化物理層

22：第二氧化層

22a：第二閘極層

24：第二傳導層

24a：傳導層

26：第二源極區

28：汲極區

200：第二電晶體

3：半導體層

五、發明說明 (6)

30：中間絕緣層

30a：TEOS氧化層

30b：BPSG

32,33,34,35：接點洞孔

32a：第一電晶體之源極

34a：汲極

40：金屬線

40a：閘極電極的接點

42a：第二電晶之源極接點

42b：作用區的接點

D2：汲極區

G1,G2：閘極電極

S2：源極電極

<較佳具體實施例>

在下文中，本發明之較佳具體實施例將藉由參照附圖而被詳細描述。

第1圖是依照本發明之具體實施例的半導體元件之佈局圖。參考數字11表示作用區，14a 表示被第一與第二電晶體所共用的閘極電極，16與18分別代表第一電晶體之源極與汲極，26代表第二電晶體之源極，32a 與34a 分別代表第一電晶體之源極與汲極接點，40a 代表閘極電極的接點，42a代表第二電晶體之源極接點，而 42b 則代表作用區的接點。

如圖所示，本發明所提出之半導體元件包含了第一與

五、發明說明（7）

第二電晶體堆疊在一個作用區11上。第一與第二電晶體共用一個閘極電極14a，特別是，該閘極電極被設計成垂直於第一電晶體的源極與汲極區16,18。

第2圖是依照本發明之具體實施例的半導體元件之結構圖。如圖所示，本發明所提出之半導體元件具有一種堆疊結構的SOI基板10，其包含了一層作為支撐的底層1、底層上方有一層氧化物埋層2、埋層上方的半導體層3則作為元件的作用區，並且還有一個第一電晶體100與一個第二電晶體200形成於半導體層3的作用區11上。在這裡，半導體層3的作用區11是由場氧化膜（field oxide film, 圖示中並未顯示）所定義。

第一電晶體100與第二電晶體200在一個作用區11上形成一種堆疊結構。第一電晶體100與第二電晶體200共同使用一個閘極電極14a。第一電晶體100的組成包含了一個閘極電極14a、一個形成於閘極電極14a下半部的第一閘極層12a、形成於半導體層3內閘極電極14a兩側的第一源極區16與汲極區18。第二電晶體200的組成則包含了閘極電極14a、一個形成於閘極電極14a之上的第二閘極層22a、形成於第二閘極層22a上方的第二源極區26與汲極區28。

源極電極17與汲極電極19分別與第一電晶體100的源極區與汲極區相連接。第一金屬線40的形成，使得被第一與第二電晶體100,200所共用的閘極電極14a連接到第二電晶體200的汲極區28。第二金屬線42的形成，

五、發明說明 (8)

使得作用區 11 與第二電晶體 200 的源極區26相連接。

第 3圖是依照本發明之具體實施例的半導體元件之電路圖。如圖所示，本發明所提出之半導體元件包含了一個作為主要電晶體的第一電晶體 100，以及一個作為輔助電晶體的第二電晶體 200。第一電晶體 100與第二電晶體 200的閘極電極 G1,G2互相接在一起。另外，第二電晶體 200的汲極區 D2 連接到閘極電極G2。因此，有一個相等的電壓被加到第一電晶體 100的閘極電極G1以及第二電晶體 200的閘極電極 G2與汲極電極 D2。更進一步地說，第二電晶體 200的源極電極S2與第一電晶體 100的本體相連接。

如上所述，在本發明所提出之半導體元件中，主要電晶體，即第一電晶體 100通道區內的電荷，由於輔助電晶體，即第二電晶體 200的正偏壓而減小。在此，電荷的減少代表了外加於閘極電極，以在作用區表面產生通道區的電壓也跟著降低。是故，作為主要電晶體的第一電晶體 100的臨限電壓也就降低了。

此外，在本發明所提出之半導體元件中，相較於一般的電晶體結構，由第二電晶體200 所加於第一電晶體100的正偏壓，降低了加在第一電晶體 100閘極電極 G1 的電場。於是，第一電晶體 100的載體遷移率提高了。

更進一步地說，本發明所提出之半導體元件，由於在第二電晶體200導通之前並沒有任何正偏壓加於第一電晶體 100，因此相較於一般的電晶體結構，具有較低的漏電

五、發明說明（9）

流。

依以上所述，本發明所提出之半導體元件，具有低臨限電壓與低漏電流的特性。特別是，本發明所提出之半導體元件，由於將兩個電晶體製造在同一個作用區上，故擁有較佳的製程整合性。

第4至11圖是用以說明依照本發明之具體實施例的半導體元件之製程的側視圖。其中，第4至第8圖與第10圖是沿著第1圖的A-A'線所繪製的側視圖，而第9與第11圖則是沿著第1圖的B-B'線，根據第8圖與第10圖所示的製程步驟所繪製的側視圖。

請參考第4圖，其具有一種SOI基板10，包含了一層作為支撐的底層1、底層上方有一層氧化物埋層2、埋層上方的半導體層3則作為元件的作用區。用來定義作用區的場氧化膜（圖示中並未顯示）則在半導體層3內形成。在SOI基板10的半導體層3上，依序形成第一氧化層12、第一傳導層14、第二氧化層22與第二傳導層24。第一傳導層14是由有摻雜的（doped）多晶矽（polysilicon）層所構成，形成了被第一與第二電晶體所共用的閘極電極。第二傳導層是由未被摻雜的多晶矽層所構成，第二電晶體之源極區、汲極區與通道區均在其中形成。

參考第5圖，分別將第二傳導層、第二氧化層、第一傳導層與第一氧化層定義圖案，以獲得傳導層24a，之後在其中形成了第二電晶體的源極區、汲極區與通道區，第二電晶體之閘極氧化層22a，被第一與第二電晶體共用的

五、發明說明 (10)

閘極電極 14a，以及第一電晶體的閘極氧化層12a。

隨後，選擇一種傳導型別的雜質(impurity)，比如說，N-型雜質，將之高濃度地離子佈值 (ion-implant)到閘極電極 14a兩側的半導體層內以及傳導層 24a的兩端。接著，被N-形雜質所佈值的區域經過回火(anneal)處理而形成第一電晶體的源極區16與汲極區18，以及第二電晶體的源極區與汲極區(圖示中並未顯示)。在這裡，傳導層24a包含第二電晶體的源極區與汲極區，以及位於兩者中間的通道區。因此，在下文中所出現的參考數字 24a即代表第二電晶體的的通道區。

參考第 6圖，一層中間絕緣層30被覆蓋在前述之結果上。此中間絕緣層是一個雙層結構，包含了一層TEOS氧化層 30a與一層BPSG 30b。BPSG 30b被塗佈之後，在攝氏600至 800度的溫度範圍內會流動，以形成一個平坦的表面。

參考第 7圖，中間絕緣層30被回蝕至包含第二電晶體源極區與汲極區的通道區 24a被暴露出來。

參考第 8與第 9圖，選定中間絕緣層30的部分區域，定義感光層圖案，以作為選擇性蝕刻之蝕刻屏障。其結果如第 8圖所示，在中間絕緣層30上形成第一接點洞孔32與第二接點洞孔33，分別將第一電晶體的源極區與汲極區16,18暴露出來；而如第 9圖所示，在中間絕緣層30上也形成了第三接點洞孔34與第四接點洞孔35，分別將閘極電極 14a與半導體層 3的作用區11暴露出來。

五、發明說明（11）

在第9圖中，參考數字4代表場氧化膜，用來定義作用區；26與28代表第二電晶體的源極與汲極區，形成於第5圖的步驟。

參考第10與11圖，一層足夠厚的金屬層被形成，以完全填滿第一至第四個接點洞孔32,33,34,35。隨後，該金屬層依先前已經設計好的圖樣被定義。於是，如第10圖所示，在中間絕緣層30上形成源極電極17與汲極電極19，並且分別與第一電晶體的源極區與汲極區接觸。此外，如第11圖所示，在中間絕緣層30上形成第一條金屬線40，使得被第一與第二電晶體所共用的閘極電極14a被連接到第二電晶體的汲極區28；而第二條金屬線42，使得半導體層3的作用區11被連接到第二電晶體200的源極區26。

如同以上所討論的，本發明所提出之半導體元件由於將兩個電晶製作在一個作用區上，所以從製程整合性的觀點來看，極具優勢。再者，由於此種半導體元件具有低臨限電壓與低漏電流特性，因此特別符合講求小尺寸與低電壓的可攜式電子產品的需要。

本發明以一較佳實施例說明如上，僅用於藉以幫助了解本發明之實施，非用以限定本發明之精神，而熟悉此領域記憶於領悟本發明之精神後，在不脫離本發明之精神範圍內，當可作些許更動潤飾及同等之變化替換，其專利保護範圍當視後附之申請專利範圍及其等同領域而定。

四、中文發明摘要 （發明之名稱：製造一種半導體元件之方法）

一種半導體元件，擁有低電壓特性與較佳製程整合性；此種半導體元件包含了一種堆疊結構的SOI基板，包含了一層作為支撐的底層、底層上方有一層氧化物埋層，而埋層上方的半導體層則作為元件的作用區；以及一個第一電晶體與一個第二電晶體被製造在SOI基板的作用區上，在此，這兩個電晶體在同一個作用區上形成一種堆疊結構，並且共用一個閘極電極；第二電晶體的汲極區被連接到閘極電極，而第二電晶體的源極區被連接到作用區。

英文發明摘要 （發明之名稱：METHOD FOR FABRICATING SEMICONDUCTOR DEVICE）

Disclosed is a semiconductor device having low voltage characteristic and advantageous integrity simultaneously. The semiconductor device comprises a silicon-on-insulator(SOI) substrate of a stack structure comprising a base layer as a means for supporting, a buried oxide layer, and a semiconductor layer providing an active region; and a first transistor and a second transistor formed on the active region of the SOI substrate, wherein the first and second transistors are

四、中文發明摘要 （發明之名稱：製造一種半導體元件之方法）

英文發明摘要 （發明之名稱：METHOD FOR FABRICATING SEMICONDUCTOR DEVICE）

formed as a stack structure on one active region and they share one gate electrode, a drain region of the second transistor is electrically connected to the gate electrode and a source region of the second transistor is electrically connected to the active region.

六、申請專利範圍

1. 一種半導體元件，其包含了：

一種堆疊結構的SOI基板，包含了一層作為支撐的底層、底層上方有一層氧化物埋層，而埋層上方的半導體層則作為元件的作用區；

以及一個第一電晶體與一個第二電晶體被製造在SOI基板的作用區上，

其特徵在於，這兩個電晶體在同一個作用區上形成一種堆疊結構，並且共用一個閘極電極；第二電晶體的汲極區被連接到閘極電極，而第二電晶體的源極區被連接到作用區。

2. 如申請專利範圍第1項之半導體元件，其第一電晶體包含了一個閘極電極、一個形成於閘極電極下半部的第一閘極層、形成於半導體層內閘極電極兩側的第一源極區與汲極區。

3. 如申請專利範圍第2項之半導體元件，其第二電晶體包含了閘極電極、一個形成於閘極電極之上的第二閘極層、形成於第二閘極層上方的第二源極區與汲極區。

4. 如申請專利範圍第1項之半導體元件，其包含了分別與第一電晶體的源極區以及汲極區相連接的源極電極以及汲極電極。

5. 一種半導體元件，其包含了：

一種堆疊結構的SOI基板，包含了一層作為支撐的底層、底層上方有一層氧化物埋層，而埋層上方的半導體層則作為元件的作用區，

六、申請專利範圍

其特徵在於：

一個第一電晶體被製造在半導體層的作用區上，並包

六、申請專利範圍

含了一個閘極電極，其具有一層第一閘極氧化層，而其源極與汲極區在半導體層內，分別形成於閘極電極的兩側；

一個第二電晶體與第一電晶體共用同一個閘極電極，並且在該閘極電極上形成第二閘極氧化層，其源極與汲極則形成於第二閘極氧化層上；

一層中間絕緣層形成於SOI基板上，以覆蓋第一與第二電晶體；

源極與汲極電極分別被連接到第一電晶體的源極區與汲極區；

一條第一金屬線用以連接閘極電極與第二電晶體的汲極區；

一條第二金屬線則用以連接第一電晶體的作用區以及第二電晶體的源極區。

6. 如申請專利範圍第5項之半導體元件，其包含了一個作為主要電晶體的第一電晶體，以及一個作為輔助電晶體的第二電晶體。

7. 如申請專利範圍第5項之半導體元件，其中第一電晶體與第二電晶體形成於同一個作用區內。

8. 一種製造半導體元件的方法，包含了以下的步驟：

提供一種具有堆疊結構的SOI基板，其包括了一層作為支撐的底層、底層上方有一層氧化物埋層，而埋層上方的半導體層則作為元件的作用區；

依序在半導體層上形成一層第一氧化層、一層第一傳導層、一層第二氧化層與一層第二傳導層；

六、申請專利範圍

藉由定義第一氧化層、第一傳導層、第二氧化層與第二傳導層的圖案，在半導體層的作用區形成一個傳導層的圖案、一層第二閘極氧化層、一個閘極電極與一層第一閘極氧化層；

在半導體層內閘極電極的兩側，形成第一源極與汲極區，而第二源極與汲極區則形成於傳導層圖案的兩端，在其中，第一電晶體涵蓋了閘極電極以及第一源極與汲極區，而第二電晶體則包含了閘極電極以及第二源極與汲極區；

在上述步驟的成果上，形成一層中間絕緣層；

並將之回蝕至第二電晶體的源極與汲極區暴露出來；

藉由選擇性地蝕刻中間絕緣層而形成一個第一接點洞孔與一個第二接點洞孔以分別將第一電晶體的源極與汲極暴露出來，而一個第三接點洞孔與一個第四洞孔則分別將閘極電極與作用區暴露出來；

在中間絕緣層上形成一層夠厚的金屬層，以將第一、第二、第三與第四接點洞孔全部填滿；

在中間絕緣層上，藉由定義金屬層的圖案，形成源極與汲極電極，並使之經由第一與第二接點洞孔與第一電晶體之源極與汲極相連接；再形成一條第一金屬線以經由第三接點洞孔連接閘極電極與第二電晶體之汲極區，而第二條金屬線則經由第四洞孔連接作用區與第二電晶體之源極區。

9 如申請專利範圍第 8 項之方法，其中的第一傳導層

六、申請專利範圍

是由有摻雜的多晶矽層所構成。

10如申請專利範圍第8項之方法，其中的第二傳導層是由未被摻雜的多晶矽層所構成。

11如申請專利範圍第8項之方法，其中的閘極電極被設計成垂直於第一電晶體的源極與汲極區。

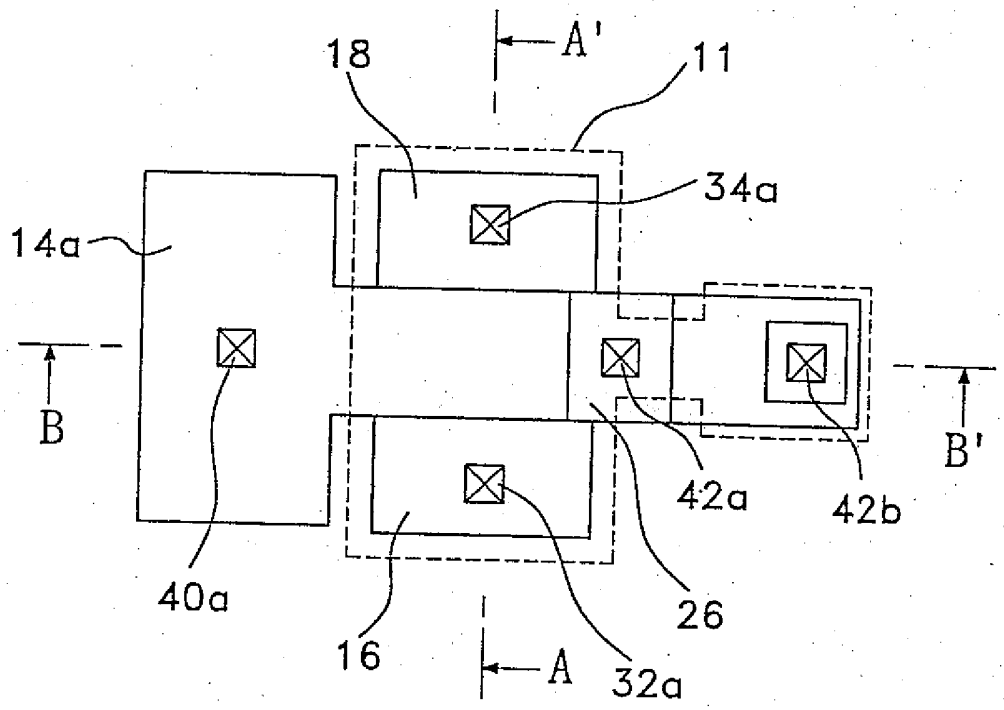
12如申請專利範圍第8項之方法，其中間絕緣層是一個雙層結構。

13如申請專利範圍第12項之方法，其第一層中間層是由TEOS氧化層所構成，而第二層是由BPSG所構成。

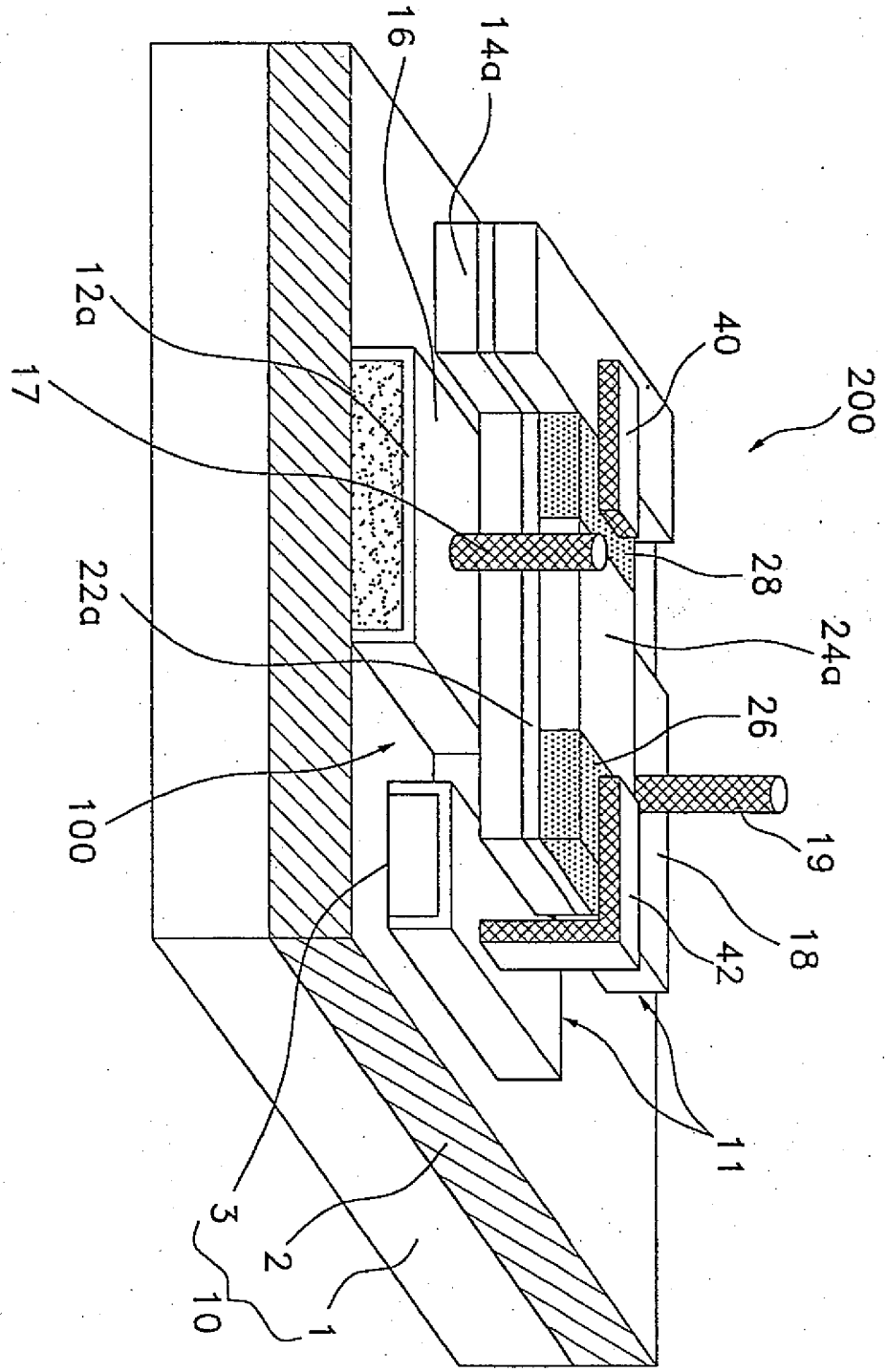
14如申請專利範圍第13項之方法，BPSG層在攝氏600至800度的溫度範圍內會流動，以形成一個平坦的表面。

圖式

第 1 圖



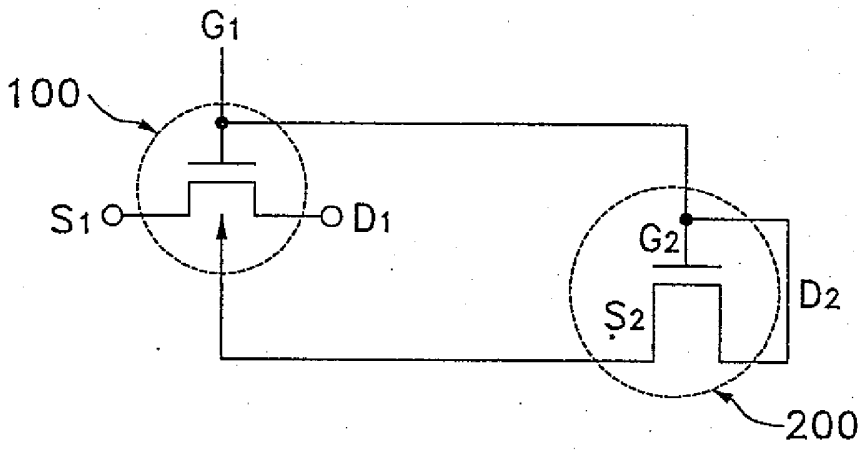
圖式



第 2 圖

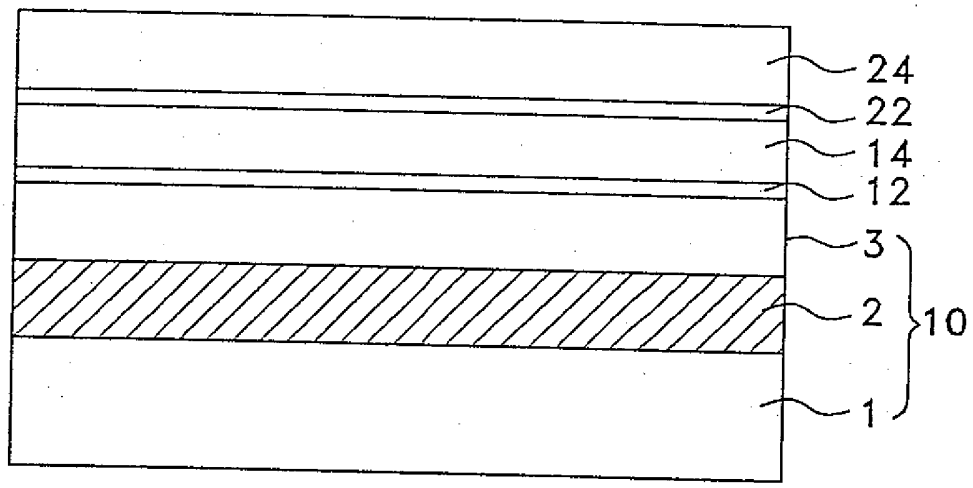
圖式

第 3 圖

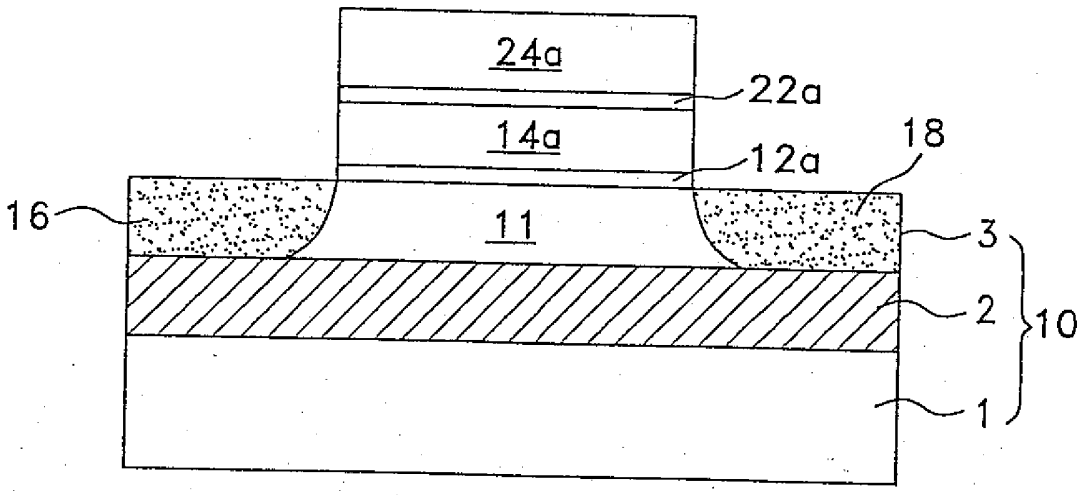


圖式

第 4 圖

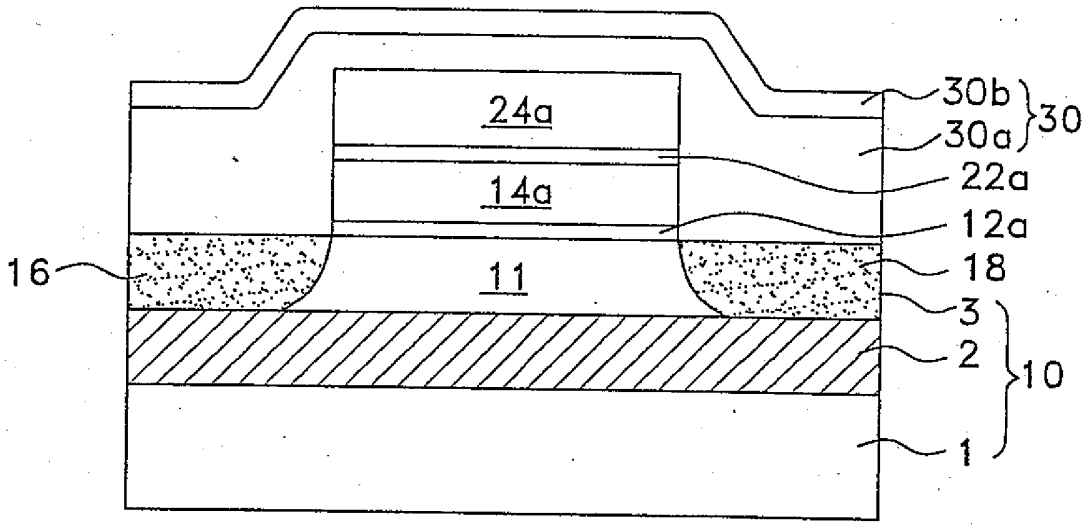


第 5 圖

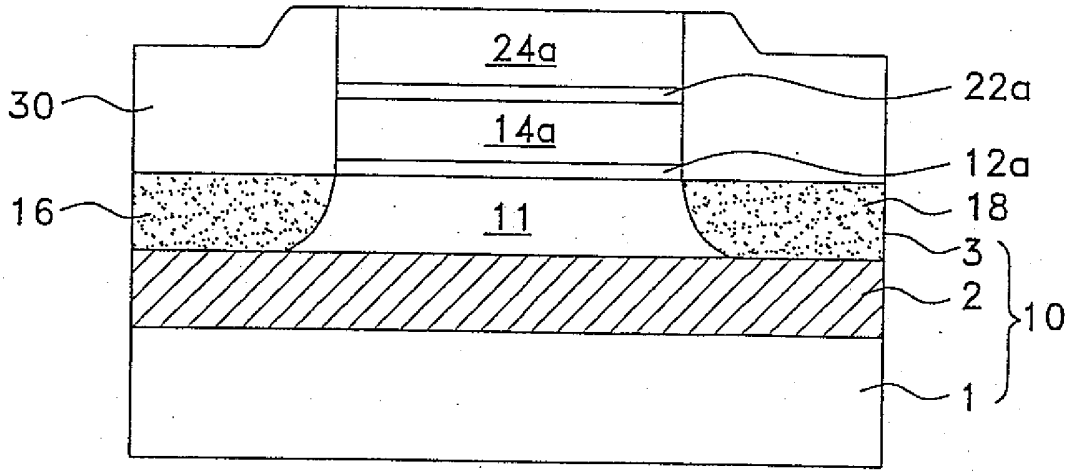


圖式

第 6 圖

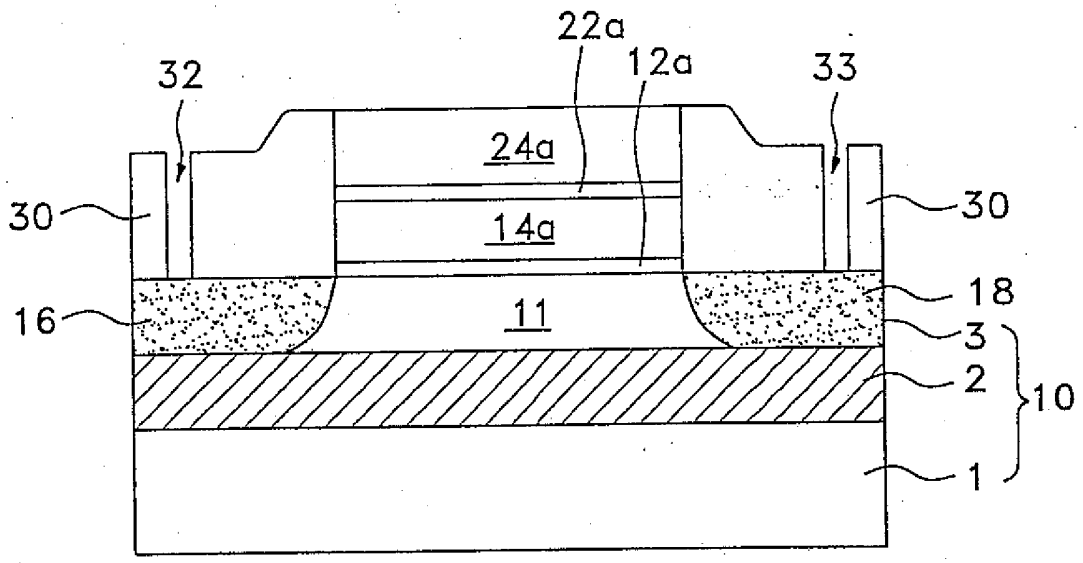

24a
14a
11
16
30b
30a
30
22a
12a
18
3
2
10
1

第 7 圖

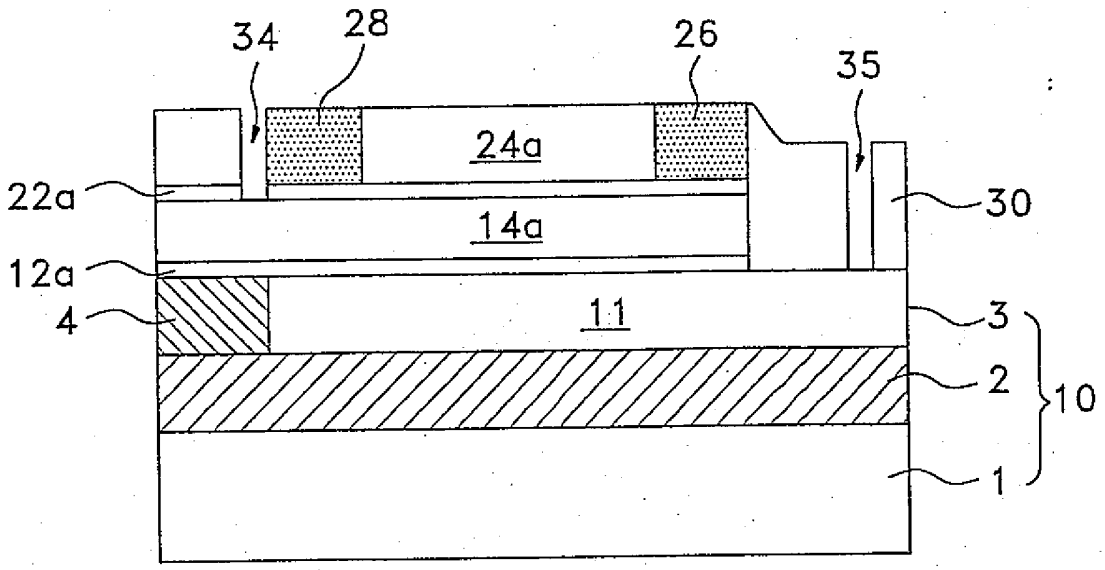

24a
14a
11
30
16
22a
12a
18
3
2
10
1

圖式

第 8 圖

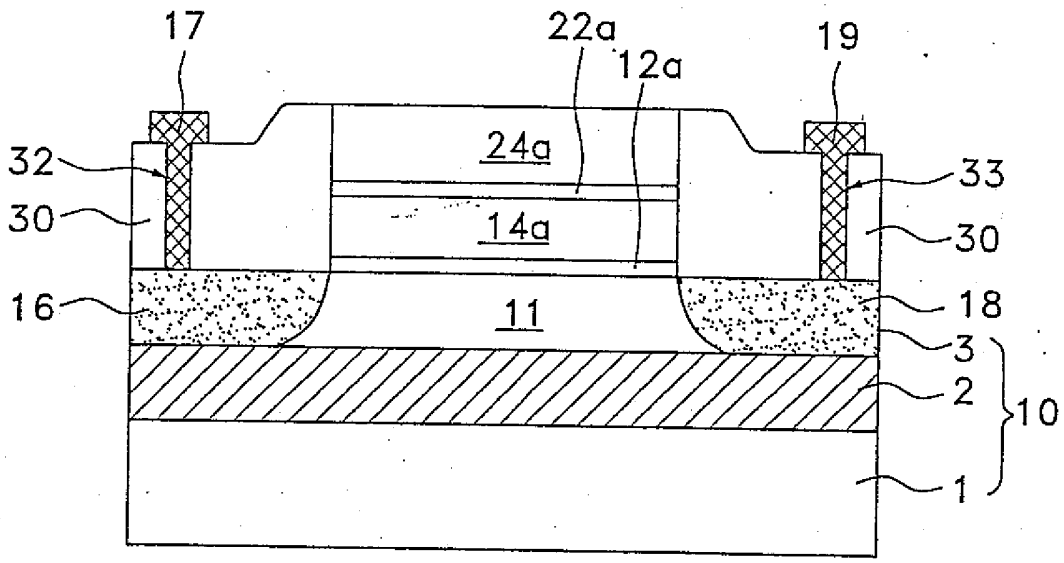

22a
12a
32
33
24a
30
14a
30
18
16
11
3
2
10
1

第 9 圖

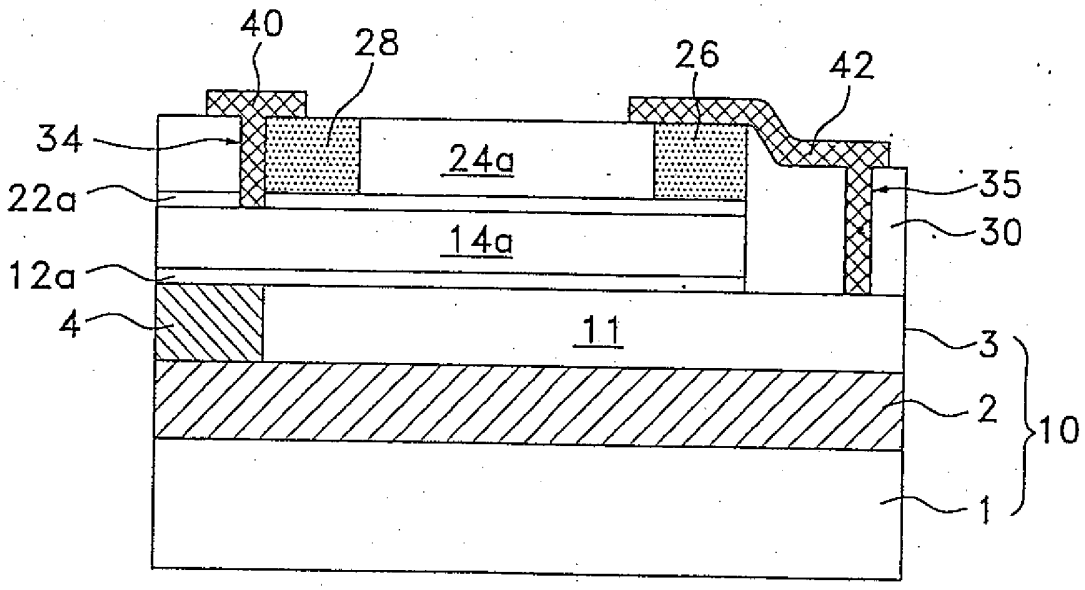

34
28
26
35
24a
22a
14a
30
12a
4
11
3
2
10
1

圖式

第 10 圖


17
22a
12a
19
32
24a
33
30
14a
30
16
11
18
3
2
10
1

第 11 圖


40
28
26
42
34
24a
35
22a
14a
30
12a
4
11
3
2
10
1

六、申請專利範圍

1. 一種半導體元件，其包含了：

一種堆疊結構的SOI基板，包含了一層作為支撐的底層、底層上方有一層氧化物埋層，而埋層上方的半導體層則作為元件的作用區；

以及一個第一電晶體與一個第二電晶體被製造在SOI基板的作用區上，

其特徵在於，這兩個電晶體在同一個作用區上形成一種堆疊結構，並且共用一個閘極電極；第二電晶體的汲極區被連接到閘極電極，而第二電晶體的源極區被連接到作用區。

2. 如申請專利範圍第1項之半導體元件，其第一電晶體包含了一個閘極電極、一個形成於閘極電極下半部的第一閘極層、形成於半導體層內閘極電極兩側的第一源極區與汲極區。

3. 如申請專利範圍第2項之半導體元件，其第二電晶體包含了閘極電極、一個形成於閘極電極之上的第二閘極層、形成於第二閘極層上方的第二源極區與汲極區。

4. 如申請專利範圍第1項之半導體元件，其包含了分別與第一電晶體的源極區以及汲極區相連接的源極電極以及汲極電極。

5. 一種半導體元件，其包含了：

一種堆疊結構的SOI基板，包含了一層作為支撐的底層、底層上方有一層氧化物埋層，而埋層上方的半導體層則作為元件的作用區，