



(12)发明专利申请

(10)申请公布号 CN 107092215 A

(43)申请公布日 2017.08.25

(21)申请号 201710442896.2

(22)申请日 2017.06.13

(71)申请人 浙江大学

地址 310058 浙江省杭州市西湖区余杭塘路866号

(72)发明人 朱世强 于亦奇 张学群 陈庆诚

(74)专利代理机构 杭州求是专利事务有限公司 33200

代理人 邱启旺

(51)Int.Cl.

G05B 19/042(2006.01)

权利要求书2页 说明书6页 附图3页

(54)发明名称

一种多轴运动控制器

(57)摘要

本发明设计了一种多轴运动控制器,解决了现有运动控制器控制周期长、工作效率低的问题。它包括主控模块、电源管理模块、通信模块、存储器模块;所述电源管理模块、通信模块和存储器模块均与主控模块相连。主控模块以数字处理芯片为核心,完成机器人运动控制中的轨迹插补和位置闭环控制;电源管理模块为整个系统提供工作电压,设计上电时序可控的管理电路;通信模块由两部分组成,CAN总线接收用户所设参数和控制指令;SPI总线控制多个伺服驱动器,设计差分传输电路及电阻网络以提高SPI总线通信的稳定性;存储器模块扩展存储容量,满足工作过程中大数据量的吞吐。上述多轴控制器对多个伺服驱动控制时,控制周期短、响应速度快、重复定位精度高。

1. 一种多轴运动控制器,其特征在于,包括主控模块、电源管理模块、通信模块、存储器模块;所述电源管理模块、通信模块和存储器模块均与主控模块相连。

2. 根据权利要求1所述的多轴运动控制器,其特征在于,所述主控模块包括数字处理芯片、时钟电路、JTAG电路;时钟电路和JTAG电路通过I/O端口与数字处理芯片相连。

3. 根据权利要求2所述的多轴运动控制器,其特征在于,所述通信模块包括第一差分输出驱动芯片U6、第二差分输出驱动芯片U7、第三差分输出驱动芯片U8、差分输入驱动芯片U9、CAN总线电平转换芯片U10、插座P2、插座P3、插座P4、电阻匹配网络R15-R17、电阻R18-R19、非极性电容C18;

第一差分输出驱动芯片U6的正使能端和电源端均与+5V电压相连,第一差分输出驱动芯片U6的负使能端和接地端均与GND相连,第一差分输出驱动芯片U6的第一输入端口与数字处理芯片U4的串行外设接口主发从收端相连,第一差分输出驱动芯片U6的第一同相输出端与插座P2的第六端口相连,第一差分输出驱动芯片U6的第一反相输出端与插座P2的第五端口相连,第一差分输出驱动芯片U6的第二输入端口与数字处理芯片U4的串行外设接口时钟端口相连,第一差分输出驱动芯片U6的第二同相输出端与插座P2的第三端口相连,第一差分输出驱动芯片U6的第二反相输出端与插座P2的第四端口相连,第一差分输出驱动芯片U6的第三输入端口与数字处理芯片U4的串行外设接口片选信号相连,第一差分输出驱动芯片U6的第三同相输出端与插座P2的第一端口相连,第一差分输出驱动芯片U6的第三反相输出端与插座P2的第二端口相连;

第二差分输出驱动芯片U7的正使能端和电源端均与+5V电压相连,第二差分输出驱动芯片U7的负使能端和接地端均与GND相连,第二差分输出驱动芯片U7的第一输入端口与数字处理芯片U4的I/O端口相连,第二差分输出驱动芯片U7的第一同相输出端与插座P3的第九端口相连,第二差分输出驱动芯片U7的第一反相输出端与插座P3的第十端口相连,第二差分输出驱动芯片U7的第二输入端口与数字处理芯片U4的I/O端口相连,第二差分输出驱动芯片U7的第二同相输出端与插座P3的第七端口相连,第二差分输出驱动芯片U7的第二反相输出端与插座P3的第八端口相连,第二差分输出驱动芯片U7的第三输入端口与数字处理芯片U4的I/O端口相连,第二差分输出驱动芯片U7的第三同相输出端与插座P3的第三端口相连,第二差分输出驱动芯片U7的第三反相输出端与插座P3的第四端口相连,第二差分输出驱动芯片U7的第四输入端口与数字处理芯片U4的I/O端口相连,第二差分输出驱动芯片U7的第四同相输出端与插座P3的第五端口相连,第二差分输出驱动芯片U7的第四反相输出端与插座P3的第六端口相连;

第三差分输出驱动芯片U8的正使能端和电源端均与+5V电压相连,第三差分输出驱动芯片U8的负使能端和接地端均与GND相连,第三差分输出驱动芯片U8的第一输入端口与数字处理芯片U4的I/O端口相连,第三差分输出驱动芯片U8的第一同相输出端与插座P3的第一端口相连,第三差分输出驱动芯片U8的第一反相输出端与插座P3的第二端口相连;

差分输入驱动芯片U9的正使能端和电源端均与+5V电压相连,差分输入驱动芯片U9的负使能端和接地端均与GND相连,差分输入驱动芯片U9的第一同相输入端口和电阻匹配网络R17的一端均与电阻匹配网络R16的一端相连,差分输入驱动芯片U9的第一反相输入端口和电阻匹配网络R17的另一端均与电阻匹配网络R15的一端相连,差分输入驱动芯片U9的第一输出端口与数字处理芯片U4的串行外设接口主收从发端相连,电阻匹配网络R15的另一

端与插座P2的第七端口相连,电阻匹配网络R16的另一端与插座P2的第八端口相连;

CAN总线电平转换芯片U10的发送端与数字处理芯片U4的CAN总线接收端相连,CAN总线电平转换芯片U10的接收端与数字处理芯片U4的CAN总线发送端相连,CAN总线电平转换芯片U10的电源端和非极性电容C18的一端均与+3.3V电压相连,CAN总线电平转换芯片U10的接地端,电阻R18的一端以及非极性电容C18的另一端均与GND相连,CAN总线电平转换芯片U10的使能端与电阻R18的另一端相连,CAN总线电平转换芯片U10的CAN总线高电平端和电阻R19的一端相连后与插座P4的第一端口相连,CAN总线电平转换芯片U10的CAN总线低电平端和电阻R19的另一端相连后与插座P4的第二端口相连。

4. 根据权利要求3所述的多轴运动控制器,其特征在于,所述电源管理模块包括第一电压转换芯片U1、第二电压转换芯片U2、复位芯片U3、开关S1、插座P1、电阻R1-R5、极性电容C1、极性电容C6、极性电容C11、非极性电容C2-C5、非极性电容C7-C10、非极性电容C12-C15、发光二极管D1-D2、按键SW;

第一电压转换芯片的接地端口均与GND相连,电阻R3的一端和第一电压转换芯片的电压输入端口均与+5V电压相连,电阻R3的另一端与第一电压转换芯片的使能端口相连,第一电压转换芯片的使能端口与第二电压转换芯片U2的反馈端口相连,第一电压转换芯片的电压输出端口输出+1.9V电压;第二电压转换芯片的使能端口和接地端口均与GND相连,第二电压转换芯片的输入端口与+5V电压相连,第二电压转换芯片的输出端口输出+3.3V电压;

电阻R1的一端与+3.3V端相连,电阻R1的另一端与发光二极管D1的一端相连,发光二极管D1的另一端与GND相连;

电阻R2的一端与+5V相连,电阻R2的另一端与发光二极管D2的一端相连,发光二极管D2的另一端与GND相连;

开关S1的第一端口与插座P1的第一端口相连,开关S1的第二端口与+5V端相连,插座P1的第二端口与GND相连;

复位芯片U3的复位端口与数字处理芯片U4的复位端相连,复位芯片U3的手动复位输入端口与按键SW的常闭端相连,按键SW的常开端与GND相连,复位芯片U3的接地端口与GND相连,复位芯片U3的电源端口与+3.3V电压相连;

极性电容C1的正极、非极性电容C2的一端、非极性电容C3的一端、非极性电容C4的一端和非极性电容C5的一端均与第一电压转换芯片U1输出的+1.9V端相连,极性电容C1的负极、非极性电容C2的另一端、非极性电容C3的另一端、非极性电容C4的另一端和非极性电容C5的另一端均与GND相连;

极性电容C6的正极、非极性电容C7的一端、非极性电容C8的一端、非极性电容C9的一端和非极性电容C10的一端均与第二电压转换芯片U2输出的+3.3V端相连,极性电容C6的负极、非极性电容C7的另一端、非极性电容C8的另一端、非极性电容C9的另一端和非极性电容C10的另一端均与GND相连;

极性电容C11的正极、非极性电容C12的一端、非极性电容C13的一端、非极性电容C14的一端和非极性电容C15的一端均与外部输入的+5V端相连,极性电容C11的负极、非极性电容C12的另一端、非极性电容C13的另一端、非极性电容C14的另一端和非极性电容C15的另一端均与GND相连。

一种多轴运动控制器

技术领域

[0001] 本发明属于机械电子工程及自动化领域,尤其涉及一种多轴运动控制器。

背景技术

[0002] 现有的运动控制器方案多为上位机和运动控制器,其中上位机负责运动学解算和轨迹插补,运动控制器接收上位机数据并传输至伺服驱动器,此种方案耗费资源较大、响应速度较慢;现有的运动控制器多采用并行总线进行数据传输,该方案通信成本高、占据资源大,设计及应用复杂度高,不适合长距离传输。

发明内容

[0003] 本发明的目的在于针对现有技术的不足,提供一种多轴运动控制器,以高频数字处理芯片为核心,读取人机接口输入的数据,控制器内部实时进行运动学解算和轨迹插补,使用高速串行总线控制多台驱动器,可以完成高效率、快速响应的运动控制,并保证通信稳定。

[0004] 本发明的目的是通过以下技术方案来实现的:一种多轴运动控制器,包括主控模块、电源管理模块、通信模块、存储器模块;所述电源管理模块、通信模块和存储器模块均与主控模块相连。

[0005] 进一步的,所述主控模块包括数字处理芯片、时钟电路、JTAG电路;时钟电路和JTAG电路通过I/O端口与数字处理芯片相连。

[0006] 进一步的,所述通信模块包括第一差分输出驱动芯片U6、第二差分输出驱动芯片U7、第三差分输出驱动芯片U8、差分输入驱动芯片U9、CAN总线电平转换芯片U10、插座P2、插座P3、插座P4、电阻匹配网络R15-R17、电阻R18-R19、非极性电容C18;

[0007] 第一差分输出驱动芯片U6的正使能端和电源端均与+5V电压相连,第一差分输出驱动芯片U6的负使能端和接地端均与GND相连,第一差分输出驱动芯片U6的第一输入端口与数字处理芯片U4的串行外设接口主发从收端相连,第一差分输出驱动芯片U6的第一同相输出端与插座P2的第六端口相连,第一差分输出驱动芯片U6的第一反相输出端与插座P2的第五端口相连,第一差分输出驱动芯片U6的第二输入端口与数字处理芯片U4的串行外设接口时钟端口相连,第一差分输出驱动芯片U6的第二同相输出端与插座P2的第三端口相连,第一差分输出驱动芯片U6的第二反相输出端与插座P2的第四端口相连,第一差分输出驱动芯片U6的第三输入端口与数字处理芯片U4的串行外设接口片选信号相连,第一差分输出驱动芯片U6的第三同相输出端与插座P2的第一端口相连,第一差分输出驱动芯片U6的第三反相输出端与插座P2的第二端口相连;

[0008] 第二差分输出驱动芯片U7的正使能端和电源端均与+5V电压相连,第二差分输出驱动芯片U7的负使能端和接地端均与GND相连,第二差分输出驱动芯片U7的第一输入端口与数字处理芯片U4的I/O端口相连,第二差分输出驱动芯片U7的第一同相输出端与插座P3的第九端口相连,第二差分输出驱动芯片U7的第一反相输出端与插座P3的第十端口相连,

第二差分输出驱动芯片U7的第二输入端口与数字处理芯片U4的I/O端口相连,第二差分输出驱动芯片U7的第二同相输出端与插座P3的第七端口相连,第二差分输出驱动芯片U7的第二反相输出端与插座P3的第八端口相连,第二差分输出驱动芯片U7的第三输入端口与数字处理芯片U4的I/O端口相连,第二差分输出驱动芯片U7的第三同相输出端与插座P3的第三端口相连,第二差分输出驱动芯片U7的第三反相输出端与插座P3的第四端口相连,第二差分输出驱动芯片U7的第四输入端口与数字处理芯片U4的I/O端口相连,第二差分输出驱动芯片U7的第四同相输出端与插座P3的第五端口相连,第二差分输出驱动芯片U7的第四反相输出端与插座P3的第六端口相连;

[0009] 第三差分输出驱动芯片U8的正使能端和电源端均与+5V电压相连,第三差分输出驱动芯片U8的负使能端和接地端均与GND相连,第三差分输出驱动芯片U8的第一输入端口与数字处理芯片U4的I/O端口相连,第三差分输出驱动芯片U8的第一同相输出端与插座P3的第一端口相连,第三差分输出驱动芯片U8的第一反相输出端与插座P3的第二端口相连;

[0010] 差分输入驱动芯片U9的正使能端和电源端均与+5V电压相连,差分输入驱动芯片U9的负使能端和接地端均与GND相连,差分输入驱动芯片U9的第一同相输入端口和电阻匹配网络R17的一端均与电阻匹配网络R16的一端相连,差分输入驱动芯片U9的第一反相输入端口和电阻匹配网络R17的另一端均与电阻匹配网络R15的一端相连,差分输入驱动芯片U9的第一输出端口与数字处理芯片U4的串行外设接口主收从发端相连,电阻匹配网络R15的另一端与插座P2的第七端口相连,电阻匹配网络R16的另一端与插座P2的第八端口相连;

[0011] CAN总线电平转换芯片U10的发送端与数字处理芯片U4的CAN总线接收端相连,CAN总线电平转换芯片U10的接收端与数字处理芯片U4的CAN总线发送端相连,CAN总线电平转换芯片U10的电源端和非极性电容C18的一端均与+3.3V电压相连,CAN总线电平转换芯片U10的接地端,电阻R18的一端以及非极性电容C18的另一端均与GND相连,CAN总线电平转换芯片U10的使能端与电阻R18的另一端相连,CAN总线电平转换芯片U10的CAN总线高电平端和电阻R19的一端相连后与插座P4的第一端口相连,CAN总线电平转换芯片U10的CAN总线低电平端和电阻R19的另一端相连后与插座P4的第二端口相连。

[0012] 进一步的,所述电源管理模块包括第一电压转换芯片U1、第二电压转换芯片U2、复位芯片U3、开关S1、插座P1、电阻R1-R5、极性电容C1、极性电容C6、极性电容C11、非极性电容C2-C5、非极性电容C7-C10、非极性电容C12-C15、发光二极管D1-D2、按键SW;

[0013] 第一电压转换芯片的接地端口均与GND相连,电阻R3的一端和第一电压转换芯片的电压输入端口均与+5V电压相连,电阻R3的另一端与第一电压转换芯片的使能端口相连,第一电压转换芯片的使能端口与第二电压转换芯片U2的反馈端口相连,第一电压转换芯片的电压输出端口输出+1.9V电压;第二电压转换芯片的使能端口和接地端口均与GND相连,第二电压转换芯片的输入端口与+5V电压相连,第二电压转换芯片的输出端口输出+3.3V电压;

[0014] 电阻R1的一端与+3.3V端相连,电阻R1的另一端与发光二极管D1的一端相连,发光二极管D1的另一端与GND相连;

[0015] 电阻R2的一端与+5V相连,电阻R2的另一端与发光二极管D2的一端相连,发光二极管D2的另一端与GND相连;

[0016] 开关S1的第一端口与插座P1的第一端口相连,开关S1的第二端口与+5V端相连,插

座P1的第二端口与GND相连；

[0017] 复位芯片U3的复位端口与数字处理芯片U4的复位端相连,复位芯片U3的手动复位输入端口与按键SW的常闭端相连,按键SW的常开端与GND相连,复位芯片U3的接地端口与GND相连,复位芯片U3的电源端口与+3.3V电压相连；

[0018] 极性电容C1的正极、非极性电容C2的一端、非极性电容C3的一端、非极性电容C4的一端和非极性电容C5的一端均与第一电压转换芯片U1输出的+1.9V端相连,极性电容C1的负极、非极性电容C2的另一端、非极性电容C3的另一端、非极性电容C4的另一端和非极性电容C5的另一端均与GND相连；

[0019] 极性电容C6的正极、非极性电容C7的一端、非极性电容C8的一端、非极性电容C9的一端和非极性电容C10的一端均与第二电压转换芯片U2输出的+3.3V端相连,极性电容C6的负极、非极性电容C7的另一端、非极性电容C8的另一端、非极性电容C9的另一端和非极性电容C10的另一端均与GND相连；

[0020] 极性电容C11的正极、非极性电容C12的一端、非极性电容C13的一端、非极性电容C14的一端和非极性电容C15的一端均与外部输入的+5V端相连,极性电容C11的负极、非极性电容C12的另一端、非极性电容C13的另一端、非极性电容C14的另一端和非极性电容C15的另一端均与GND相连。

[0021] 本发明的有益效果是:本发明多轴运动控制器以数字处理芯片为核心进行设计,其有强大的浮点运算单元,具有低成本、低功耗、高性能的处理能力,可以并行执行多个操作。以其为核心设计多轴运动控制器,可以解决现有运动控制器以工控机为控制主体的高成本、高功耗的缺点;本发明为实时接收操作命令及并行控制多个伺服驱动器,设计CAN总线和SPI总线传输电路,解决现有运动控制器传输距离短、数据传输速度慢、抗干扰能力差的缺点。

附图说明

[0022] 图1为本发明的连接框图；

[0023] 图2为本发明的主控模块的电路图；

[0024] 图3为本发明的通信模块的电路图；

[0025] 图4为本发明的电源管理模块的电路图；

[0026] 图5为本发明实施例的连接图。

具体实施方式

[0027] 下面结合附图和具体实施例本发明作进一步详细说明。

[0028] 如图1所示,一种多轴运动控制器,包括主控模块、电源管理模块、通信模块、存储器模块;所述电源管理模块、通信模块和存储器模块均与主控模块相连。

[0029] 如图2所示,所述主控模块包括数字处理芯片、时钟电路、JTAG电路;时钟电路和JTAG电路通过I/O端口与数字处理芯片相连;依据数字处理芯片工作频率,设计时钟电路负载电容,为数字处理芯片提供时钟信号;JTAG电路为主控模块提供调试接口。

[0030] 如图3所示,为本发明的通信模块,本发明选择使用SPI总线,使用SPI总线进行运动控制器与伺服驱动器的数据传输,可以满足系统的大量数据吞吐及多驱动器与控制器之

间的数据交换、运动执行端的快速响应;针对多台伺服驱动器设计多片选接口,保证数据传输的方向性。为提高SPI总线数据传输的稳定性,设计差分传输电路以减少噪声干扰、设计阻抗匹配网络提高传输信号功率;针对数字信号处理芯片TMS320F28335,选取SN65HVD230--CAN收发器芯片,设计CAN总线转换电路,完成高通讯速率、良好抗干扰能力和高可靠性CAN通信。所述通信模块包括第一差分输出驱动芯片U6、第二差分输出驱动芯片U7、第三差分输出驱动芯片U8、差分输入驱动芯片U9、CAN总线电平转换芯片U10、插座P2、插座P3、插座P4、电阻匹配网络R15-R17、电阻R18-R19、非极性电容C18;

[0031] 第一差分输出驱动芯片U6的正使能端和电源端均与+5V电压相连,第一差分输出驱动芯片U6的负使能端和接地端均与GND相连,第一差分输出驱动芯片U6的第一输入端口1A与数字处理芯片U4的串行外设接口主发从收端相连,第一差分输出驱动芯片U6的第一同相输出端1Y与插座P2的第六端口(6号端口)相连,第一差分输出驱动芯片U6的第一反相输出端1Z与插座P2的第五端口(5号端口)相连,第一差分输出驱动芯片U6的第二输入端口2A与数字处理芯片U4的串行外设接口时钟端口相连,第一差分输出驱动芯片U6的第二同相输出端2Y与插座P2的第三端口(3号端口)相连,第一差分输出驱动芯片U6的第二反相输出端2Z与插座P2的第四端口(4号端口)相连,第一差分输出驱动芯片U6的第三输入端口3A与数字处理芯片U4的串行外设接口片选信号相连,第一差分输出驱动芯片U6的第三同相输出端3Y与插座P2的第一端口(1号端口)相连,第一差分输出驱动芯片U6的第三反相输出端3Z与插座P2的第二端口(2号端口)相连;所述第一差分输出驱动芯片U6采用型号为AM26LS31的芯片,但不限于此。

[0032] 第二差分输出驱动芯片U7的正使能端和电源端均与+5V电压相连,第二差分输出驱动芯片U7的负使能端和接地端均与GND相连,第二差分输出驱动芯片U7的第一输入端口1A与数字处理芯片U4的GPIO20相连,第二差分输出驱动芯片U7的第一同相输出端1Y与插座P3的第九端口(9号端口)相连,第二差分输出驱动芯片U7的第一反相输出端1Z与插座P3的第十端口(10号端口)相连,第二差分输出驱动芯片U7的第二输入端口2A与数字处理芯片U4的GPIO21相连,第二差分输出驱动芯片U7的第二同相输出端2Y与插座P3的第七端口(7号端口)相连,第二差分输出驱动芯片U7的第二反相输出端2Z与插座P3的第八端口(8号端口)相连,第二差分输出驱动芯片U7的第三输入端口3A与数字处理芯片U4的GPIO23相连,第二差分输出驱动芯片U7的第三同相输出端3Y与插座P3的第三端口(3号端口)相连,第二差分输出驱动芯片U7的第三反相输出端3Z与插座P3的第四端口(4号端口)相连,第二差分输出驱动芯片U7的第四输入端口4A与数字处理芯片U4的GPIO22相连,第二差分输出驱动芯片U7的第四同相输出端4Y与插座P3的第五端口(5号端口)相连,第二差分输出驱动芯片U7的第四反相输出端4Z与插座P3的第六端口(6号端口)相连;所述第二差分输出驱动芯片U7采用型号为AM26LS31的芯片,但不限于此。

[0033] 第三差分输出驱动芯片U8的正使能端和电源端均与+5V电压相连,第三差分输出驱动芯片U8的负使能端和接地端均与GND相连,第三差分输出驱动芯片U8的第一输入端口1A与数字处理芯片U4的GPIO24相连,第三差分输出驱动芯片U8的第一同相输出端1Y与插座P3的第一端口(1号端口)相连,第三差分输出驱动芯片U8的第一反相输出端1Z与插座P3的第二端口(2号端口)相连;所述第三差分输出驱动芯片U8采用型号为AM26LS31的芯片,但不限于此。

[0034] 差分输入驱动芯片U9的正使能端和电源端均与+5V电压相连,差分输入驱动芯片U9的负使能端和接地端均与GND相连,差分输入驱动芯片U9的第一同相输入端口1A和电阻匹配网络R17的一端均与电阻匹配网络R16的一端相连,差分输入驱动芯片U9的第一反相输入端口1B和电阻匹配网络R17的另一端均与电阻匹配网络R15的一端相连,差分输入驱动芯片U9的第一输出端口1Y与数字处理芯片U4的串行外设接口主收从发端相连,电阻匹配网络R15的另一端与插座P2的第七端口(7号端口)相连,电阻匹配网络R16的另一端与插座P2的第八端口(8号端口)相连;所述差分输入驱动芯片U9采用型号为AM26LS32的芯片,但不限于此。

[0035] CAN总线电平转换芯片U10的发送端与数字处理芯片U4的CAN总线接收端相连,CAN总线电平转换芯片U10的接收端与数字处理芯片U4的CAN总线发送端相连,CAN总线电平转换芯片U10的电源端和非极性电容C18的一端均与+3.3V电压相连,CAN总线电平转换芯片U10的接地端、电阻R18的一端以及非极性电容C18的另一端均与GND相连,CAN总线电平转换芯片U10的使能端与电阻R18的另一端相连,CAN总线电平转换芯片U10的CAN总线高电平端(7号端口)和电阻R19的一端相连后与插座P4的第一端口(1号端口)相连,CAN总线电平转换芯片U10的CAN总线低电平端(6号端口)和电阻R19的另一端相连后与插座P4的第二端口(2号端口)相连。

[0036] 三个差分驱动输出芯片(U6-U8)将数字处理器输出的单端信号转化成一一对大小相等、极性相反的差分信号;差分输入驱动芯片U9将一对大小相等、极性相反的差分输入信号转换成单端信号;CAN总线电平转换芯片U10与数字处理芯片U4进行通信,完成数字处理芯片的输入输出电平与CAN总线电平相互之间的转换。

[0037] 如图4所示,所述电源管理模块包括第一电压转换芯片U1、第二电压转换芯片U2、复位芯片U3、开关S1、插座P1、电阻R1-R5、极性电容C1、极性电容C6、极性电容C11、非极性电容C2-C5、非极性电容C7-C10、非极性电容C12-C15、发光二极管D1-D2、按键SW;

[0038] 第一电压转换芯片的1-3号端口、9-12端口、19-20端口均与GND相连,电阻R3的一端和第一电压转换芯片的电压输入端口(6、7号端口)均与+5V电压相连,电阻R3的另一端与第一电压转换芯片的使能端口(5号端口)相连,第一电压转换芯片的使能端口(5号端口)与第二电压转换芯片U2的反馈端口(5号端口)相连,第一电压转换芯片的电压输出端口(13-14号端口)输出+1.9V电压;第二电压转换芯片的使能端口(1号端口)和接地端口(3号端口)均与GND相连,第二电压转换芯片的输入端口(2号端口)与+5V电压相连,第二电压转换芯片的输出端口(4号端口)输出+3.3V电压;

[0039] 电阻R1的一端与+3.3V端相连,电阻R1的另一端与发光二极管D1的一端相连,发光二极管D1的另一端与GND相连;

[0040] 电阻R2的一端与+5V相连,电阻R2的另一端与发光二极管D2的一端相连,发光二极管D2的另一端与GND相连;

[0041] 开关S1的第一端口(1号端口)与插座P1的第一端口(1号端口)相连,开关S1的第二端口(2号端口)与+5V端相连,插座P1的第二端口(2号端口)与GND相连;

[0042] 复位芯片U3的复位端口(1号端口)与数字处理芯片U4的复位端相连,复位芯片U3的手动复位输入端口(3号端口)与按键SW的常闭端相连,按键SW的常开端与GND相连,复位芯片U3的接地端口(2号端口)与GND相连,复位芯片U3的电源端口(5号端口)与+3.3V电压相

连；

[0043] 极性电容C1的正极、非极性电容C2的一端、非极性电容C3的一端、非极性电容C4的一端和非极性电容C5的一端均与第一电压转换芯片U1输出的+1.9V端相连，极性电容C1的负极、非极性电容C2的另一端、非极性电容C3的另一端、非极性电容C4的另一端和非极性电容C5的另一端均与GND相连；

[0044] 极性电容C6的正极、非极性电容C7的一端、非极性电容C8的一端、非极性电容C9的一端和非极性电容C10的一端均与第二电压转换芯片U2输出的+3.3V端相连，极性电容C6的负极、非极性电容C7的另一端、非极性电容C8的另一端、非极性电容C9的另一端和非极性电容C10的另一端均与GND相连；

[0045] 极性电容C11的正极、非极性电容C12的一端、非极性电容C13的一端、非极性电容C14的一端和非极性电容C15的一端均与外部输入的+5V端相连，极性电容C11的负极、非极性电容C12的另一端、非极性电容C13的另一端、非极性电容C14的另一端和非极性电容C15的另一端均与GND相连。

[0046] 第一电压转换芯片U1输出电压公式为： $V_o = V_{ref} * \left(1 + \frac{R4}{R5}\right)$ ，根据输出公式选择输出电阻R4、R5，实现将+5V转换为1.9V输出电压；第二电压转换芯片U2将+5V转换为3.3V输出电压，完成转换后会将上电完成端口置为低电平、使能第一电压转换芯片，依此实现数字转换芯片3.3V外设电压先于1.9V内核电压上电的时序要求；复位芯片U3支持硬件复位和软件复位，实现数字处理芯片的复位管理；设计滤波电路滤除高频和低频纹波干扰。所述第一电压转换芯片U1选用TPS76801，但不限于此；第二电压转换芯片U2选用TPS75733芯片但不限于此。

[0047] 所述存储器模块采用CY7C1041CV，为256K*16静态随机存储器，完成对运动控制器运动控制学解算、轨迹插补产生大量数据的存储。

[0048] 实施例：

[0049] 本发明应用于喷涂、车辆装配等工业场景，将本发明通过CAN总线与人机接口相连，通过SPI总线与六个伺服驱动器相连，每个伺服驱动器与一个电机相连，如图5所示。

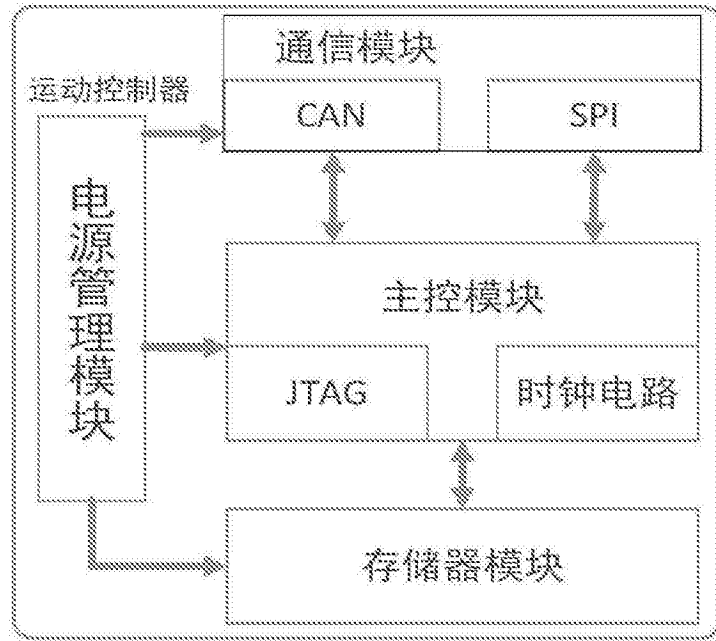


图1

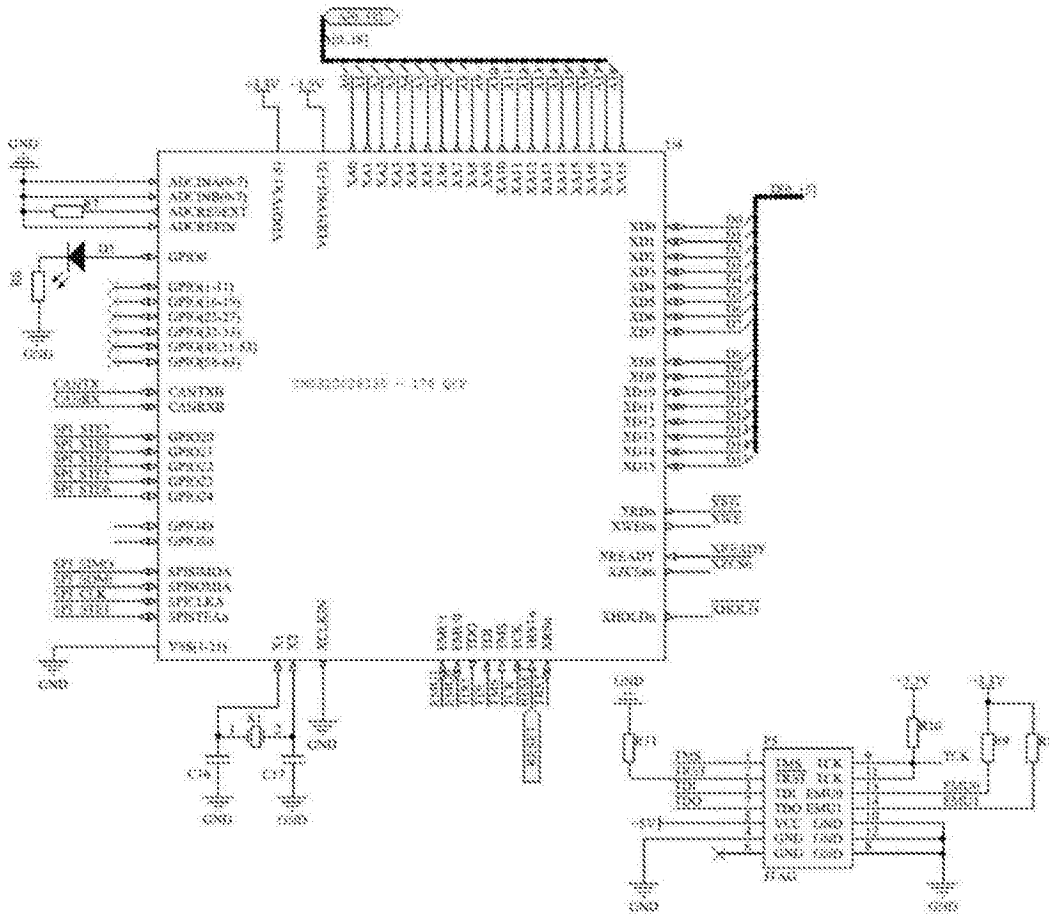


图2

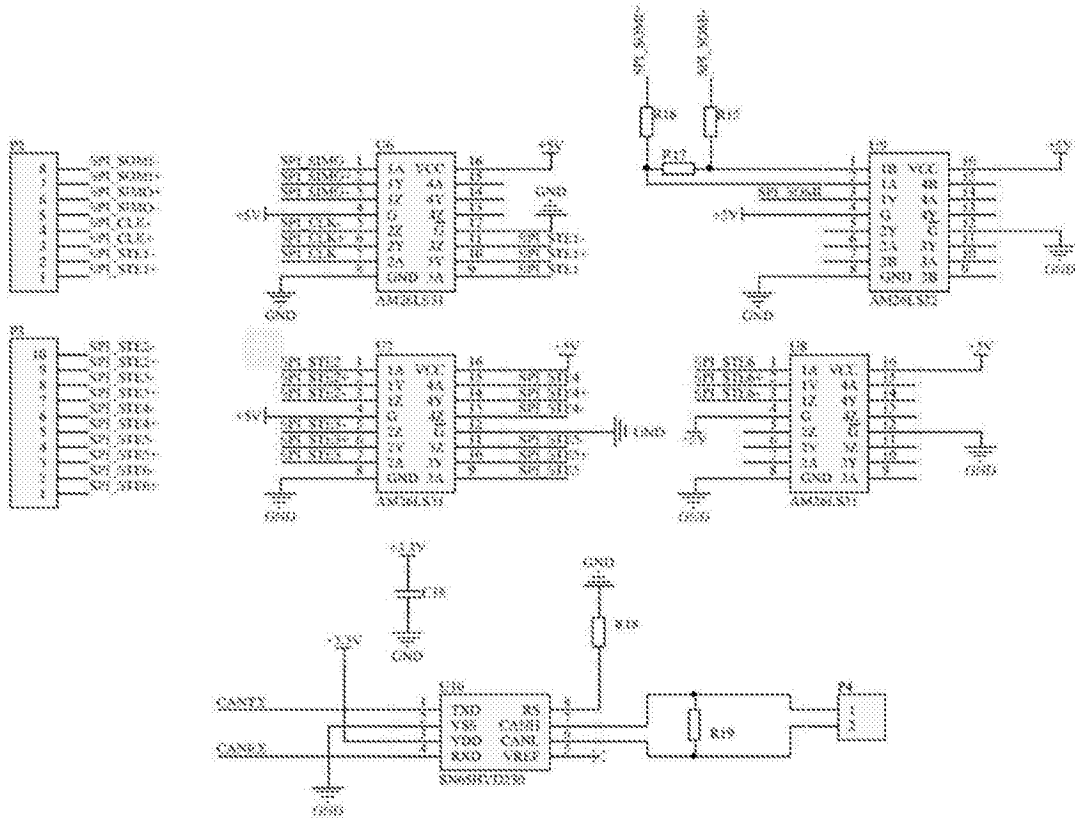


图3

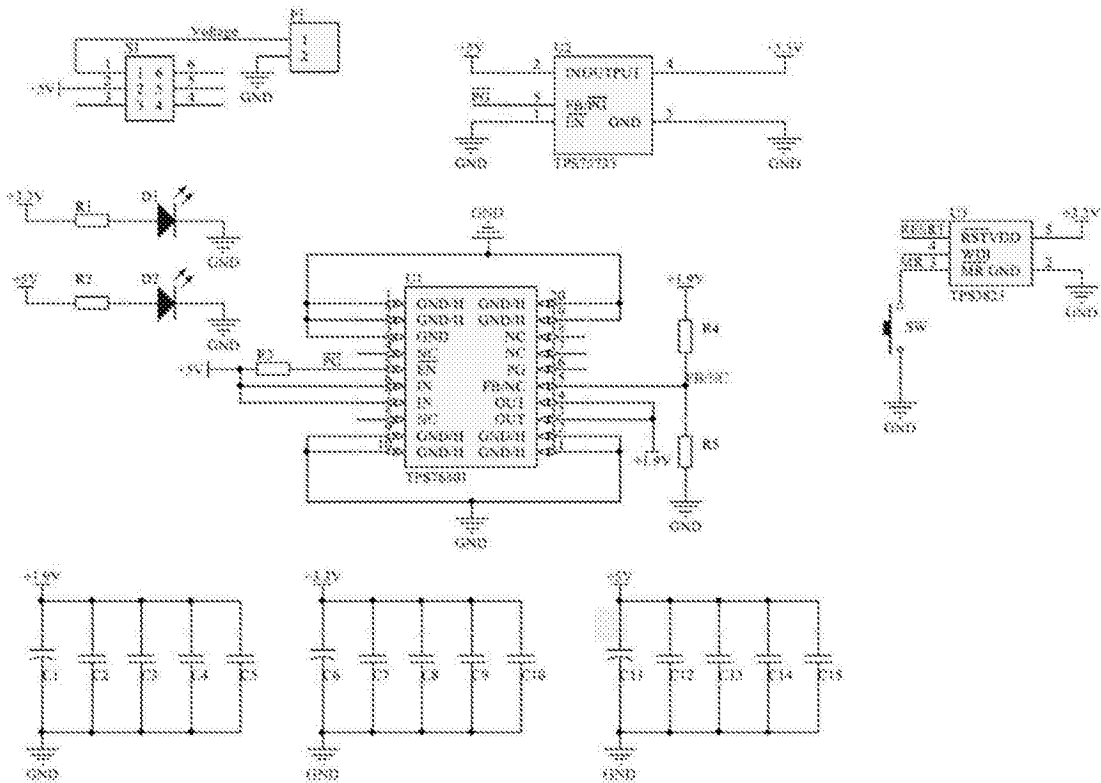


图4

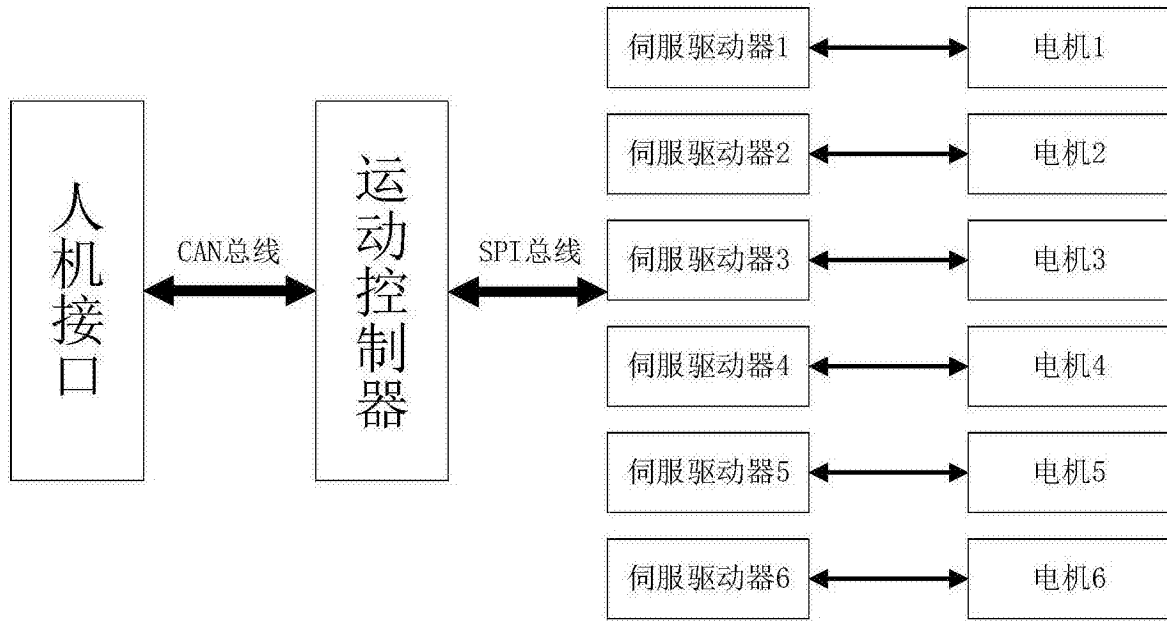


图5