



(12) 发明专利

(10) 授权公告号 CN 113688073 B

(45) 授权公告日 2024. 07. 09

(21) 申请号 202111043342.8

G06F 13/40 (2006.01)

(22) 申请日 2021.09.07

G06F 15/173 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 113688073 A

(56) 对比文件

CN 101311906 A, 2008.11.26

CN 102567252 A, 2012.07.11

(43) 申请公布日 2021.11.23

审查员 庞双德

(73) 专利权人 天津津航计算技术研究所

地址 300308 天津市东丽区空港经济区保税路357号

(72) 发明人 刘超 杨硕 王晓璐

(74) 专利代理机构 中国兵器工业集团公司专利

中心 11011

专利代理师 周恒

(51) Int. Cl.

G06F 13/16 (2006.01)

G06F 13/28 (2006.01)

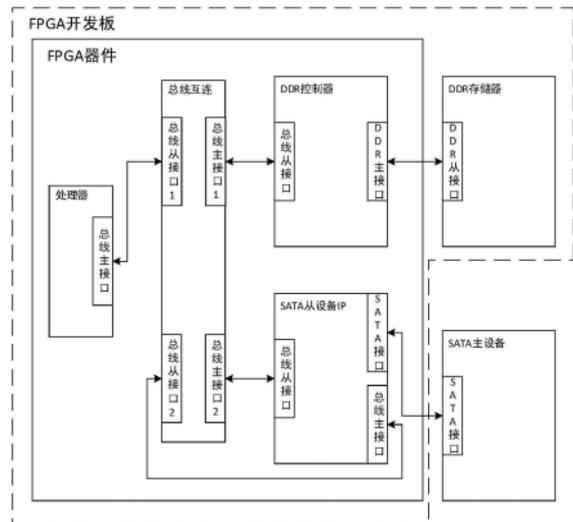
权利要求书2页 说明书5页 附图3页

(54) 发明名称

一种SATA从设备IP核测试系统

(57) 摘要

本发明属于电子计算机技术领域,具体涉及一种SATA从设备IP核测试系统。所述SATA从设备IP核测试系统包括:处理器、总线互连模块、SATA从设备IP核、DDR控制器、SATA主设备、DDR存储器;其中,所述DDR存储器为FPGA开发板上现有的DDR存储器;所述系统通过利用FPGA开发板上的现有DDR资源,把DDR存储空间作为SATA从设备的后台存储空间,从而无需为测试SATA从设备IP核专门设计带有磁存储或闪存存储颗粒的开发测试板卡,能够缩短开发时间,节省开发资源。



1. 一种SATA从设备IP核测试系统,其特征在于,所述SATA从设备IP核测试系统包括:处理器、总线互连模块、SATA从设备IP核、DDR控制器、SATA主设备、DDR存储器;其中,所述DDR存储器为FPGA开发板上现有的DDR存储器;

其中,所述处理器是整个系统的配置和调度中枢,负责对SATA从设备的寄存器进行配置,并对DDR存储器内的数据进行管理;

所述总线互连模块用于将处理器的总线主接口、SATA从设备IP核的总线从接口和DDR控制器的总线从接口、SATA从设备IP核的总线主接口进行连接,并用于在多个SATA主从设备之间进行数据交换;

所述SATA从设备IP核用于实现SATA从设备接口的逻辑层、链路层和传输层和物理层,是整个系统的被测试部分;

所述DDR控制器用于对FPGA开发板现有的DDR存储器进行读写控制;

所述SATA主设备在FPGA开发板外部,用于和SATA从设备进行对接测试;

所述总线互连模块包括:总线从接口1、总线主接口1、总线从接口2、总线主接口2;

所述总线互连模块中,总线从接口1与总线主接口1、总线主接口2分别建立有连接关系;

所述总线互连模块中,总线从接口2与总线主接口1、总线主接口2分别建立有连接关系;

所述处理器的总线主接口和总线互连模块的总线从接口1连接,由此,处理器通过总线互连模块访问SATA从设备IP核和DDR控制器;

所述SATA从设备IP核的总线主接口和总线互连模块的总线从接口2连接,由此,SATA从设备IP核通过总线互连模块访问DDR控制器;

所述总线互连模块的总线主接口1和DDR控制器的总线从接口相连接,总线互连模块的总线主接口2和SATA从设备IP核的总线从接口相连接;

所述DDR控制器的DDR主接口和FPGA开发板上的DDR存储器的DDR从接口相连接;

所述SATA从设备IP核的SATA接口和FPGA开发板外部的SATA主设备的SATA接口相连接。

2. 如权利要求1所述的SATA从设备IP核测试系统,其特征在于,所述总线互连模块包括:总线互连模块单元1、总线互连模块单元2;其中,所述总线互连模块单元1包括:总线从接口1、总线主接口1、总线主接口2;所述总线互连模块单元2包括:总线从接口1、总线主接口1、总线从接口2。

3. 如权利要求2所述的SATA从设备IP核测试系统,其特征在于,所述总线互连模块单元1的总线从接口1与总线互连模块单元1的总线主接口1、总线主接口2分别建立有连接关系。

4. 如权利要求2所述的SATA从设备IP核测试系统,其特征在于,所述总线互连模块单元2的总线主接口1与总线互连模块单元2的总线从接口1、总线从接口2分别建立有连接关系。

5. 如权利要求2所述的SATA从设备IP核测试系统,其特征在于,所述处理器的总线主接口与总线互连模块单元1的总线从接口1连接;由此,处理器通过总线互连模块访问SATA从设备IP核和DDR控制器;

所述总线互连模块单元1的总线主接口1和总线互连模块单元2的总线从接口1连接;所述总线互连模块单元1的总线主接口2和SATA从设备IP核的总线从接口连接;

所述总线互连模块单元2的总线主接口1和DDR控制器的总线从接口连接;所述总线互

连模块单元2的总线从接口2 与SATA从设备IP核的总线主接口连接;由此,SATA从设备IP核通过总线互连模块访问DDR控制器;

所述DDR控制器的DDR主接口和FPGA开发板上的DDR存储器的DDR从接口相连接;

所述SATA从设备IP核的SATA接口和FPGA开发板外部的SATA主设备的SATA接口相连接。

6.如权利要求1或5所述的SATA从设备IP核测试系统,其特征在于,所述SATA从设备IP核测试系统的工作流程包括如下步骤:

步骤1:处理器对SATA从设备IP核的寄存器进行初始化,设定包括SATA主从设备之间的通信速率、SATA从设备IP核的设备信息在内的参数;

步骤2:处理器等待SATA主从设备之间的物理链路连接建立;

步骤3:物理链路连接建立后,SATA主设备对SATA从设备IP核进行初始化、分区和文件读写测试;

处理器通过对SATA从设备IP核进行配置操作,完成SATA主设备和SATA从设备IP核之间测试过程中的FIS数据包交互,从而实施对SATA从设备IP核的测试过程;

处理器通过判断SATA主设备发送过来的FIS数据包类型进行相应的响应,期间SATA从设备IP核通过DDR控制器对DDR存储器进行读写;

过程中,将SATA主设备的PRD地址赋值为DDR存储器内的空间地址,这样SATA从设备IP核在处理SATA主设备发送来的FIS数据包时,其内部的DMA数据会从PRD地址中定义的DDR存储器内空间地址进行数据存取,最终DDR存储器保存着SATA主设备对SATA从设备IP核的初始化、分区和文件读写相关数据,实现了商业硬盘上磁存储或闪存存储器颗粒的存储功能。

一种SATA从设备IP核测试系统

技术领域

[0001] 本发明属于电子计算机技术领域,具体涉及一种SATA从设备IP核测试系统。

背景技术

[0002] SATA(Serial Advanced Technology Attachment,串行高级技术附件)是一种低管脚占用、高性能的串行存储接口,在当前电子计算机和存储设备中广泛使用,已经成为大容量数据存储设备的标配。在使用FPGA进行SATA接口设备开发或者SATA接口的ASIC(Application Specific Integrated Circuit,专用集成电路)设计时,调试SATA从设备IP核一般需要为SATA从设备IP核提供专门的存储介质,大多为闪存颗粒或者磁存储介质。当前市场上FPGA厂商提供的开发板一般都带有DDR存储接口供FPGA(Field Programmable Gate Array,现场可编程逻辑门阵列)使用。如果在调试SATA从设备IP核时能够利用现有的开发板上的DDR(Double Data Rate,通过在时钟的上升沿和下降沿都进行操作的方式提高数据传输速率的存储器)存储空间,将这些存储空间作为SATA从设备的后台存储空间,这就能省去专门设计带有闪存颗粒或磁存储介质的测试板卡的需求,从而节省开发周期和成本。

发明内容

[0003] (一)要解决的技术问题

[0004] 本发明要解决的技术问题是:如何提供一种SATA从设备IP核测试系统。

[0005] (二)技术方案

[0006] 为解决上述技术问题,本发明提供一种SATA从设备IP核测试系统,所述SATA从设备IP核测试系统包括:处理器、总线互连模块、SATA从设备IP核、DDR控制器、SATA主设备、DDR存储器;其中,所述DDR存储器为FPGA开发板上现有的DDR存储器;

[0007] 其中,所述处理器是整个系统的配置和调度中枢,负责对SATA从设备的寄存器进行配置,并对DDR存储器内的数据进行管理;

[0008] 所述总线互连模块用于将处理器的总线主接口、SATA从设备IP核的总线从接口和DDR控制器的总线从接口、SATA从设备IP核的总线主接口进行连接,并用于在多个SATA主从设备之间进行数据交换;

[0009] 所述SATA从设备IP核用于实现SATA从设备接口的逻辑层、链路层和传输层和物理层,是整个系统的被测试部分;

[0010] 所述DDR控制器用于对FPGA开发板现有的DDR存储器进行读写控制;

[0011] 所述SATA主设备在FPGA开发板外部,用于和SATA从设备进行对接测试。

[0012] 其中,所述总线互连模块包括:总线从接口1、总线主接口1、总线从接口2、总线主接口2。

[0013] 其中,所述总线互连模块中,总线从接口1与总线主接口1、总线主接口2分别建立有连接关系。

[0014] 其中,所述总线互连模块中,总线从接口2与总线主接口1、总线主接口2分别建立有连接关系。

[0015] 其中,所述处理器的总线主接口和总线互连模块的总线从接口1连接,由此,处理器通过总线互连模块访问SATA从设备IP核和DDR控制器;

[0016] 所述SATA从设备IP核的总线主接口和总线互连模块的总线从接口2连接,由此,SATA从设备IP核通过总线互连模块访问DDR控制器;

[0017] 所述总线互连模块的总线主接口1和DDR控制器的总线从接口相连接,总线互连模块的总线主接口2和SATA从设备IP核的总线从接口相连接;

[0018] 所述DDR控制器的DDR主接口和FPGA开发板上的DDR存储器的DDR从接口相连接;

[0019] 所述SATA从设备IP核的SATA接口和FPGA开发板外部的SATA主设备的SATA接口相连接。

[0020] 其中,所述总线互连模块包括:总线互连模块单元1、总线互连模块单元2;其中,所述总线互连模块单元1包括:总线从接口1、总线主接口1、总线主接口2;所述总线互连模块单元2包括:总线从接口1、总线主接口1、总线从接口2。

[0021] 其中,所述总线互连模块单元1的总线从接口1与总线互连模块单元1的总线主接口1、总线主接口2分别建立有连接关系。

[0022] 其中,所述总线互连模块单元2的总线主接口2与总线互连模块单元2的总线从接口1、总线从接口2分别建立有连接关系。

[0023] 其中,所述处理器的总线主接口与总线互连单元1的总线从接口1连接;由此,处理器通过总线互连模块访问SATA从设备IP核和DDR控制器;

[0024] 所述总线互连单元1的总线主接口1和总线互连单元2的总线从接口1连接;所述总线互连单元1的总线主接口2和SATA从设备IP核的总线从接口连接;

[0025] 所述总线互连单元2的总线主接口1和DDR控制器的总线从接口连接;所述总线互连单元2的总线从接口2与SATA从设备IP核的总线主接口连接;由此,SATA从设备IP核通过总线互连模块访问DDR控制器;

[0026] 所述DDR控制器的DDR主接口和FPGA开发板上的DDR存储器的DDR从接口相连接;

[0027] 所述SATA从设备IP核的SATA接口和FPGA开发板外部的SATA主设备的SATA接口相连接。

[0028] 其中,所述SATA从设备IP核测试系统的工作流程包括如下步骤:

[0029] 步骤1:处理器对SATA从设备IP核的寄存器进行初始化,设定包括SATA主从设备之间的通信速率、SATA从设备的设备信息在内的参数;

[0030] 步骤2:处理器等待SATA主从设备之间的物理链路连接建立;

[0031] 步骤3:物理链路连接建立后,SATA主设备对SATA从设备进行初始化、分区和文件读写测试;

[0032] 处理器通过对SATA从设备进行配置操作,完成SATA主设备和SATA从设备之间测试过程中的FIS数据包交互,从而实施对SATA从设备IP核的测试过程;

[0033] 处理器通过判断SATA主设备发送过来的FIS数据包类型进行相应的响应,期间SATA从设备IP核通过DDR控制器对DDR存储器进行读写;

[0034] 过程中,将SATA主设备的PRD地址赋值为DDR存储器内的空间地址,这样SATA从设

备在处理SATA主设备发送来的FIS数据包时,其内部的DMA数据会从PRD地址中定义的DDR存储器内空间地址进行数据存取,最终DDR存储器保存着SATA主设备对SATA从设备的初始化、分区和文件读写相关数据,实现了商业硬盘上磁存储或闪存存储器颗粒的存储功能。

[0035] (三)有益效果

[0036] 与现有技术相比较,本发明提供一种SATA从设备IP核测试系统,其具体涉及到一种SATA从设备IP核RTL(Register Transfer Level,寄存器传输级)软核的测试系统,通过利用FPGA开发板上的现有DDR资源,把DDR存储空间作为SATA从设备的后台存储空间,从而无需为测试SATA从设备IP核专门设计带有磁存储或闪存存储颗粒的开发测试板卡,能够缩短开发时间,节省开发资源。

附图说明

[0037] 图1为SATA从设备IP核测试系统框图。

[0038] 图2为SATA从设备IP核测试系统框图。

[0039] 图3为测试系统的工作流程图。

具体实施方式

[0040] 为使本发明的目的、内容和优点更加清楚,下面结合附图和实施例,对本发明的具体实施方式作进一步详细描述。

[0041] 实施例1

[0042] 为解决上述技术问题,本实施例提供一种SATA从设备IP核测试系统,所述SATA从设备IP核测试系统的组成如图1所示,所述SATA从设备IP核测试系统包括:处理器、总线互连模块、SATA从设备IP核、DDR控制器、SATA主设备、DDR存储器;其中,所述DDR存储器为FPGA开发板上现有的DDR存储器;

[0043] 其中,所述处理器是整个系统的配置和调度中枢,负责对SATA从设备的寄存器进行配置,并对DDR存储器内的数据进行管理;

[0044] 所述总线互连模块用于将处理器的总线主接口、SATA从设备IP核的总线从接口和DDR控制器的总线从接口、SATA从设备IP核的总线主接口进行连接,并用于在多个SATA主从设备之间进行数据交换;

[0045] 所述SATA从设备IP核用于实现SATA从设备接口的逻辑层、链路层和传输层和物理层,是整个系统的被测试部分;

[0046] 所述DDR控制器用于对FPGA开发板现有的DDR存储器进行读写控制;

[0047] 所述SATA主设备在FPGA开发板外部,用于和SATA从设备进行对接测试。

[0048] 其中,所述总线互连模块包括:总线从接口1、总线主接口1、总线从接口2、总线主接口2。

[0049] 其中,所述总线互连模块中,总线从接口1与总线主接口1、总线主接口2分别建立有连接关系。

[0050] 其中,所述总线互连模块中,总线从接口2与总线主接口1、总线主接口2分别建立有连接关系。

[0051] 其中,所述处理器的总线主接口和总线互连模块的总线从接口1连接,由此,处理

器通过总线互连模块访问SATA从设备IP核和DDR控制器；

[0052] 所述SATA从设备IP核的总线主接口和总线互连模块的总线从接口2连接,由此,SATA从设备IP核通过总线互连模块访问DDR控制器；

[0053] 所述总线互连模块的总线主接口1和DDR控制器的总线从接口相连接,总线互连模块的总线主接口2和SATA从设备IP核的总线从接口相连接；

[0054] 所述DDR控制器的DDR主接口和FPGA开发板上的DDR存储器的DDR从接口相连接；

[0055] 所述SATA从设备IP核的SATA接口和FPGA开发板外部的SATA主设备的SATA接口相连接。

[0056] 其中,所述总线互连模块包括:总线互连模块单元1、总线互连模块单元2;其中,所述总线互连模块单元1包括:总线从接口1、总线主接口1、总线主接口2;所述总线互连模块单元2包括:总线从接口1、总线主接口1、总线从接口2。

[0057] 其中,所述总线互连模块单元1的总线从接口1与总线互连模块单元1的总线主接口1、总线主接口2分别建立有连接关系。

[0058] 其中,所述总线互连模块单元2的总线主接口2与总线互连模块单元2的总线从接口1、总线从接口2分别建立有连接关系。

[0059] 其中,测试系统的连接关系也可以如图2所示,其中,

[0060] 所述处理器的总线主接口与总线互连单元1的总线从接口1连接;由此,处理器通过总线互连模块访问SATA从设备IP核和DDR控制器；

[0061] 所述总线互连单元1的总线主接口1和总线互连单元2的总线从接口1连接;所述总线互连单元1的总线主接口2和SATA从设备IP核的总线从接口连接；

[0062] 所述总线互连单元2的总线主接口1和DDR控制器的总线从接口连接;所述总线互连单元2的总线从接口2与SATA从设备IP核的总线主接口连接;由此,SATA从设备IP核通过总线互连模块访问DDR控制器；

[0063] 所述DDR控制器的DDR主接口和FPGA开发板上的DDR存储器的DDR从接口相连接；

[0064] 所述SATA从设备IP核的SATA接口和FPGA开发板外部的SATA主设备的SATA接口相连接。

[0065] 其中,所述SATA从设备IP核测试系统的工作流程如图3所示,包括如下步骤:

[0066] 步骤1:处理器对SATA从设备IP核的寄存器进行初始化,设定包括SATA主从设备之间的通信速率、SATA从设备的设备信息在内的参数；

[0067] 步骤2:处理器等待SATA主从设备之间的物理链路连接建立；

[0068] 步骤3:物理链路连接建立后,SATA主设备对SATA从设备进行初始化、分区和文件读写测试；

[0069] 处理器通过对SATA从设备进行配置操作,完成SATA主设备和SATA从设备之间测试过程中的FIS数据包(Frame Information Structure,帧信息结构,SATA主从设备之间的信息交互数据包)交互,从而实施对SATA从设备IP核的测试过程；

[0070] 处理器通过判断SATA主设备发送过来的FIS数据包类型进行相应的响应,期间SATA从设备IP核通过DDR控制器对DDR存储器进行读写；

[0071] 过程中,将SATA主设备的PRD(Physical Region Descriptor,物理区域描述符,SATA协议中定义的IP核内部DMA数据存取的地址)地址赋值为DDR存储器内的空间地址,这

样SATA从设备在处理SATA主设备发送来的FIS数据包时,其内部的DMA(Direct Memory Access,设备不通过处理器访问主存储空间的方式)数据会从PRD地址中定义的DDR存储器内空间地址进行数据存取,最终DDR存储器保存着SATA主设备对SATA从设备的初始化、分区和文件读写相关数据,实现了商业硬盘上磁存储或闪存存储器颗粒的存储功能。

[0072] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明技术原理的前提下,还可以做出若干改进和变形,这些改进和变形也应视为本发明的保护范围。

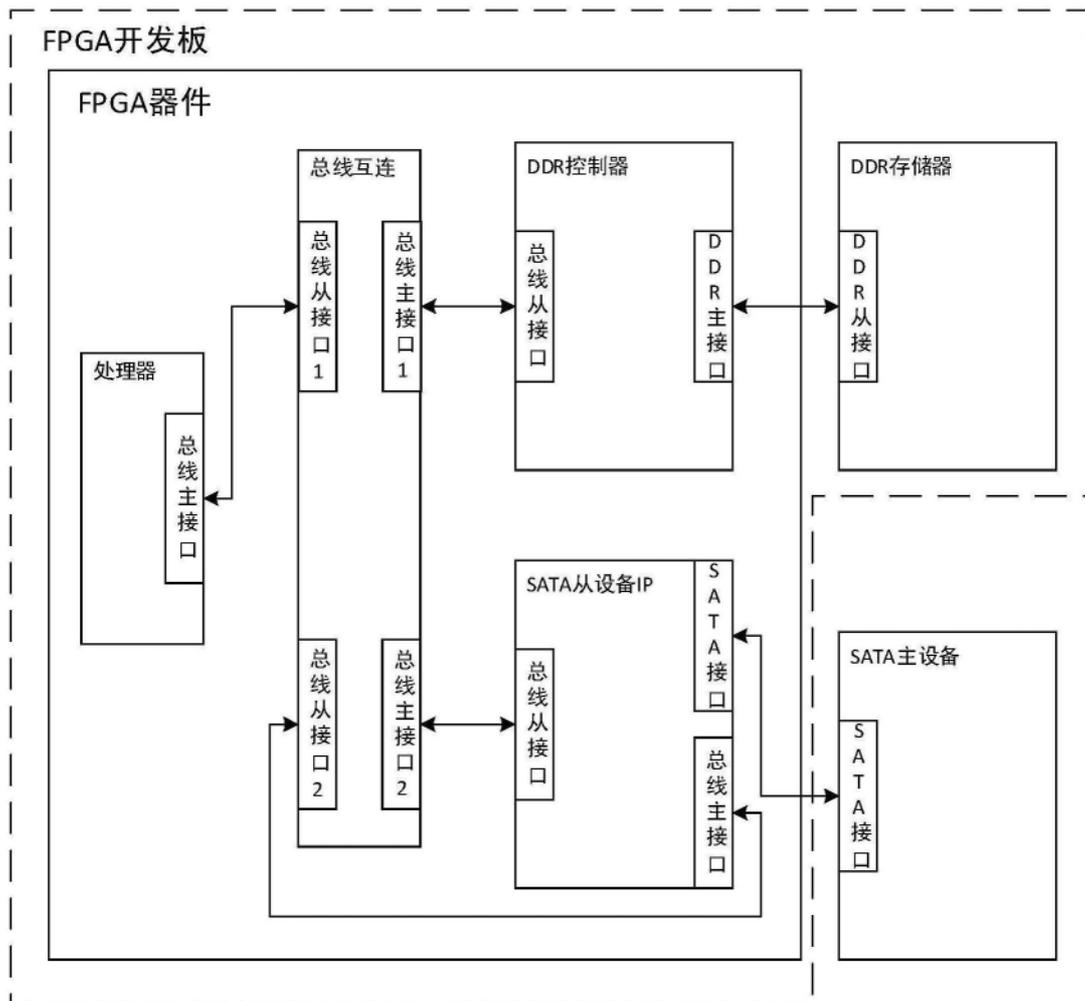


图1

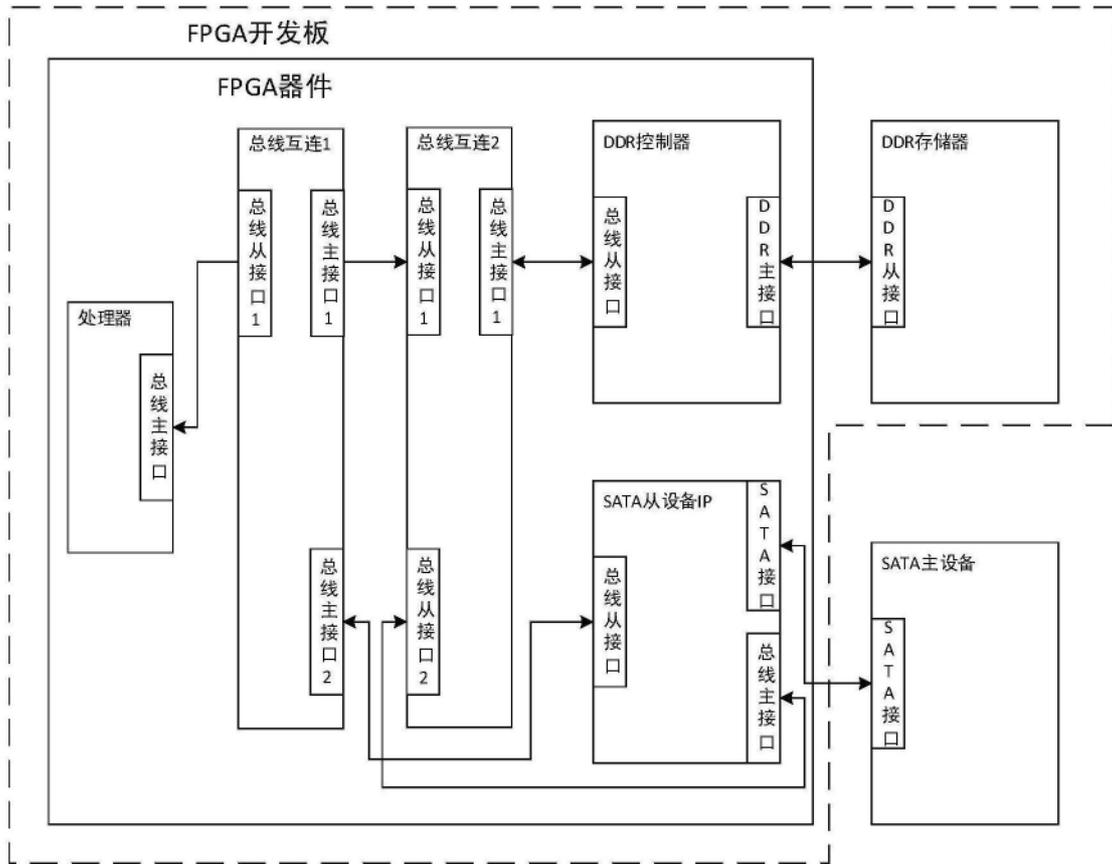


图2

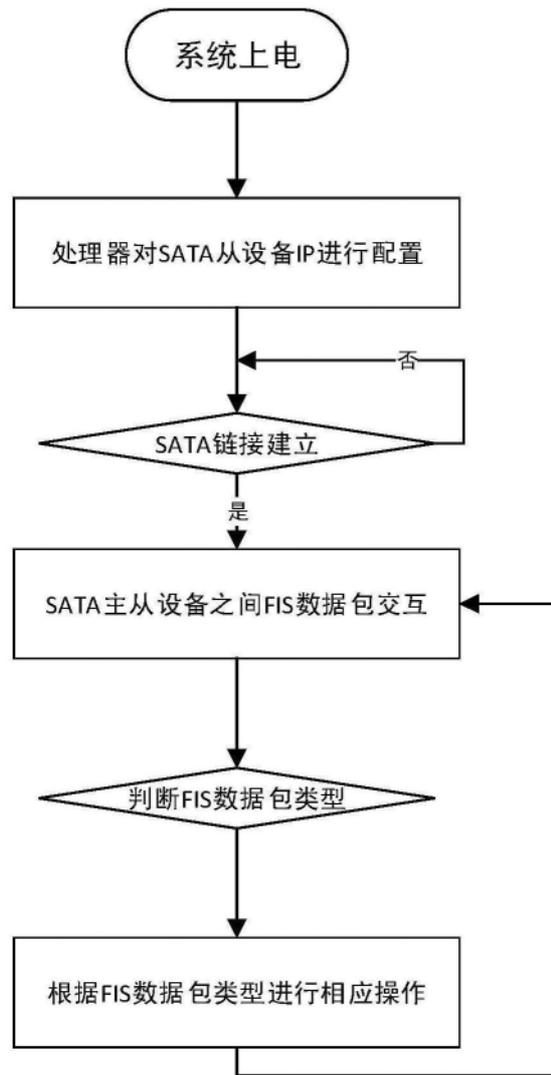


图3