



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년02월15일
(11) 등록번호 10-1233781
(24) 등록일자 2013년02월08일

- (51) 국제특허분류(Int. Cl.)
G01R 33/07 (2006.01) *G01D 3/02* (2006.01)
G06M 1/274 (2006.01)
- (21) 출원번호 10-2009-7009715
- (22) 출원일자(국제) 2007년06월25일
심사청구일자 2011년06월16일
- (85) 번역문제출일자 2009년05월12일
- (65) 공개번호 10-2009-0084862
- (43) 공개일자 2009년08월05일
- (86) 국제출원번호 PCT/US2007/014667
- (87) 국제공개번호 WO 2008/048379
국제공개일자 2008년04월24일
- (30) 우선권주장
11/550,849 2006년10월19일 미국(US)

(56) 선행기술조사문현

US20030102909 A1

EP01637898 A1

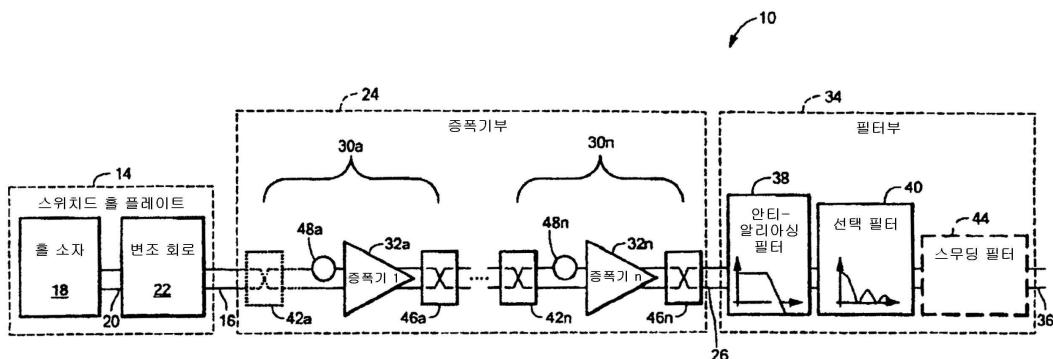
전체 청구항 수 : 총 25 항

심사관 : 윤지영

(54) 발명의 명칭 초평된 홀 효과 센서

(57) 요 약

초평된 홀 효과 센서 구성은 스위치드 홀 플레이트, 상기 스위치드 홀 플레이트의 출력에 응답하는 증폭기 및 상기 증폭기의 출력에 응답하고 안티-알리아싱 필터 및 변조 주파수에 맞추어진 선택 필터를 구비하는 필터부를 포함한다. 상기 스위치드 홀 플레이트는 홀 소자 및 홀 오프셋 신호 성분 또는 자기 신호 성분을 변조하는 홀 플레이트 변조 회로를 포함한다. 상기 스위치드 홀 플레이트에 의해 상기 홀 오프셋 신호 성분이 변조되는 실시예에 있어서, 상기 증폭기는, 초평되었다면, 짹수개의 추가적인 변조 회로들을 포함한다. 상기 스위치드 홀 플레이트에 의해 상기 자기 신호 성분이 변조되는 실시예에 있어서, 상기 증폭기는 홀수개의 변조 회로들을 포함한다. 상기 설명된 구성은 잡음이 적고 빠른 응답 시간을 갖는 홀 효과 센서를 제공한다.

대 표 도 - 도1

특허청구의 범위

청구항 1

자기장에 응답하여 변하는, 자기 신호 성분 및 오프셋(offset) 신호 성분을 포함하는 홀(Hall) 출력 신호를 제공하는 출력단을 구비하는 홀 소자(Hall element);

상기 홀 출력 신호에 응답하는 입력단 및 변조 회로(modulation circuit) 출력 신호를 제공하는 출력단을 구비하고, 변조 주파수(modulation frequency) f_{CLK} 로 상기 자기 신호 성분 또는 상기 오프셋 신호 성분 중의 하나를 변조하는 홀 플레이트(Hall plate) 변조 회로;

상기 홀 플레이트 변조 회로 출력 신호에 응답하는 입력단 및 증폭기 출력 신호를 제공하는 출력단을 구비하는 증폭기; 및

상기 증폭기 출력 신호에 응답하는 입력단 및 센서 출력 신호를 제공하는 출력단을 구비하고, 안티-알리아싱 필터(anti-aliasing filter) 및 상기 오프셋 신호 성분을 제거하기 위해 상기 변조 주파수에 맞추어진 이산시간 선택 필터(discrete time selective filter)를 구비하는 필터를 포함하고,

상기 안티-알리아싱 필터는 상기 선택 필터에 의해 필터링되기 위해 대역 제한된 신호를 제공하고, 상기 이산시간 선택 필터에 의한 알리아싱을 방지하기 위해 선택된 미리 정의된 주파수 이상의 주파수 성분들을 제거하는 것을 특징으로 하는 홀 효과 센서(Hall effect sensor).

청구항 2

제 1 항에 있어서,

상기 증폭기는 초평된(chopped) 증폭기인 것을 특징으로 하는 홀 효과 센서.

청구항 3

제 2 항에 있어서,

상기 증폭기는 상기 변조 주파수로 초평된 것을 특징으로 하는 홀 효과 센서.

청구항 4

제 2 항에 있어서,

상기 증폭기는 상기 변조 주파수와 상이한 주파수로 초평된 것을 특징으로 하는 홀 효과 센서.

청구항 5

제 1 항에 있어서,

상기 증폭기는 폐루프(closed loop) 증폭기인 것을 특징으로 하는 홀 효과 센서.

청구항 6

제 5 항에 있어서, 상기 증폭기는,

상기 증폭기의 이득(gain)을 조절하기 위해 조절 가능한 피드백 네트워크(feedback network)를 포함하는 것을 특징으로 하는 홀 효과 센서.

청구항 7

제 1 항에 있어서,

상기 홀 플레이트 변조 회로는 상기 오프셋 신호 성분을 변조하도록 동작하고,

상기 홀 효과 센서는 상기 홀 플레이트 변조 회로의 상기 출력단 및 상기 필터의 상기 입력단 사이에 짹수개의 변조 회로들을 포함하는 것을 특징으로 하는 홀 효과 센서.

청구항 8

제 7 항에 있어서, 상기 증폭기는,

상기 홀 플레이트 변조 회로의 상기 출력단에 연결되는 제 1 입력단, 제 2 피드백(feedback) 입력단 및 출력단을 구비하는 덧셈 노드(summing node);

상기 덧셈 노드의 상기 출력단에 연결되는 입력단, 및 출력단을 구비하는 제 1 변조 회로;

상기 제 1 변조 회로의 상기 출력단에 연결되는 입력단, 및 출력단을 구비하는 이득부(gain stage);

상기 이득부의 상기 출력단에 연결되는 입력단, 및 출력단을 구비하는 제 2 변조 회로; 및

상기 필터에 연결되는 입력단 및 상기 덧셈 노드의 상기 제 2 입력단에 연결되는 출력단을 구비하는 피드백 네트워크(feedback network)를 포함하는 것을 특징으로 하는 홀 효과 센서.

청구항 9

제 8 항에 있어서,

상기 피드백 네트워크의 상기 입력단은 상기 안티-알리아싱 필터의 입력단 또는 상기 안티-알리아싱 필터의 출력단 중에서 선택된 하나에 연결되는 것을 특징으로 하는 홀 효과 센서.

청구항 10

삭제

청구항 11

제 8 항에 있어서,

상기 피드백 네트워크의 상기 입력단은 상기 선택 필터의 출력단에 연결되는 것을 특징으로 하는 홀 효과 센서.

청구항 12

제 8 항에 있어서,

상기 피드백 네트워크는 초핑된(chopped) 것을 특징으로 하는 홀 효과 센서.

청구항 13

제 1 항에 있어서,

상기 홀 플레이트 변조 회로는 상기 자기 신호 성분을 변조하도록 동작하고,

상기 홀 효과 센서는 상기 홀 플레이트 변조 회로의 상기 출력단 및 상기 필터의 상기 입력단 사이에 홀수개의 변조 회로들을 포함하는 것을 특징으로 하는 홀 효과 센서.

청구항 14

제 13 항에 있어서, 상기 증폭기는,

입력단 및 출력단을 구비하는 덧셈 노드(summing node);

상기 덧셈 노드의 상기 출력단에 연결되는 입력단, 및 출력단을 구비하는 제 1 변조 회로;

상기 홀 플레이트 변조 회로의 상기 출력단과 상기 제 1 변조 회로의 상기 출력단에 연결되는 입력단, 및 출력단을 구비하는 이득부(gain stage);

상기 이득부의 상기 출력단에 연결되는 입력단 및 상기 필터에 연결되는 출력단을 구비하는 제 2 변조 회로; 및

상기 필터에 연결되는 입력단 및 상기 덧셈 노드의 상기 입력단에 연결되는 출력단을 구비하는 피드백 네트워크(feedback network)를 포함하는 것을 특징으로 하는 홀 효과 센서.

청구항 15

제 14 항에 있어서,

상기 피드백 네트워크의 상기 입력단은 상기 안티-알리아싱 필터의 입력단 또는 상기 안티-알리아싱 필터의 출력단 중에서 선택된 하나에 연결되는 것을 특징으로 하는 홀 효과 센서.

청구항 16

삭제

청구항 17

제 14 항에 있어서,

상기 피드백 네트워크의 상기 입력단은 상기 선택 필터의 출력단에 연결되는 것을 특징으로 하는 홀 효과 센서.

청구항 18

제 13 항에 있어서, 상기 증폭기는,

입력단 및 출력단을 구비하는 덧셈 노드(summing node);

상기 홀 플레이트 변조 회로의 상기 출력단과 상기 덧셈 노드의 상기 출력단에 연결되는 입력단, 및 출력단을 구비하는 이득부(gain stage);

상기 이득부의 상기 출력단에 연결되는 입력단 및 상기 필터에 연결되는 출력단을 구비하는 제 1 변조 회로; 및 상기 필터에 연결되는 입력단 및 상기 덧셈 노드의 상기 입력단에 연결되는 출력단을 구비하고, 초핑된(chopped), 피드백 네트워크(feedback network)를 포함하는 것을 특징으로 하는 홀 효과 센서.

청구항 19

제 18 항에 있어서,

상기 피드백 네트워크의 상기 입력단은 상기 안티-알리아싱 필터의 입력단에 연결되는 것을 특징으로 하는 홀 효과 센서.

청구항 20

제 18 항에 있어서,

상기 피드백 네트워크의 상기 입력단은 상기 안티-알리아싱 필터의 출력단에 연결되는 것을 특징으로 하는 홀 효과 센서.

청구항 21

제 18 항에 있어서,

상기 피드백 네트워크의 상기 입력단은 상기 선택 필터의 출력단에 연결되는 것을 특징으로 하는 홀 효과 센서.

청구항 22

제 1 항에 있어서,

상기 안티-알리아싱 필터는 상기 증폭기 출력 신호에 응답하는 입력단 및 저역 통과 필터된 신호(low-pass filtered signal)를 제공하는 출력단을 구비하고,

상기 선택 필터는 상기 안티-알리아싱 필터의 상기 출력단에 연결되는 입력단 및 선택 필터 출력 신호를 제공하는 출력단을 구비하고,

상기 선택 필터는,

각각의 샘플-홀드 회로(sample and hold circuit)가 상기 안티-알리아싱 필터의 상기 출력단에 연결되는 입력단, 및 출력단을 구비하는, 쌍들(pairs)로 배치된 복수의 샘플-홀드 회로들; 및

각각의 입력단이 상기 샘플-홀드 회로들 중의 각각 하나의 상기 출력단에 연결되는, 복수의 입력단들 및 상기 선택 필터 출력 신호를 제공하는 출력단을 구비하는 평균 회로(averaging circuit)를 포함하고,

상기 샘플-홀드 회로를 각각은 상기 저역 통과 필터된 신호를 상기 변조 주파수로, 동일한 쌍의 다른 샘플-홀드 회로의 위상과는 180도 만큼 분리된 위상으로, 그리고 다른 쌍들의 상기 샘플-홀드 회로들의 위상과는 무작위로 (arbitrarily) 분리된 위상으로 샘플링(sampling)하는 것을 특징으로 하는 홀 효과 센서.

청구항 23

제 22 항에 있어서, 상기 선택 필터 출력 신호는,

각각의 신호 평균(signal average)이 상기 변조 주파수를 갖는 변조 클락 신호의 한 주기 동안 취해진 상기 안티-알리아싱 필터 출력 신호의 샘플들에 기초하는, 복수의 신호 평균들을 포함하는 것을 특징으로 하는 홀 효과 센서.

청구항 24

제 22 항에 있어서, 상기 선택 필터 출력 신호는,

각각의 신호 평균이 이전의 신호 평균을 제공하기 위해 사용된 상기 안티-알리아싱 필터 출력 신호의 복수의 샘플들 및 상기 안티-알리아싱 필터 출력 신호의 새로운 샘플에 기초하는, 복수의 신호 평균들을 포함하는 것을 특징으로 하는 홀 효과 센서.

청구항 25

제 1 항에 있어서,

상기 안티-알리아싱 필터는 상기 증폭기 출력 신호에 응답하는 입력단 및 저역 통과 필터된 신호(low-pass filtered signal)를 제공하는 출력단을 구비하고,

상기 선택 필터는 상기 안티-알리아싱 필터의 상기 출력단에 연결되는 입력단 및 선택 필터 출력 신호를 제공하는 출력단을 구비하고,

상기 선택 필터는,

상기 안티-알리아싱 필터의 상기 출력단에 연결되는 입력단, 및 출력단을 구비하는 제 1 샘플-홀드 회로;

상기 안티-알리아싱 필터의 상기 출력단에 연결되는 입력단, 및 출력단을 구비하는 제 2 샘플-홀드 회로; 및

상기 제 1 및 제 2 샘플-홀드 회로들의 상기 출력단들에 연결되는 입력단들 및 상기 선택 필터 출력 신호를 제공하는 출력단을 구비하는 평균 회로(averaging circuit)를 포함하고,

상기 제 1 샘플-홀드 회로는 $t=t_0+N*T_{SF}$ 시각들에서 상기 저역 통과 필터된 신호를 샘플링(sampling)하고, 상기 제 2 샘플-홀드 회로는 $t=t_0+(N+1)*T_{SF}$ 시각들에서 상기 저역 통과 필터된 신호를 샘플링(여기서, t_0 는 임의의 시각이고, N 은 정수이고, T_{SF} 는 $1/(2*f_{CLK})$ 이고, f_{CLK} 는 상기 변조 주파수임)하는 것을 특징으로 하는 홀 효과 센서.

청구항 26

제 1 항에 있어서, 상기 필터는,

스무딩 필터(smoothing filter)를 더 포함하는 것을 특징으로 하는 홀 효과 센서.

청구항 27

제 1 항에 있어서,

각각의 홀 소자가 자기장에 응답하여 변하는 홀 출력 신호를 제공하는 출력단을 구비하는, 복수의 홀 소자들;

각각의 변조 회로가 상기 복수의 홀 소자들 중의 각각 하나로부터의 상기 홀 출력 신호에 응답하는 입력단 및 변조 회로 출력 신호를 제공하는 출력단을 구비하는, 복수의 변조 회로들; 및

상기 변조 회로 출력 신호를 상기 증폭기에게 상기 복수의 변조 출력 신호들의 수학적 조합으로서 제공하기 위해 상기 변조 회로 출력 신호들 각각에 응답하는 요소를 더 포함하는 것을 특징으로 하는 홀 효과 센서.

명세서

기술분야

[0001] 본 발명은 일반적으로 홀 효과 센서(Hall effect sensor)에 관한 것으로, 보다 상세하게는 빠른 응답 시간 및 감소된 잡음을 갖는 초평된 홀 효과 센서(chopped Hall effect sensor)에 관한 것이다.

배경기술

[0002] 홀 효과 센서는 산업 응용분야 및 소비자 응용분야를 포함하여 다양한 응용 분야에서 사용되고 있다. 예를 들어, 홀 효과 센서는, 브레이크 시스템(brake system)에 사용되는 기어 톱니 센서(gear tooth sensor)와 같이, 기계적인 위치 센싱(sensing)을 위한 자동차 산업에서 널리 사용되고 있다. 이러한 응용분야는 정확성을 요구한다.

[0003] 홀 효과 소자들(elements) 또는 플레이트들(plates)은 오프셋(offset) 전압을 야기할 수 있는 저항 기울기, 기하학적 비대칭 및 압전저항 효과(piezoresistive effect)에 의해 불균형을 겪는다. 상기 오프셋 전압의 크기 및 극성은 상기 소자가 형성된 반도체 내부의 스트레스(stress)에 대한 함수인데, 상기 스트레스는 기계적인 압력 및 온도에 따라 변한다. 상기 홀 오프셋 전압을 처리하고 제거하기 위해 초퍼 안정화 기술(chopper stabilization techniques)을 포함하여 다양한 기술들이 사용되어 왔다.

[0004] 초평된 홀 효과 센서의 한 종류는 스위치드 홀 플레이트(switched Hall plate), 초평된 증폭기(chopped amplifier) 및 저역 통과 필터를 포함한다. 때로는 스파닝 홀 플레이트(spinning Hall plate)라고도 불리는 상기 스위치드 홀 플레이트는 주기적으로 공급 전압 및 상기 증폭기 입력을 한 쌍의 접속부 또는 다른 쌍의 접속부에 연결시키기 위해 (일반적으로) 네 개의 접속부 및 변조 스위치 회로(modulation switch circuit)를 구비하는 홀 소자를 포함한다. 동작의 쿼드러쳐 페이즈(quadrature phase)는 상보적인 클락 신호들(complementary clock signals)에 의해 정의된다. 이러한 스위치드 홀 플레이트의 사용은 상기 홀 오프셋 전압(여기서는 홀 오프셋 신호 성분이라 칭함)을 자기적으로 야기된 신호(여기서는 자기 신호 성분이라 칭함)와 식별하는 방법을 제공한다. 이러한 한 회로에 있어서, 상기 스위치드 홀 플레이트는 상기 자기 신호 성분을 변조하고 상기 오프셋 신호 성분은 실질적으로 변화 없이 유지된다. 상기 초평된 증폭기는 상기 자기 신호 성분을 복조하고 상기 오프셋 신호 성분을 변조하고, 그 후, 센서 출력 신호를 제공하기 위해 상기 오프셋 신호 성분은 저역 통과 필터에 의해 감쇄된다. 이러한 기술이 상기 홀 오프셋 전압을 제거하는데 효과적이지만, 더 많은 필터링이 적용될수록 결과적인 리플(ripple)은 점점 감소하지만 센서 응답 시간은 점점 느려지므로, 상기 센서 출력 신호에 존재하는 결과적인 리플과 상기 센서 응답 시간 사이에 균형이 유지되어야 한다.

[0005] 보다 최근의 홀 효과 센서 응용분야들은 자기장 단계에 들어가기 위해 보다 빠른 응답 시간을 추가적으로 요구한다. 일례로, 전류 센싱 응용분야들에서 사용되는 홀 효과 센서들은, 예를 들어 자동차 배터리(batteries)에서의 단락 회로와 같은 오류 조건들을 빠르게 탐지하기 위해, 자기장의 스텝 변화(step changes)에 빠르게 응답해야 한다.

[0006] 응답 시간 측면에서 상기 설명한 센서를 개선한 한 초평된 홀 효과 센서는 1997년 4월 15일에 본 발명의 출원인 Allegro Microsystems, Inc. of Worcester, MA에게 등록된 "Chopped Hall Sensor with Synchronously Chopped Sample and Hold Circuit"라는 제목의 미국 특허 5,621,319에 설명되어 있다. 상기 설명된 센서는 스위치드 홀 플레이트 및 증폭기를 포함하는데, 상기 스위치드 홀 플레이트는 상기 자기 신호 성분은 변조하고 상기 오프셋 신호 성분은 실질적으로 변화없이 유지시킨다. 여기서, 상기 변조된 자기 신호 성분은 샘플-홀드 기술에 의해 복조된다. 이러한 기술에 따르면, 신호 복조는 두 개의 클락 페이즈(clock phase) 동안에 트랙킹(tracking) 및 홀딩(holding)을 하고 제 2 페이즈 동안 상기 변조된 신호를 인버팅(inverting)함으로써 수행된다. 이런 방식으로, 상기 회로는 상기 센서 출력 신호에 있는 리플을 완전히 제거하고, 따라서 리플 필터링을 회피함으로써 보다 빠른 스텝 응답 시간을 제공한다. 그러나, 이러한 장점들을 제공하기 위해 신호대 잡음비는 감소된다. 이는 기저대역 노이즈는 언더샘플(underample)되므로 상기 샘플링 및 홀딩 동작은 노이즈 폴드 백(noise fold back)(즉, 앤리어싱(aliasing))을 생성하기 때문이다.

발명의 상세한 설명

[0007] 본 발명에 따른 홀 효과 센서(Hall effect sensor)는 홀 소자(Hall element), 홀 플레이트 변조 회로(Hall plate modulation circuit), 증폭기 및 변조 주파수(modulation frequency)에 맞추어진 선택 필터(selective

filter)를 구비하는 필터를 포함한다. 상기 훌 플레이트 변조 회로는 상기 훌 소자의 상기 출력 신호에 응답하고, 상기 훌 출력 신호의 자기 신호 성분 또는 오프셋(offset) 신호 성분을 변조하도록 동작한다. 상기 증폭기는 상기 변조 회로 출력 신호에 응답하고 상기 필터에게 증폭기 출력 신호를 제공한다. 상기 필터는 상기 증폭기 및 상기 선택 필터 사이에 연결된 안티-알리아싱 필터(anti-aliasing filter)를 포함한다.

[0008] 이러한 배치를 통해, 상기 훌 효과 센서는, 상기 오프셋 신호 성분 및 그와 관련된 리플(ripple)을 제거함으로써 일부 종래의 초평된(chopped) 훌 효과 센서들의 저역 통과 필터링에 대한 중요한 요구를 제거해주는, 상기 선택 필터의 사용을 통해 빠른 응답 시간을 제공한다. 높은 신호대 잡음비는, 미리 정의된 주파수 이상의 주파수 성분들을 제거하여 상기 선택 필터가 잡음 신호들에 대한 나이퀴스트 기준(Nyquist criterion)을 충족하도록 함으로써 알리아싱을 방지하여 기저대역(baseband) 잡음을 감소시켜주는, 상기 안티-알리아싱 필터의 사용으로 얻을 수 있다.

[0009] 상기 변조 회로에 의해 상기 오프셋 신호 성분이 변조되는 실시예에 있어서, 상기 훌 플레이트 변조 회로의 상기 출력단 및 상기 필터의 상기 입력단 사이에 짹수개의 추가적인 변조 회로들이 제공된다. 이와 같은 방식으로, 상기 오프셋 신호 성분이 제거될 수 있도록 상기 오프셋 신호 성분은 상기 선택 필터에 도달할 때에 변조된다. 선택적으로, 상기 자기 신호 성분이 변조되는 실시예에 있어서, 상기 오프셋 신호 성분이 제거될 수 있도록 상기 오프셋 신호 성분은 상기 선택 필터에 도달할 때에 변조되는 것을 역시 보장하기 위해, 상기 증폭기는 상기 훌 플레이트 변조 회로의 상기 출력단 및 상기 필터에 대한 상기 입력단 사이에 훌수개의 추가적인 변조 회로들을 포함한다.

[0010] 본 발명의 실시예들은 하나 또는 그 이상의 다음 특징들을 포함할 수 있다. 상기 증폭기는 폐루프(closed loop) 또는 개루프(open loop) 증폭기일 수 있다. 폐루프 실시예에 있어서, 상기 루프는 상기 안티-알리아싱 필터의 입력단에서, 상기 안티-알리아싱 필터의 출력단에서 또는 상기 선택 필터의 출력단에서 닫혀질 수 있다. 또한, 상기 증폭기 루프가 상기 안티-알리아싱 필터의 출력단에서 닫혀지는 실시예에 있어서, 상기 안티-알리아싱 필터는 추가적인 루프 보상 기능을 제공할 수 있다. 상기 필터는 스무딩 필터(smoothing filter)를 포함할 수 있다.

[0011] 상기 변조 회로에 의해 상기 오프셋 신호 성분이 변조되는 실시예에 있어서, 상기 증폭기는 초평될 수도 있고 초평되지 않을 수도 있다. 그러나, 상기 변조 회로에 의해 상기 자기 신호 성분이 변조되는 실시예에 있어서, 상기 증폭기는 초평되어야만 한다. 상기 증폭기가 초평되고 상기 증폭기가 폐루프 증폭기인 실시예에 있어서, 상기 피드백 네트워크(feedback network)는 초평될 수도 있고 초평되지 않을 수도 있다.

[0012] 예시적인 선택 필터는, 각각의 샘플-홀드 회로(sample and hold circuit)가 상기 안티-알리아싱 필터의 상기 출력단에 연결되는 입력단, 및 출력단을 구비하는, 쌍들(pairs)로 배치된 복수의 샘플-홀드 회로들을 포함한다. 상기 필터는, 각각의 입력단이 상기 샘플-홀드 회로 각각의 출력단에 연결되는, 복수의 입력단들 및 상기 선택 필터 출력 신호를 제공하는 출력단을 구비하는 평균 회로(averaging circuit)를 더 포함한다. 상기 샘플-홀드 회로들 각각은 상기 입력 신호를 상기 변조 주파수로, 상기 동일한 쌍의 상기 다른 샘플-홀드 회로의 위상과는 180도 만큼 분리된 위상으로, 그리고 상기 다른 쌍들의 샘플-홀드 회로들이 동작하는 위상과는 무작위로(arbitrarily) 분리된 위상으로 샘플링(sampling)한다.

[0013] 한 특정 실시예에 있어서, 상기 안티-알리아싱 필터는 상기 안티-알리아싱 필터의 상기 출력단에 연결되는 입력 단을 구비하는 제 1 샘플-홀드 회로, 상기 안티-알리아싱 필터의 상기 출력단에 연결되는 입력단을 구비하는 제 2 샘플-홀드 회로 및 상기 제 1 및 제 2 샘플-홀드 회로들의 상기 출력단들에 연결되는 입력단들을 구비하는 평균 회로를 포함한다. 상기 제 1 샘플-홀드 회로는 $t=t_0+N*T_{SF}$ 시각들에서 상기 입력 신호를 샘플링하고, 상기 제 2 샘플-홀드 회로는 $t=t_0+(N+1)*T_{SF}$ 시각들에서 상기 입력 신호를 샘플링(여기서, t_0 는 임의의 시각이고, N 은 정수이고, T_{SF} 는 $1/(2*f_{CLK})$ 이고, f_{CLK} 는 상기 변조 주파수임)한다.

실 시 예

[0043] 도 1을 참조하면, 초평된 훌 효과 센서(chopped Hall effect sensor, 10)는 스위치드 훌 출력 신호(switted Hall output signal, 16)를 제공하는 스위치드 훌 플레이트(switted Hall plate, 14), 상기 스위치드 훌 출력 신호(16)에 응답하는 입력단과 증폭기 출력 신호(26)를 제공하는 출력단을 구비하는 증폭기부(24) 및 상기 증폭기 출력 신호(26)에 응답하는 입력단과 센서 출력 신호(36)를 제공하는 출력단을 구비하는 필터부(34)를 포함한다. 도시된 바와 같이, 상기 필터부(34)는 안티-알리아싱 필터(anti-aliasing filter, 38) 및 선택 필터

(selective filter, 40)를 포함한다.

[0044] 상기와 같은 구성으로 인해, 상기 홀 효과 센서(10)는 저잡음 및 빠른 응답 시간을 제공한다. 빠른 응답 시간은, 상기 오프셋(offset) 신호 성분 및 그와 관련된 리플(ripple)을 제거함으로써 일부 종래의 초평된 홀 효과 센서들의 저역 통과 필터링(low pass filtering)에 대한 중요한 요구를 제거해주는, 상기 선택 필터(40)의 사용으로 얻을 수 있다. 높은 신호대 잡음비는, 미리 정의된 주파수 이상의 주파수 성분들을 제거하여 상기 선택 필터(40)가 잡음 신호들에 대한 나이퀴스트 기준(Nyquist criterion)을 충족하도록 함으로써 알리아싱을 방지하여 결과적인 기저대역(baseband) 잡음을 감소시켜주는, 상기 안티-알리아싱 필터(38)의 사용으로 얻을 수 있다. 예시적인 실시예에 있어서, 상기 안티-알리아싱 필터(38)는 상기 센서 클락 주파수 이상의 주파수 성분들을 제거하고 상기 선택 필터(40)는 상기 클락 주파수의 두 배의 주파수로 샘플링한다. 바람직한 실시예에 있어서, 상기 안티-알리아싱 필터는 저역 통과 필터이다. 상기 안티-알리아싱 필터의 필터 요구 조건은, 상기 오프셋 신호 성분 및 그와 관련된 리플을 제거하기 위해 저역 통과 필터가 사용되는 종래의 초평된 홀 센서들에 비해 현저하게 관대하다. 예시적인 일 실시예에 있어서, 상기 안티-알리아싱 필터(38)는 1차 저역 통과 필터이다.

[0045] 상기 스위치드 홀 플레이트(14)는 센싱된 자기장에 응답하여 변하는 홀 출력 신호(20)를 제공하는 출력단을 구비하는 홀 소자 또는 플레이트(18) 및 상기 홀 출력 신호에 응답하는 입력단과 상기 스위치드 홀 출력 신호(여기서는 변조 회로 출력 신호라고도 칭함)(16)를 제공하는 출력단을 구비하는 홀 플레이트 변조 스위치 회로, 또는 간단히 홀 플레이트 변조 회로(Hall plate modulation circuit, 22)를 포함한다. 도시된 바와 같이, 상기 스위치드 홀 출력 신호(16)는 상기 증폭기부(24)의 입력단과 연결된다. 상기 홀 출력 신호(20) 및 스위치드 홀 출력 신호(16)는 자기 신호 성분(V_H) 및 홀 오프셋 신호 성분(V_{op})을 포함한다.

[0046] 아래에서 설명되는 바와 같이, 상기 변조 회로(22)는, 여기서는 선택적으로 상기 클락 주파수 f_{CLK} 라 칭해지는 변조 주파수로 상기 홀 오프셋 신호 성분(V_{op}) 또는 상기 자기 신호 성분(V_H)을 변조하도록 조절될 수 있다. 상기 홀 오프셋 신호 성분(V_{op})을 변조하는 예시적인 종래의 변조 회로는 도 2-2C와 관련하여 도시되고 설명되고, 상기 자기 신호 성분(V_H)을 변조하는 예시적인 종래의 변조 회로는 도 3-3C와 관련하여 도시되고 설명된다.

[0047] 상기 홀 플레이트 변조 회로(22)가 상기 홀 오프셋 신호 성분(V_{op})을 변조하는 실시예에 있어서, 상기 홀 오프셋 센서(10)는, 상기 선택 필터(40)가 상기 변조된 오프셋 신호 성분을 제거할 수 있도록 하기 위해, 상기 홀 플레이트 변조 회로(22)의 출력단 및 상기 필터부(34)의 입력단 사이에 짹수개의 변조 회로들을 포함한다. 이러한 종류의 한 예시적인 홀 효과 센서가 도 4에 도시되어 있다. 이러한 배치를 통해, 상기 증폭기부에 있는 상기 짹수개의 변조 회로들은, 상기 오프셋 신호 성분이 상기 필터부에 도달할 때에 변조되어 상기 자기 신호 성분 복원을 위해 상기 선택 필터(40)에 의해 제거되는 것을 보장하기 위해, 1회 이상 상기 오프셋 신호 성분을 복조하고 또다시 변조한다. 실질적으로 이러한 실시예에 있어서, 상기 증폭기부(24)는 초평된 증폭기가 아닐 수 있고, 따라서 어떠한 신호 변조도 수행하지 않을 수 있으므로, 상기 홀 플레이트 변조 회로(22)의 출력단과 상기 필터부(34)의 입력단 사이에 있는 제로(zero) 변조 회로들이 될 수 있다.

[0048] 상기 홀 플레이트 변조 회로(22)가 상기 자기 신호 성분(V_H)을 변조하는 실시예에 있어서, 상기 홀 오프셋 센서(10)는, 상기 선택 필터(40)가 상기 오프셋 신호 성분을 제거할 수 있도록 하기 위해, 상기 홀 플레이트 변조 회로(22)의 출력단 및 상기 필터부(34)의 입력단 사이에 홀수개의 변조 회로들을 포함한다. 이러한 종류의 한 예시적인 홀 효과 센서가 도 5에 도시되어 있다. 이러한 배치를 통해, 상기 증폭기부에 있는 상기 홀수개의 변조 회로들은, 상기 오프셋 신호 성분이 상기 필터부에 도달할 때에 변조되어 상기 자기 신호 성분 복원을 위해 상기 선택 필터(40)에 의해 제거되는 것을 보장한다. 뒤에서 명백히 설명되는 바와 같이, 상기 변조 회로(22)가 상기 자기 신호 성분을 변조하는 실시예에 있어서, 상기 증폭기부(24)를 구성하는 증폭기(30a-30n) 모두가 초평된 증폭기가 아니라면 상기 오프셋 신호 성분은 상기 선택 필터에 의해 제거되기 위해 업-컨버팅(up-converting)되지 않기 때문에, 상기 증폭기부(24)를 구성하는 적어도 하나의 증폭기(30a-30n)는 초평된 증폭기이다(그리고 홀수개의 초퍼(chopper)부들이 사용되는 한, 선택적으로 하나 이상의 증폭기(30a-30n)가 초평된 증폭기이다).

[0049] 상기 증폭기부(24)는 하나 또는 그 이상의 증폭기들(30a-30n)을 포함할 수 있다. 각각의 증폭기(30a-30n)는 이득부(32a-32n)를 구비하고, 초평되거나 초평되지 않을 수 있다. 초평되었다면, 증폭기(30a)에 대해 점선으로 도시되고 증폭기(30n)에 대해 실선으로 도시된 바와 같이, 상기 증폭기는 한 쌍의 대각 연결된 스위치들(cross-coupled switches, 46a~46n)에 의해 제공될 수 있는 적어도 하나의 변조 회로를 포함하고, 추가적으로 한 쌍의

대각 연결된 스위치들(42a~42n)에 의해 제공될 수 있는 제 2 변조 회로를 포함할 수 있다. 상기 증폭기들(30a~30n) 각각은, 상기 훌 소자(18)와 마찬가지로, 관련된 오프셋 전압을 포함하는데, 여기서는 각각의 이득부(32a~32n)의 입력단에 있는 각각의 전압원들(48a~48n)에 의해 도시된다. 상기 변조 회로들(42a~42n 및 46a~46n)은 상기 처리된 신호를 변조하거나 복조하도록 동작하고, MOSFET 스위치들 등으로 구현될 수 있다. 예시적인 실시예에 있어서, 상기 변조 회로들(42a~42n 및 46a~46n)은 상기 클락 주파수 f_{CLK} 로 동작한다. 그러나, 상기 증폭기부(24)는 상기 훌 플레이트 변조 회로(22)에 의해 사용되는 상기 클락 주파수와 상이한 주파수로 초평될 수도 있는 것은 당연하다.

[0050] 상기 증폭기부(24)를 구성하는 증폭기들(30a~30n) 개수의 선택은 일반적으로 상기 증폭기(24)에 대한 바람직한 전체적인 이득을 기초로 한다. 상기 증폭기 이득은, 상기 필터부(34)를 뒤따르는 어떠한 초평되지 않은 회로와 관련된 어떠한 오프셋이라도 상기 훌 및 증폭기 오프셋들에 비해 상당히 작아서 그러한 "백-엔드(back-end)" 오프셋의 영향이 최소화 될 수 있을 만큼 큰 것이 바람직하다. 전체적인 이득이 선택되고 나면, 얼마나 많은 이득이 주어진 증폭기(30a~30n)에 의해 제공될지 여부는 대역폭 및 응답 시간과 같은 다양한 요소들의 고려를 필요로 한다. 예를 들면, 폐루프(closed loop) 구성에 있어서, 특정 단계의 이득이 높을수록 대역폭은 줄어든다. 그러나, 대역폭이 줄어들수록 센서의 응답 시간은 줄어든다. 하나 이상의 증폭기(30a~30n)를 포함하는 실시예에 있어서, 각각의 증폭기가 구성(topology) 및 사양(specifications) 측면에서 동일할 필요는 없는 것은 당연하다. 예를 들면, 상이한 증폭기들(30a~30n)의 이득은 차이가 있을 수 있다. 또한 구성도 상이할 수 있다. 예를 들면, 증폭기들(30a~30n)은 폐루프 또는 개루프(open loop) 증폭기들일 수 있다.

[0051] 하나 또는 그 이상의 상기 증폭기들(30a~30n)이 하나의 변조 회로를 포함할지 또는 두 개의 변조 회로(42a~42n, 46a~46n)를 포함할지 여부는 상기 훌 플레이트 변조 회로(22)가 상기 훌 오프셋 신호 성분(V_{op})을 변조하는지 상기 자기 신호 성분(V_H)을 변조하는지 여부에 기초한다. 앞에서 설명한 바와 같이, 상기 훌 플레이트 변조 회로(22)가 상기 훌 오프셋 신호 성분(V_{op})을 변조하는 경우에는, 상기 오프셋 신호 성분을 제거하기 위해 상기 훌 플레이트 변조 회로(22)의 출력단 및 상기 필터부(34)의 입력단 사이에 짹수개의 변조 회로들이 필요하고, 상기 훌 플레이트 변조 회로(22)가 상기 자기 신호 성분(V_H)을 변조하는 경우에는, 상기 오프셋 신호 성분을 제거하기 위해 상기 훌 플레이트 변조 회로의 출력단 및 상기 필터부의 입력단 사이에 홀수개의 변조 회로들이 필요하기 때문이다.

[0052] 상기 설명한 바와 같이, 상기 안티-알리아싱 필터(38)는 상기 선택 필터(40)가 잡음 신호들에 대해 나이퀴스트 기준을 만족하는 것을 보장하기 위해 필요한 만큼 주파수 성분들을 제거한다. 상기 선택 필터(40)가 $2f_{CLK}$ 의 주파수로 샘플링하는 예시적인 실시예에 있어서, 상기 필터(38)는 대략 $0.35f_{CLK}$ 의 컷오프(cutoff) 주파수를 갖는다. 관련 기술 분야에서 통상의 지식을 가진 자에게 자명한 바와 같이, 상기 저역 통과 필터를 위해 다양한 필터 디자인들이 가능하고, 상기 필터(38)의 특정 컷오프 주파수는 상기 선택 필터(40)의 샘플링 주파수 및 상기 요구되는 센서 응답 시간의 함수이다.

[0053] 상기 선택 필터(40)는 수신되는 신호들이 제거되고 주어진 대역폭 이상의 다른 주파수 성분들을 감소시키는 주파수로 맞추어진다. 특히, 상기 선택 필터(40)는 상기 오프셋 신호 성분 및 그와 관련된 리플의 제거를 보장하도록 선택된 주파수로 맞추어진다. 따라서, 상기 선택 필터는 상기 오프셋 신호 성분이 상기 선택 필터에 도달할 때에 변조되는 주파수인 상기 클락 주파수 f_{CLK} 로 맞추어진다.

[0054] 예시적인 실시예에 있어서, 상기 선택 필터(40)는, 싱크 함수(sinc function) 형태의 주파수 도메인(domain) 전달함수(도 7A 참조) 및 직사각 함수(rectangular function) 형태의 시간 도메인 전달 함수를 갖는 싱크 필터(sinc filter) 형태의 샘플된 데이터 필터이다. 주파수 도메인에서의 상기 선택 필터(40)의 제로들은 정확히 상기 샘플 주파수의 절반과 관련된 하모닉스(harmonics)들에 존재한다는 점에서, 상기 선택 필터(40)는 이산 시간 필터(discrete time filter)이다. 바람직한 일 실시예에 있어서, 상기 선택 필터는 상기 센서 클락 주파수 f_{CLK} 의 두 배의 주파수로 샘플링한다. 따라서, 상기 실시예에 있어서, 상기 제로들은 $N(f_{SF}/2)$ 즉, Nf_{CLK} 에 위치한다 (여기서, N 은 임의의 정수). 따라서, 상기 필터(40)는 상기 클락 주파수 f_{CLK} 및 그것의 하모닉스들에 있는 모든 신호 성분들을 제거하고 주어진 대역폭 이상의 다른 주파수 성분들을 감소시킨다. 이러한 방식으로, 상기 선택 필터는, 진폭이 DC 입력 오프셋 신호 성분에 비례하는 원하지 않는 출력 리플을 제거한다. 따라서, 상기 선택 필터가 상기 오프셋 신호 성분 및 그와 관련된 리플을 완전히 제거하기 때문에, 상기 결과적인 센서 출력 신호(36)는 상기 자기 신호 성분만을 포함한다. 상기 클락 주파수의 하모닉스들과는 다른 주파수에서의 감쇄의 정도

는 한 클락 주기 동안 취해진 상기 입력 신호의 샘플들의 개수에 대한 함수인데, 더 많은 샘플을 취할수록 더 많은 감쇄가 나타난다. 샘플 주파수의 특정 선택은, 많은 수의 샘플들을 평균함으로써 얻을 수 있는 보다 큰 신호 감쇄(보다 높은 전체적인 샘플링 주파수를 제공함)와 최소한의 개수의 샘플들을 사용함에 의해 얻을 수 있는 공간 효율성(보다 낮은 전체적인 샘플링 주파수를 제공함) 사이에 트레이드오프(tradeoff)를 필요로 한다는 것은 관련 기술 분야에서 통상의 지식을 가진 자에게 자명하다.

[0055] 상기 예시적인 선택 필터(40)는 샘플 기반의 싱크 필터이지만, 상기 예시적인 선택 필터의 장점들을 갖는, 즉, 상기 오프셋 신호 성분 및 그와 관련된 리플들을 제거해 주는 대체적인 필터 디자인들도 가능하다는 것은 관련 기술 분야에서 통상의 지식을 가진 자에게 자명하다. 바람직한 실시예에 있어서, 상기 선택 필터(40)는 평균 필터(averaging filter)이고, 연속 시간 필터, 이산 시간 필터, 아날로그 필터 또는 디지털 필터의 형태일 수 있다. 일례로, 연속 시간 콤 필터(comb filter)가 사용될 수 있다.

[0056] 상기 필터부(34)는, 상기 선택 필터(40)에 의해 이미 제공되는 감쇄에 더하여 (상기 클락 하모닉스들에 존재하지 않는) 고주파수 성분을 보다 감쇄시키기 위해, 선택적인 스무딩 필터(smoothing filter, 44)를 포함할 수 있다. 추가적으로, 상기 스무딩 필터(44)는 단지 고주파 감쇄(상기 선택 필터 전달 함수의 이차적인 측면 로브들(secondary side lobes))를 위한 것이므로, 상기 스무딩 필터(44)의 컷오프(cutoff) 주파수가 작을 필요는 없다. 예를 들면, 상기 예시적인 실시예에 있어서, 상기 스무딩 필터는 적어도 f_{CLK} 의 컷오프 주파수를 갖는다. 따라서, 상기 스무딩 필터(44)는 상기 센서에 어떠한 심각한 딜레이(delay)도 야기하지 않는다.

[0057] 또한, 도 2를 참조하면, 상기 홀 오프셋 신호 성분을 변조하는 형태의 종래의 스위치드 홀 플레이트(50)가 홀 소자 또는 플레이트(52) 및 홀 플레이트 변조 스위치 회로(54)를 포함하는 것으로 도시된다. 도시된 바와 같이, 상기 홀 소자(52)는 4개의 균등하게 분포된 접속부들(52a, 52b, 52c, 52d)을 포함하고, 상기 접속부들 각각은 각각 스위치(56a, 56b, 56c, 56d)의 제 1 단자에 연결된다. 스위치들(56b, 56c)의 제 2 단자는, 여기서는 V_0+ 라고 라벨링된, 상기 스위치드 홀 출력 신호(16)의 양극(positive node)을 제공하기 위해 서로 연결되고, 스위치들(56a, 56d)의 제 2 단자는, 여기서는 V_0- 라고 라벨링된, 상기 스위치드 홀 출력 신호(16)의 음극(negative node)을 제공하기 위해 서로 연결된다.

[0058] 추가적인 스위치들(60a, 60b, 60c, 60d)은 상기 홀 접속부들(52a, 52b, 52c, 52d)을 공급 전압(V_S) 및 그라운드(ground)에 선택적으로 연결시키도록 배치된다. 보다 상세하게는, 도시된 바와 같이, 스위치들(56b, 56d, 60a, 60c)은 클락 신호(CLK)에 의해 제어되고, 스위치들(56a, 56c, 60b, 60d)은 상보적인 클락 신호(CLK/)에 의해 제어된다. 도 2A에 도시된 바와 같이, 상기 클락 신호들(CLK, CLK/)은 두 개의 상태(Φ_0 상태, Φ_{90} 상태)를 갖는다.

[0059] 동작에 있어서, Φ_0 위상 동안에는, 전류는 52a 단자에서 52c 단자로 흐르고 상기 스위치드 홀 출력 신호(V_0)는 $V_H + V_{op}$ 와 같다. 여기서, V_{op} 는 상기 홀 플레이트 오프셋 전압 또는 홀 오프셋 신호 성분을 나타내고, V_H 는 상기 자기 신호 성분을 나타낸다. Φ_{90} 위상 동안에는, 전류는 52b 단자에서 52d 단자로 흐르고 상기 스위치드 홀 출력 신호(V_0)는 $V_H - V_{op}$ 와 같다. 따라서, 도 2B에서 제로 가우스(zero Gauss)에 대해 도시된 바와 같이, 상기 변조 스위치 회로(54)는 상기 홀 오프셋 신호 성분(V_{op})을 변조한다. 도 2C에 도시된 바와 같이, 상기 자기 신호 성분(V_H)은 실질적으로 변화 없이 유지된다.

[0060] 또한, 도 3을 참조하면, 상기 자기 신호 성분을 변조하는 형태의 종래의 스위치드 홀 플레이트(70)가 홀 소자(72) 및 홀 플레이트 변조 스위치 회로(74)를 포함하는 것으로 도시된다. 상기 홀 소자(72)는 도 2의 소자(52)와 동일하고, 4개의 접속부들(72a, 72b, 72c, 72d)을 포함하며, 상기 접속부들 각각은 각각 스위치(76a, 76b, 76c, 76d)의 제 1 단자에 연결된다. 스위치들(76a, 76b)의 제 2 단자는, 여기서는 V_0+ 라고 라벨링된, 상기 스위치드 홀 출력 신호의 양극을 제공하기 위해 서로 연결되고, 스위치들(56c, 56d)의 제 2 단자는, 여기서는 V_0- 라고 라벨링된, 상기 스위치드 홀 출력 신호의 음극을 제공하기 위해 서로 연결된다. 따라서, 도 2 및 3을 비교하면, 상기 홀 소자의 상기 출력 접속부들은 상기 Φ_{90} 위상 동안 서로 교환된다.

[0061] 추가적인 스위치들(80a, 80b, 80c, 80d)은 상기 홀 접속부들(72a, 72b, 72c, 72d)을 상기 공급 전압(V_S) 및 그라운드(ground)에 선택적으로 연결시키도록 배치된다. 도시된 바와 같이, 스위치들(76b, 76d, 80a, 80c)은 클락 신호(CLK)에 의해 제어되고, 스위치들(76a, 76c, 80b, 80d)은 상보적인 클락 신호(CLK/)에 의해 제어된다. 도시

된 바와 같이, 클락 신호들(CLK, CLK/)은 도 2에 있는 유사 신호들과 동일하고, 따라서 두 개의 상태(Φ_0 상태, Φ_{90} 상태)를 갖는다.

[0062] 동작에 있어서, Φ_0 위상 동안에는, 전류는 72a 단자에서 72c 단자로 흐르고 상기 스위치드 홀 출력 신호(V_0)는 $V_H + V_{op}$ 와 같다. Φ_{90} 위상 동안에는, 전류는 72b 단자에서 72d 단자로 흐르고 상기 스위치드 홀 출력 신호(V_0)는 $-V_H + V_{op}$ 와 같다. 따라서, 도 3C에서 제로 가우스(zero Gauss)에 대해 도시된 바와 같이, 상기 변조 스위치 회로(54)는 변조된 자기 신호 성분(V_H)을 제공하기 위해 상기 자기 신호 성분을 변조한다. 도 3B에 도시된 바와 같이, 상기 홀 오프셋 신호 성분(V_{op})은 실질적으로 변화 없이 유지된다.

[0063] 도 2의 상기 스위치드 홀 플레이트(50)에서, 상기 홀 오프셋 전압은 상기 홀 소자(52) 및 상기 홀 플레이트 변조 스위치 회로(54) 사이에 있는 전압원(58)으로 표현될 수 있음을 주목할만하다. 따라서, 예를 들어, (상기 홀 소자 및 상기 증폭기에 대해 동일한 클락 주파수 f_{CLK} 가 사용된다면) 상기 홀 플레이트 변조 회로(54)에 의해 변조되고(도 2 참조) 상기 변조 회로(42a)에 의해 복조된 이후에, 상기 홀 오프셋 전압(58)은 상기 증폭기 오프셋 전압(48a)에 더해진다(도 1 참조). 반대로, 도 3의 상기 스위치드 홀 플레이트(70)에서, 전압원(78)에 의해 도시된 바와 같이, 상기 홀 오프셋 전압은 상기 스위치드 홀 플레이트의 출력단에 존재한다. 따라서, 예를 들어, 선택적인 변조 회로(42a)를 포함하지 않는 실시예의 경우(도 1 참조), 상기 홀 오프셋 전압(78)은 상기 증폭기 오프셋 전압(48a)과 구별되지 않는다. 따라서, 두 경우 모두에 있어서, 상기 홀 오프셋 전압 및 상기 증폭기 오프셋 전압은 본 발명의 상기 센서(10)에 의해 동시에 처리되고 제거된다.

[0064] 도 4를 참조하면, 본 발명에 따른 초평된 홀 효과 센서(100)는, 도 4A에 도시된 바와 같이, 변조된 홀 오프셋 신호 성분(V_{op}) 및 실질적으로 변화 없는 자기 신호 성분(V_H)을 포함하는 스위치드 홀 출력 신호(114)를 제공하는, 도 2에 도시된 종류의 스위치드 홀 플레이트(50)를 포함한다. 또한 도 4A에는 상기 신호(114)의 상기 실질적으로 변화 없는 자기 신호 성분이 점선으로 도시되어 있다. 상기 센서(100)는 상기 스위치드 홀 플레이트(50)의 출력단과 연결되는 입력단과 증폭된 신호(116)를 제공하는 출력단을 구비하는 초평된 증폭기(110)를 더 포함한다. 도 1의 필터부(34)와 마찬가지로, 필터부(120)는 상기 증폭기부(110)의 출력단과 연결되는 입력단 및 상기 센서 출력 신호(118)가 제공되는 출력단을 포함한다. 상기 필터부(120)는 선택적인 스무딩 필터(도 1의 44)를 포함하지 않는 것으로 도시되어 있다.

[0065] 도시된 바와 같이, 상기 증폭기(110)는 피드백 네트워크(feedback network)(124)를 포함하는 폐루프 증폭기이다. 상기 피드백 네트워크(124)의 일 실시예는 도 6과 관련하여 도시되고 설명된다. 상기 결과적인 높은 선형성 및 주파수, 온도, 프로세스(process) 및 전압 공급 레벨(level)에 대한 이득 안정성 때문에 폐루프 증폭기의 사용이 바람직하다. 더욱이, 상기 자기 신호 성분(V_H)(도 4A 참조)은 기저대역에 있으므로, 상기 폐루프 증폭기(110)에 요구되는 보다 좁은 대역폭은 상기 자기 신호 성분의 복원에 불리한 영향을 미치지 않는다. 도 4의 실시예에 있어서 상기 폐루프 증폭기(110)의 추가적인 장점은, 이득-대역폭 곱(gain bandwidth product)은 동일하게 유지하면서 보다 높은 이득의 증폭기를 제공함으로써 안정성을 확보하기에 필요한 만큼 상기 폐루프 대역폭을 줄일 수 있다는 것이다.

[0066] 사용되는 피드백 네트워크의 종류에 따라, 상기 필터부(34)에서 상당한 공간 절약을 얻을 수 있다. 예를 들면, "반사된(reflected)" 전기용량(capacitance)이 상기 컷오프 주파수를 설정하고, 양쪽 루프의 안정성을 확보하고 상기 선택 필터(150)가 나이퀴스트 기준을 만족하도록 대역폭이 설정될 수 있는, 밀러 보상 구성(Miller compensation scheme)이 사용된다면, 상기 저역 통과 필터(144)는 상기 밀러부 및 상기 안티-알리아싱 필터의 기능을 모두 수행 할 수 있다. 반면에, 상기 보상 구성이 밀러부를 포함하는지 여부와 무관하게, 대역폭이 안정성 및 안티-알리아싱 요구조건들을 모두 만족할 수 있도록 설정된다면, 별도의 안티-알리아싱 필터가 제공되어야만 하고 상기 피드백 루프는 상기 안티-알리아싱 필터 이전에 닫혀질 수 있다.

[0067] 도시된 바와 같이, 상기 스위치드 홀 출력 신호(114)는 덧셈 노드(126)의 입력단에 연결되고, 상기 피드백 네트워크(124) 또한 상기 덧셈 노드(126)의 입력단에 연결된다. 여기에서 설명된 다른 노드들과 마찬가지로, 상기 덧셈 노드(126)는 전류 또는 전압 덧셈 노드일 수 있다. 상기 덧셈 노드(126)의 출력단은, 여기서는 들어오는 신호를 상기 클락 주파수 f_{CLK} 로 변조하는 한 쌍의 대각 연결된(cross-coupled) 스위치들(130)로 구성된 제 1 변조 회로에 연결된다. 따라서, 도 4B에 도시된 바와 같이, 변조 회로(130)의 상기 출력 신호(132)는 변조된 자기 신호 성분 및 복조된 오프셋 신호 성분을 포함한다. 또한, 상기 복조된 오프셋 신호 성분(132a)은 도 4B에서 점

선으로 도시되어 있다. 상기 신호(132)의 상기 오프셋 신호 성분은 (도 2에서 전압원(58)으로 표시되는) 상기 훌 오프셋 신호 성분(V_{op}) 및 (도 4에서 전압원(134)으로 표시되는) 상기 증폭기 오프셋 신호 성분(V_{ea})을 포함한다.

[0068] 제 1 센서 스텝 응답 시간을 얻기 위해, 상기 클락 주기가 대략 요구되는 스텝 응답 시간(step response time, SRT)의 절반(또는 그 이하)이 되도록 상기 클락 주파수 f_{CLK} 가 선택된다. 요구되는 스텝 응답 시간이 대략 $2.0 \mu s$ 인 예시적인 실시예의 경우, 상기 클락 주파수는 대략 1MHz이다.

[0069] 도시된 바와 같이, 이득부(138)는, 여기서는 한 쌍의 대각 연결된 스위치들(140)의 형태로 도시된, 다른 변조 회로에 증폭된 신호를 제공한다. 상기 이득부(138)는 상기 변조된 자기 신호 성분을 통과시킬 수 있을 만큼 충분히 큰 대역폭을 가져야 한다. 예시적인 일 실시예에 있어서, 상기 이득부 대역폭은 적어도 상기 클락 주파수 f_{CLK} 의 5배이다. 따라서, 페루프 형태의 상기 증폭기(110)를 구현하기 위해 요구되는 보다 좁은 대역폭은, 상기 요구되는 자기 신호 성분을 통과시키기에 필요한 최소한의 대역폭과 균형이 맞추어져야 한다. 상기 변조된 자기 신호 성분은 상기 필터(144) 또는 상기 밀리 피드백부(124)를 통과하지 않으므로, 상기 페루프 대역폭은 상기 변조된 신호 대역폭에 영향을 미치지 않는다. 단지 상기 변조된 자기 신호 성분이 통과하는 증폭기 부분만이 상기 요구되는 자기 신호 성분을 통과시키기에 충분한 대역폭을 필요로 한다.

[0070] 도 4C에 도시된 바와 같이, 변조 회로(140)는, 복조된 자기 신호 성분 및 변조된 오프셋 신호 성분을 포함하는 상기 증폭된 신호(116)를 제공하기 위해 상기 클락 주파수 f_{CLK} 로 동작한다. 또한, 상기 복조된 자기 신호 성분(116a)은 도 4C에서 점선으로 도시된다. 또한, 상기 변조 회로(140)에 의해 변조된 상기 오프셋은, 상기 훌 오프셋 및 상기 제 1 변조 회로(130)의 출력단에서 명백해지는 상기 증폭기 오프셋을 포함한다.

[0071] 도시된 바와 같이, 상기 증폭된 신호(116)는 상기 필터부(120)에, 보다 상세하게는, 상기 안티-알리아싱 저역 통과 필터(144)에 연결된다. 상기 필터(144)의 목적은 기저대역에 폴드백(fold-back)된 주파수 성분들을 제거함으로써 안티-알리아싱 기능을 수행하는 것이다. 예시적인 실시예에 있어서, 상기 선택 필터(150)는 상기 클락 주파수 f_{CLK} 의 두 배의 주파수로 샘플링 한다. 따라서, 그것의 안티-알리아싱 기능을 수행하기 위해서는, 상기 필터(144)의 컷오프 주파수는 최대 상기 클락 주파수 f_{CLK} 로 제한되어야 하고, 일 실시예에 있어서는 대략 $0.35f_{CLK}$ 이다.

[0072] 상기 저역 통과 필터(144)는, 부분적으로 감쇄된 변조된 오프셋 신호 성분 및 복조된 자기 신호 성분을 포함하는 도 4D의 상기 필터된 신호(148)를 제공한다. 따라서, 상기 신호(148)는 상기 초평된 증폭기의 잔여 리플인 연속적으로 변화하는 극성의 지수적인 응답을 포함한다. 상기 리플의 감쇄 정도는 상기 필터(144)의 컷오프 주파수에 직접적으로 의존한다. 또한, 상기 복조된 자기 신호 성분(148a)이 도 4D에서 점선으로 도시된다.

[0073] 제 1 응답 시간을 얻기 위해, 상기 필터(144)의 시정수(τ)는, 상승시간(rise time)이 요구되는 스텝 응답 시간(SRT)의 절반을 넘지 않도록 설정되어야 한다. (1차 시스템에서 일반적인 경우와 같이) 상승 시간이 대략 2.2τ 와 같고, 상기 클락 주기가 요구되는 응답 시간의 절반이라고 가정하면, 상기 필터(144)의 컷오프 주파수는 대략 $0.35f_{CLK}$ 으로 선택된다. 보다 상세하게는, $T_{CLK} = 1/2 * SRT = 1/2 * (2 * \text{rise time}) = 2.2\tau$ 이다. $f_{cutoff} = 1/(2 * \pi * \tau)$ 이므로, $1/(2 * \pi * (T_{CLK} / 2.2))$, 즉, $f_{cutoff} = 0.35f_{CLK}$ 이다. 상기 리플은 f_{CLK} 의 하모닉스들을 포함하므로, 상기와 같은 컷오프 주파수를 통해, 상기 필터(144)는 상기 리플을 완전히 감쇄시키지 않는다. 그러나, 상기 선택 필터(150)는 이하에서 명백해지는 바와 같이, 상기 리플을 완전히 제거한다.

[0074] 상기 선택 필터(150)는 $N(f_{SF}/2)$ 에 위치한 제로들을 포함하는 이산 시간 필터이다. 여기서, N 은 임의의 정수이고, f_{SF} 는 샘플링 주파수이다. 도 7과 관련하여 아래에서 도시되고 설명되는 예시적인 실시예에 있어서, 상기 선택 필터(150)는 입력 신호(148)를 f_{CLK} 의 레이트(rate)로 평균시키는 시간 도메인 평균 필터(averaging filter)이고 상기 샘플링 주파수 f_{SF} 는 상기 클락 주파수 f_{CLK} 의 두 배가 되도록 선택된다. 상기 결과적인 센서 출력 신호(118)는 도 4E에 도시되어 있는데, 상기 선택 필터가 상기 오프셋 신호 성분(148) 및 그와 관련된 리플을 완전히 제거하기 때문에, 상기 결과적인 센서 출력 신호(118)는 (상기 필터(144)의 출력단에서 제공되는 자기 신호 성분(148a)과 동일한) 상기 자기 신호 성분만을 포함한다.

[0075] 도 4로부터 명백한 바와 같이, 이러한 실시예는, 상기 훌 오프셋 신호 성분을 변조하는 상기 훌 플레이트 변조 회로(50)의 출력단 및 상기 필터부(120)의 입력단 사이에 짹수개의 변조 회로들을 포함한다. 특히, 상기 변조

회로 출력 신호(114)는 상기 저역 통과 필터(144)에 도달하기 이전에 두 개의 변조 회로들(130 및 140)에 의해 처리된다. 변조 회로(130)는 상기 오프셋 신호 성분을 기저대역으로 복조하고, 그 후 변조 회로(140)는, 상기 선택 필터(150)가 상기 오프셋 및 그것과 관련된 리플을 제거하여 상기 요구되는 자기 신호 성분을 복원할 수 있도록, 상기 오프셋 신호 성분을 상향변환한다(up-convert).

[0076] 도 5를 참조하면, 본 발명에 따른 다른 홀 효과 센서(200)는, 도 5A에 도시된 바와 같이, 실질적으로 변화없는 홀 오프셋 신호 성분(V_{op}) 및 변조된 자기 신호 성분(V_H)을 포함하는 스위치드 홀 출력 신호(214)를 제공하는, 도 3에 도시된 종류의 스위치드 홀 플레이트(70)를 포함한다. 또한 도 5A에는 상기 실질적으로 변화없는 홀 오프셋 신호 성분(V_{op})이 점선으로 도시되어 있다. 상기 센서(200)는 상기 스위치드 홀 플레이트(70)의 출력단에 연결되는 입력단과 증폭된 신호(216)를 제공하는 출력단을 구비하는 초평된 증폭기(210)를 더 포함한다. 필터부(220)는 상기 증폭기부(210)의 출력단과 연결되는 입력단 및 상기 센서 출력 신호(218)가 제공되는 출력단을 포함한다. 여기에서 역시, 상기 선택적인 스무딩 필터는 도시되지 않았다.

[0077] 도시된 바와 마찬가지로, 도 4의 실시예에서와 같이, 상기 증폭기(210)는 피드백 네트워크(224)를 포함하는 폐루프 증폭기이다. 도 6에 도시된 예시적인 피드백 네트워크는 도 5의 실시예에 있는 상기 피드백 네트워크(224)를 제공하기에 적당하다. 앞에서 도 4의 상기 폐루프 증폭기(110)와 관련하여 설명한 동일한 장점들(예를 들면, 높은 선형성, 이득 안정성, 높은 이득 및 공간 효율성)이 도 5의 센서에서 구현된다는 것은 관련 분야에서 통상의 지식을 가진 자에게 자명한다.

[0078] 도 4의 실시예에서와 같이, 이득부(238)의 입력단에 있는 상기 자기 신호 성분은 변조되기 때문에, 폐루프 형태의 상기 증폭기(210)를 구현하기 위해 요구되는 보다 좁은 대역폭은, 상기 요구되는 자기 신호 성분을 통과시키기에 필요한 최소한의 대역폭과 균형이 맞추어져야 한다. 상기 변조된 자기 신호 성분은 상기 필터(244) 또는 상기 밀러 피드백부(224)를 통과하지 않으므로, 상기 폐루프 대역폭은 상기 변조된 신호 대역폭에 영향을 미치지 않는다. 단지 상기 변조된 자기 신호 성분이 통과하는 증폭기 부분만이 상기 요구되는 자기 신호 성분을 통과시키기에 충분한 대역폭을 필요로 한다.

[0079] 덧셈 노드(226)는 상기 피드백 네트워크(224)에 연결되는 입력단들 및 여기서는 들어오는 신호를 상기 클락 주파수 f_{CLK} 로 변조하는 한 쌍의 대각 연결된 스위치들(230)의 형태로 도시된 제 1 변조 회로에 연결되는 출력단을 포함한다. 변조 회로(230)의 출력 신호는 상기 이득부(238)의 입력단에 연결된다. 도시된 바와 같이, 상기 스위치드 홀 출력 신호(214) 또한 상기 이득부(238)의 입력단에 연결된다. 따라서, 상기 실시예에 있어서, 상기 스위치드 홀 출력 신호(214)는 상기 변조 회로(230)에 의해 처리되지 않는다. 또한, 상기 증폭기 오프셋 신호 성분(V_{oa})을 나타내는 전압원(234)이 상기 이득부(238)의 입력단에 도시되어 있다.

[0080] 도시된 바와 같이, 이득부(238)는, 여기서는 한 쌍의 대각 연결된 스위치들(240)의 형태로 도시된, 다른 변조 회로에 증폭된 신호를 제공한다. 상기 설명한 바와 같이, 상기 이득부(238)는 상기 스위치드 홀 플레이트(70)에 의해 변조된 상기 자기 신호 성분을 통과시킬 수 있을 만큼 충분히 큰 대역폭을 가져야 한다. 예시적인 일 실시 예에 있어서, 상기 이득부 대역폭은 적어도 상기 클락 주파수 f_{CLK} 의 5배이다.

[0081] 도 5B에 도시된 바와 같이, 변조 회로(240)는, 복조된 자기 신호 성분 및 변조된 오프셋 신호 성분을 포함하는 상기 증폭된 신호(216)를 제공하기 위해 상기 클락 주파수 f_{CLK} 로 동작한다. 또한, 상기 복조된 자기 신호 성분(216a)은 도 5B에서 점선으로 도시된다. 또한, 상기 제 2 변조 회로(240)에 의해 변조된 상기 오프셋은, (도 3에서 전압원(78)으로 표현되는) 상기 홀 오프셋 신호 성분(V_{op}) 및 (도 5에서 전압원(234)으로 표현되는) 상기 이득부(238)의 입력단에서 더해지는 상기 증폭기 오프셋 신호 성분(V_{oa})을 포함한다.

[0082] 상기 도 4와 관련하여 설명한 이유와 동일하게, 상기 필터(244)의 컷오프 주파수는 대략 $0.35f_{CLK}$ 으로 선택된다. 상기 리플은 f_{CLK} 의 하모닉스들을 포함하므로, 상기와 같은 컷오프 주파수를 통해, 상기 필터(244)는 상기 오프셋 신호 성분에 의해 야기된 상기 리플을 완전히 감쇄시키지 않는다. 그러나, 상기 선택 필터(250)는 상기 리플을 완전히 제거한다. 상기 저역 통과 필터(244)의 상기 출력 신호(248)는 도 5C에 도시되어 있다. 또한, 상기 신호(248)의 상기 복조된 자기 신호 성분(248a)은 도 5C에서 점선으로 도시되어 있다.

[0083] 여기에서, 상기 필터의 제로들이 f_{CLK} 및 그것의 하모닉스들에 존재하도록, 상기 선택 필터(250)의 샘플링 주파수(f_{SF})는 상기 클락 주파수 f_{CLK} 의 두 배로 선택된다. 따라서, 상기 선택 필터(250)가 f_{CLK} 및 그것의 하모닉스들

의 주파수 성분을 제거하기 때문에, 상기 DC 오프셋 신호 성분에 비례하는 원하지 않는 출력 리플 및 상기 오프셋 신호 성분 자체가 제거된다. 상기 결과적인 센서 출력 신호(218)는 도 5D에 도시되어 있는데, 상기 선택 필터가 상기 오프셋 신호 성분을 완전히 제거하기 때문에, 상기 결과적인 센서 출력 신호(218)는 (상기 필터(244)의 출력에서 제공되는 자기 신호 성분(248a)과 동일한) 상기 자기 신호 성분만을 포함한다.

[0084] 도 4의 실시예에서와 마찬가지로, 상기 선택 필터(250)는 입력 신호(248)를 f_{CLK} 의 레이트로 평균시키는 시간 도메인 평균 필터이다. 상기 선택 필터(250)의 예시적인 실시예는 도 7과 관련하여 도시되고 설명된다.

[0085] 도 5의 고려로부터 명백한 바와 같이, 이러한 실시예는, 상기 자기 신호 성분을 변조하는 상기 훌 플레이트 변조 회로(70)의 출력단 및 상기 필터부(220)의 입력단 사이에 홀수개의 변조 회로들을 포함한다. 특히, 상기 변조 회로 출력 신호(214)는 상기 저역 통과 필터(244)에 도달하기 이전에 하나의 변조 회로(240)에 의해 처리된다. 변조 회로(240)는, 상기 선택 필터(250)가 상기 오프셋 및 그것과 관련된 리플을 제거하여 상기 요구되는 자기 신호 성분을 복원할 수 있도록, 상기 오프셋 신호 성분을 상향변환한다(up-convert).

[0086] 상기 변조 회로(230)는 그것의 위치가 변할 수 있음을 나타내기 위해 점선으로 도시되어 있다. 보다 상세하게는, 상기 변조 회로(230)는 도 5에 도시된 바와 같이, 상기 덧셈 노드(226) 및 상기 이득부(238) 사이에 위치할 수 있다. 선택적으로, 상기 변조 회로(230)는 상기 피드백 네트워크(224)의 일부분으로 제공될 수도 있다. 양 위치에 있어서, 상기 변조 회로(230)는, 상기 이득부(238)의 입력단에서 상기 피드백 신호가 상기 변조된 자기 신호 성분에 더해지기 이전에 상기 피드백 신호 성분을 변조한다.

[0087] 도 6을 참조하면, 도 4의 상기 피드백 네트워크(124) 또는 도 5의 상기 피드백 네트워크(224)를 제공하기에 적당한 종류의 예시적인 피드백 네트워크(310)를 포함하는, 도 4의 훌 효과 센서(200)와 유사한 훌 효과 센서(300)의 일부분이 도시되어 있다. 상기 센서 부분(300)은 도 4의 증폭기(210)와 유사한 증폭기(312)를 포함하고, 따라서 상기 증폭기(312)는 덧셈 노드(314), 여기서는 한 쌍의 대각 연결된 스위치들(318)로 도시된 제 1 변조 회로, 이득부(320) 및 여기서는 한 쌍의 대각 연결된 스위치들(324)로 도시된 제 2 변조 회로를 포함하고, 이들 각각은 도 4의 유사한 구성요소들(126, 130, 138, 140) 각각과 관련하여 설명한 것처럼 배치되고 동작한다. 상기 센서 부분(300)은, 도 4의 유사한 필터(144)와 관련하여 설명한 것처럼 배치되고 동작하는, 안티-알리아싱 저역 통과 필터(328)를 더 포함한다.

[0088] 도 4의 상기 피드백 네트워크(124)와 마찬가지로, 상기 피드백 네트워크(310)는 상기 필터(328)의 출력단에 연결되는 입력단을 포함하고, 덧셈 노드(314)의 입력단에 피드백 신호를 제공한다. 일부 실시예에 있어서, 상기 증폭기(312)의 이득을 조절할 수 있는 피드백 네트워크(310)를 제공하는 것이 바람직하다. 이러한 특징은, 예를 들면, 공극(airgaps)이 어떠한 범위로 조정되고 조절될 필요가 있는 응용분야에서와 같이, 민감도/이득 조정을 제공하는 응용분야에서 특히 장점이 된다. 이를 위해, 바람직하게는, 상기 피드백 네트워크(310)는 출력 전류가 요구되는 수준으로 조절될 수 있는 트랜스컨덕턴스(transconductance) 증폭기와 같은 능동 증폭기를 포함한다. 일례로, 상기 피드백 네트워크(310)는 상기 피드백 증폭기(334)의 이득을 조절하고 따라서 전체적인 페루프 이득을 조절하는데 사용될 수 있는 전류 곱셈기인 길버트 셀(Gilbert cell)을 포함할 수 있다. 저항, 전압 또는 전류를 변화시킴에 따라 상기 훌 효과 센서의 전체적인 이득이 조절되거나 프로그램될 수 있도록 하는 것처럼, 상기 피드백 증폭기에게 이득 조절 능력을 제공하기 위해 다른 피드백 네트워크들이 사용될 수 있음을 관련 기술 분야에서 통상의 지식을 가진 자에게 자명하다.

[0089] 보다 상세하게는, 상기 피드백 네트워크(310)는, 여기서는 필터(328)의 상기 출력단에 연결된 입력단 및 피드백 이득부(334)에 연결된 출력단을 구비하는 한 쌍의 대각 연결된 스위치들(330)로 도시된 제 1 변조 회로를 포함한다. 상기 이득부(334)의 출력단은, 여기서는 한 쌍의 대각 연결된 스위치들(338)로 도시된, 다른 변조 회로의 입력단에 연결되는데, 상기 스위치들(338)은, 도시된 바와 같이, 출력단에서 상기 덧셈 노드(314)에 연결되는 피드백 신호를 제공한다. 상기 변조 회로들(330 및 338)은 상기 클락 주파수 f_{CLK} 로 각각의 입력 신호를 변조한다.

[0090] 상기 길버트 셀(Gilbert cell) 네트워크(310)의 능동 소자들이 주어진다면, 상기 네트워크로부터의 오프셋 기여를 제거하는 것이 바람직할 것이다. 이를 위해, 상기 피드백 증폭기(334)는, 도 6의 실시예에서 변조 회로들(330 및 338)과 함께 제공되는 바와 같이, 초평될 수 있다. 이러한 배치를 통해, 상기 피드백 증폭기(334)로부터의 상기 변조된 오프셋은 상기 루프를 돌아 상기 필터(328)를 통과하여, 상기 오프셋은 상기 훌 플레이트로부터의 오프셋 신호 성분 및 상기 포워드(forward) 증폭기(320)로부터의 오프셋 신호 성분과 동일한 방식으로 처리된다.

- [0091] 도 6의 상기 피드백 네트워크(310)는 상기 피드백 네트워크를 구현하는 다양한 방법들 중의 하나라는 것은 관련 기술 분야에서 통상의 지식을 가진 자에게 자명하다. 일예로, 저항성 피드백 네트워크가 사용될 수 있다.
- [0092] 도 7을 참조하면, 도 1의 선택 필터(40), 도 4의 선택 필터(150) 또는 도 5의 선택 필터(250)로 사용되기에 적당한 종류의 예시적인 선택 필터(400)는, 제 1 샘플-홀드 회로(404) 및 제 2 샘플-홀드 회로(408)를 포함하고, 상기 제 1 샘플-홀드 회로(404) 및 제 2 샘플-홀드 회로(408) 각각은, 도 4의 신호(148) 또는 도 5의 신호(248)와 같은, 안티-알리아스 필터된 신호에 응답하는 입력단을 구비한다. 도시된 바와 같이, 각각의 샘플-홀드 회로(404 및 408)는 평균 네트워크(averaging network)(410)에 연결된 출력단을 구비한다. 상기 평균 네트워크(400)의 출력 신호(412)는 상기 선택 필터(400)의 출력을 제공한다.
- [0093] 도 7A를 참조하면, 주파수 도메인에서 상기 필터(400)의 전달 함수(420)는 싱크 함수와 같은 형태이고, 시간 도메인에서는 직사각 함수와 같은 형태이다. 상기 필터(400)는 $N(f_{SF}/2)$ 에서의 주파수 성분들을 제거하고 고주파 성분들을 감쇄시킨다(여기서, N 은 임의의 정수이고 f_{SF} 는 샘플링 주파수이다). 상기 샘플링 주파수 f_{SF} 가 상기 클락 주파수 f_{CLK} 의 두 배인 예시적인 실시예에 있어서, 상기 필터는 f_{CLK} 및 그것의 하모닉스들에서의 성분들을 제거한다.
- [0094] 상기 선택 필터(400)는 DC로부터 대략 $f_{SF}/8$ 까지 무시해도 좋은 정도의 감쇄를 제공하고, $f_{SF}/8$ 로부터 $f_{SF}/2$ 까지는 점차적으로 증가하는 감쇄를 제공한다는 것은 중요하다. 이상적으로, 도 7A에 도시된 바와 같이, $f_{SF}/2$ 주파수에서의 감쇄는 무한대이다(즉, 주파수 도메인에서 제로이다). 그러나, 처리되는 상기 자기 신호 성분에 대한 대역폭이 f_{SF} 보다 훨씬 작다고 가정하면, 이는 시스템에 어떠한 제약을 가지지 않는다. 배터리 전류 센서 분야 등의 응용분야에서 오류 조건을 나타낼 수 있는 입력 스텝 신호(input step signal)가 상기와 같이 f_{SF} 보다 훨씬 작은 대역폭을 갖지 않는다면 할지라도, 이러한 시나리오에 있어서, 상기 시스템은 입력 파형의 정확한 복제를 제공하는 것에 초점을 맞추는 것이 아니라, 궁극적으로 배터리 공급 연결부를 제어하는 비교기를 트리거(trigger)시키기 위해 충분할 정도로 빠르게 응답하는 것에 초점을 맞추고 있기 때문에, 이러한 경우 역시 문제가 되지 않는다.
- [0095] 또한, 도 7B를 참조하면, 상기 선택 필터(400)의 동작을 설명하기 위해 도 4D의 신호들(148, 148a)이 메모와 함께 도시되어 있다. 동작에 있어서, 제 1 샘플-홀드 회로(404)는 상기 변조 주파수 f_{CLK} 와 동일한 주파수 및 위상 Φ 를 갖는 샘플 클락 신호(406)에 응답하여 상기 입력 신호를 샘플링하고, 제 2 샘플-홀드 회로(408)는 상기 동일한 주파수 f_{CLK} 및 $\Phi + \Theta$ (Θ 는 180°)의 위상을 갖는 샘플 클락 신호(412)에 응답하여 상기 입력 신호를 샘플링 한다. 다른 방식으로 설명하면, 상기 제 1 샘플-홀드 회로(404)는 $t = t_0 + N*T_{SF} = t_0 + (N/2)*T_{CLK}$ 의 시각들에서 상기 입력 신호를 샘플링하고, 상기 제 2 샘플-홀드 회로(408)는 $t = t_0 + (N+1)*T_{SF} = t_0 + ((N+1)/2)*T_{CLK}$ 의 시각들에서 상기 입력 신호를 샘플링한다(여기서, t_0 는 임의의 시각이고, N 은 정수임). 상기 샘플링 동작을 수행하기 위해 짧은 펄스들이 사용된다. 상기 펄스들의 길이는, 상기 샘플 홀드 스위치들의 저항 및 상기 캐패시터(capacitor)의 캐패시턴스(capacitance)와 관련된 RC 시정수에 대한 함수로서, 상기 신호가 훌륭되도록 이전에 그것의 최종 값에 도달할 수 있을 정도로 충분히 크게 설정된다. 예시적인 실시예에 있어서, 상기 펄스폭은 대략 200ns이다.
- [0096] 설명을 간략화하기 위해서, 도 7B에서, 상기 샘플-홀드 회로(404)는 상기 신호(148)의 피크들(peaks)에서 입력 신호를 샘플링하고, 상기 샘플-홀드 회로(408)는 상기 신호의 밸리들(valleys)에서 상기 입력 신호를 샘플링하는 것으로 도시되어 있다. 상기 입력 신호(148)의 피크들은 상기 변조 클락 신호의 천이들에 상응하므로, 상기 예시에서, 상기 샘플 클락 신호들은 상기 변조 클락 신호의 천이들과 동시에 일어난다. 그러나, 상기 샘플 클락 신호들과 상기 변조 클락 신호 사이의 위상 쉬프트(shift)는 임의의 위상이 될 수 있음을 자명하다. 실질적으로, 신호가 크게 벗어나는 것을 방지하기 위해, 리플이 제로를 통과하는 지점에 가깝게 상기 입력 신호를 샘플링하는 것이 바람직할 것이다.
- [0097] 이와 같이 리플 주파수의 두 배의 주파수로 상기 입력 신호에 대해 동기화된 샘플링을 함으로써 상기 리플 신호를 평균화하고 따라서 상기 리플 신호를 완전히 제거하는 것이 가능하다. 더욱이, 상기 리플 평균값은 단지 하나의 변조 클락 주기 $1/f_{CLK}$ 이후에 얻어지므로, 이것은 상기 선택 필터가 야기하는 유일한 딜레이(delay)가 된다.

- [0098] 지금까지 설명한, 상기 변조 클락 주파수 f_{CLK} 로 상기 입력 신호를 평균화하는 상기 선택 필터의 동작에 따르면, 몇 개의 샘플들은 누적되고 평균화된 후에, 새로운 샘플들을 누적하고 평균화하여 다음 평균화된 신호 값을 제공하기 위해 버려진다. 이러한 종류의 필터 동작은 "누적 및 버림(accumulation and dump)" 동작이라 칭해질 수 있고, 예시적인 회로에 있어서, 각각의 신호 평균이 한 변조 클락 주기 동안 취해진 상기 안티-알리아싱 필터 출력 신호의 샘플들에 기초하는, 복수의 신호 평균들을 포함하는 상기 선택 필터 출력 신호로서 설명될 수 있다.
- [0099] 그러나, 선택적으로, N개의 샘플들이 저장되고 평균화되어 제 1 평균 신호 값을 제공하고, 새로운 샘플(즉, N+1 번째 샘플)이 취해질 때, 이전에 저장되어 있던 가장 오래된 샘플(즉, 1번쨰 샘플)을 버리고 이전에 저장되어 있던 샘플들(즉, 2, 3, ..., N번쨰 샘플들) 및 상기 새로운 샘플(즉, N+1번쨰 샘플)에 기초하여 새로운 평균화를 수행하는 이동 평균(running average) 방법이 사용될 수도 있음은 관련 분야에서 통상의 지식을 가진 자에게 자명하다. 이러한 경우, 상기 입력 신호는 상기 샘플링 주파수 f_{SF} 로 평균화된다. 예시적인 회로에 있어서, 이러한 형태의 이동 평균 동작은, 각각의 신호 평균이 이전의 신호 평균을 제공하기 위해 사용된 상기 안티-알리아싱 필터 출력 신호의 복수의 샘플들 및 상기 안티-알리아싱 필터 출력 신호의 새로운 샘플에 기초하는, 복수의 신호 평균들을 포함하는 상기 선택 필터 출력 신호로서 설명될 수 있다.
- [0100] 유리하게, 상기 선택 필터(400)는, 예를 들어 온도 또는 공정의 변화 등에 의해 발생할 수 있는 상기 클락 주파수의 변화를 추적하는 특성을 갖는다. 이는 상기 샘플링 주파수가 상기 클락 신호 주파수 f_{CLK} 의 두 배로 선택되고 실질적으로 상기 클락 신호로부터 생성되기 때문이다. 이러한 배치를 통해, 상기 리플 주파수 f_{CLK} 에 대한 상기 필터(400)의 정확한 동기화를 얻을 수 있고, 이로 인해 상기 오프셋 리플의 정확한 제거를 보장할 수 있다.
- [0101] 상기 도 1과 관련하여 설명한 바와 같이, 상기 클락 주파수 f_{CLK} 및 그것의 하모닉스들에서의 모든 신호 성분들을 제거하는 것 이외에, 상기 필터는 주어진 대역폭 이상의 다른 주파수 성분들을 감쇄시킨다. 상기 클락 주파수의 하모닉스들 이외의 주파수들에서의 감쇄의 정도는 한 클락 주기 동안 취해진 상기 입력 신호의 샘플들의 개수에 대한 함수이고, 많은 샘플들이 취해질수록 상기 필터 측면 로브들(sidelobes)에서 더 많은 감쇄가 일어난다. 샘플 주파수의 특정 선택은 많은 샘플들을 취함으로써 얻을 수 있는 보다 큰 신호 감쇄(즉, 보다 높은 전체적인 샘플링 주파수)와 보다 적은 샘플들을 취함으로써 얻을 수 있는 공간 효율성(즉, 보다 낮은 전체적인 샘플링 주파수) 사이에 트레이드오프(tradeoff)를 필요로 한다. 샘플링 주파수 f_{SF} 가 상기 클락 주파수 f_{CLK} 의 두 배인 예시적인 실시예는 상기 선택 필터 평균화 동작을 얻을 수 있는 최소의 샘플 주파수를 나타낸다는 것은 관련 기술 분야에서 통상의 지식을 가진 자에게 자명하다.
- [0102] 보다 일반적으로, 상기 선택 필터는 각각의 클락 주기 동안 상기 입력 신호에 대한 N쌍의 샘플들을 취하도록 고안될 수 있다(여기서 N의 최소값은 1임). 상기 자기 신호 성분을 중심으로 대칭적인 상기 리플을 각각의 클락 주기 동안 평균화하기 위해 샘플들은 쌍으로 취해진다(즉, 각각의 클락 주기 동안 짹수개의 샘플들이 취해진다). 이러한 배치를 통해, 상기 샘플링 주파수 f_{SF} 는 상기 변조 주파수 f_{CLK} 의 배수가 된다. 올바른 선택 필터 동작을 위해, 주어진 쌍의 샘플들을 제어하는 상기 클락 신호들은 180° 만큼 위상이 분리되고, 상이한 쌍들의 샘플들을 제어하는 상기 클락 신호들은 위상에 있어서 무작위로 분포된다.
- [0103] 따라서, 보다 일반적인 필터는, 각각의 샘플-홀드 회로가 안티-알리아싱 필터의 출력단에 연결되는 입력단과 출력단을 구비하는, 쌍들로 배열된 복수의 샘플-홀드 회로들을 포함하는 것으로 설명될 수 있다. 특히, 상기 필터는 N쌍의 샘플-홀드 회로, 즉, 2N개의 샘플-홀드 회로들을 포함한다. 상기 필터는, 각각의 입력이 각각의 샘플-홀드 회로의 출력단에 연결되는, 복수의 입력단들과 상기 선택 필터 출력 신호가 제공되는 출력단을 구비하는 평균화 회로를 더 포함한다. 상기 2N개의 샘플-홀드 회로들 각각은 상기 저역 통과 필터된 신호를 상기 변조 주파수 f_{CLK} 로(상기 신호가 각각의 클락 주기 동안 상기 변조 주파수의 배수로 샘플링 되도록), 동일한 쌍의 다른 샘플-홀드 회로의 위상과는 180° 분리된 위상으로, 다른 샘플-홀드 회로 쌍들의 위상과는 무작위로 분리된 위상으로 샘플링한다.
- [0104] 도 8을 참조하면, 본 발명에 따른 초평원 홀 효과 센서(500)는 상기 오프셋 신호 성분을 변조하는 도 3에서 설명된 종류의 스위치드 홀 플레이트(50)를 포함한다. 상기 센서(500)는 상기 스위치드홀 플레이트(50)의 출력단에 연결된 입력단 및 증폭된 신호(516)를 제공하는 출력단을 더 포함한다. 필터부(520)는 상기 증폭기부(510)의 출력단에 연결되는 입력단 및 상기 센서 출력 신호(518)를 제공하는 출력단을 포함한다. 여기에서 역시, 상기 선택적인 스무딩 필터는 도시되지 않았다.

- [0105] 상기 증폭기(510)는 실질적으로 도 4의 증폭기(110)와 동일하고, 따라서 덧셈 노드(526), 여기서는 한 쌍의 대각 연결된 스위치들(530)로 도시된 제 1 변조 회로, 이득부(538) 및 여기서는 한 쌍의 대각 연결된 스위치들(540)로 도시된 제 2 변조 회로를 포함하고, 이를 각각은 도 4의 각각의 구성요소들(126, 130, 138 및 140)과 동일한 방식으로 배치되고 동작한다. 상기 필터부(520)는 실질적으로 도 4의 필터부(120)와 동일하고, 따라서 안티-알리아싱 필터(544) 및 (도 7에 도시된 종류의 필터일 수 있는)선택 필터(550)를 포함하고, 이를 각각은 도 4의 각각의 구성요소들(144 및 150)과 동일한 방식으로 배치되고 동작한다.
- [0106] 도시된 바와 같이, 도 4의 실시예에서와 마찬가지로, 상기 증폭기(510)는 피드백 네트워크(524)를 포함하는 폐루프 증폭기이다. 도 6에 도시된 예시적인 피드백 네트워크(310)는 도 8의 실시예에 있는 상기 피드백 네트워크(524)를 제공하기에 적당하다.
- [0107] 도 8에서는 상기 증폭기 루프가 상기 선택 필터(550) 주위에서 닫혀진다는 점에서 도 8의 상기 센서(500)는 도 4의 상기 센서(100)와 상이하다. 따라서, 도시된 바와 같이, 상기 피드백 네트워크(524)는 상기 선택 필터(550)의 출력단에 연결되는 입력단 및 상기 덧셈 노드(526)에 연결되는 출력단을 포함한다.
- [0108] 상기 선택 필터(550)에 의해 야기되는 제로(zero)들이 상기 루프 안정성을 해치는 것을 방지하도록 상기 증폭기 루프와 관련된 폴(pole)들이 위치하는 실시예에 있어서, 이러한 배치는 유리하다. 즉, 도 8에 도시된 바와 같이, 상기 증폭기 루프 내에 상기 선택 필터(550)가 위치함으로써, (상기 샘플 주파수의 하모닉스들에 위치하게 될)상기 선택 필터에 의해 야기되는 제로들이 상기 루프 안정성에 기여하게 된다. 여기에서 역시, 상기 폴들의 위치에 의존하여, 이는 문제가 되지 않을 수 있다. 또한 상기 선택 필터(550)를 상기 증폭기 루프 내에 위치시킴으로써, 상기 선택 필터와 관련된 어떠한 오프셋이 전체 시스템의 오프셋에 미치는 영향을 최소화하는 장점을 제공한다. 이는, 도 8에서 도시된 바와 같이 위치한 상기 선택 필터를 통해, 상기 선택 필터의 오프셋에 대한 기여는 일반적으로 대략 60 내지 100dB 정도되는 개루프 이득으로 나누어짐으로써, 전체적인 시스템 오프셋 성능에 대한 상기 선택 필터의 기여를 무시할 수 있을 정도로 만들기 때문이다. 반대로, 각각의 선택 필터가 상기 증폭기 루프 외부에 존재하는 도 4 및 5의 실시예에 있어서, 상기 선택 필터와 관련된 어떠한 오프셋은 전체적인 오프셋 성능에 영향을 미칠 수 있고, 특히, 초평원 증폭기 이득이 상대적으로 크지 않은 경우에 전체적인 오프셋 성능에 영향을 미칠 수 있다.
- [0109] 도 9를 참조하면, 예시적인 자기 스텝 교란(magnetic step disturbance)을 나타내는 파형(900)이 도시되어 있다. 도 9A는, 도 9의 입력 스텝 교란에 응답하는 대략 250kHz의 증폭기 대역폭을 갖는 센서를 위한, 도 1의 필터(38), 도 4의 필터(144), 도 5의 필터(244) 및 도 8의 필터(544) 등의 본 발명의 홀 효과 센서의 안티-알리아싱 필터의 예시적인 스텝 응답을 나타낸다. 특히, 홀 오프셋 전압이 존재하는 경우(904) 및 홀 오프셋 전압이 없는 경우(908) 모두에 대한 상기 안티-알리아싱 필터의 출력이 도 9A에 도시되어 있다. 그리고 도 9B는, 도 9의 입력 스텝 교란에 응답하는 도 1의 필터(40), 도 4의 필터(150), 도 5의 필터(250) 및 도 8의 필터(550) 등의 본 발명의 초평원 홀 효과 센서의 선택 필터의 예시적인 스텝 응답(910)을 나타낸다. 도 9에서 볼 수 있는 바와 같이, 상기 선택 필터는 단지 한 클락 주기만큼의 딜레이를 야기한다.
- [0110] 요약하면, 상기 설명한 도 1의 홀 효과 센서(10), 도 4의 홀 효과 센서(100), 도 5의 홀 효과 센서(200) 및 도 8의 홀 효과 센서(500)는 원하지 않는 홀 및 증폭기 오프셋 신호 성분들을 제거하는 효과적인 회로 구성을 제공하고, 리플 및 폴드백(fold-back)된 잡음이 없고 빠른 응답 시간을 갖는 복원된 자기 신호 성분을 제공한다. 상기 선택 필터는 상기 리플을 평균함으로써 심각한 딜레이를 야기하지 않고(단지 $1/f_{CLK}$ 만큼의 딜레이만 야기함) 상기 리플을 완전히 제거한다. 상기 안티-알리아싱 저역 통과 필터는 잡음 폴드백을 방지하여 주고, 빠른 스텝 응답 시간은 클락 신호 주파수 f_{CLK} 및 안티-알리아싱 필터 컷오프 주파수의 선택을 포함하여 알맞은 디자인 고려를 통해 얻을 수 있다.
- [0111] 여기에 인용된 모든 참고자료들은 참조에 의해 전체적으로 여기에 포함된다.
- [0112] 본 발명의 바람직한 실시예들에 대해 설명하였지만, 상기 실시예들의 개념을 포함하는 다른 실시예들이 사용될 수 있다는 것은 관련 기술 분야에서 통상의 지식을 가진 자에게 명백할 것이다.
- [0113] 예를 들면, 여기에서 설명된 상기 홀 효과 센서 실시예들은 증폭기부에서 수행되는 신호 변조와 동일한 변조 주파수로 동작하는 상기 홀 플레이트 변조 회로를 포함하고 있으나, 어떤 경우에 있어서는, 상기 홀 오프셋 신호 성분은 일정 주파수로 변조하고 상기 증폭기 오프셋은 상이한 주파수로 변조하는 것이 바람직할 수도 있다는 것은 관련 기술 분야에서 통상의 지식을 가진 자에게 자명할 것이다. 이러한 경우, 상기 변조 주파수들은 충분히 멀리 분리되어 있어야 하고, 상기 신호들을 올바르게 복조하고 상기 신호들을 분리시켜 유지하기 위해 상기 선

택 필터는 양 주파수들에 맞추어져야 한다.

[0114] 또한, 본 발명에 따른 홀 효과 센서들은, 각각 전류 또는 전압 출력 신호들을 센싱된 자기장의 다양한 수학적 조합으로 제공하기 위해 하나 이상의(즉, N개의) 홀 플레이트들을 포함할 수 있다는 것은 관련 기술 분야에서 통상의 지식을 가진 자에게 자명할 것이다. 이러한 경우, N개의 변조 회로들이 제공되고, 상기 N개의 변조 회로들 각각은 각각의 홀 플레이트의 상기 출력 신호를 처리하고, 본 발명의 다양한 실시예들과 관련하여 상기 설명한 바와 같이, 이후의 처리를 위해 덧셈 노드에 연결되기 위한 출력 신호를 제공한다.

[0115] 따라서 이러한 실시예들은 개시된 실시예들의 범위로 한정되지 않고, 아래 청구항들의 사상 및 범위에 의해서만 제한될 것이다.

도면의 간단한 설명

[0014] 본 발명 자체는 물론 앞에서 설명한 본 발명의 특징들은 하기 도면들에 대한 아래의 자세한 설명에 의해 보다 잘 이해될 수 있을 것이다.

[0015] 도 1은 본 발명에 따른 초핑된(chopped) 홀 효과 센서(Hall effect sensor)의 블록도이다.

[0016] 도 2는 홀 오프셋 신호 성분을 변조하기 위해 도 1의 센서에 사용되는 종래의 스위치드 홀 플레이트(switched Hall plate)를 나타낸다.

[0017] 도 2A는 도 2의 스위치드 홀 플레이트를 위한 클락 신호들을 나타낸다.

[0018] 도 2B는 도 2의 스위치드 홀 플레이트에 의해 제공되는 예시적인 변조된 홀 오프셋(offset) 신호 성분을 나타낸다.

[0019] 도 2C는 도 2의 스위치드 홀 플레이트에 의해 제공되는 예시적인 자기 신호 성분을 나타낸다.

[0020] 도 3은 자기 신호 성분을 변조하기 위해 도 1의 센서에 사용되는 종래의 스위치드 홀 플레이트를 나타낸다.

[0021] 도 3A는 도 3의 스위치드 홀 플레이트를 위한 클락 신호들을 나타낸다.

[0022] 도 3B는 도 3의 스위치드 홀 플레이트에 의해 제공되는 예시적인 홀 오프셋 신호 성분을 나타낸다.

[0023] 도 3C는 도 3의 스위치드 홀 플레이트에 의해 제공되는 예시적인 변조된 자기 신호 성분을 나타낸다.

[0024] 도 4는 스위치드 홀 플레이트가 홀 오프셋 신호 성분을 변조하는 본 발명의 초핑된 홀 효과 센서의 일 실시예의 블록도이다.

[0025] 도 4A는 도 4의 스위치드 홀 플레이트의 출력단에서 제공되는 변조된 홀 오프셋 신호 성분을 갖는 예시적인 홀 출력 신호 및 홀 출력 신호의 자기 신호 성분을 나타낸다.

[0026] 도 4B는 복조된 오프셋 신호 성분 및 변조된 자기 신호 성분을 갖는 도 4의 이득부의 입력단에서 제공되는 신호 및 복조된 오프셋 신호 성분을 나타낸다.

[0027] 도 4C는 변조된 오프셋 신호 성분 및 복조된 자기 신호 성분을 갖는 도 4의 필터부의 입력단에서 제공되는 신호 및 복조된 자기 신호 성분을 나타낸다.

[0028] 도 4D는 도 4의 안티-알리아싱 필터(anti-aliasing filter)의 출력단에서 제공되는 필터된 신호 및 복조된 자기 신호 성분을 나타낸다.

[0029] 도 4E는 도 4의 선택 필터의 출력단에서 제공되는 신호를 나타낸다.

[0030] 도 5는 스위치드 홀 플레이트가 자기 신호 성분을 변조하는 본 발명에 따른 다른 초핑된 홀 효과 센서의 블록도이다.

[0031] 도 5A는 도 5의 스위치드 홀 플레이트의 출력단에서 제공되는 변조된 자기 신호 성분을 갖는 예시적인 홀 출력 신호 및 홀 출력 신호의 오프셋 신호 성분을 나타낸다.

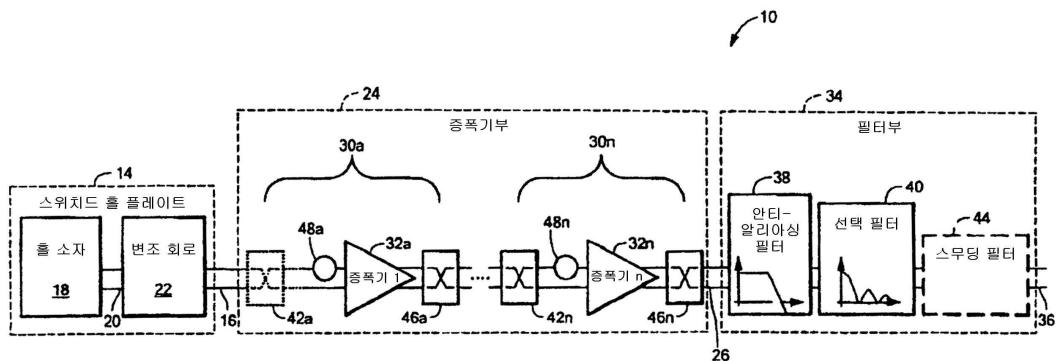
[0032] 도 5B는 변조된 오프셋 신호 성분 및 복조된 자기 신호 성분을 갖는 도 5의 필터부의 입력단에서 제공되는 신호 및 복조된 자기 신호 성분을 나타낸다.

[0033] 도 5C는 도 5의 안티-알리아싱 필터의 출력단에서 제공되는 필터된 신호 및 복조된 자기 신호 성분을 나타낸다.

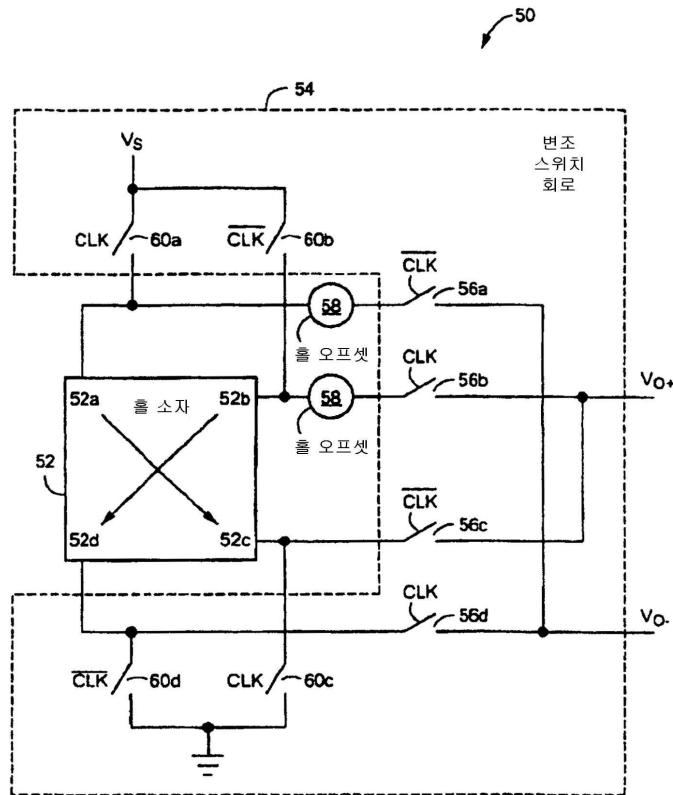
- [0034] 도 5D는 도 5의 선택 필터의 출력단에서 제공되는 신호를 나타낸다.
- [0035] 도 6은 도 1, 4 및 5의 증폭기들을 위한 예시적인 피드백 네트워크(feedback network)의 실시예를 나타낸다.
- [0036] 도 7은 도 1, 4 및 5의 선택 필터를 위한 예시적인 실시예를 나타낸다.
- [0037] 도 7A는 도 7의 선택 필터의 전달 함수를 나타낸다.
- [0038] 도 7B는 도 7의 선택 필터의 동작을 설명하기 위해 메모들을 포함하는 도 4D의 신호들을 나타낸다.
- [0039] 도 8은 스위치드 홀 플레이트가 홀 오프셋 신호 성분을 변조하는 본 발명에 따른 또 다른 초평된 홀 효과 센서의 블록도이다.
- [0040] 도 9는 자기 스텝 교란(magnetic step disturbance)을 나타내는 예시적인 파형을 나타낸다.
- [0041] 도 9A는 도 9의 스텝 교란에 응답하는 본 발명의 초평된 홀 효과 센서의 저역 통과 필터(low pass filter)의 예시적인 출력 신호들로서, 홀 오프셋 전압이 존재하는 경우와 홀 오프셋 전압이 존재하지 않는 경우의 예시적인 출력 신호들을 나타낸다.
- [0042] 도 9B는 도 9의 입력 스텝 교란에 대한 본 발명의 초평된 홀 효과 센서의 선택 필터의 응답을 나타낸다.

도면

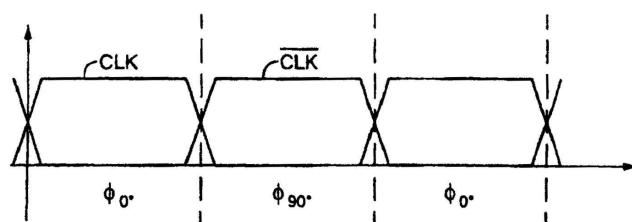
도면1



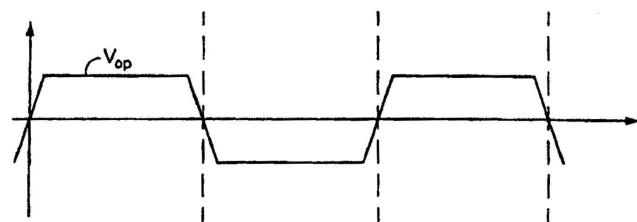
도면2



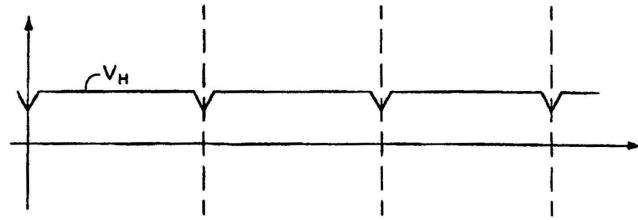
도면2A



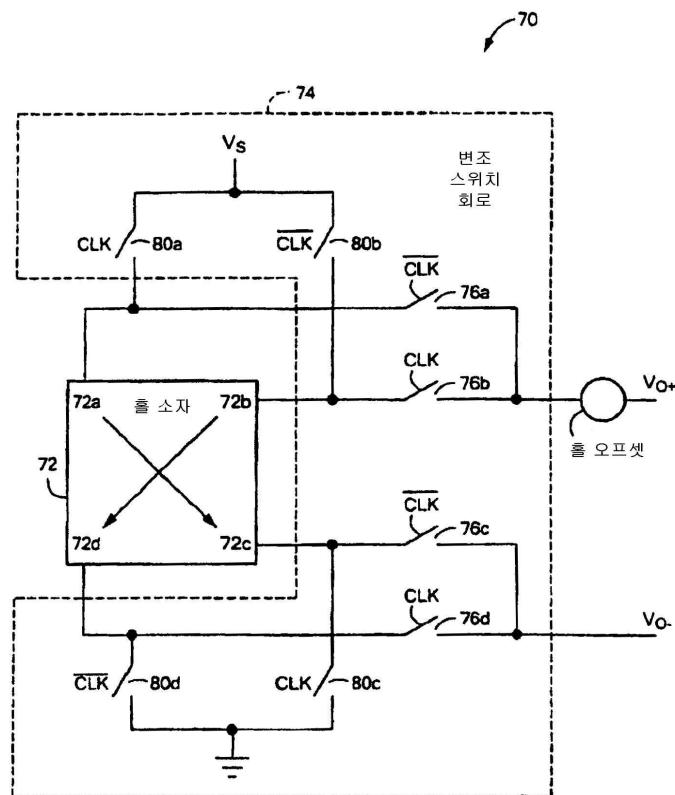
도면2B



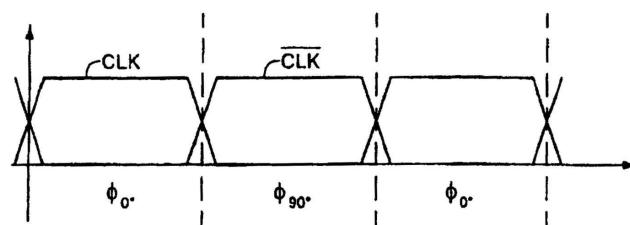
도면2C



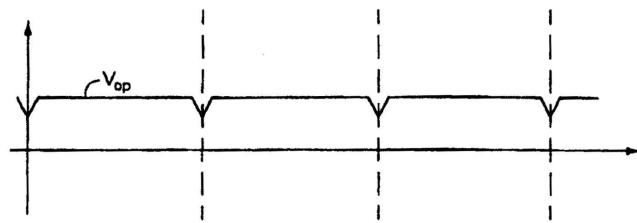
도면3



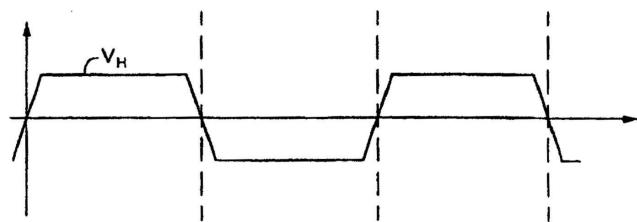
도면3A



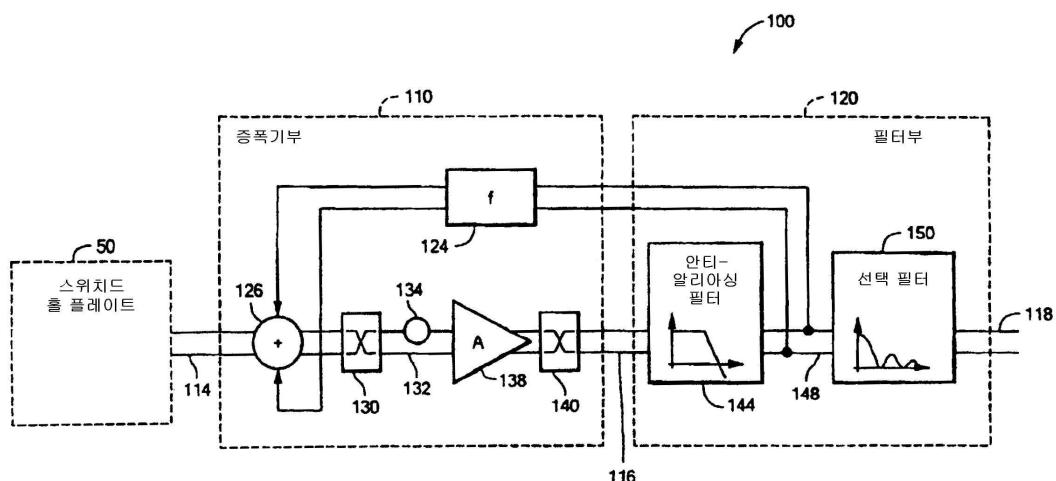
도면3B



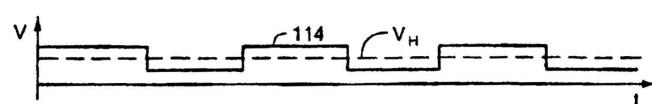
도면3C



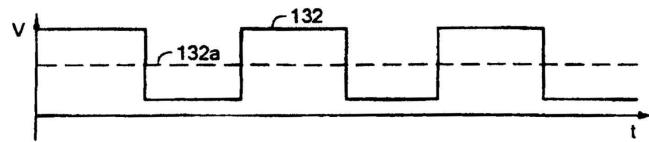
도면4



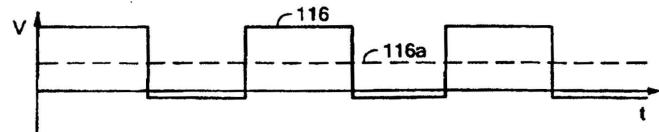
도면4A



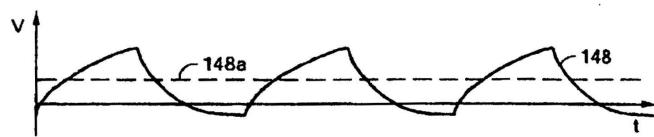
도면4B



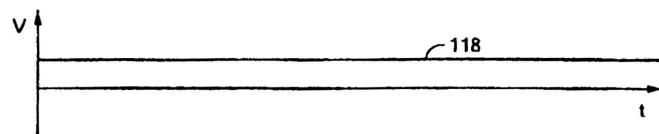
도면4C



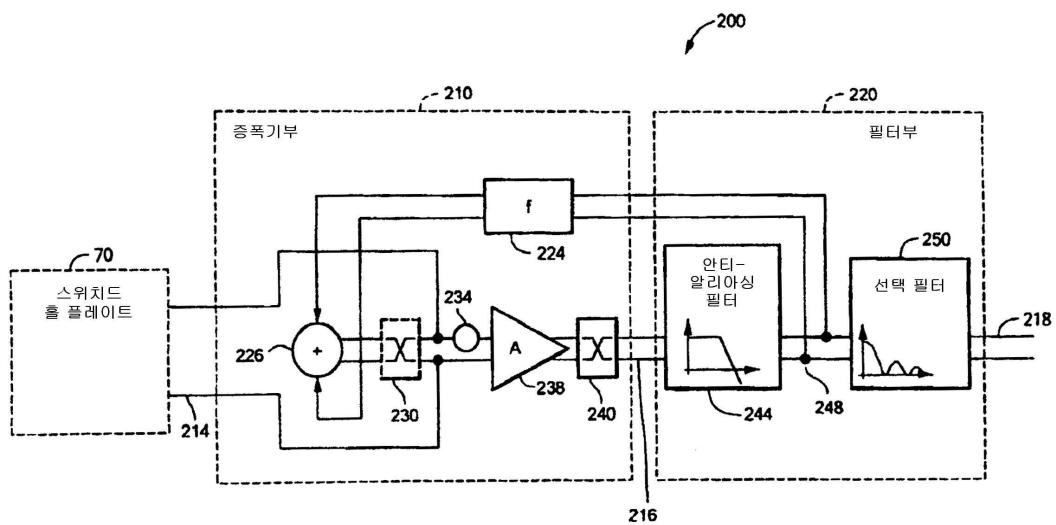
도면4D



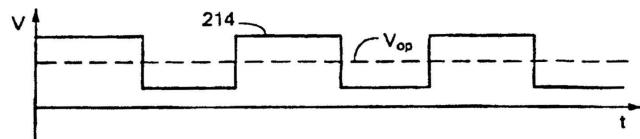
도면4E



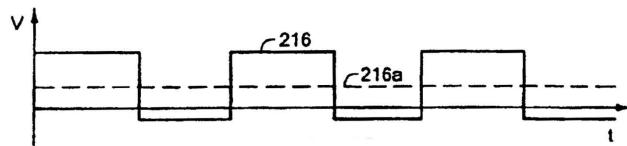
도면5



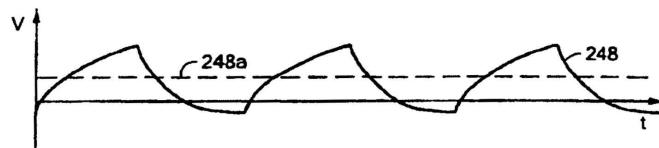
도면5A



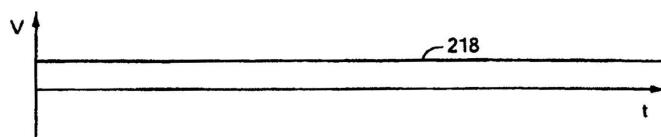
도면5B



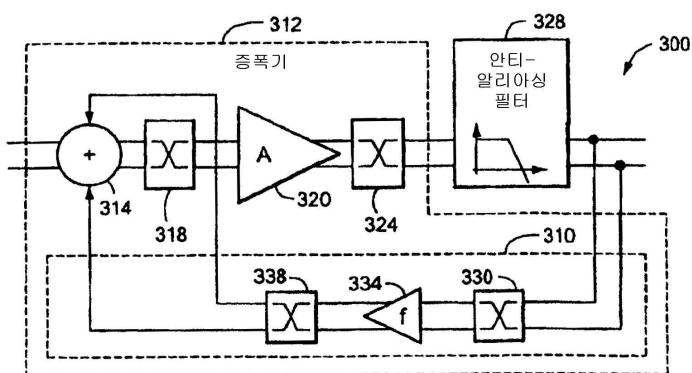
도면5C



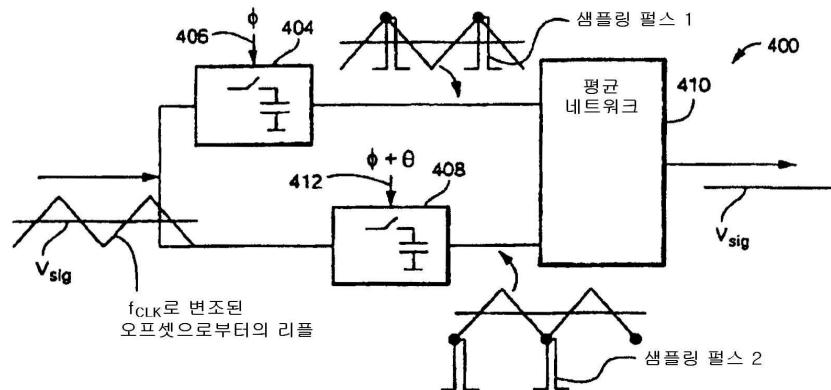
도면5D



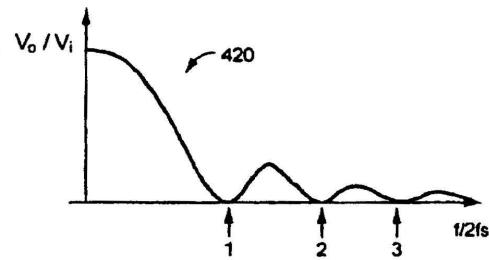
도면6



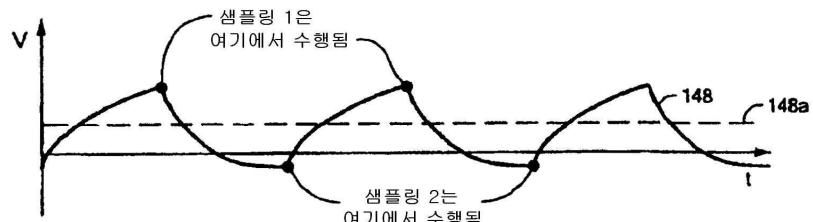
도면7



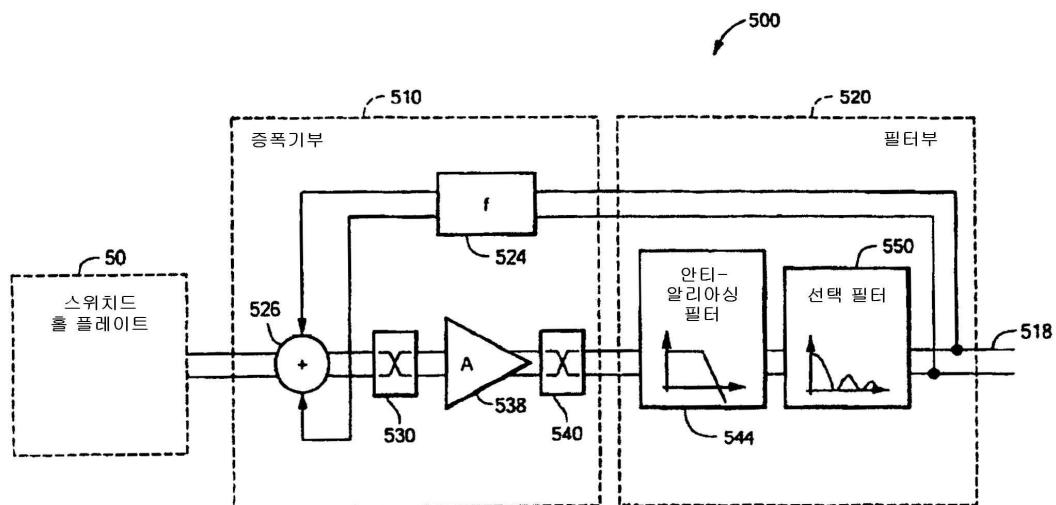
도면7A



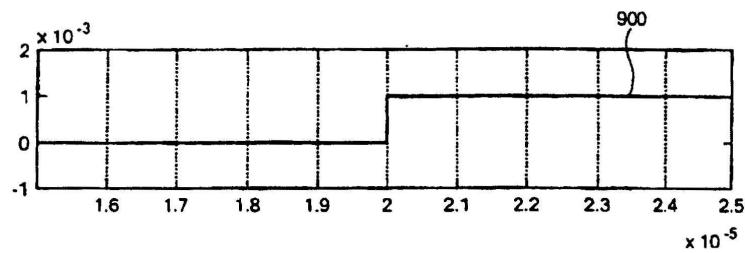
도면7B



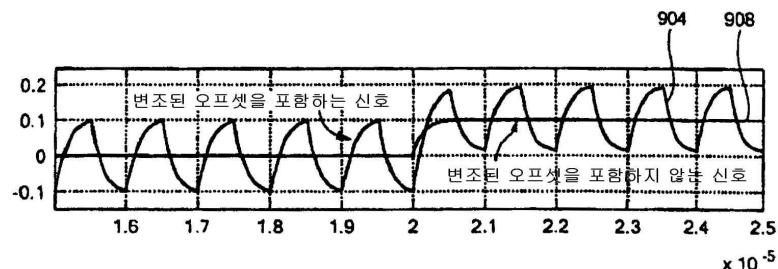
도면8



도면9



도면9A



도면9B

