



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201624676 A

(43)公開日：中華民國 105 (2016) 年 07 月 01 日

(21)申請案號：104127004

(22)申請日：中華民國 104 (2015) 年 08 月 19 日

(51)Int. Cl.：

*H01L27/115 (2006.01)**H01L21/8247(2006.01)*

(30)優先權：2014/09/25

世界智慧財產權組織

PCT/US14/57494

(71)申請人：英特爾股份有限公司(美國) INTEL CORPORATION (US)

美國

(72)發明人：卡波夫 艾利潔 KARPOV, ELIJAH V. (US)；穆可吉 尼洛依 MUKHERJEE, NILOY (IN)；馬吉 普瑞斯韓特 MAJHI, PRASHANT (IN)；喬 羅伯特 CHAU, ROBERT S. (US)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：20 項 圖式數：11 共 50 頁

(54)名稱

結合阻障層之選擇器－電阻器（1 S 1 R）記憶體單元

1S1R MEMORY CELLS INCORPORATING A BARRIER LAYER

(57)摘要

薄膜 1S1R 位元胞結合介於選擇器與記憶體元件之間的阻障層。本文也描述結合此等位元胞之裝置及形成此等位元胞的方法。在實施例中，選擇器與記憶體元件兩者皆為介電質材料，且以金屬氧化物為有利的。選擇器與記憶體元件之間為阻障層，其減少選擇器材料與記憶體材料的互混及/或反應。在 1S1R 疊層中加入具有適當材料特性的阻障層，藉由阻止選擇器與記憶體薄膜材料因位元胞操作期間所經受之熱及/或電場應力所引起的互混及/或反應，可延長結合疊層之位元胞的操作壽命。在實施例中，阻障層可包括具有與選擇器和記憶體元件之材料組成不同成分的一或多材料層。

Thin film 1S1R bitcells incorporating a barrier between selector and memory elements. Devices incorporating such bitcells and methods of forming such bitcells are also described. In embodiments, the selector and memory element is each a dielectric material, and advantageously a metal oxide. Between the selector and memory elements is a barrier, which is to reduce intermixing and/or reaction of selector material and memory material. Addition of a barrier layer having suitable material properties into the 1S1R stack may extend the operating lifetime of a bitcell incorporated the stack by resisting intermixing and/or reaction of the selector and memory thin film materials driven by thermal and/or electric field stresses experienced by a bitcell during operation. In embodiments, a barrier layer may include one or more material layers having a composition distinct from the material composition(s) of the selector and memory elements.

指定代表圖：

- 符號簡單說明：
- 100 . . . 薄膜位元胞
 - 115 . . . 記憶體元件
 - 120 . . . 阻障層
 - 125 . . . 選擇器元件

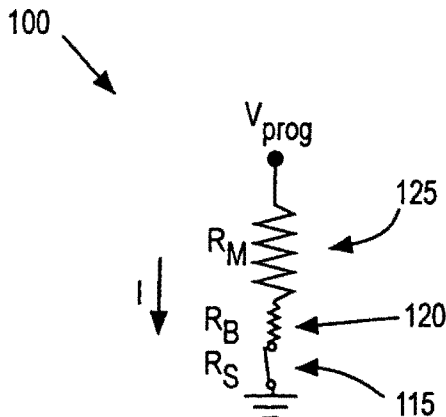


圖 1A

發明摘要

※申請案號：104127004

※申請日：104 年 08 月 19 日

※IPC 分類：H01L 27/115 (2006.1)
H01L 21/8247 (2006.1)

【發明名稱】(中文/英文)

結合阻障層之選擇器－電阻器(1S1R)記憶體單元

1S1R memory cells incorporating a barrier layer

● 【中文】

薄膜 1S1R 位元胞結合介於選擇器與記憶體元件之間的阻障層。本文也描述結合此等位元胞之裝置及形成此等位元胞的方法。在實施例中，選擇器與記憶體元件兩者皆為介電質材料，且以金屬氧化物為有利的。選擇器與記憶體元件之間為阻障層，其減少選擇器材料與記憶體材料的互混及/或反應。在 1S1R 疊層中加入具有適當材料特性的阻障層，藉由阻止選擇器與記憶體薄膜材料因位元胞操作期間所經受之熱及/或電場應力所引起的互混及/或反應，可延長結合疊層之位元胞的操作壽命。在實施例中，阻障層可包括具有與選擇器和記憶體元件之材料組成不同成分的一或多材料層。

【 英文 】

Thin film 1S1R bitcells incorporating a barrier between selector and memory elements. Devices incorporating such bitcells and methods of forming such bitcells are also described. In embodiments, the selector and memory element is each a dielectric material, and advantageously a metal oxide. Between the selector and memory elements is a barrier, which is to reduce intermixing and/or reaction of selector material and memory material. Addition of a barrier layer having suitable material properties into the 1S1R stack may extend the operating lifetime of a bitcell incorporated the stack by resisting intermixing and/or reaction of the selector and memory thin film materials driven by thermal and/or electric field stresses experienced by a bitcell during operation. In embodiments, a barrier layer may include one or more material layers having a composition distinct from the material composition(s) of the selector and memory elements.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

100：薄膜位元胞

115：記憶體元件

120：阻障層

125：選擇器元件

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

結合阻障層之選擇器－電阻器(1S1R)記憶體單元

1S1R memory cells incorporating a barrier layer

【技術領域】

本發明係有關結合阻障層之選擇器-電阻器(1S1R)記憶體單元。

【先前技術】

非揮發性記憶體(NVM)為在微電子工業中被廣泛使用的記憶體形式。時至今日，NVM的主要形式一直是快閃記憶體(例如，NAND、NOR、等)。然而，用於下一代裝置之許多替代的NVM技術也在發展之中。用於下一代NVM技術的考量之一是如何容易地與CMOS邏輯電路相整合。嵌入式非揮發性記憶體(e-NVM)為與邏輯裝置一起被整合到晶片上的非揮發性記憶體(例如，以CMOS技術來予以製造)。因此，e-NVM與獨立型NVM不同，後者中的記憶體陣列被製造於記憶體專用的基板上。嵌入式NVM的優點是免去了處理器與晶片外記憶體之間所需的晶片間通訊，且因而使得在晶片上實施的任何邏輯與e-NVM能夠做到高速的資料存取，以及匯流排寬度寬的能力(例如，CPU之核心，圖形處理器執行單元等)。

在各種的 NVM 技術中，電阻性記憶體技術對於分立式與 e-NVM 兩者的應用，都持續顯現其有意義的保證。在電阻性記憶體中，諸如電阻性隨機存取記憶體(ReRAM 或 RRAM)，位元胞(bitcell)通常包括雙端點裝置，其中，在兩個相對較為導電的電極之間配置有可切換之比較絕緣的記憶體材料。在位元胞中，記憶體材料可在兩種不同的狀態之間切換：代表關或 0 狀態的高電阻狀態(HRS)；以及代表開或 1 狀態的低電阻狀態(LRS)。典型上，重置(reset)處理被用來使用重置電壓而將 ReRAM 裝置切換到 HRS，而設置(set)處理被用來使用設置電壓而將 ReRAM 裝置切換到 LRS。

電阻性記憶體技術的重要度量之一是編程電壓。由於當今 CMOS 技藝中的操作電壓受限(例如， $V_{cc} < 0.9V$)，所以要為 e-NVM 應用獲得足夠的低編程電壓特別具有挑戰性。

很多直接朝向低編程電壓的 ReRAM 裝置架構都受困於高的潛通路徑漏洩。若位元胞關態漏洩太高，則大的交叉式陣列會消耗太多電力。某些混合式 ReRAM 位元胞架構進一步結合薄膜選擇器元件(1S)與電阻性記憶體元件(1R)一起來降低關態漏洩，但要付出與選擇器元件相關聯之額外編程電壓的某些代價。此等“1R1S”位元胞架構可使用許多選擇器元件技術的其中任一者與許多記憶體元件技術的其中任一者單體地集成來予以實施。

電阻性記憶體技術的另一重要度量是位元胞的可靠

度。可靠度通常以是設置/重置循環的次數來做為特徵。對於商業上的應用，位元胞需要展現超過百萬次的循環或更高的可靠度。

【圖式簡單說明】

本文所描述的內容係藉由例子來說明，且非藉由附圖來限制。為說明的簡單性與清晰性，圖中所繪示的各元件不必然按比例來繪製。例如，為了清晰，某些元件的尺寸相對於其它元件被誇大。此外，在各圖間重複使用參考標記來指示對應或類似之元件被視為適當的。在各圖中：

圖 1A 係按照實施例，在選擇器與記憶體元件之間結合有阻障層之薄膜 1S1R 位元胞的電路概圖；

圖 1B 係按照實施例，在選擇器與記憶體元件之間結合有阻障層之薄膜 1S1R 位元胞的 I-V 響應；

圖 2A 係按照實施例，在選擇器介電質材料與記憶體氧化物材料之間結合有整塊導電氧化物阻障材料之薄膜 1S1R 位元胞的剖面視圖；

圖 2B 係按照實施例，在選擇器介電質材料與記憶體氧化物材料之間結合有非氧化物金屬化合物之薄膜 1S1R 位元胞的剖面視圖；

圖 3A 與 3B 係按照實施例，在選擇器介電質材料與記憶體氧化物材料之間結合有多層阻障層之薄膜 1S1R 位元胞的剖面視圖；

圖 4 係按照實施例，繪示在選擇器介電質材料與記憶

體氧化物材料之間結合有導電氧化物阻障層之非平面薄膜 1S1R 位元胞的剖面視圖；

圖 5 係按照實施例，繪示疊層式薄膜 1S1R 位元胞的剖面視圖；

圖 6 的流程圖繪示按照實施例形成在選擇器氧化物材料與記憶體氧化物材料之間結合有阻障層之薄膜 1S1R 位元胞的方法；

圖 7 的流程圖繪示按照實施例形成在選擇器氧化物材料與記憶體氧化物材料之間結合有多層阻障層之薄膜 1S1R 位元胞的方法；

圖 8 係按照實施例之 NVM 的概示圖，其包括有複數個在選擇器與記憶體元件之間結合有阻障層的薄膜 1S1R 位元胞；

圖 9 繪示按照實施例之 e-NVM 的剖面視圖；

圖 10 繪示按照本發明之實施例，使用具有 e-NVM 之 SoC 的行動計算平台與資料伺服器，該 e-NVM 具有在選擇器與記憶體元件之間結合有阻障層的 1S1R 位元胞；以及

圖 11 係按照本發明之實施例之電子計算裝置的功能方塊圖。

【發明內容及實施方式】

本文參考所附圖式來描述一或多個實施例。雖然詳細地描繪與討論了特定的組態與配置，但須瞭解，這些只是

為了說明之目的。熟悉相關技藝之人士可看出，可有其它的組態與配置也不會偏離本發明的精神與範圍。熟悉相關技藝之人士可明瞭，除了本文所詳細描述以外之各種其它的系統與應用，也可使用本文所描述的技術及/或配置。

以下的實施方式將參考附圖，這些附圖構成本文的一部分，並用來說明例示性實施例。此外，須瞭解到，也可利用其它的實施例，且結構及/或邏輯可做改變，不會偏離所主張之主題的範圍。還須注意，使用諸如上、下、頂部、底部等方向與參考，僅是為了便於描述圖式中的特徵。因此，以下的實施方式並無限制之意，且主張之專利標的的範圍僅由所附申請專利範圍與其相等物來予以界定。

在以下的描述中陳述了諸多的細節。但熟悉此方面技藝之人士將明瞭，施行本發明不需要這些特定的細節。在某些例中，習知的方法與裝置以方塊圖而非細節的形式來予以顯示，以避免模糊了本發明。本說明書全文中參考“實施例”或“一實施例”意指所描述與實施例有關的特定特徵、結構、功能、或特性包括在本發明的至少一實施例中。因此，出現在本說明書全文各處的“在實施例中”或“在一實施例中”等片語並不必然意指本發明之相同的實施例。此外，在一或多個實施例中可按任何適合的方式結合特定的部件、結構、功能、或特性。例如，第一實施例與第二實施例可於與該兩個實施例相關聯之特定部件、結構、功能、或特性不互斥等方面任意結合。

本發明之描述及所附申請專利範圍中所使用之單數形式的不定冠詞與定冠詞，除非上下文中有明確之指示，否則也意欲包括複數形式。亦須瞭解，本文所使用的名詞“及/或”意指且包含一或多個相關聯之表列項目的任何及全部可能的組合。

本文所使用的名詞“耦接”與“連接”連同它們的衍生字是描述各組件之間的功能性或結構上的關係。須瞭解，這些名詞彼此間並無意成為同義字。反之，在特定的實施例中，“連接”可用來指示兩或多個元件彼此直接物理、光學、或電接觸。“耦接”可用來指示兩或多個元件彼此直接或間接(兩者之間具有其它的中介元件)實體或電接觸，及/或兩或多個元件彼此合作或交互作用(例如，如在因果關係的關係中)。

本文中所使用的名詞“之上”、“之下”、“之間”、及“上”意指一組件或材料關於其它組件或材料的相對位置，而這些實體關係是需要注意的。例如，在材料的情況中，一材料或配置在另一材料之上或之下的材料可直接接觸，或可具有一或多個中介材料。此外，配置在兩種材料或多種材料之間的一材料可與該兩層直接接觸或可具有一或多層中介層。反之，第一材料或在第二材料“上”的材料或材料係與該第二材料/材料直接接觸。關於組件總成的情況也是做類似的區別。

如本文從頭到尾及申請專利範圍中所使用，以名詞“至少其中之一”、“一或多個”所結合的表列項目，意指該

等表列項目的任意結合。例如，片語“A、B、或 C 至少其中之一”意指 A、B、C、A 與 B、A 與 C、B 與 C、或 A、B 與 C。

本文描述結合有位於選擇器與記憶體元件間之阻障層的薄膜 1S1R 位元胞。也描述結合此等位元胞之裝置以及形成此等位元胞的方法。在實施例中，選擇器與記憶體元件每一個皆為介電質材料，且以氧化物為優。阻障層位於選擇器與記憶體元件之間，其減少選擇器材料與記憶體材料的互混及/或反應。然而，位元胞操作期間所經歷的熱及/或電場應力，在某種程度上會驅使選擇器與記憶體薄膜材料的互混及/或反應，其限制了 1S1R 疊層的可靠度，吾人發現，在 1S1R 疊層中加入材料特性適合的阻障層，可大幅延長位元胞的操作壽限。因此，按照本文例示的實施例中的 NVM 裝置具有有利的高度耐用性(例如，設置/重置循環的次數)。如下文進一步的描述，阻障層可包括和選擇器與記憶體元件之材料組成不同成分的一或多層材料層。亦如下文之描述，本文所描述的例示性 1S1R 疊層很容易適用於平面與非平面的 NVM 及 e-NVM 架構。

圖 1A 為按照實施例之薄膜位元胞 100 的電路概圖，其結合了介於選擇器元件 125 與記憶體元件 115 之間的阻障層 120。薄膜選擇器元件 125、薄膜記憶體元件 115、與薄膜阻障層 120 係呈電串聯。一對電極被耦接至位元胞 100 的對向端，而阻障層 120 電性地浮接(亦即，不固定於接地或 V_{cell})。記憶體元件 115 係可切換於高電阻狀態與

低電阻狀態之間，用以儲存與雙穩定位元胞狀態相關聯的“1”或“0”的其中之一。選擇器元件 125 係要以降低了包括有複數個位元胞 100 之陣列內的潛通路徑漏洩之方式而能夠對記憶體元件 115 進行存取。因此，選擇器元件 125 分擔了存取電晶體的某些功能，但可更大幅地縮放 (scalable)。圖 1B 為繪示按照實施例之薄膜 1S1R 位元胞 100 的 I-V 響應。如圖所示，1S1R 位元胞 100 為雙向的。選擇器元件 125 與臨界電壓 V_{th} 相關聯，低於臨界電壓 V_{th} ，位元胞電流 I 係在某標稱漏洩位準，且同時處於“關”狀態。高於臨界電壓 V_{th} ，處於“開”狀態之選擇器元件 125 讓某一臨界電流 I 通過，其實質上線性地增加，而使得在讀取電壓 V_r 處能夠讀取記憶體元件 115 的狀態，以及在較高的電壓大小處能夠轉變記憶體元件 115 的狀態(例如，設置/重置)。

在實施例中，記憶體元件 115 包括記憶體氧化物材料，其以導電的非晶材料為優，其可為整塊(bulk)或薄膜形式，及/或具有經歷絕緣體-金屬轉變(transition)之能力(例如，Mott 轉變、電荷感應轉變、等)。關於導電氧化物的實施例，其在整塊或薄膜形式係為導電，然而電阻在 LRS 與 HRS 之間明顯改變的材料。在另些實施例中，選擇器元件 125 包括選擇器氧化物材料，以經歷絕緣體-金屬轉變的為優。或者，非氧化物選擇器元件的實施例為基於硫屬化物的。這些非氧化物介電材料(諸如，CuTe)中某些顯現類似的 IV 切換特性，然而它們欠缺有利之選擇器

氧化物材料所顯現之強制電壓 IV 掃描中明顯之 I 對 V 的步進增加。

阻障層 120 可被結合到薄膜電阻性記憶體架構的大陣列中，在此架構中，任何習知的選擇器元件材料可與任何習知的記憶體元件材料相結合，以形成薄膜 1S1R 疊層。在曝露於幾乎相同之操作環境且緊密相鄰之兩個活性(可切換)材料，且隨著時間或設置/重置循環，其中一可切換元件之動作可能會對另一可切換元件之動作有不利影響的情況中，此阻障層有其益處。按照實施例，在記憶體元件為氧化物材料的情況中阻障層係有益的，在記憶體與選擇器元件兩者皆為薄膜氧化物材料且具有不同成分的情況中，阻障層特別有益處。關於此等實施例中，發明人等瞭解，與基於氧化物之 1S1R 系統相關聯的氧化物薄膜，特別易受來自於由局部焦耳加熱所引起之增強的固態擴散，及/或來自於由高的峰值電場所引起的物種漂移而互混。

互混不利於基於氧化物之 1S1R 疊層的穩定性，這是因為一或兩種材料之不同的功能性逐漸喪失，或由於潛通互混層潛在的形成而招致較大的電壓降，隨著時間使可用的操作電壓變得不足以供 1S1R 疊層運作。選擇器與記憶體材料之間的實體接觸造成更多的問題，其中，第一材料(例如，記憶體氧化物)中的物種易與第二材料(例如，選擇器氧化物)中的物種起化學反應。隨著記憶體氧化物與選擇器介電質之間的價與離子特性可能的改變，裝置操作期間所提供的活化能會驅使材料介面進入較大穩定性的狀

態。因此，雖然阻障層招致阻障層所帶來的任何附加電阻會對位元胞的操作造成一些負擔，以及，阻障層所帶來之額外的薄膜疊層複雜度會是位元胞所製造的一些負擔，但阻障層具有的特定微結構、厚度、及/或成分，可大幅增進基於氧化物之 1S1R 記憶體單元的耐用度。在某些實施例中，阻障層可提高 1S1R 單元的耐用性至少 2 個量級 (magnitude)，且以 3 個量級為有利的。

在例示性的實施例中，阻障層 120 為一或多層的薄膜材料，其在位元胞 100 的操作電壓掃描上，保持實質上固定且雙向的電阻(例如，阻障層 120 為鈍態、不切換、不整流)。如圖 1B 中之繪示，包括有阻障層 120 之 1S1R 疊層的電阻，相較於僅包括記憶體元件 115 與選擇器元件 125 直接串聯連接之 1S1R 疊層的電阻標稱地增加 Δm 。在有利的實施例中，阻障層 120 所貢獻的電阻很小，例如，小於記憶體元件 115 與選擇器元件 125 在 V_{read} 時串聯相加的電阻。小的阻障層電阻 R_B 有利於降低橫跨阻障層的電壓降，為位元胞 100 的作動部分保持供應電壓。在一個有利的實施例中，阻障層 120 具有對於電流 I 的電阻 R_B ，其小於當記憶體元件 115 在線性導電狀態中與記憶體元件 115 相關聯的電阻 R_M 。在另些實施例中， R_B 小於 R_M 的 30%，且以小於 20% 為理想。電阻 R_B 為阻障層薄膜厚度與阻障層電阻係數的函數。當在低電場測量時，例示性的阻障層實施例的材料電阻係數在 0.1 毫歐姆厘米到 10 歐姆厘米之範圍中。

在另些實施例中，阻障層 120 也是良好的固態擴散阻障。為此目的，阻障層 120 以非晶為理想，若非，阻障層 120 以顆粒結構為有利，非柱狀地通過阻障層 120 之厚度，更能阻擋毗鄰材料的互混。阻障膜阻擋互混之能力通常隨著厚度增加。不過，由於低阻障電阻的好處，阻障層不能任意地厚。在例示性的實施例中，阻障層之膜厚(例如，圖 2A 中的 z 高度)的範圍在 2-20nm，若特定阻障層的電阻係數、位元胞的供應電壓預算、及記憶體元件所需的設置/重置電壓允許，則可更厚些。在一個有利的實施例中，在供應電壓不超過 1V 的情況，阻障層小於 20nm。

在實施例中，薄膜 1S1R 位元胞阻障層包括整塊導電金屬氧化物或非氧化物金屬化合物的至少其中之一。圖 2A 為配置在基板 205 上之薄膜 1S1R 位元胞 201 的剖面視圖。位元胞 201 結合介於記憶體氧化物材料 215 與選擇器介電質材料 225 之間的整塊導電氧化物阻障材料 221。圖 2B 係按照替代實施例之薄膜 1S1R 位元胞 202 的剖面視圖，其結合介於記憶體氧化物材料 215 與選擇器介電質材料 225 之間的金屬氮化物、碳化物、或氮化碳阻障材料 222。

參考圖 2A，位元胞 201 係配置在基板 205 之上，其可以是任何適合支撐薄膜 1S1R 位元胞的習知基板，諸如但不限於：結晶半導體材料，包括但不限於矽、鍺、及矽化鍺等；及非晶材料，包括玻璃、有機聚合物、及塑膠等。在另些實施例中，基板 205 代表後段導線製程

(BEOL)層。例如，位元胞 201 可形成在積體電路(IC)下方半導體裝置層上或上方。就此而論，基板 205 也可包括 IC 工業中常見的薄膜疊層(例如，金屬、介電質、等)。

沉積在基板 205 之上的是一對第一與第二電極 210、230，其可以是相同或不同成分，且可另包括一或多層薄膜層，如下文進一步的描述。薄膜記憶體氧化物(例如， $M1_xO_y$)材料 215 係配置成貼近電極 210。在繪示的實施例中，記憶體氧化物材料 215 係配置成與電極 210 直接接觸。記憶體氧化物材料 215 係當施加極性相反的電壓時，可按非揮發性的方式在高與低電阻狀態之間改變電阻值的氧化物材料。在某些實施例中，該氧化物經歷可逆的金屬-絕緣體轉變。在某些實施例中，該氧化物材料在整塊及/或薄膜形式下導電。在一個例示性的實施例中，記憶體氧化物材料 215 係轉變金屬氧化物，包括化學計量與次化學計量的離子氧化物 AO_x ，其中，A 為轉變金屬。在某些此等實施例中，氧化物記憶體元件材料係陰離子基的氧化物材料。陰離子基氧化物材料的非限制性例子包括但不限於釩(例如， V_2O_5)、鈮(例如， Nb_2O_5)、鉻(例如， Cr_2O_3)、鉭(例如， Ta_2O_5)、及鈺(例如， HfO_2)的氧化物；以及三元、四元合金，諸如摻雜 SnO_2 的銻氧化物；以及與來自週期表之毗鄰行之金屬的氧化物合金(例如，摻雜 Y_2O_3 之 ZrO_2 中的 Y、Zr 及 $La_{1-x}Sr_xGa_{1-y}Mg_yO_3$ 中的 Sr 與 La)。陰離子基的氧化物也可以是這些相同元素及其合金的非化學計量氧化物。在其它此等實施例中，氧化物記憶體元件材

料為陽離子基的氧化物材料，其例子包括但不限於 LiMnO_2 、 $\text{Li}_4\text{TiO}_{12}$ 、 LiNiO_2 、及 LiNbO_3 。

記憶體氧化物材料 215 之膜厚，有相當程度是以成分、讀取、設置/重置電壓需求等為函數而改變。在例示性的記憶體氧化物實施例中，諸如使用上述任何金屬氧化物材料的些那實施例，記憶體氧化物材料具有至少 2nm 的薄膜厚度，且不超過 10nm 為有利的。

貼近電極 230 的是選擇器介電質(例如， M_2xO_y)材料 225。在繪示的實施例中，選擇器介電質材料 225 係配置成與電極 230 直接接觸。在例示性的實施例中，選擇器介電質材料 225 為經歷揮發性的絕緣體-金屬轉變的氧化物材料，當施加足夠的偏壓時，其電阻切換到低值，且當偏壓被移去時，又返回到高電阻狀態。與記憶體氧化物材料相同，選擇器氧化物材料是轉變金屬氧化物。選擇器氧化物材料之非限定例子包括 VO_2 、 NbO_2 、 Ta_2O_5 、 Ti_3O_5 、 Ti_2O_3 、以及某些混合的氧化物，諸如 LaCoO_3 與 SmNiO_3 。在某些實施例中，選擇器介電質材料 225 的氧化物成分與記憶體氧化物材料 215 的氧化物成分不同。在某些此等實施例中，選擇器氧化物與記憶體氧化物包括相同的金屬物種，但在不同的氧化狀態(例如， NbO_2 選擇器氧化物/ Nb_2O_5 記憶體氧化物、 Ti_3O_5 選擇器氧化物/ TiO_2 記憶體氧化物等)。另者，也可使用非氧化物選擇器實施例，例如，基於硫屬化物的材料。

選擇器介電質材料 225 具有的膜厚，有相當程度以成

分(例如，氧化物或硫屬化物)、漏洩、及臨界電流限制、臨界電壓需求等為函數而改變。通常，較厚的膜漏洩較低，且因此在某些實施例中，選擇器介電質材料 225 可以比記憶體氧化物材料 215 厚。在例示性的選擇器氧化物實施例中，諸如使用上述任何金屬氧化物材料的那些實施例，選擇器氧化物材料的薄膜厚度至少 2nm，且不超過 50nm。

配置在記憶體氧化物材料 215 與選擇器介電質材料 225 之間的是整塊導電氧化物阻障材料 221。如前文之說明，導電氧化物阻障材料 221 在整塊、非薄膜的狀態中為相對導電的材料，且在位元胞 201 內為電的被動串聯元件。適合的材料為至少在電阻性記憶體位元胞 201 的操作範圍之內不會經歷絕緣體-金屬轉變的氧化物材料。在例示性的實施例中，導電氧化物阻障材料 221 為金紅石類的轉變金屬氧化物。適合用於阻障層 221 之此導電氧化物的非限制例子包括： RuO_2 、 CrO_2 、 WO_2 、 IrO_2 、 PtO_2 、 MoO_2 、或 RhO_2 。不過，還有其它的選項，諸如三元合金，包括但不限於銦錫氧化物(即，ITO)。例示性的導電氧化物具有當遭受典型 1S1R 裝置之電場與熱循環時相對穩定之優點。例示性的導電氧化物也具有有良好的擴散阻障特性(例如，非晶、惰性的)，且因此降低了毗鄰之記憶體氧化物 215 與選擇器介電質 225 之間的互混速率。例示性的導電氧化物也具有合理的低電阻係數值，使位元胞 201 能夠在低電壓(例如， $<1\text{V}$)下操作。

導電氧化物阻障材料 221 具有的膜厚，有相當程度是以所選用之成分的電阻係數為函數而改變，且受限於在特定應用中(例如，分離的 NVM 對 e-NVM)能被位元胞 201 所容許的電壓降。通常，導電氧化物阻障膜的厚度愈厚，所提供的擴散阻障愈佳。在例示性的導電氧化物阻障層實施例中，諸如使用上述任何導電氧化物材料的那些實施例，導電氧化物阻障材料的薄膜厚度至少 2nm，小於 50nm，且不超過 20nm 為有利的。

接下來參考圖 2B，位元胞 202 仍是配置在基板 205 之上，且係配置在兩個電極 210、230 之間的記憶體氧化物 215 與選擇器介電質 225 的薄膜疊層。記憶體氧化物 215 與選擇器介電質 225 兩者皆可以是上述的任何材料。不過，在圖 2B 繪示的例示性實施例中，金屬氮化物、碳化物、或氮化碳阻障材料 222 將記憶體氧化物 215 與選擇器介電質 225 實體地分隔開。阻障材料以轉變金屬的化合物為有利，且以耐火金屬更有利。正如前文關於導電氧化物阻障層實施例之描述，適合阻障層的非氧化物轉變金屬化合物保持低電阻係數的金屬特性，又是良好的擴散阻障。適合非氧化物轉變金屬化合物的非限制性例子包括：耐火金屬氮化物，諸如 TiN、TaN、及 WN；耐火金屬碳化物，諸如 TiC、TaC、WC；及耐火金屬氮化碳，諸如 TaCN。

阻障材料 222 具有的膜厚，有相當程度是以所選用之成分的電阻係數為函數而改變，且受限於在特定應用(例

如，分立的 NVM 對 e-NVM)中能被位元胞 201 所容許的電壓降。通常，膜厚較厚的阻障層具有較高的電阻，但做為擴散阻障也較佳。在例示性的實施例中，諸如使用上述任何耐火金屬化合物的那些實施例，耐火金屬氮化物/碳化物/碳氮化物阻障材料具有至少 2nm 的薄膜厚度，小於 50nm，且不超過 20nm 為有利的。

注意關於阻障層的功能限制(例如，電阻低及抗互混性高兩者)，某些阻障層實施例使用多層疊合之形式的複數層薄膜或疊層。在此等實施例中，上述的一或多種導電氧化物阻障材料與上述的一或多種導電非氧化物轉變金屬阻障材料疊合。圖 3A 與 3B 為按照實施例之薄膜 1S1R 位元胞 204、205 的剖面視圖，兩者皆在記憶體氧化物材料 215 與選擇器介電質材料 225 之間結合多層阻障層 220。關於此等多層的實施例，目標是結合兩種不同阻障材料之優勢，而不使阻障電阻之增加超過單層阻障的電阻太多。例如，導電氧化物阻障材料的穩定性，可藉由耐火金屬氮化物/碳化物/碳氮化物阻障材料的擴散阻障特性與低電阻係數而進一步提升。多層阻障的微結構也優於單層阻障。例如，非晶導電氧化物材料可被用來中斷耐火金屬氮化物/碳化物/碳氮化物阻障材料的柱狀微結構。

如圖 3A 所示，多層阻障 220 包括直接配置在導電氧化物阻障材料 221 上並與其接觸的非氧化物金屬化合物阻障材料層 222。在另些實施例中，導電氧化物阻障材料可直接配置在金屬氮化物、碳化物、碳氮化物材料上。關於

此等雙層的實施例，從製造的觀點，將導電氧化物阻障材料配置在選擇器材料或記憶體材料其中之一的底部為有利的，如圖 3A 所示。在選擇器與記憶體薄膜其中之一比另一薄很多的實施例中，從可靠度之觀點，將導電氧化物阻障材料配置在非氧化物阻障材料與選擇器及/或記憶體材料中之較薄者之間為有利的。

如圖 3B 所示，多層阻障 220 包括直接配置在兩個導電氧化物阻障材料層 221 與 223 之間並與其接觸的金屬非氧化物阻障材料層 222。關於此等實施例，導電氧化物阻障材料層 223 可以是上述用於導電氧化物阻障材料層 221 的任何材料。在有利的實施例中，導電氧化物阻障材料層 223 具有與導電氧化物阻障材料層 221 相同的成分，雖然成分可以不同。多層阻障材料 220 的總薄膜厚度，有相當程度是以不同之各層成分與層數為函數而改變。在例示性的實施例中，圖 3A 與 3B 所繪示的雙層與三層實施例具有至少 2nm 的薄膜厚度，小於 50nm，且不超過 20nm 為有利的。

進一步參考圖 2A、2B、3A、與 3B 中所繪示的位元胞，電極 210 可以是任何數量的材料層，每一層結合碳、金、鎳、鉑、鈮、釩、鉻、鋱、鈹、氮化鈹、碳化鈹、錳、鋳、鉛、鈦、氮化鈦、碳化鈦、鎢、碳化鎢、氮化鎢的一或多種及它們的合金。電極 230 也可以是這些材料中的任何材料，雖然在某些實施例中的電極 210 與 230 不具有相同之成分。例如，靠近記憶體氧化物的電極(例如，

電極 210)可以是鈦(或它的化合物)，而靠近選擇器介電質的電極(例如，電極 230)是另一材料，諸如鎢(或它的化合物)。在另些實施例中，至少一電極包含多層的電極疊層，例如，包括電阻夠低的電極整塊材料(例如，銅)，及位於整塊電極材料與記憶體/選擇器材料之間的電極阻障材料。

圖 3B 繪示按照某些實施例的多層電極。當然，所繪示的多層電極是使用在沒有多層阻障層的位元胞中，反之亦然。如圖 3B 所示，電極 210 結合電極整塊材料 206 與電極阻障材料 207。同樣地，電極 230 結合電極阻障材料 231 與電極整塊材料 232。在例示性的實施例中，電極整塊材料 206、232 具有相同的成分(例如，銅)。在另些實施例中，電極阻障材料 231 與電極阻障材料 207 的成分不同，雖然它們也可以是相同成分。在一個有利的實施例中，電極阻障材料 207 與配置在 1S1R 位元胞之選擇器與記憶體氧化物間的阻障材料具有相同的成分。

在實施例中，非平面 1S1R 位元胞包括介於記憶體與選擇器元件之間的阻障層。雖然圖 2A-3B 中繪示的例示性實施例係以平面位元胞的情況來予以繪示，但須注意，相同的薄膜疊層也可很容易地在各種非平面架構中實施。例如，圖 4 為繪示按照非平面實施例之非平面薄膜 1S1R 位元胞 401 的剖面視圖，其在選擇器介電質材料 225 與記憶體氧化物材料 215 之間結合了導電氧化物阻障層 221。這些薄膜每一層皆被沉積在側壁 410 的形態特徵上，以至於

電流通過位元胞 401 的方向實質上與基板 205 呈平面。為了進一步提高位元胞的密度，電極的疊層 405 可以配置在每一個電極 210 之間的介電質 411 來形成側壁 410。

圖 5 為繪示按照實施例之疊層式薄膜 1S1R 位元胞的剖面視圖。可藉由(垂直地)疊層 1S1R 位元胞而提高電阻性記憶體陣列的密度。在圖 5 所繪示的例示性實施例中，介於兩個字線 505 之間的第一 1S1R 位元胞 202 與第二 1S1R 位元胞 202 背對背疊層。位元線 510 耦接至該兩個位元胞共用的電極 210。如前文所述，每一個位元胞 202 皆包括金屬氮化物、碳化物、碳氮化物阻障材料 222。

以上所描述的位元胞架構可使用許多種技術來予以製造。圖 6 為按照實施例的流程圖，繪示用以形成在選擇器氧化物材料與記憶體氧化物材料之間結合有阻障層之薄膜 1S1R 位元胞的方法 601。方法 601 例如可被用來形成圖 3B 中所繪示的位元胞 201。圖 7 為按照實施例的流程圖，繪示用以形成在選擇器氧化物材料與記憶體氧化物材料之間結合有多層阻障層之薄膜 1S1R 位元胞的方法 701。方法 701 例如可用來形成圖 3B 中所繪示的位元胞 205。

首先參考圖 6，方法 601 開始於操作 605，此項操作係在基板之上沉積第一(底)電極材料。在操作 605 可使用任何習知技藝中適合特定電極成分的任何沉積處理，諸如，但不限於物理氣相沉積(PVD)、化學氣相沉積(CVD)、原子層沉積(ALD)、電解與無電電鍍、及旋塗技術。

在操作 610，在第一電極材料之上沉積薄膜記憶體元件或薄膜選擇器元件。在操作 610 可使用任何習知技藝中適合特定記憶體/選擇器元件的任何沉積處理，諸如，但不限於 PVD、CVD、及 ALD 技術。在一個例示性的平面實施例中，在操作 610 使用反應 PVD。在一個例示性的非平面實施例中，在操作 610 使用 ALD。

在操作 620，在操作 610 所沉積的元件(例如，記憶體元件或薄膜選擇器元件)之上沉積薄膜阻障層。在操作 610 可使用任何習知技藝中適合特定阻障層的任何沉積處理，諸如，但不限於 PVD、CVD、及 ALD 技術。在一個例示性的平面實施例中，在操作 620 使用反應 PVD。在一個例示性的非平面實施例中，在操作 620 使用 ALD。

方法 601 繼續操作 630，在此，在操作 620 所沉積的阻障材料之上沉積其它的記憶體元件與選擇器元件(亦即，在操作 610 未沉積的元件)。在操作 630 可使用任何習知技藝中適合特定記憶體/選擇器元件的任何沉積處理，諸如，但不限於 PVD、CVD、及 ALD 技術。在一個例示性的平面實施例中，在操作 630 使用反應 PVD。在一個例示性的非平面實施例中，在操作 630 使用 ALD。使用任何習用的技術在操作 630 所沉積的記憶體/選擇器元件之上沉積第二電極材料以完成方法 601。至於疊層式位元胞的實施例，方法 601 可以重覆，以相同、或相反之順序實施各項操作。

現參考圖 7 的多層阻障實施例，在操作 710，方法

701 從接受具有在電極上沉積有選擇器/記憶體元件的基板開始。在操作 715，沉積整塊導電氧化物。在操作 715 可使用任何習知技藝中適合特定導電氧化物阻障材料的選擇的任何沉積處理，諸如，但不限於 PVD、CVD、及 ALD 技術。在一個例示性的平面實施例中，在操作 715 使用反應 PVD。在一個例示性的非平面實施例中，在操作 715 使用 ALD。在操作 720，直接在操作 715 所沉積的導電氧化物上沉積包含耐火金屬的氮化物、碳化物、碳氮化物的阻障層。方法 701 繼續在操作 725 進一步沉積第二整塊導電氧化物，此項操作為選用的，在圖 7 中以虛線指示。接著，在操作 730 沉積記憶體/選擇器氧化物材料，並在操作 740 以任何習用的技術沉積第二(頂)電極以完成方法 701。

圖 8 係按照實施例之 NVM 801 的概示圖，包括有複數個薄膜 1S1R 位元胞 802，每一個位元胞皆結合位於選擇器元件 *S* 與記憶體元件 *M* 之間的阻障層 *B*。每一個位元胞 802 皆包括雙向記憶體元件與選擇器，與本文它處所描述之配置於其間的任何阻障層實施例串聯連接。陣列 805 為包括任何數量之位元胞 802 的雙向交叉點陣列。每一行係與藉由行選擇電路系統 825 中之行選擇電路來驅動的位元線相關聯。每一列係與藉由列選擇電路系統 830 中之列選擇電路來驅動的宇線相關聯。在操作狀態中，R/W 控制電路系統 820 接收記憶體存取請求(例如，來自其內嵌有記憶體的本地處理器或通訊晶片)，依據請求(例如，讀

取、寫入 0，或寫入 1)產生請求控制信號，並控制列與行選擇電路系統 825、830。電壓源 810、815 被控制用以提供偏壓陣列所需的電壓，以有助於對一或多個位元胞 802 所請求的動作。列與行選擇電路系統 825、830 施加橫跨陣列 805 的供應電壓，用以存取被選擇的位元胞。行選擇電路系統 825、列選擇電路系統 830、及 R/W 控制電路系統 820 可用任何習知的技術來實施。在一個例示性的實施例中，從電壓源 810、815 可獲得用於寫入操作的最大供應電壓小於 1 伏。

圖 9 繪示按照例示性嵌入的電阻式記憶體實施例之 e-NVM 901 的剖面視圖。如圖示說明，e-NVM 901 包括 NVM 801，在基板 205 之上與 CMOS 邏輯 905 單體地集成在一起。在此例示性的實施例中，NVM 801(包括複數個薄膜 1S1R 位元胞，每一個位元胞的選擇器元件與記憶體元件之間皆結合一或多層阻障材料)配置在 CMOS 邏輯 905 上，例如，成為 BEOL 膜疊層的一部分。CMOS 邏輯 905 可包括任何已知的金屬氧化物半導體電晶體，這些電晶體的一或多個與 NVM 801 電耦接。

圖 10 繪示使用具有 e-NVM 之 SoC 的行動計算平台與資料伺服器，該 e-NVM 具有按照本發明實施例，在選擇器與記憶體元件之間結合有阻障層的 1S1R 位元胞。資料伺服器 1006 可以是任何的商用伺服器，例如，包括配置在機架內且被聯網在一起，用來處理電子資料之任何數量的高性能計算平台，其在例示性的實施例中包括經封裝的

單體 IC 1050。行動計算平台 1005 可以是任何可攜式裝置，被組構成用於電子資料顯示、電子資料處理、無線電子資料傳輸、或類似用途。例如，行動計算平台 1005 可以是平板電腦、智慧型手機、膝上型電腦等任何一種，且可包括顯示螢幕(例如，電容性、電感性、電阻性、觸控螢幕)、晶片級或封裝級的集成系統 1010、及電池 1015。

無論是配置在展開圖 1020 中所繪示的集成系統 1010 內，或如同伺服器 1006 內之單獨封裝的晶片，經封裝的單石 IC 1050 包括有記憶體晶片(例如，RAM)，或包括有包括阻障層之 1S1R 位元胞之至少一個 NVM 的處理器晶片(例如，微處理器、多核心微處理器、圖形處理器、等等)，例如，如本文它處所描述的例子。單石 IC 1050 可進一步連同電源管理積體電路(PMIC)1030、包括寬帶 RF(無線)發射器及/或接收器(TX/RX)的 RF(無線)積體電路(RFIC)1025(例如，包括有數位基頻與進一步包含發射路徑上之功率放大器與接收路徑上之低雜訊放大器的類比前端模組)、以及它們的控制器 1035 等其中一或多個耦接至電路板、基板、或插入件 1060。

就功能上，PMIC 1030 可執行電池電源調節、直流-對-直流轉換等，且因此其具有耦接至電池 1015 的輸入，及提供電流供應給其它的功能模組的輸出。如進一步之說明，在例示性的實施例中，RFIC 1025 具有耦接至天線(未顯示)的輸出，用以實施各種無線標準或協定，包括但不限於 Wi-Fi(IEEE 802.11 系列)、WiMAX(IEEE 802.16 系

列)、IEEE 802.20、長程演進(LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍芽、以上這些的衍生物，以及被命名為 3G、4G、5G、或以上之任何其它的無線協定。在替代的實施中，這些板件級的模組每一個都可集成到單獨的 IC 上，耦接至單石 IC 1050 的封裝基板，或在單一個 IC 內耦接至單石 IC 1050 的封裝基板。

圖 11 繪示按照本發明之至少某些實施所配置之計算裝置 1100 的功能方塊圖。例如，在平台 1005 或伺服器 1006 內可發現計算裝置 1100。裝置 1100 進一步包括安裝若干組件的主機板 1102，這些組件包括但不限於處理器 1104(例如，應用軟體處理器)，其進一步結合至少一個具有包括有阻障層之 1S1R 位元胞的 NVM，如本文它處所討論的例子。處理器 1104 可實體及/或電耦接至主機板 1102。在某些例中，處理器 1104 包括封裝在處理器 1104 內的積體電路晶粒。一般來說，名詞“處理器”或“微處理器”可意指任何裝置或裝置的一部分，其處理來自暫存器及/或記憶體之電子資料，並將該電子資料轉換成可以儲存在暫存器及/或記憶體中的其它電子資料。

雖然已參考了各種不同的實施描述了本文所陳述的某些特徵，但無意將此描述解釋成限制之意。因此，熟悉關於本發明之技藝的人士可明瞭，本文所描述之實施的各種修改以及其它的實施，都視為是在本發明的精神與範圍之內。

須理解，本發明並不限於如此描述的實施例，以修改與變化來實施不會偏離所附申請專利範圍的範圍。例如，以上的實施例可包括以下所提供之各種特徵的特定組合。

一或多個第一實施例，電阻性記憶體單元包括基板；配置在基板上的第一及第二電極材料，配置在第一電極材料與第二電極材料之間的薄膜記憶體元件與薄膜選擇器元件。電阻性記憶體單元進一步包括配置在記憶體元件與選擇器元件間之電氣浮接的導電薄膜阻障層。

在第一實施例的進一步中，選擇器元件進一步包括第一成分的選擇器氧化物材料，其係要在臨界電壓處經歷低電阻狀態與高電阻狀態之間的揮發性轉變。記憶體元件進一步包含第二成分的記憶體氧化物材料其係要在設置/重置電壓處，經歷低電阻狀態與高電阻狀態之間的非揮發性轉變。薄膜阻障層包含整塊導電金屬氧化物層或包含有耐火金屬氮化物、碳化物、或氮化碳之非氧化物金屬化合物層的至少其中之一。

在緊前之實施例的進一步中，其中，耐火金屬氮化物、碳化物、或氮化碳包括： TiN 、 TaN 、 WN 、 TiC 、 TaC 、 WC 、或 TaCN 的至少其中之一。

在緊前之實施例的進一步中，其中，耐火金屬氮化物、碳化物、或氮化碳係 TiN 、 TaN 、 WN 、 TiC 、 TaC 、 WC 、或 TaCN 的至少其中之一。

在以上實施例的進一步中，其中，阻障層係整塊導電金屬氧化物層，其包括： RuO_2 、 CrO_2 、 WO_2 、 IrO_2 、

MoO_2 、 PtO_2 、或 RhO_2 的至少其中之一。

在以上實施例的進一步中，其中，阻障層包含整塊導電金屬氧化物層係 RuO_2 、 CrO_2 、 WO_2 、 IrO_2 、 MoO_2 、 PtO_2 、或 RhO_2 的至少其中之一。

在以上實施例的進一步中，阻障層係包括非氧化物金屬化合物層的疊層，而整塊導電金屬氧化物層係配置在非氧化物金屬化合物層與選擇器氧化物材料和記憶體氧化物材料的至少其中之一之間。

在緊前之實施例的進一步中，選擇器氧化物材料係配置在記憶體氧化物材料之上，且阻障層係為疊層，其包含配置在記憶體氧化物材料之上的整塊導電金屬氧化物層及配置在整塊導電金屬氧化物層之上的非氧化物金屬化合物層，或，記憶體氧化物材料配置在選擇器氧化物材料之上，且阻障層係為疊層，其包含配置在選擇器氧化物材料之上的整塊導電金屬氧化物層及配置在整塊導電氧化物層之上的非氧化物金屬化合物層。

在第一實施例的進一步中，阻障層係為疊層，其包含配置在第一與第二導電金屬氧化物層之間的非氧化物金屬化合物層。

在緊前之實施例的進一步中，非氧化物金屬化合物層包括： TiN 、 TaN 、 WN 、 TiC 、 TaC 、 WC 、或 TaCN 的至少其中之一。第一與第二整塊導電金屬氧化物層包括： RuO_2 、 CrO_2 、 WO_2 、 IrO_2 、 MoO_2 、 PtO_2 、或 RhO_2 的至少其中之一。

在緊前之實施例的進一步中，非氧化物金屬化合物層係： TiN 、 TaN 、 WN 、 TiC 、 TaC 、 WC 、或 TaCN 的至少其中之一。第一與第二整塊導電金屬氧化物層係： RuO_2 、 CrO_2 、 WO_2 、 IrO_2 、 MoO_2 、 PtO_2 、或 RhO_2 的至少其中之一。

在第一實施例的進一步中，第一與第二電極材料的至少其中之一進一步包含一疊層，其包括介於整塊電極材料與選擇器元件或記憶體元件之間的第二薄膜阻障層。

在第一實施例的進一步中，選擇器氧化物材料包含主要處於第一氧化狀態的轉變金屬；以及，選擇器氧化物材料包含主要處於與第一氧化狀態不同之第二氧化狀態的轉變金屬。

在第一實施例的進一步中，選擇器氧化物材料係 VO_2 、 Ta_2O_5 、 NbO_2 、 Ti_3O_5 、 Ti_2O_3 、 LaCoO_3 、或 SmNiO_3 的至少其中之一；以及，記憶體氧化物材料係基於陰離子的導電氧化物材料，其係選自由釩(V)氧化物、鉻(Cr)氧化物、鈮(Nb)氧化物、鉭(Ta)氧化物、及鈹(Hf)氧化物組成的族群中，或是基於陽離子的導電氧化物材料，其係選自由 LiMnO_2 、 $\text{Li}_4\text{TiO}_{12}$ 、 LiNiO_2 、 LiNbO_3 、 $\text{Li}_3\text{N:H}$ 、 LiTiS_2 、 Na b-alumina 、 AgI 、 RbAg_4I_5 、及 AgGeAsS_3 所組成的族群中。

在一或多個第二實施例中，系統單晶片(SoC)包括電阻性記憶體陣列，其包括複數個電阻性記憶體位元胞，每一個位元胞進一步包括配置在基板之上的第一與第二電極

材料，配置在第一與第二電極材料之間的薄膜記憶體元件與薄膜選擇器元件，以及配置在記憶體元件與選擇器元件之間的電氣浮接的導電薄膜阻障層，其中，第一與第二電極材料被進一步耦接至字線與位元線。該 SoC 進一步包括配置在基板之上的複數個 MOS 電晶體，複數個的一或多個電晶體係電耦接至電阻性記憶體陣列。

在一或多個第三實施例中，製造電阻性記憶體單元之方法包括在基板之上沉積第一電極材料。該方法進一步包括在第一電極材料之上沉積薄膜記憶體元件和薄膜選擇器元件的其中一者。該方法進一步包括在記憶體元件或選擇器元件之上沉積導電薄膜阻障層。該方法進一步包括在阻障層之上沉積記憶體元件和選擇器元件的另一者。該方法進一步包括在記憶體元件和選擇器元件的另一者之上沉積第二電極材料。

在緊前之實施例的進一步中，沉積記憶體元件進一步包括沉積第一成分的記憶體氧化物，其係要在設置/重置電壓處，經歷低與高電阻狀態之間的非揮發性轉變，沉積選擇器元件進一步包含沉積第二成分的選擇器氧化物材料，其係要在臨界電壓處，經歷低與高電阻狀態之間的揮發性轉變，以及，沉積阻障層進一步包含沉積包含耐火金屬之氮化物、碳化物、或氮化碳之非氧化物金屬化合物層。

在緊前之實施例的進一步中，沉積非氧化物金屬化合物層進一步包含：沉積 TiN、TaN、WN、TiC、TaC、

WC、及 TaCN 的至少其中之一。

在第三實施例的進一步中，沉積阻障層進一步包含在選擇器元件的記憶體之上沉積整塊導電氧化物，及在整塊導電氧化物之上沉積非氧化物金屬化合物層。

在緊前之實施例的進一步中，沉積整塊導電氧化物進一步包含沉積： RuO_2 、 CrO_2 、 WO_2 、 IrO_2 、 MoO_2 、 PtO_2 、或 RhO_2 的至少其中之一。

在緊前之實施例的進一步中，沉積阻障層進一步包含在非氧化物金屬化合物層之上沉積第二整塊導電氧化物。

在第三實施例的進一步中，沉積記憶體氧化物材料與選擇器氧化物材料的至少其中之一進一步包含以原子層沉積 (ALD) 處理在形態特徵的側壁上沉積氧化物材料，以及，沉積阻障層進一步包含以 ALD 處理來沉積非氧化物金屬化合物。

在第三實施例的進一步中，沉積選擇器元件進一步包含沉積 VO_2 、 Ta_2O_5 、 NbO_2 、 Ti_3O_5 、 Ti_2O_3 、 LaCoO_3 、或 SmNiO_3 。

不過，以上的實施例並不受限於此，在各種不同的實施中，以上的實施例可包括僅取此些特徵的子集，取此些特徵之不同的次序，取此些特徵之不同的組合，及/或取那些明列之特徵以外的特徵。因此，本發明之範圍應參考所附申請專利範圍連同名為這些申請專利範圍之相等物的完整範圍來界定。

【符號說明】

100：薄膜位元胞	115：記憶體元件
120：阻障層	125：選擇器元件
201：薄膜 1S1R 位元胞	202：薄膜 1S1R 位元胞
205：基板	206：電極整塊材料
210：第一電極	215：記憶體氧化物材料
221：整塊導電氧化物阻障材料	225：選擇器介電質材料
222：金屬非氧化物阻障材料層	230：第二電極
220：多層阻障材料	204：薄膜 1S1R 位元胞
207：電極阻障材料	231：電極阻障材料
223：導電氧化物阻障材料層	232：電極整塊材料
401：非平面薄膜 1S1R 位元胞	410：側壁
405：電極的堆疊	411：介電質
505：字線	510：位元線
801：非揮發性記憶體	802：薄膜 1S1R 位元胞
S：選擇器元件	M：記憶體元件
B：阻障層	805：陣列
810：電壓源	815：電壓源
820：R/W 控制電路系統	825：行選擇電路系統
830：列選擇電路系統	905：CMOS 邏輯
901：嵌入式非揮發性記憶體	1000：系統
1005：行動計算平台	1006：資料伺服機
1015：電池	1010：封裝級的集成系統
1050：單石積體電路	1035：控制器

1030：射頻(無線)積體電路

1025：射頻(無線)發射器及/或接收器

1060：插入件

1100：計算裝置

1102：主機板

1104：處理器

1106：通訊晶片

申請專利範圍

1.一種電阻性記憶體單元，包含：

基板；

第一及第二電極材料，係配置在該基板之上；

薄膜記憶體元件與薄膜選擇器元件，係配置在該第一電極材料與該第二電極材料之間；以及

電氣浮接的導電薄膜阻障層，係配置在該記憶體元件與該選擇器元件之間。

2.如申請專利範圍第 1 項之電阻性記憶體單元，其中：

該選擇器元件進一步包含第一成分的選擇器氧化物材料，其係要在臨界電壓處，經歷低電阻狀態與高電阻狀態之間的揮發性轉變；

該記憶體元件進一步包含第二成分的記憶體氧化物材料，其係要在設置/重置電壓處，經歷低電阻狀態與高電阻狀態之間的非揮發性轉變；以及

該薄膜阻障層包含整塊導電金屬氧化物層或包含有耐火金屬氮化物、碳化物、或氮化碳之非氧化物金屬化合物層的至少其中之一。

3.如申請專利範圍第 2 項之電阻性記憶體單元，其中，該耐火金屬氮化物、碳化物、或氮化碳包括：TiN、TaN、WN、TiC、TaC、WC、或 TaCN 的至少其中之一。

4.如申請專利範圍第 2 項之電阻性記憶體單元，其中，該阻障層包含整塊導電金屬氧化物層，其包括：

RuO_2 、 CrO_2 、 WO_2 、 IrO_2 、 MoO_2 、 PtO_2 、或 RhO_2 的至少其中之一。

5.如申請專利範圍第 2 項之電阻性記憶體單元，其中，該阻障層為一包含該非氧化物金屬化合物層和該整塊導電金屬氧化物層的疊層，而該整塊導電金屬氧化物層係配置在該非氧化物金屬化合物層與該選擇器氧化物材料和該記憶體氧化物材料的至少其中之一之間。

6.如申請專利範圍第 5 項之電阻性記憶體單元，其中：

該選擇器氧化物材料係配置在該記憶體氧化物材料之上，且該阻障層為包含配置在該記憶體氧化物材料之上的該整塊導電金屬氧化物層的疊層，且該非氧化物金屬化合物層係配置在該整塊導電金屬氧化物層之上，或

該記憶體氧化物材料係配置在該選擇器氧化物材料之上，且該阻障層為包含配置在該選擇器氧化物材料之上的該整塊導電金屬氧化物層的疊層，且該非氧化物金屬化合物層係配置在該整塊導電金屬氧化物層之上。

7.如申請專利範圍第 2 項之電阻性記憶體單元，其中，該阻障層為包含非氧化物金屬化合物層的疊層，該非氧化物金屬化合物層係配置在第一整塊導電金屬氧化物層與第二整塊導電金屬氧化物層之間。

8.如申請專利範圍第 7 項之電阻性記憶體單元，其中：

該非氧化物金屬化合物層包含： TiN 、 TaN 、 WN 、

TiC、TaC、WC、或 TaCN 的至少其中之一；

該第一與第二整塊導電金屬氧化物層包含：RuO₂、CrO₂、WO₂、IrO₂、MoO₂、PtO₂、或 RhO₂ 的至少其中之一。

9.如申請專利範圍第 1 項之電阻性記憶體單元，其中：

該第一與該第二電極材料的至少其中之一進一步包含一疊層，該疊層包括介於整塊電極材料與該選擇器元件或該記憶體元件之間的第二薄膜阻障層。

10.如申請專利範圍第 2 項之電阻性記憶體單元，其中：

該選擇器氧化物材料包含主要處於第一氧化狀態的轉變金屬；以及

該選擇器氧化物材料包含主要處於與該第一氧化狀態不同之第二氧化狀態的該轉變金屬。

11.如申請專利範圍第 2 項之電阻性記憶體單元，其中：

該選擇器氧化物材料包含 VO₂、Ta₂O₅、NbO₂、Ti₃O₅、Ti₂O₃、LaCoO₃、或 SmNiO₃ 的至少其中之一；以及

該記憶體氧化物材料包含：

基於陰離子的導電氧化物材料，其係選自由釩氧化物、鉻氧化物、鈮氧化物、鉭氧化物、及鈪(Hf)氧化物組成的族群中，或

基於陽離子的導電氧化物材料，其係選自由 LiMnO_2 、 $\text{Li}_4\text{TiO}_{12}$ 、 LiNiO_2 、 LiNbO_3 、 $\text{Li}_3\text{N:H}$ 、 LiTiS_2 、Na b-alumina、 AgI 、 RbAg_4I_5 、及 AgGeAsS_3 所組成的族群中。

12.一種系統單晶片 (SoC)，包含：

電阻性記憶體陣列，該陣列包括複數個電阻性記憶體位元胞，每一個位元胞進一步包括：

第一與第二電極材料，係配置在基板之上；以及
薄膜記憶體元件與薄膜選擇器元件，係配置在該第一與該第二電極材料之間；

電氣浮接的導電薄膜阻障層，係配置在該記憶體元件與該選擇器元件之間，其中，該第一與該第二電極材料被進一步耦接至字線與位元線；以及

複數個 MOS 電晶體，係配置在該基板之上，該複數個的一或多個電晶體係電耦接至該電阻性記憶體陣列。

13.一種製造電阻性記憶體單元之方法，包含：

在基板之上沉積第一電極材料；

在該第一電極材料之上沉積薄膜記憶體元件和薄膜選擇器元件的其中一者；

在該記憶體元件或該選擇器元件之上沉積導電薄膜阻障層；

在該阻障層之上沉積該記憶體元件和該選擇器元件的另一者；以及

在該記憶體元件和該選擇器元件的該另一者之上沉積

第二電極材料。

14.如申請專利範圍第 13 項之方法，其中：

沉積該記憶體元件進一步包含：沉積第一成分的記憶體氧化物，其係要在設置/重置電壓處，經歷低與高電阻狀態之間的非揮發性轉變；

沉積該選擇器元件進一步包含：沉積第二成分的選擇器氧化物材料，其係要在臨界電壓處，經歷低與高電阻狀態之間的揮發性轉變；以及

沉積阻障層進一步包含：沉積包含耐火金屬之氮化物、碳化物、或氮化碳之非氧化物金屬化合物層。

15.如申請專利範圍第 14 項之方法，其中，沉積該非氧化物金屬化合物層進一步包含：沉積 TiN、TaN、WN、TiC、TaC、WC、及 TaCN 的至少其中之一。

16.如申請專利範圍第 13 項之方法，其中，沉積該阻障層進一步包含：在該選擇器元件的該記憶體之上沉積整塊導電氧化物，及在該整塊導電氧化物之上沉積該非氧化物金屬化合物層。

17.如申請專利範圍第 16 項之方法，其中，沉積該整塊導電氧化物進一步包含沉積： RuO_2 、 CrO_2 、 WO_2 、 IrO_2 、 MoO_2 、 PtO_2 、或 RhO_2 的至少其中之一。

18.如申請專利範圍第 16 項之方法，其中，沉積該阻障層進一步包含：在該非氧化物金屬化合物層之上沉積第二整塊導電氧化物。

19.如申請專利範圍第 13 項之方法，其中：

沉積該記憶體氧化物材料與該選擇器氧化物材料的至少其中之一進一步包含：以原子層沉積(ALD)處理在形態特徵的側壁上沉積該氧化物材料；以及

沉積該阻障層進一步包含：以 ALD 處理來沉積該非氧化物金屬化合物。

20.如申請專利範圍第 13 項之方法，其中，沉積該選擇器元件進一步包含：沉積 VO_2 、 Ta_2O_5 、 NbO_2 、 Ti_3O_5 、 Ti_2O_3 、 LaCoO_3 、或 SmNiO_3 。

圖 式

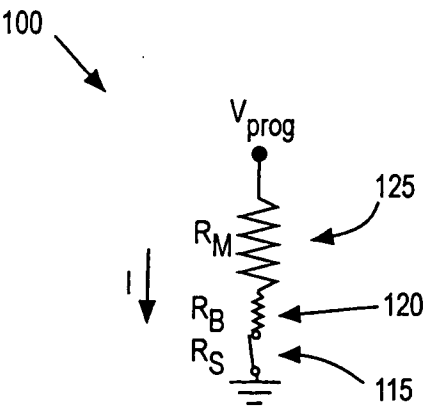


圖 1A

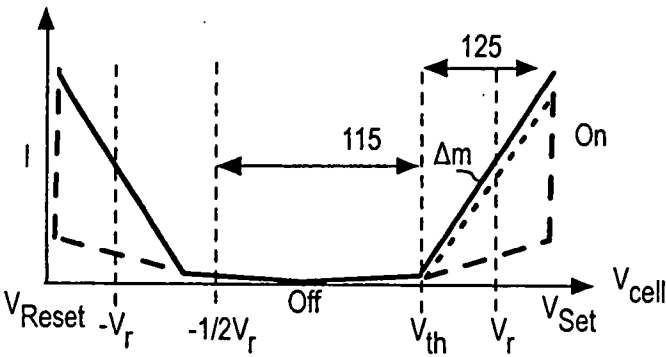


圖 1B

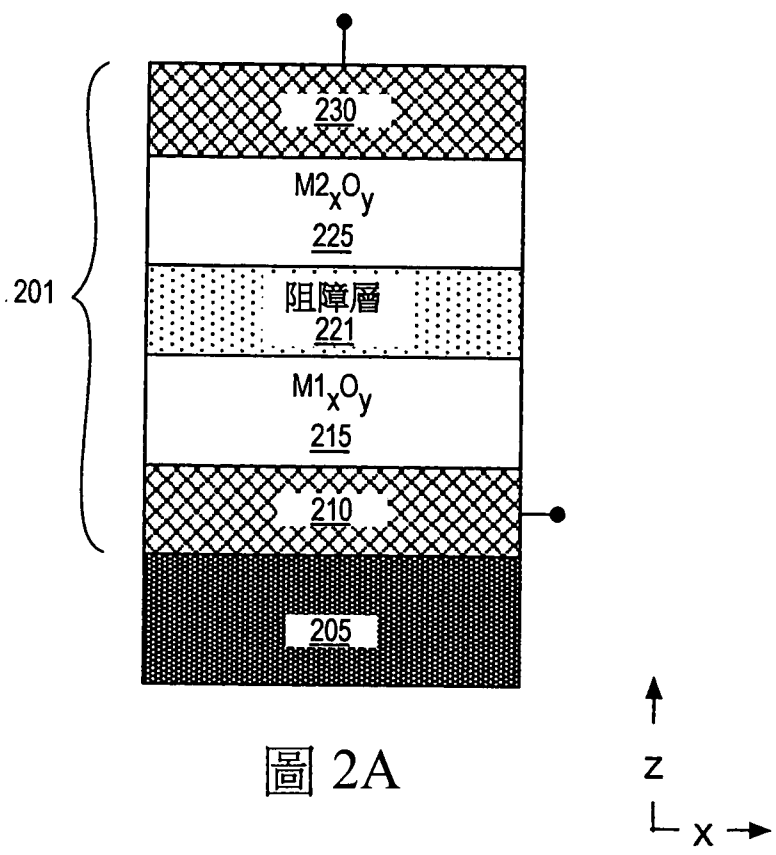


圖 2A

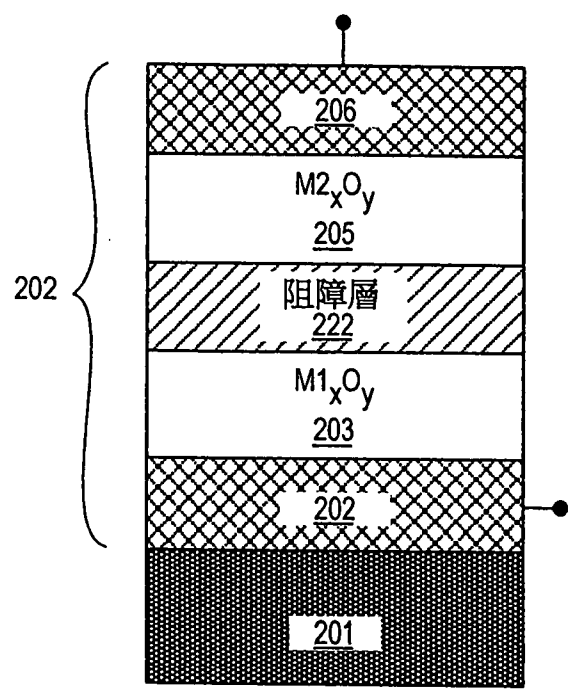


圖 2B

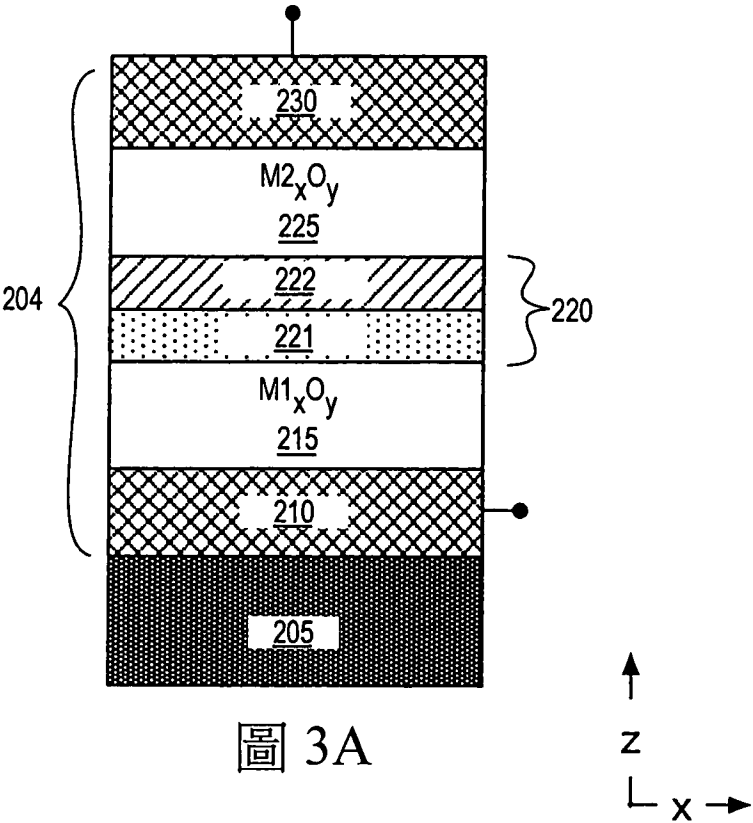


圖 3A

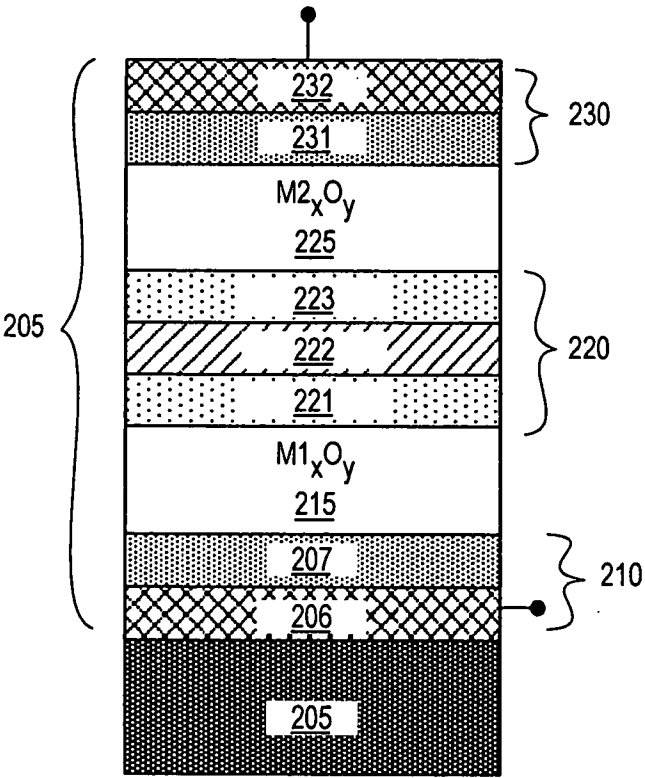


圖 3B

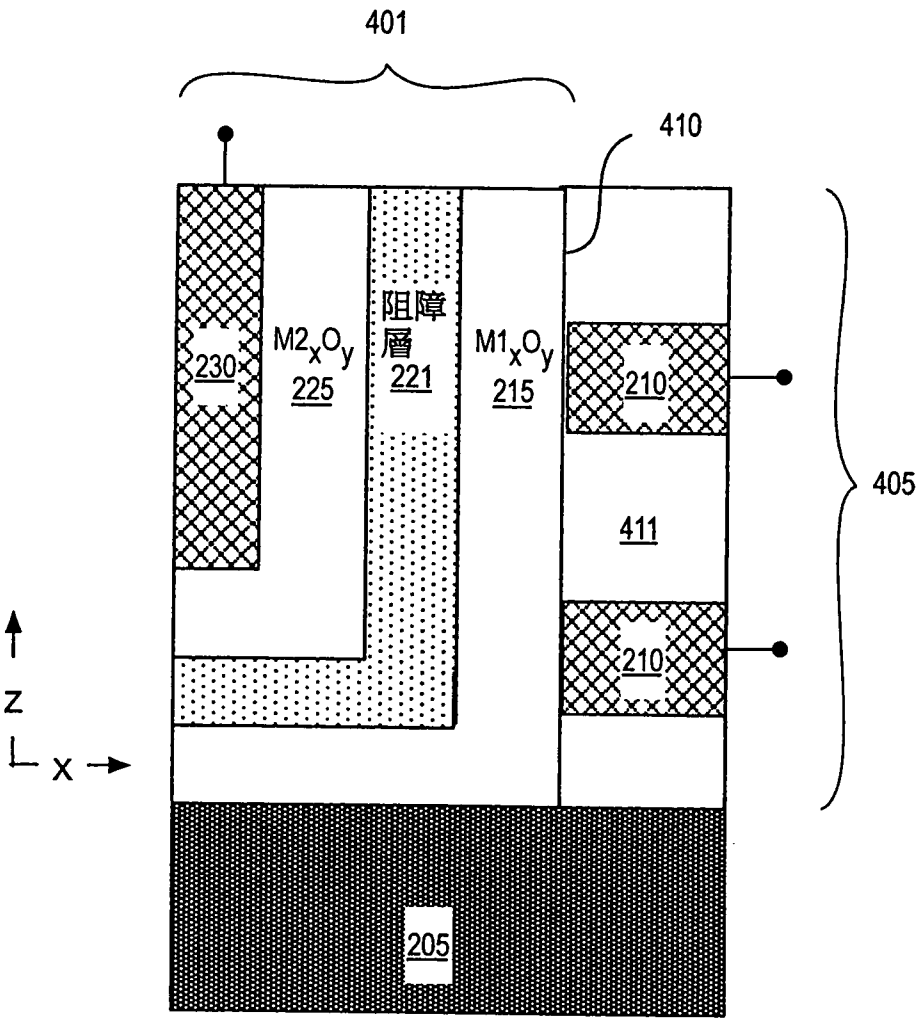


圖 4

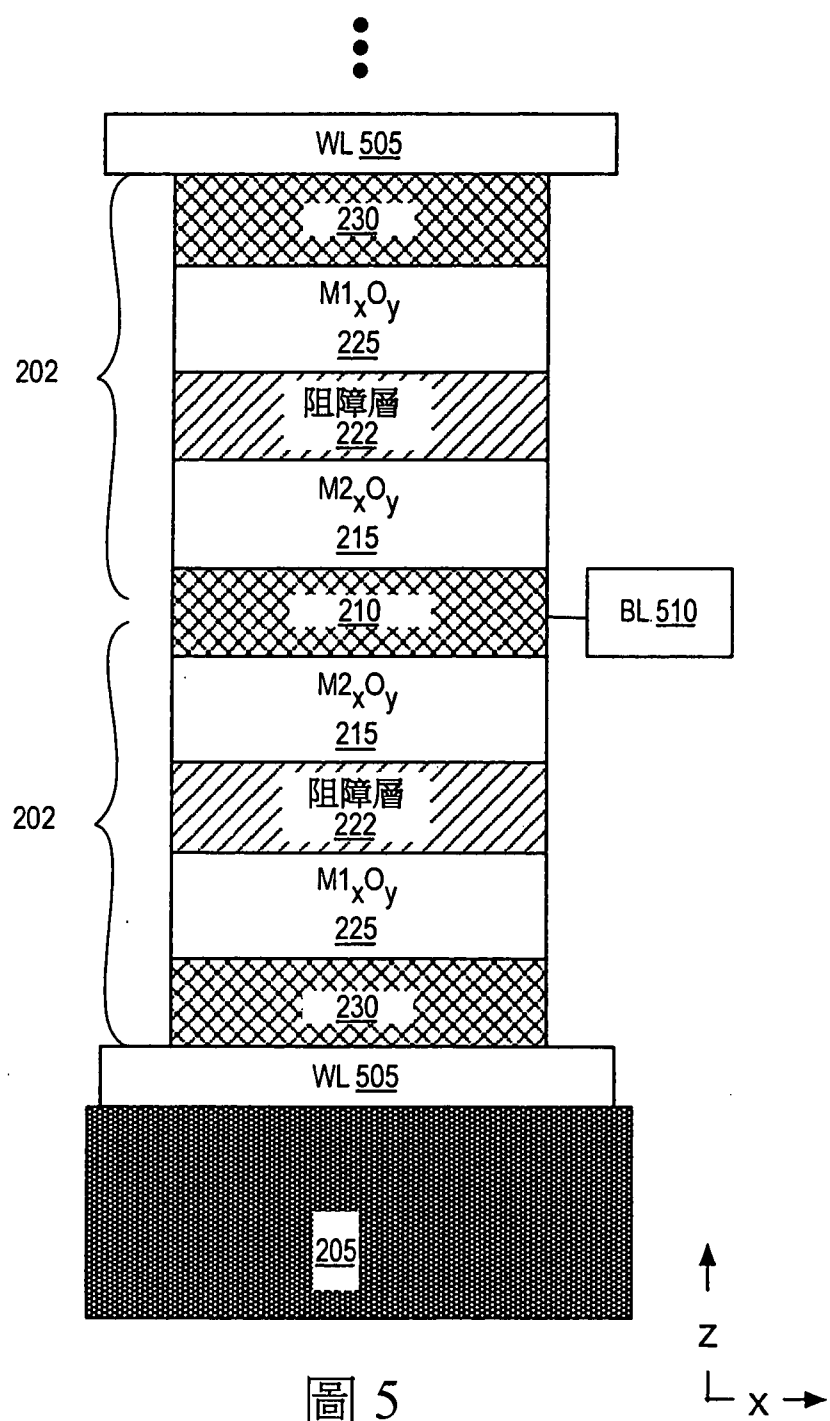


圖 5

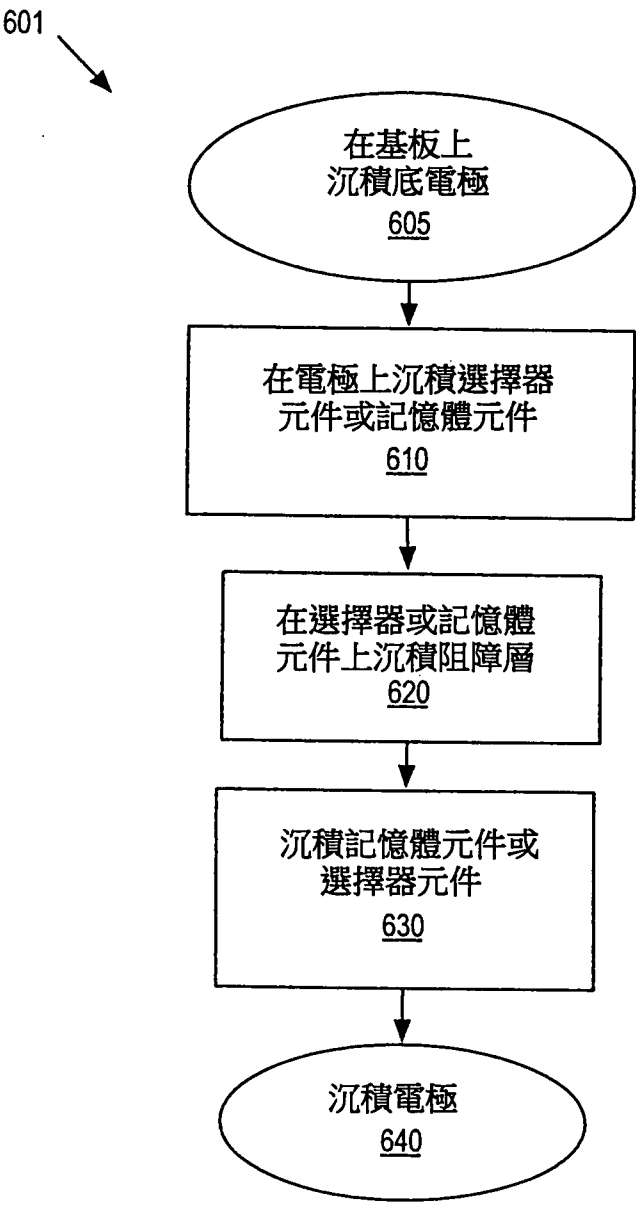


圖 6

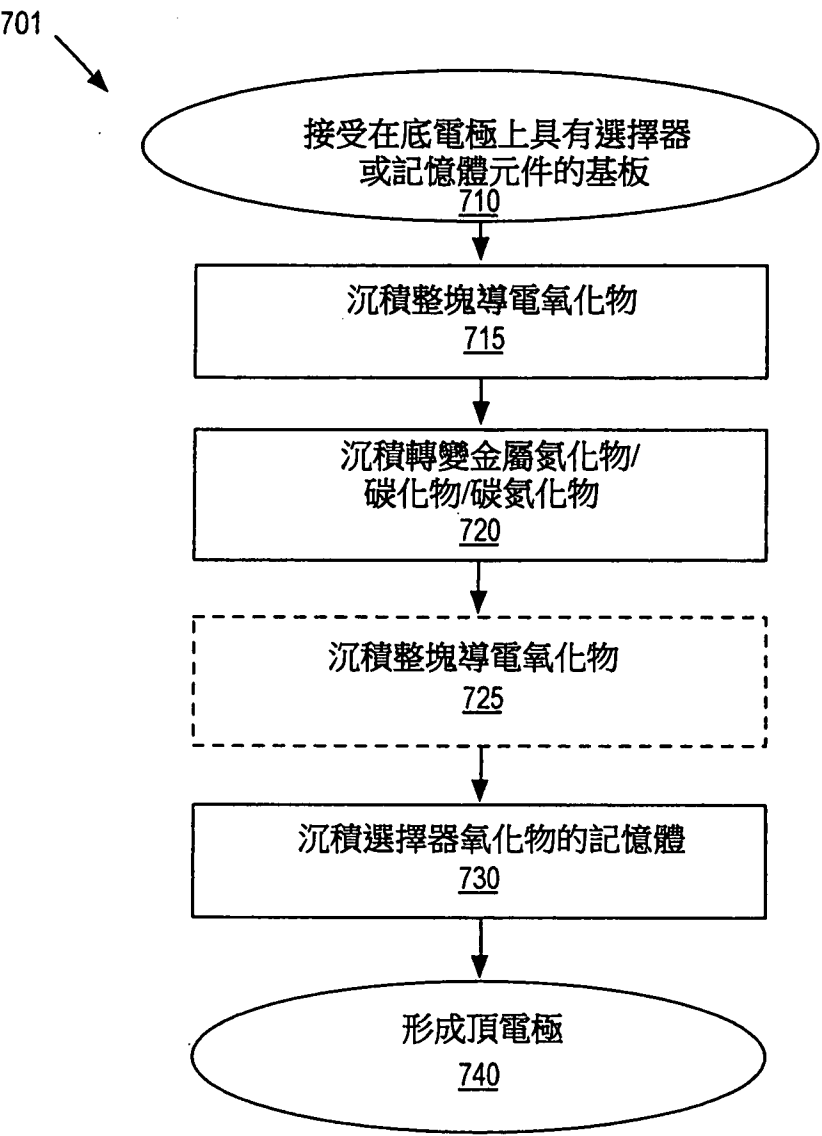


圖 7

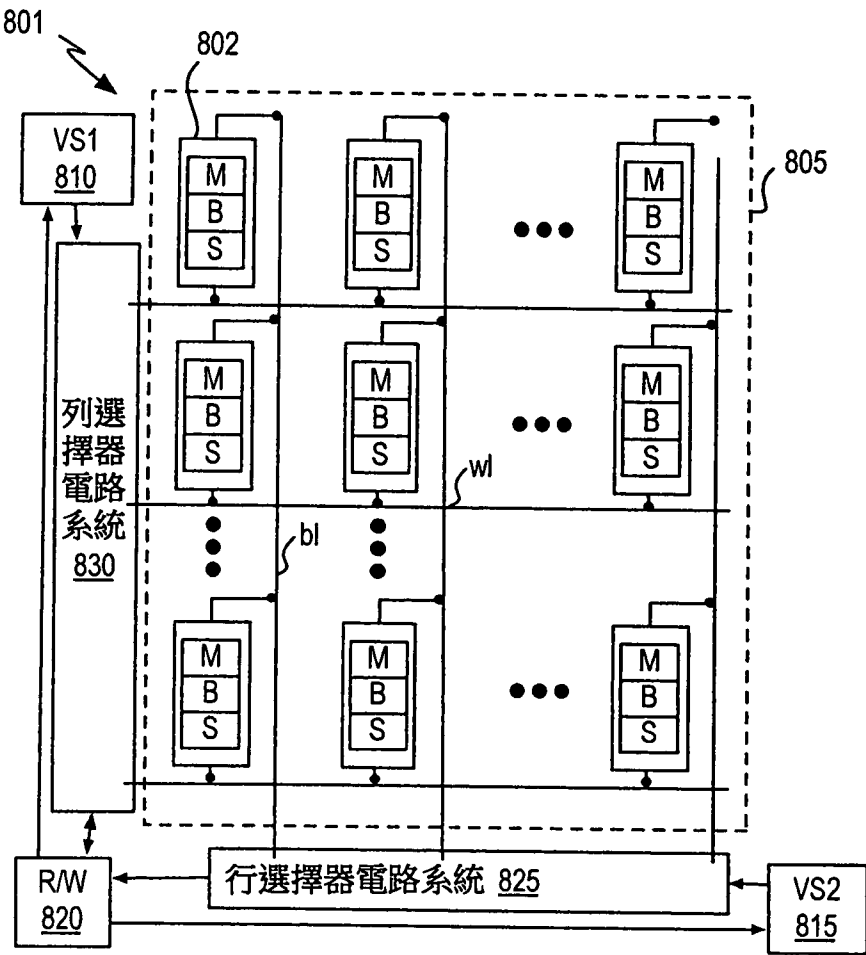


圖 8

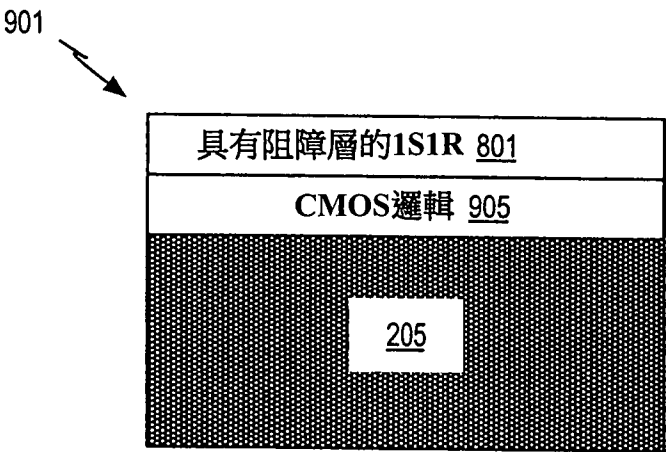


圖 9

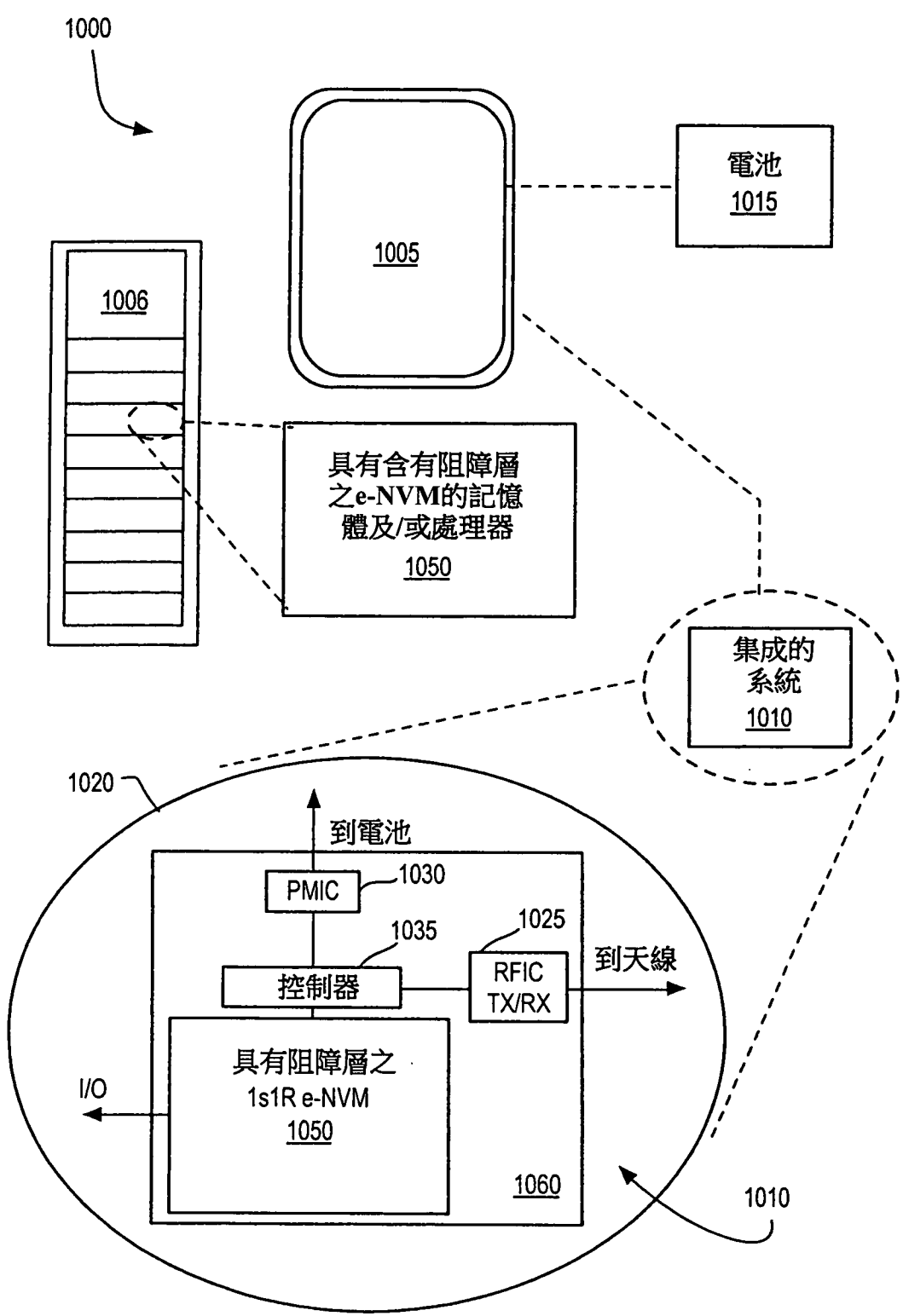


圖 10

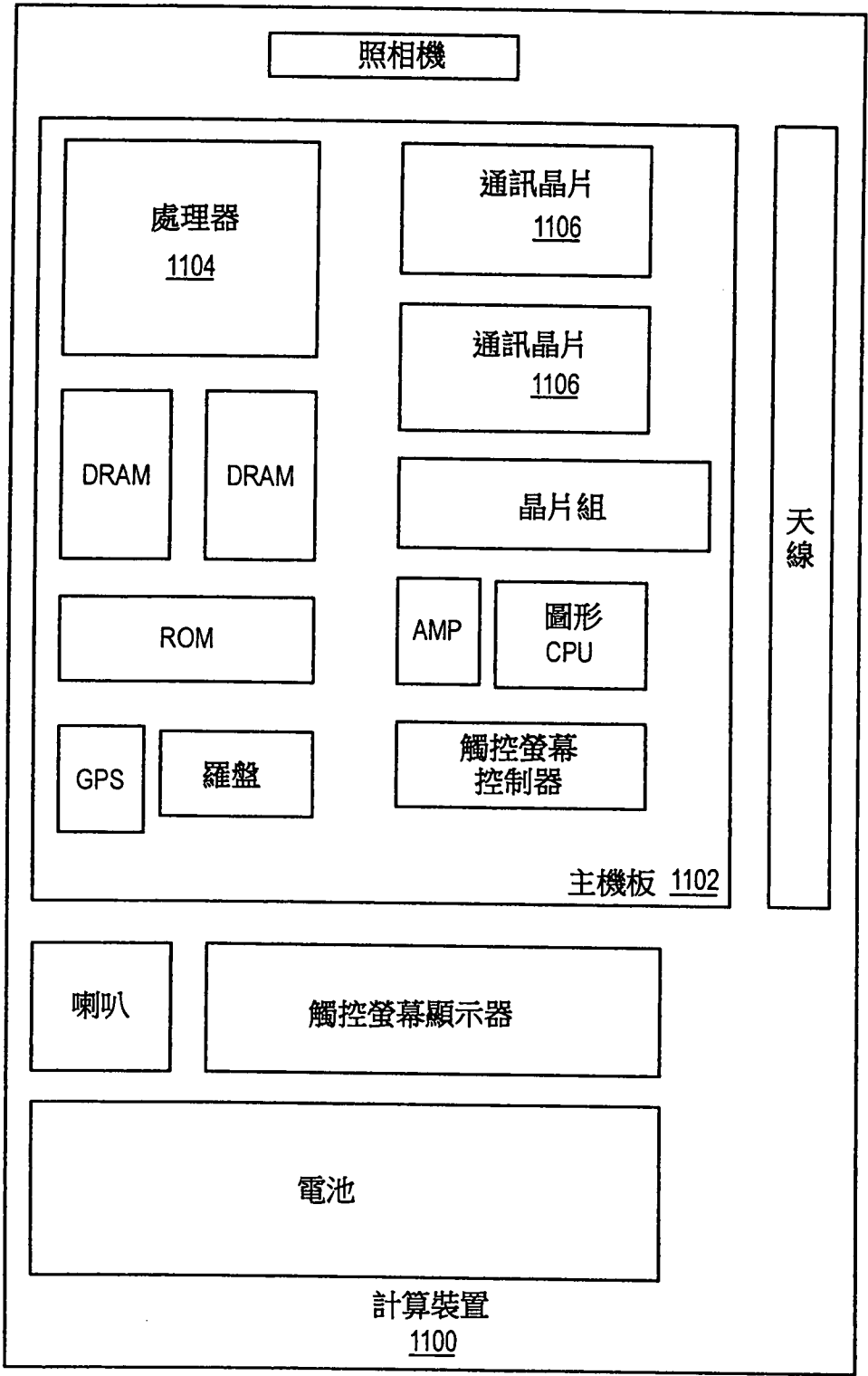


圖 11