



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU

## K AUTORSKÉMU OSVĚDČENÍ

208017  
(11) (B1)

(22) Přihlášeno 29 06 79  
(21) (PV 4589-79)

(40) Zveřejněno 28 11 80

(45) Vydáno 01 10 82

(51) Int. Cl.<sup>3</sup>  
G 11 C 11/24

(75)

Autor vynálezu

OUZKÝ FRANTIŠEK a FLORIÁNEK JIŘÍ, PRAHA

### (54) Zapojení nedestruktivního paměťového obvodu analogového signálu

Předmětem vynálezu je zapojení nedestruktivního paměťového obvodu analogového signálu s nastavitelnou časovou konstantou.

V regulační technice je poměrně často zapotřebí zaznamenat a dlouhodobě uchovat velikost analogového signálu. K tomuto účelu se všeobecně používají integrátory s operačními zesilovači s velkým vstupním odporem. Nevýhodou integrátorů je, že při ztrátě napájecího napětí dochází rovněž ke ztrátě informace zaznamenané do integračního kondenzátoru. Tato okolnost je na závadu hlavně v technologických regulátorech. Regulátory je nutno po ztrátě napájecího napětí znovu nastavit.

Tyto nedostatky v převážné míře odstraňuje zapojení nedestruktivního paměťového obvodu analogového signálu, sestávající z odporů, kondenzátorů, relé, operačního zesilovače, impedančního převodníku, invertoru a hladinového členu. Jeho podstata spočívá v tom, že vstupní svorka zapojení je spojena jednak přes integrační odpor s pracovním kontaktem prvního přepínacího kontaktu relé a jednak se vstupem hladinového členu. Výstup hladinového členu je spojen s cívkou relé, jejíž druhý vývod je spojen s nulovým potenciálem. S nulovým potenciálem je rovněž spojen jeden vývod paměťového kondenzátoru, jeho druhý vývod je spojen s pracovním kontaktem druhého

přepínacího kontaktu relé a se vstupem impedančního převodníku. Výstup impedančního převodníku je spojen se vstupem invertoru. Výstup invertoru je spojen jednak se vstupní svorkou zapojení a jednak s jedním vývodem vstupního odporu. Druhý vývod vstupního odporu je spojen jednak přes klidový kontakt prvního přepínacího kontaktu relé s invertujícím vstupem operačního zesilovače, jednak s prvním vývodem integračního kondenzátoru a jednak se zpětnovazebním odporem. Druhý vývod zpětnovazebního odporu je spojen přes klidový kontakt druhého přepínacího kontaktu relé a druhým vývodem integračního kondenzátoru a s výstupem operačního zesilovače. Neinvertující vstup operačního zesilovače je spojen s nulovým potenciálem.

Výhodou tohoto zapojení je, že v případě ztráty napájecího napětí nedochází k destrukci zaznamenané hodnoty signálu. Mimo to je možná prakticky libovolná doba integrace. Přechází-li paměťový obvod ze stavu záznamu hodnoty signálu do stavu paměti a naopak, nedochází ke skokové změně výstupního signálu.

Příklad uspořádání podle vynálezu je znázorněn na výkresu. Jednotlivé bloky je možno charakterizovat takto: Hladinový člen 11 je vytvořen jako operační zesilovač s výkonným koncovým stupněm a se zpětnou vazbou upravenou tak, že při nulovém

vstupním signálu je na výstupu hladinového členu 11 rovněž nulový signál. Při kladném signálu na vstupu hladinového členu 11 je na jeho výstup rovněž kladný signál a při záporném signálu na vstupu hladinového členu 11 je na jeho výstupu záporný signál. Hladinový člen 11 může být upraven nejen jako třístavový zesilovač, ale také jako dvoustavový zesilovač, který při nulovém vstupním signálu dává nulový výstupní signál a při kladném nebo záporném vstupním signálu dává výstupní signál vždy jen jedné polaridy. Toto řešení je však obvodově složitější. Vybuzení signálu nastane vždy až po přivedení vstupního signálu určité hodnoty. Impedanční převodník 9 – je vytvořen jako sledovač s tranzistorem MOS-FET nebo v dokonalejší podobě operační zesilovač s těmito tranzistory na vstupu a zapojený jako sledovač. Slouží k oddělení napětového signálu v paměťovém kondenzátoru 8 od ostatních obvodů tak, aby nedocházelo k vybití paměťového kondenzátoru 8 při ztrátě napájecího napětí. Invertor 10 – je operační zesilovač s jednotkovým zesílením a slouží k inverzi polaridy signálu z impedančního převodníku.

Zapojení je provedeno následujícím způsobem. Vstupní svorka 1 zapojení je spojena jednak přes integrační odpor 2 s pracovním kontaktem prvního přepínacího kontaktu 3a relé 3 a jednak se vstupem hladinového členu 11. Výstup hladinového členu 11 je spojen přes cívkou relé 3 s nulovým potenciálem. S nulovým potenciálem je spojen rovněž jeden vývod paměťového kondenzátoru 8, jehož druhý vývod je spojen s pracovním kontaktem druhého přepínacího kontaktu 3b relé 3 a se vstupem impedančního převodníku 9. Výstup impedančního převodníku 9 je spojen se vstupem invertoru 10, jehož výstup je spojen s výstupní svorkou 12 zapojení a jednak s jedním vývodem vstupního odporu 4. Druhý vývod vstupního odporu 4 je spojen jednak přes klidový kontakt prvního přepínacího kontaktu 3a relé 3 s invertujícím vstupem operačního zesilovače 7, jednak s prvním vývodem integračního kondenzátoru 6 a jednak s jedním vývodem zpětnovazebního odporu 5. Druhý vývod zpětnovazebního odporu 5 je spojen přes klidový kontakt druhého přepínacího kontaktu 3b relé 3 s druhým vývodem integračního kondenzátoru 6 a s výstupem operačního zesilovače 7. Neinvertující vstup operačního zesilovače 7 je spojen s nulovým potenciálem. Vstupní signál se

přivádí na vstupní svorku 1 zapojení. Je-li jeho úroveň větší než zvolená mez, hladinový člen 11 se otevře a první přepínací kontakt 3a relé 3 i jeho druhý přepínací kontakt 3b se přestaví do sepnuté polohy. Vstupní signál potom prochází přes seriovou kombinaci integračního odporu 2 a prvního přepínacího kontaktu 3a relé 3 na invertující vstup operačního zesilovače 7. Operační zesilovač 7 začne integrovat. Časová konstanta integrace je dána kapacitou integračního kondenzátoru 6 a hodnotou integračního odporu 2. Přes druhý přepínací kontakt 3b relé 3 se připojí na výstup operačního zesilovače 7 paměťový kondenzátor 8. Napětí na paměťovém kondenzátoru 8 sleduje integrované napětí na výstupu operačního zesilovače 7. Signál z paměťového kondenzátoru 8 se snímá oddělujícím impedančním převodníkem 2 a vede se do invertoru 10. Invertor 10 změní polaritu signálu a současně oddělí výkonově signál od impedančního převodníku 9. Z výstupu invertoru 10 se signál vede na výstupní svorku 12 zapojení. Poklesne-li vstupní signál na vstupní svorce 1 zapojení na nulu nebo na nastavenou mez, potom bude na výstupu hladinového členu 11 nulové napětí a relé 3 odpadne. Obvod přejde do stavu paměti. Paměťový kondenzátor 8 se odpojí od výstupu operačního zesilovače 7. Protože paměťový kondenzátor 8 je spojen jenom se vstupem impedančního převodníku 9, nedochází k vybití paměťového kondenzátoru 8 ani při ztrátě napájecího napětí. Na vstupu impedančního převodníku 9 je zapojen sledovač s tranzistorem typu MOS-FET, který není na výkresu znázorněn a který má velký vstupní odpor i když impedanční převodník 9 není napájen. Místo něho se přes druhý přepínací kontakt 3b relé 3 připojí do zpětné vazby operačního zesilovače 7 zpětnovazební odpor 5. Výstupní svorka 12 zapojení se připojí přes vstupní odpor 4 a přes první přepínací kontakt 3a relé 3 na invertující vstup operačního zesilovače 7. Vstupním odporem 4 a zpětnovazebním odporem 5 se nastaví jednotkové zesílení. Tímto způsobem se udržuje stejné napětí na výstupní svorce 12 zapojení a na výstupu operačního zesilovače 7, takže při zpětném přepnutí relé 3 nenastane žádná skoková změna napětí mezi výstupem operačního zesilovače 7 a mezi paměťovým kondenzátorem 8.

Vynálezu se využije v technologických regulátorech válcovacích tratí.

## PŘEDMĚT VYNÁLEZU

Zapojení nedestruktivního paměťového obvodu analogového signálu s nastavitelnou časovou konstantou sestávající z odporů, relé, kondenzátorů, operačního zesilovače, impedančního převodníku, invertoru a hladinového členu, vyznačující se tím, že vstupní svorka (1) zapojení je spojena jednak přes integrační odpor (2) s pracovním kontaktem prvního přepínacího kontaktu (3a) relé (3) a jednak vstupem hladinového členu (11), jehož výstup

je spojen přes cívkou relé (3) s nulovým potenciálem, se kterým je rovněž spojen jeden vývod paměťového kondenzátoru (8), jehož druhý vývod je spojen jednak s pracovním kontaktem druhého přepínacího kontaktu (3b) relé (3) a jednak je spojen se vstupem impedančního převodníku (9), jehož výstup je spojen se vstupem invertoru (10), jehož výstup je spojen jednak s výstupní svorkou (12) zapojení a jednak je spojen s jedním vývodem

vstupního odporu (4), jehož druhý vývod je spojen přes klidový kontakt prvního přepínacího kontaktu (3a) relé (3) s invertujícím vstupem operačního zesilovače (7), jednak s prvním vývodem integračního kondenzátoru (6) a jednak s jedním vývodem zpětnovazebního odporu (5), jehož druhý vývod je

spojen přes klidový kontakt druhého přepínacího kontaktu (3b) relé (3) s druhým vývodem integračního kondenzátoru (6) a s výstupem operačního zesilovače (7), jehož neinvertující vstup je spojen s nulovým potenciálem.

1 výkres

