

A1

**DEMANDE  
DE BREVET D'INVENTION**

⑫

**N° 80 25854**

---

⑤④ Circuit de mesure de résistance.

⑤① Classification internationale (int. Cl. 3). G 01 R 27/02, 13/02.

②② Date de dépôt..... 5 décembre 1980.

③③ ③② ③① Priorité revendiquée :

④① Date de la mise à la disposition du  
public de la demande..... B.O.P.I. — « Listes » n° 23 du 11-6-1982.

---

⑦① Déposant : SAFT - SOCIETE DES ACCUMULATEURS FIXES ET DE TRACTION, Société  
Anonyme, résidant en France.

⑦② Invention de : Pierre Belot.

⑦③ Titulaire : *Idem* ⑦①

⑦④ Mandataire : Jacques Beylot, SOSPI,  
14-16, rue de la Baume, 75008 Paris.

Circuit de mesure de résistance

La présente invention concerne un circuit de mesure de résistances électriques, notamment celles de capteurs résistifs. Plus particulièrement le résultat de la mesure effectuée par ce circuit doit  
5 être mis sous forme numérique pour permettre de traiter numériquement l'information recueillie.

On peut pour faire de telles mesures faire appel à un convertisseur analogique-numérique comportant un processeur logique ou associé à celui-ci. L'emploi des convertisseurs du commerce, par exemple  
10 du type TL 505 C de la Société Texas Instrument ou encore A 9708 de la Société Fairchild serait envisageable. Mais il nécessiterait un certain nombre de dispositifs auxiliaires tels que : pont de résistance, référence de tension, etc....

L'invention a pour but de réduire le nombre de composants  
15 du circuit de manière à le simplifier et à diminuer le coût de l'ensemble.

Elle a pour objet un circuit de mesure de résistance comportant :

- une résistance de référence connectée en série avec la résistance à mesurer aux bornes d'une source de tension de polarisation l'une  
20 desdites bornes étant reliée à la masse, et
- un convertisseur analogique-numérique simple rampe comportant un condensateur shunté par un interrupteur commandé et connecté entre la masse et une source à courant constant, elle-même raccordée à la source de tension de polarisation, un comparateur analogique  
25 comportant une sortie et deux entrées à haute impédance, l'une connectée entre le condensateur et la source à courant constant, l'autre constituant l'entrée du convertisseur analogique-numérique, une horloge et un processeur logique assurant le déroulement des cycles de conversion analogique-numérique et commandant à chaque conversion  
30 analogique-numérique la fermeture de l'interrupteur commandé pour décharger le condensateur puis, simultanément, l'ouverture de ce même interrupteur commandé pour charger le condensateur à courant constant et le comptage des impulsions d'horloge, et enfin la mémorisation du nombre atteint au basculement du comparateur analogique ;

35 ledit circuit de mesure comportant en outre :

- un atténuateur de tension connecté à l'entrée du convertisseur analogique-numérique et
- un multiplexeur à deux entrées et une sortie, connecté, en entrée

d'une part au point de connexion de la résistance à mesurer et de la résistance de référence, et d'autre part à la source de tension de polarisation, et, en sortie à l'entrée de l'atténuateur, ledit multiplexeur étant commandé pendant chaque conversion analogique-numérique pour connecter l'entrée de l'atténuateur successivement au point de connexion des résistances à mesurer et de référence puis à la source de tension de polarisation, le passage de l'un à l'autre s'effectuant au premier basculement du comparateur analogique qui repasse alors à son état initial pour basculer une deuxième fois ultérieurement, ledit circuit de mesure étant en outre caractérisé en ce que le processeur logique du convertisseur analogique-numérique est équipé pour mémoriser successivement au cours de chaque conversion analogique-numérique le nombre d'impulsions d'horloge comptées depuis l'ouverture de l'interrupteur commandé jusqu'au premier basculement du comparateur analogique et le nombre d'impulsions d'horloge comptées depuis l'ouverture de l'interrupteur commandé jusqu'au deuxième basculement du comparateur analogique et pour calculer le rapport du premier nombre par le second, ce rapport étant représentatif de la valeur de la résistance à mesurer en fonction de celle de la résistance de référence.

Le processeur logique procède par comptage du nombre d'impulsions de l'horloge apparaissant pendant la durée nécessaire à la capacité chargée à courant constant pour atteindre la valeur de la tension aux bornes de la résistance à mesurer. Il est programmé pour effectuer une mesure de résistance au cours d'un cycle de conversion analogique-numérique. En dehors des cycles de conversion analogique-numérique il adresse le multiplexeur de manière à appliquer sur l'atténuateur la tension développée au point de liaison des résistances à mesurer et de référence et il commande le court-circuitage de la capacité. Au cours d'un cycle de conversion analogique-numérique il commence par arrêter le court-circuitage de la capacité et à compter les impulsions d'horloge apparaissant au cours de la charge à courant constant de la capacité. Il mémorise une première fois le compte obtenu lorsque la tension aux bornes de la capacité atteint la valeur de celle du point de liaison des résistances à mesurer et de référence divisée par le rapport de réduction de l'atténuateur et, simultanément, il change l'adressage du multiplexeur tout en poursuivant le comptage. Il mémorise une deuxième fois le compte

obtenu lorsque la tension aux bornes de la capacité atteint la valeur de celle de la source de polarisation divisée par le rapport de réduction de l'atténuateur et il divise enfin le premier compte mémorisé par le second pour obtenir un rapport représentatif de la valeur de la résistance à mesurer en fonction de celle de la résistance de référence.

D'autres caractéristiques et avantages de l'invention ressortiront des revendications jointes et de la description ci-après d'un exemple de réalisation. Cette description sera faite en regard du dessin dans lequel :

- la figure 1 est un schéma électrique d'un circuit de mesure de résistance conforme à l'invention
- et la figure 2 est un diagramme de courbes explicitant le fonctionnement du circuit représenté à la figure précédente.

Dans le circuit représenté à la figure 1 la résistance à mesurer 1 a une extrémité connectée directement à la masse et l'autre, par l'intermédiaire d'une résistance de référence 2, à la borne +V d'une source de tension de polarisation. Un amplificateur opérationnel 3 monté en séparateur à gain unité est connecté en entrée au point de liaison des résistances à mesurer 1 et de référence 2. Un multiplexeur 4 à deux entrées relie un atténuateur de tension soit à la sortie de l'amplificateur opérationnel 3, soit à la borne +V de la source de tension de polarisation. Cet atténuateur de tension est formé des résistances 5 et 6 connectées en série entre la masse et la sortie du multiplexeur 4. Un condensateur 7 shunté par un interrupteur commandé 8 est connecté entre la masse et le collecteur d'un transistor 9 de type PNP monté en source de courant avec son émetteur relié à la borne +V de la source de tension de polarisation au moyen d'une résistance 10 et sa base reliée à la masse par une résistance 11 et à la borne +V de la source de tension de polarisation par une diode Zener 12. Un comparateur analogique 13 à deux entrées à haute impédance est connecté par son entrée inverseuse à la sortie de l'atténuateur de tension au point de connexion des résistances 5 et 6, et par son entrée non inverseuse au collecteur du transistor 9. Un processeur logique 14 commande l'adressage du multiplexeur 4 et la manoeuvre de l'interrupteur commandé 8 sous le contrôle d'une

horloge 15 et du comparateur analogique 13. Il délivre sur une sortie parallèle de données 16 un nombre binaire représentatif de la valeur de la résistance à mesurer 1 en fonction de la valeur de la résistance de référence 2.

5 Le condensateur 7 constitue avec l'interrupteur commandé 8, avec la source de courant formée du transistor 9, des résistances 10, 11 et de la diode Zener 12, et avec le comparateur analogique 13, la partie analogique d'un convertisseur analogique-numérique simple rampe. L'interrupteur 8 permet de décharger le condensateur 7 entre  
10 les cycles de conversion analogique-numérique. Le transistor 9 permet la charge à courant constant du condensateur 7 lorsque l'interrupteur commandé 8 est ouvert. Le comparateur analogique 13 permet de détecter l'instant de coïncidence entre la tension de charge du condensateur 7 et la tension développée au point de connexion des résistances 5  
15 et 6 de l'atténuateur.

Le transistor 9 cesse de fonctionner en source de courant et a tendance à se bloquer lorsque la tension de charge du condensateur 7 se rapproche de la tension +V de la source de tension de polarisation diminuée de la tension de la diode Zener 12. L'atté-  
20 nuateur formé des résistances 5 et 6 permet de maintenir la tension à convertir dans la plage où le condensateur 7 est effectivement chargé à courant constant.

Le processeur logique 14, réalisé par exemple à l'aide d'un microprocesseur et de ses interfaces, gère les cycles de conversion  
25 analogique-numérique. Il est programmé pour :

- en dehors des cycles de conversion analogique-numérique, rendre l'interrupteur commandé 8 passant afin de maintenir le condensateur déchargé et adresser le multiplexeur 4 de manière à appliquer sur l'atténuateur la tension  $V_e$  développée au point de liaison des  
30 résistances 1 de mesure et 2 de référence

- et successivement, au cours d'un cycle de conversion analogique-numérique,

35 . bloquer l'interrupteur commandé 8 de manière à débiter la charge à courant constant du condensateur 7 et, simultanément, entamer le comptage des impulsions d'horloge,

- 5 . mémoriser une première fois le compte obtenu au basculement du comparateur analogique 13 indiquant que la tension développée aux bornes du condensateur 7 chargé à courant constant passe par la valeur de la tension  $V_e$  divisée par le rapport de réduction de l'atténuateur et, simultanément, adresser le multiplexeur 4 de manière à appliquer sur l'atténuateur la tension  $+V$  de la source de polarisation, ce changement d'adresse provoquant le retour à l'état initial du comparateur analogique 13,
- 10 . mémoriser une deuxième fois le compte obtenu au deuxième basculement du comparateur analogique 13 indiquant que la tension développée aux bornes du condensateur 7 chargé à courant constant passe par la valeur de la tension  $+V$  de la source de polarisation divisée par le rapport de réduction de l'atténuateur,
- 15 . diviser le premier compte obtenu par le second pour obtenir un rapport représentatif de la valeur de la résistance à mesurer en fonction de celle de la résistance de référence.
- et délivrer ledit rapport sous forme numérique sur sa sortie 16.
- 20 Soit  $R$  la valeur de la résistance 1 à mesurer et  $R'$  celle de la résistance 2 de référence. La tension  $V_e$  développée au point de connexion des résistances 1 à mesurer et 2 de référence s'exprime en fonction de la tension  $+V$  de la source de polarisation par la relation :

$$25 \quad V_e = \frac{R}{R + R'} V$$

- Le premier compte mémorisé  $N$  correspond à la durée  $NT$ ,  $T$  étant la période de l'horloge, nécessaire au condensateur 7 de capacité  $C$ , initialement déchargé, pour atteindre, par une charge à courant constant d'intensité  $I$ , la tension  $V_e$  divisée par le rapport de réduction  $q$  de l'atténuateur ce qui peut s'écrire :

$$NT = \frac{c}{I} \frac{V_e}{q}$$

De même, le deuxième compte mémorisé D correspond à la durée DT nécessaire au condensateur 7 de capacité C, initialement déchargé, pour atteindre, par une charge à courant constant d'intensité I, la tension +V de la source de polarisation divisée par le rapport  
5 de réduction  $\alpha$  de l'atténuateur :

$$DT = \frac{C}{I} \frac{V}{\alpha}$$

Le rapport N/D calculé par le processeur logique est donc égal à :

$$\frac{N}{D} = \frac{V_e}{V} \frac{R}{R + R'}$$

10 La valeur R de la résistance à mesurer s'en déduit alors facilement par la relation :

$$R = \frac{N}{D} \left( \frac{1}{1 - \frac{N}{D}} \right) R'$$

La figure 2 est un diagramme de courbes tracées en fonction du temps illustrant les signaux disponibles en divers points du  
15 circuit de la figure 1 avant, pendant et après un cycle de conversion analogique-numérique.

La courbe A représente le signal logique de commande de l'interrupteur commandé 8. Il correspond à une commande de fermeture lorsqu'il est à l'état haut et à une commande d'ouverture lorsqu'il est à  
20 l'état bas. Il bascule de l'état haut à l'état bas à l'instant  $t_0$  correspondant au début d'un cycle de mesure et revient à l'état haut à l'instant  $t_3$  correspondant à la fin d'un cycle de mesure.

La courbe B représente la tension aux bornes du condensateur 7. Celle-ci est nulle en dehors de l'intervalle de temps  $t_0$   $t_3$  car  
25 l'interrupteur commandé 8 est conducteur. Elle augmente de façon linéaire dès l'ouverture de l'interrupteur commandé jusqu'à une tension proche de celle +V de la source de polarisation diminuée de la tension développée aux bornes de la diode Zener 12. Le niveau +V/2 est représenté par rapport à cette courbe B par une ligne pointillée C  
30 et le niveau  $V_e/\alpha$  par une ligne pointillée D. Le rapport de réduction  $\alpha$  de l'atténuateur est choisi de manière que le niveau +V/ $\alpha$  soit

dans le domaine de variation linéaire de la tension aux bornes du condensateur 7. Il est pris par exemple égal à un demi. L'instant où la tension développée aux bornes du condensateur 7 prend la valeur  $V_e/\alpha$  est repéré par  $t_1$  et celui où elle prend la valeur  $V/\alpha$  par  $t_2$ .

La courbe E représente le signal logique d'adressage du multiplexeur 4. Lorsque ce signal est à l'état bas le multiplexeur 4 relie sa sortie avec le point de liaison des résistances à mesurer 1 et de référence 2 et lorsqu'il est à l'état haut le multiplexeur 4 relie sa sortie avec la borne +V de la source de tension de polarisation. Il passe de l'état bas à l'état haut à l'instant  $t_1$  où la tension aux bornes du condensateur 7 atteint la valeur  $V_e/\alpha$  et revient à l'état bas à l'instant  $t_3$  marquant la fin d'un cycle de mesure.

La courbe F représente le signal de sortie du comparateur analogique 13. Ce signal binaire est à l'état bas en dehors de l'intervalle  $t_0$   $t_3$  d'un cycle de mesure car l'entrée non inverseuse du comparateur analogique 13 reliée au condensateur 7 est mise à la masse par l'intermédiaire de l'interrupteur commandé 8 qui est alors conducteur. Il reste à l'état bas, au début d'un cycle de mesure dans l'intervalle de temps  $t_0$ ,  $t_1$  tant que la tension développée aux bornes du condensateur 7 est inférieure à celle  $V_e/\alpha$  délivrée par l'atténuateur. Il passe à l'état haut à l'instant  $t_1$  où la tension aux bornes du condensateur 7 parvient à la valeur  $V_e/\alpha$  puis repasse à l'état bas peu de temps après en raison du changement d'adresse du multiplexeur qui commute l'entrée de l'atténuateur sur la tension +V de la source de polarisation. Il reste à l'état bas pendant l'intervalle de temps  $t_1 + \epsilon$ ,  $t_2$  tant que la tension développée aux bornes du condensateur 7 n'atteint pas la valeur  $V/\alpha$  et passe enfin à l'état haut à l'instant  $t_2$  pour le rester jusqu'à la fin d'un cycle de mesure.

En dehors de l'intervalle de temps  $t_0$ ,  $t_1$  le processeur logique 14 maintient l'interrupteur commandé 8 fermé et adresse le multiplexeur 4 de manière à connecter l'atténuateur à la sortie de l'amplificateur opérationnel 3.

A l'instant  $t_0$  où commence un cycle de mesure, le processeur logique 14 ouvre l'interrupteur commandé 8 et commence à compter les impulsions du circuit d'horloge 15.

Le comptage continue jusqu'à l'instant  $t_1$  où le comparateur analogique 13 bascule indiquant au processeur logique 14 que la tension développée aux bornes du condensateur 7 a atteint la valeur  $V_e/\alpha$ . Le processeur logique 14 mémorise l'état de comptage N et change l'adressage du multiplexeur 4. Le comparateur analogique 13 reçoit alors sur son entrée inverseuse une tension  $V/\alpha$  supérieure à celle  $V_e/\alpha$  appliquée sur son entrée non inverseuse par le condensateur 7 et revient à son état initial.

Le processeur logique 14 continue à compter les impulsions du circuit d'horloge 15 jusqu'à l'instant  $t_2$  où le comparateur bascule à nouveau, la tension développée aux bornes du condensateur 7 ayant atteint la valeur  $V/\alpha$ . Le processeur logique 14 arrête le comptage et mémorise l'état de comptage D atteint.

Au cours de l'intervalle de temps  $t_2$   $t_3$  le processeur logique 14 effectue la division du nombre N par le nombre D et délivre le résultat sur sa sortie parallèle de données 16.

A l'instant  $t_3$  le processeur logique 14 remet le système dans ses conditions initiales. Il ferme l'interrupteur commandé 8, change l'adressage du multiplex 4 et remet son compteur à zéro.

Le processeur logique 14 peut être trop lent pour effectuer, au temps  $t_1$ , entre deux impulsions d'horloge, la mémorisation du compte N et le changement d'adresse du multiplexeur 4 de sorte qu'il peut laisser passer une ou plusieurs impulsions d'horloge avant de redémarrer le comptage. Pour corriger cette erreur il suffit de repérer le nombre d'impulsions d'horloge qui échappent au comptage et de l'ajouter forfaitairement au compte D avant sa mémorisation.

Les cycles de mesure peuvent être séparés par des intervalles de temps plus ou moins long où le processeur logique 14 est affecté à d'autres tâches telles que par exemple le traitement des informations tirées des mesures de résistances lorsque ces dernières sont celles de capteurs résistifs.

On peut, sans sortir du cadre de la présente invention, modifier certaines dispositions ou remplacer certains moyens par des moyens équivalents.

## REVENDEICATIONS

1/ Circuit de mesure de résistance comportant :

- une résistance de référence (2) connectée en série avec la résistance à mesurer (1) aux bornes d'une source de tension de polarisation (+V),  
5 l'une desdites bornes étant reliée à la masse, et
- un convertisseur analogique-numérique simple rampe comportant un condensateur (7) shunté par un interrupteur commandé (8) et connecté entre la masse et une source à courant constant elle-même raccordée à la source de tension de polarisation (+V), un comparateur  
10 analogique (13) comportant une sortie et deux entrées à haute impédance, l'une connectée entre le condensateur (7) et la source à courant constant, l'autre constituant l'entrée du convertisseur analogique-numérique, une horloge (15) et un processeur logique (14) assurant le déroulement des cycles de conversion analogique-numérique et  
15 commandant à chaque conversion analogique-numérique la fermeture de l'interrupteur commandé (8) pour décharger le condensateur (7) puis, simultanément, l'ouverture de ce même interrupteur commandé (8) pour charger le condensateur (7) à courant constant et le comptage des impulsions d'horloge (15), et enfin la mémorisation du nombre  
20 atteint au basculement du comparateur analogique ;  
ledit circuit de mesure étant caractérisé en ce qu'il comporte en outre :
- un atténuateur de tension (5, 6) connecté à l'entrée du convertisseur analogique-numérique et
- 25 - un multiplexeur (4) à deux entrées et une sortie, connecté, en entrée d'une part au point de connexion de la résistance à mesurer (1) et de la résistance de référence (2), et d'autre part à la source de tension de polarisation (+V), et, en sortie à l'entrée de l'atténuateur (5, 6), ledit multiplexeur étant commandé pendant chaque  
30 conversion analogique-numérique pour connecter l'entrée de l'atténuateur (5, 6) successivement au point de connexion des résistances à mesurer (1) et de référence (2) puis à la source de tension de polarisation (+V), le passage de l'un à l'autre s'effectuant au premier basculement du comparateur analogique (13) qui repasse  
35 alors à son état initial pour basculer une deuxième fois ultérieurement,

ledit circuit de mesure étant en outre caractérisé en ce que le processeur logique (14) du convertisseur analogique-numérique est équipé pour mémoriser successivement au cours de chaque conversion analogique-numérique le nombre (N) d'impulsions d'horloge (15) 5 comptées depuis l'ouverture de l'interrupteur commandé (8) jusqu'au premier basculement du comparateur analogique (13) et le nombre (D) d'impulsions d'horloge (15) comptées depuis l'ouverture de l'interrupteur commandé (8) jusqu'au deuxième basculement du comparateur analogique (13) et pour calculer le rapport du premier nombre (N) 10 par le second (D), ce rapport étant représentatif de la valeur de la résistance à mesurer (1) en fonction de celle de la résistance de référence (2).

2/ Circuit selon la revendication 1, caractérisé en ce qu'un étage séparateur (3) à grande impédance d'entrée est intercalé entre 15 le point de connexion des résistances à mesurer (1) et de référence (2), et le multiplexeur (4).

1/1  
FIG.1

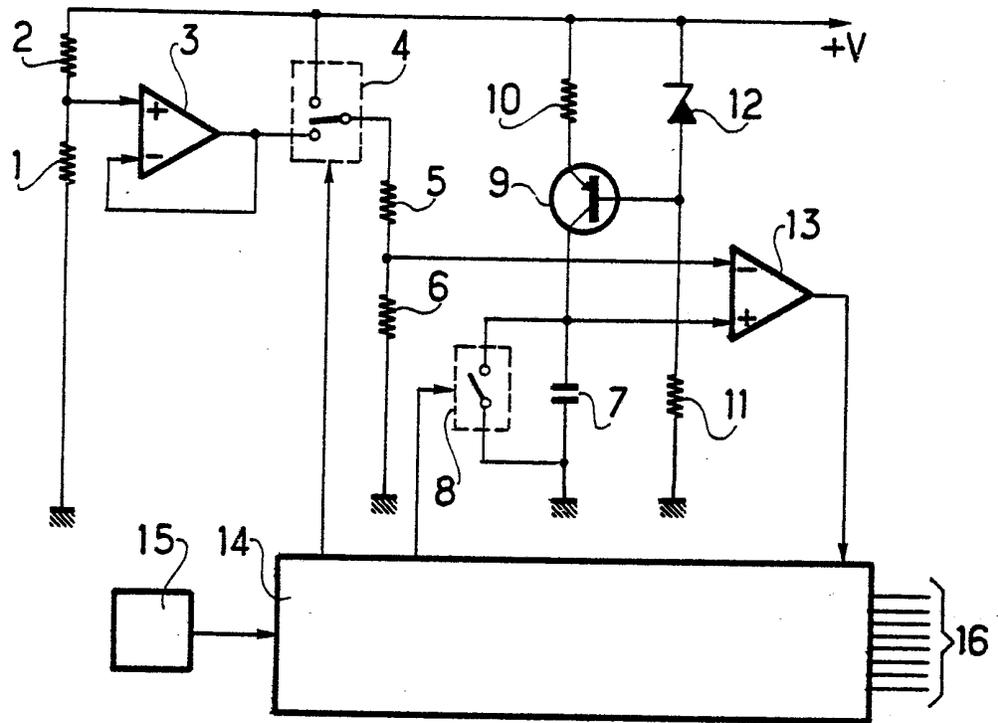


FIG. 2

