

(12) 发明专利

(10) 授权公告号 CN 101652762 B

(45) 授权公告日 2012. 08. 29

(21) 申请号 200880006649. 7

(51) Int. Cl.

(22) 申请日 2008. 09. 08

G06F 12/16 (2006. 01)

(30) 优先权数据

114230/2008 2008. 04. 24 JP

(56) 对比文件

(85) PCT申请进入国家阶段日

2009. 08. 31

US 2007/0075686 A1, 2007. 04. 05,
CN 1536579 A, 2004. 10. 13,
US 006081447 A, 2000. 06. 27,
US 006081447 A, 2000. 06. 27,

(86) PCT申请的申请数据

PCT/JP2008/066507 2008. 09. 08

审查员 陈毅强

(87) PCT申请的公布数据

W02009/130809 EN 2009. 10. 29

(73) 专利权人 株式会社东芝

地址 日本东京都

(72) 发明人 菅野伸一 矢野浩邦 檀田敏克

橘内和也 矢野纯二

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 杨晓光 许向彤

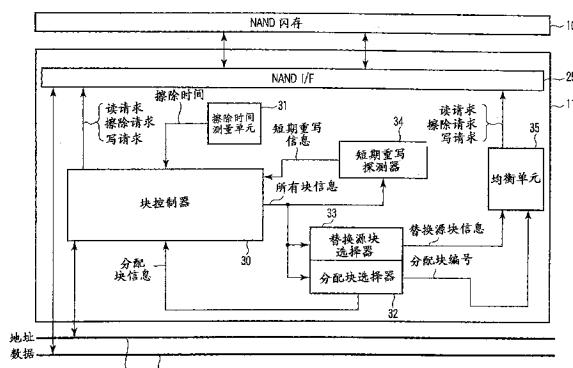
权利要求书 2 页 说明书 19 页 附图 29 页

(54) 发明名称

存储器系统

(57) 摘要

一种存储器系统包括：非易失性存储器，包含多个块作为数据擦除单位；测量单元，用来测量每个块中的数据被擦除时的擦除时间；块控制器，它具有块表，该表将每个块的指示自由状态和使用状态之一的状态值与其所述擦除时间联系起来；探测器，用来探测在短时间内共同地进行了重写的块；第一选择器，基于所述块表中的信息选择具有较早擦除时间的自由块作为第一块；第二选择器，基于所述块表中的信息选择具有较早擦除时间的使用中的块作为第二块；以及均衡单元，用来在所述第一块包含在由所述探测器所探测到的块中时将所述第二块中的数据移动到所述第一块中。



1. 一种存储器系统，包括：
非易失性存储器，包含作为数据擦除单位的多个块；
测量单元，用来测量每个块中的数据被擦除时的擦除时间；
块控制器，它具有块表，该块表将每个块的指示自由状态和使用状态之一的状态值与其所述擦除时间联系起来；
探测器，用来探测在短时间内共同地进行了重写的块；
第一选择器，基于所述块表中的信息选择具有较早擦除时间的自由块作为第一块；
第二选择器，基于所述块表中的信息选择具有较早擦除时间的使用中的块作为第二块；以及
均衡单元，用来在所述第一块包含在由所述探测器所探测到的各个块中时将所述第二块中的数据移动到所述第一块中。
2. 根据权利要求 1 所述的系统，其中，如果所述第二块中的数据被移动到所述第一块中，那么所述第一选择器就重选一个块。
3. 根据权利要求 1 所述的系统，其中，所述块控制器对每个块的擦除次数进行计数，并将擦除次数存储在所述块表中。
4. 根据权利要求 3 所述的系统，其中，如果所述第一块包含在由所述探测器所探测到的各个块中，或者如果所述第一块与所述第二块的擦除树之间的差超过了阈值，那么，所述均衡单元就将所述第二块中的数据移动到所述第一块中。
5. 根据权利要求 1 所述的系统，其中，所述探测器探测一条边界，在该边界处，各块的擦除时间之差超过预定间隔，并探测擦除时间比所述边界更晚的块，作为在短时间内共同地出现重写的块。
6. 根据权利要求 1 所述的系统，其中，所述块表存储着标记，该标记指示一个块中的数据是否被频繁重写。
7. 根据权利要求 1 所述的系统，其中，所述探测器在使用中的各块中计算第三块的擦除时间与第四块的擦除时间之间的差，其中，所述第四块的擦除时间与所述第三块的擦除时间相邻且早于所述第三块的擦除时间，并且如果所述差大于预定间隔，那么就在所有的块中探测擦除时间比所述第四块的擦除时间更晚的块。
8. 根据权利要求 7 所述的系统，其中，所述探测器包括排列单元和判断单元，所述排列单元按擦除时间的顺序来排列使用中的各块的信息，而所述判断单元基于被排列的信息计算所述第三块与所述第四块的擦除时间之差。
9. 根据权利要求 1 所述的系统，其中，所述第一选择器选择具有最早擦除时间的自由块作为所述第一块。
10. 根据权利要求 1 所述的系统，其中，所述第一选择器从具有最早擦除时间的块开始从预定数目的自由块中选择具有最小擦除数的块，作为所述第一块。
11. 根据权利要求 1 所述的系统，其中，所述第一选择器从具有最早擦除时间的块开始从预定比例的自由块中选择具有最小擦除数的块，作为所述第一块。
12. 根据权利要求 1 所述的系统，其中，所述第一选择器从擦除时间早于预定时间的自由块中选择具有最小擦除数的块，作为所述第一块。
13. 根据权利要求 1 所述的系统，其中，所述第二选择器选择具有最早擦除时间的使用

中的块，作为所述第二块。

14. 根据权利要求 1 所述的系统，其中，所述第二选择器从具有最早擦除时间的块开始从预定数目的使用中的块中选择具有最小擦除数的块，作为所述第二块。

15. 根据权利要求 1 所述的系统，其中，所述第二选择器从具有最早擦除时间的块开始从预定比例的使用中的块中选择具有最小擦除数的块，作为所述第二块。

16. 根据权利要求 1 所述的系统，其中，所述第二选择器从擦除时间早于预定时间的使用中的块中选择具有最小擦除数的块，作为所述第二块。

17. 根据权利要求 1 所述的系统，其中，还包括错误检查和校正电路，该错误检查和校正电路计算从所述非易失性存储器中读出的数据的出错数，以及

其中，所述块表存储着每个块的出错数，以及

所述第二选择器从出错数大于预定值的使用中的块中选择具有最小擦除数的块，作为所述第二块。

18. 根据权利要求 1 所述的系统，其中，

所述测量单元包括计数器，用来对在所有块中进行的擦除的次数进行计数，以及所述擦除时间对应着所述计数器中的计数。

19. 根据权利要求 1 所述的系统，其中，

所述测量单元测量每个块中的数据被擦除时的时间，以及所述擦除时间对应着所述时间。

20. 根据权利要求 1 所述的系统，其中，

所述测量单元测量在每个块中的数据被擦除时所述存储器系统的电源提供时间，以及所述擦除时间对应着所述电源提供时间。

存储器系统

技术领域

[0001] 本发明涉及到一种存储器系统，例如，包含NAND闪存的存储器系统。

背景技术

[0002] 近来，非易失性存储器被用在诸如大型计算机、个人电脑、家用电器、手机等各种装置中。具体说，NAND闪存是一种非易失性存储器，它是电可重写的，并且可以具有大容量及高集成密度。此外，最近，有考虑利用NAND闪存来替代硬盘驱动器(HDD)。

[0003] NAND闪存是一种在进行写处理之前需要进行擦除处理的半导体存储器。其工作寿命取决于重写操作的次数。NAND闪存中的数据写入/擦除操作就是通过在基底和控制栅极之间施加高电压向浮棚注入电子或从浮棚释放电子。如果上述操作进行了很多次，那么，浮棚周围的栅氧化物膜就会退化，并且注入浮棚的电子会流失，从而破坏数据。就是说，当重写操作的次数增加时，写入数据后数据的保持时间会变短(保持特性退化)。

[0004] 此外，利用个人电脑等所记录的数据既具有时间局部性(timelocality)，也具有区域局部性(regional locality)(文献1:David A. Patterson and John L. Hennessy，“计算机组织与设计：硬件/软件接口”，Morgan Kaufmann Pub, 2004/8/31)。所以，当记录数据时，如果数据项原样顺序地记录在外部所指定的地址中的话，那么，重写处理(即擦除处理)就在短时间内集中在指定的区域中，因此，擦除处理的次数就变得非常不均衡了。

[0005] 已知NAND闪存的工作寿命也取决于擦除处理之间的间隔，当所述间隔比较大时，所述保持特性就比较好，并且所述工作寿命就比较长(文献2:Neal Mielke等，“编程/擦除循环期间电荷俘获所导致的闪型EEPROM阈值的不稳定性”，IEEE TRANSACTIONS ON DEVICE AND MATERIALS RELIABILITY, Vol. 4, NO. 3, 2004年9月, pp. 335-344)。这也表明，当擦除间隔变短时，所述保持特性变差，并且所述工作寿命变短。

[0006] 此外已知，即使写操作以很短的间隔进行，所述保持特性也会恢复，除非擦除处理进行了相应较长的时间(文献3:Neal Mielke等，“闪存的分布式循环中的恢复效应”，44th Annual International Reliability Physics Symposium, San Jose, 2006, pp. 29-35)。

发明内容

[0007] 根据本发明的一个方面，提供一种存储器系统，该系统包括：非易失性存储器，包含多个块作为数据擦除单位；测量单元，用来测量每个块中的数据被擦除时的擦除时间；块控制器，它具有块表，该表将每个块的指示自由状态和使用状态之一的状态值与其所述擦除时间联系起来；探测器，用来探测在短时间内共同地进行了重写的块；第一选择器，基于所述块表中的信息选择具有较早擦除时间的自由块作为第一块；第二选择器，基于所述块表中的信息选择具有较早擦除时间的使用中的块作为第二块；以及均衡单元，用来在所述第一块包含在由所述探测器所探测到的块中时将所述第二块中的数据移动到所述第一块中。

附图说明

- [0008] 图 1 是一个示意图, 显示了包含根据本发明的第一实施例所述的存储器系统 1 在内的计算机系统的例子;
- [0009] 图 2 是一个示意图, 显示了根据第一实施例所述的存储器系统 1 的配置;
- [0010] 图 3A 是一个电路图, 显示了 NAND 闪存 10 中所包含的块的配置;
- [0011] 图 3B 显示了在四值数据记录系统中所获得的阈值分布的例子;
- [0012] 图 4 是一个方框图, 显示了 NAND 控制器 11 的配置例子;
- [0013] 图 5 是一个方框图, 显示了块控制器 30 和擦除时间测量单元 31 的配置;
- [0014] 图 6 是一个流程图, 显示了由 NAND 控制器 11 所进行的写操作的顺序;
- [0015] 图 7 是一个流程图, 显示了 NAND 控制器 11 所进行的块释放处理;
- [0016] 图 8 是一个方框图, 显示了分配块选择器 32 的配置;
- [0017] 图 9 是一个流程图, 显示了由分配块选择器 32 所进行的分配块选择处理;
- [0018] 图 10 是一个流程图, 显示了由 NAND 控制器 11 所进行的块分配处理;
- [0019] 图 11 是一个流程图, 显示了由 NAND 控制器 11 所进行的块擦除处理;
- [0020] 图 12 是一个方框图, 显示了短期重写探测器 34 的配置;
- [0021] 图 13 是一个流程图, 显示了由短期重写探测器 34 所进行的短期重写探测处理;
- [0022] 图 14 用来说明所述短期重写探测处理的实际例子;
- [0023] 图 15 是一个方框图, 显示了均衡单元 35 的配置;
- [0024] 图 16 是一个流程图, 显示了由 NAND 控制器 11 所进行的均衡处理;
- [0025] 图 17 是一个方框图, 显示了替换源块选择器 33 的配置;
- [0026] 图 18 是一个流程图, 显示了由替换源块选择器 33 所进行的替换源块选择处理;
- [0027] 图 19 是一个方框图, 显示了根据本发明的第二实施例所述的分配块选择器 32 的配置;
- [0028] 图 20 是一个流程图, 显示了由根据第二实施例所述的分配块选择器 32 所进行的分配块选择处理;
- [0029] 图 21 是一个方框图, 显示了根据本发明的第三实施例所述的替换源块选择器 33 的配置;
- [0030] 图 22 是一个流程图, 显示了由根据第三实施例所述的替换源块选择器 33 所进行的替换源块选择处理;
- [0031] 图 23 是一个方框图, 显示了根据本发明的第四实施例所述的短期重写探测器 34 的配置;
- [0032] 图 24 是一个流程图, 显示了由短期重写探测器 34 所进行的短期重写探测处理;
- [0033] 图 25 是一个流程图, 显示了紧接着图 24 的短期重写探测处理;
- [0034] 图 26 用来说明所述短期重写探测处理的实际例子;
- [0035] 图 27 是一个方框图, 显示了根据本发明的第五实施例所述的 NAND 控制器 11 的配置例子;
- [0036] 图 28 是一个方框图, 显示了块控制器 30 的配置;
- [0037] 图 29 是一个流程图, 显示了由 NAND 控制器 11 所进行的读操作;
- [0038] 图 30 是一个流程图, 显示了由替换源块选择器 33 所进行的替换源块选择处理;

- [0039] 图 31 是一个方框图,显示了根据一个实施例所述的 SSD 100 的配置;
- [0040] 图 32 是一个方框图,显示了驱动控制电路 102 的配置;
- [0041] 图 33 是一个方框图,显示了处理器 107 的配置;
- [0042] 图 34 是一个透视图,显示了装有所述 SSD 100 的便携式电脑 200 的一个例子;
- [0043] 图 35 是一个方框图,显示了使用 SSD 100 的便携式电脑 200 的系统配置的例子。

具体实施方式

[0044] 下面将参考附图来说明本发明的实施例。注意,在下面的说明中,相同的参考数字指示功能和配置相同的元件,只在必须的时候才进行重复性说明。

- [0045] [第一实施例]

[0046] 本实施例所述的存储器系统安装在印刷电路板上,在该印刷电路板上安装有主机装置,所述存储器系统通过总线与所述主机装置交换数据。或者,本实施例所述的存储器系统设计为安装在主机装置上,可以分离。所述存储器系统与所述主机装置相连,并通过总线与所述主机装置交换数据。图 1 是一个示意图,显示了包含本实施例所述的存储器系统 1 的计算机系统的例子。

[0047] 所述计算机系统包括中央处理单元 (CPU) 2、主存储器 3(诸如动态随机存取存储器 DRAM)、用来控制主存储器 3 的存储器控制器 4、本实施例所述的存储器系统 1。CPU 2、主存储器 3 和存储器系统 1 通过用来处理地址的地址总线 5 和用来处理数据的数据总线 6 彼此相连。

[0048] 在所述计算机系统中,如果来自 CPU 2 的传输请求(读请求或写请求)为写请求,那么,CPU 2 中的数据(包括外部输入的数据)或主存储器 3 中的数据就被传输到存储器系统 1 中。如果来自 CPU 2 的传输请求为读请求,那么,存储器系统 1 中的数据就被传输到 CPU 2 或主存储器 3 中。

[0049] 存储器系统 1 包括作为一种非易失性半导体存储器的 NAND 闪存 10、和用来控制 NAND 闪存 10 的 NAND 控制器 11。下面将说明存储器系统 1 的配置例子。

- [0050] [1. 存储器系统 1 的配置]

[0051] 图 2 是一个示意图,显示了存储器系统 1 的配置。存储器系统 1 包括 NAND 闪存 10 和 NAND 控制器 11。NAND 控制器 11 包括主机接口电路(主机 I/F) 21、微处理单元(MPU) 22、只读存储器(ROM) 23、随机存取存储器(RAM) 24、和 NAND 接口电路(NAND I/F) 25。

[0052] 主机接口电路 21 根据预定协议在 NAND 控制器 11 和主机装置(CPU2、主存储器 3 等)之间进行接口处理。

[0053] MPU 22 控制存储器系统 1 的全面操作。例如,当存储器系统 1 的电源接通时,MPU 22 将 ROM 23 中所存储的固件(控制程序)读到 RAM 24 中,并执行预定的处理,由此在 RAM 24 中形成各种表。MPU 22 也从所述主机装置接收写请求、读请求和擦除请求,并根据这些请求在 NAND 闪存 10 中进行预定的处理。

[0054] ROM 23 存储着例如要由 MPU 22 进行控制的控制程序。RAM 24 用作 MPU 22 的工作区,并存储着从 ROM 23 加载的控制程序和各种表。NAND 接口电路 25 根据预定协议在 NAND 控制器 11 和 NAND 闪存 10 之间进行接口处理。

- [0055] NAND 闪存 10 由多个块排列起来构成,所述块是数据擦除的最小单位。图 3A 是一

个电路图，显示了 NAND 闪存 10 中所包含的块中的排列。每个块包括 $(m+1)$ 个 NAND 串，这些串沿 X 方向顺序排列 (m 为大于等于 0 的整数)。所述 $(m+1)$ 个 NAND 串中每个串所包含的选择晶体管 ST1 其漏极与位线 BL₀ 到 BL_m 中的相应的一条位线相连，而其栅极则与共同的选择栅极线 SGD 相连。所述 $(m+1)$ 个 NAND 串中每个串所包含的选择晶体管 ST2 其源极与共同的源极线 SL 相连，而其栅极则与共同的选择栅极线 SGS 相连。

[0056] 在每个 NAND 串中，在选择晶体管 ST1 的源极和选择晶体管 ST2 的漏极之间排列有 $(n+1)$ 个存储器单元晶体管 MT，使得这些存储器单元晶体管 MT 的电流通路串联起来 (n 为大于等于 0 的整数)。换言之，所述 $(n+1)$ 个存储器单元晶体管 MT 在 Y 方向上串联起来，使得相邻的晶体管具有同一扩散区（源区或漏区）。

[0057] 从最靠近漏区一端的存储器单元晶体管 MT 开始，控制栅电极顺序地与字线 WL₀ 到 WL_n 相连。所以，与字线 WL₀ 相连的存储器单元晶体管 MT 的漏极与选择晶体管 ST1 的源极相连，而与字线 WL_n 相连的存储器单元晶体管 MT 的源极与选择晶体管 ST2 的漏极相连。

[0058] 字线 WL₀ 到 WL_n 在所述块中的 NAND 串之间将存储器单元晶体管 MT 的控制栅电极连在一起。换言之，处于所述块中同一行上的存储器单元晶体管 MT 的控制栅电极与同一字线 WL 相连。与同一字线 WL 相连的 $(m+1)$ 个存储器单元晶体管 MT 构成一个页，数据写入和读出按页来进行。

[0059] 位线 BL₀ 到 BL_m 在各个块之间将选择晶体管 ST1 的漏极连在一起。换言之，多个块中同一列内的 NAND 串与同一位线 BL 相连。

[0060] 每个存储器单元晶体管 MT 是一个金属氧化物半导体场效应晶体管 (MOSFET)，所述 MOSFET 具有在半导体基底上形成的层叠栅结构。所述层叠栅结构通过在所述半导体基底上顺序层叠栅绝缘膜、电荷存储层（浮栅电极）、栅间绝缘膜、和控制栅电极而形成。存储器单元晶体管 MT 随着所述浮栅电极中所存储的电子数而改变其阈值电压，并根据所述阈值电压之间的差异来存储数据。存储器单元晶体管 MT 可以设计成用来存储二进制数据（一位）或多值数据（具有两位或多位的数据）。

[0061] 存储器单元晶体管 MT 的结构不限于所述具有浮栅电极的结构，也可以是诸如金属 - 氧化物 - 氮化物 - 氧化物 - 硅 (MONOS) 结构这样的结构，其中，通过在作为电荷存储层的氮化物膜的界面俘获电子可以调节阈值。具有所述 MONOS 结构的存储器单元晶体管 MT 也可以设计成用来存储一位或多值数据（具有两位或多位的数据）。

[0062] 图 3B 显示了当采用四值数据记录系统 (four-level data recordingsystem) 时所获得的阈值分布的例子，在这种系统中，在一个存储器晶体管 MT 中记录着两位。

[0063] 在所述四值数据记录系统中，由高级页数据 (upper page data) “x” 和低级页数据 (lower page data) “y” 所定义的一个四值数据 “xy” 能够被存储在存储器单元晶体管 MT 中。

[0064] 数据 “11”、“01”、“00”、和 “10”（它们按存储器单元晶体管 MT 的阈值的递增顺序排列）被分配为所述四值数据 “xy”。数据 “11” 表示擦除状态，其中，存储器单元晶体管 MT 的阈值电压为负。

[0065] 在低级页写入操作中，通过在处于数据 “11” 状态（擦除状态）中的存储器单元晶体管 MT 中有选择地写入低位数据 “y” 来写入数据 “10”。

[0066] 高级页写入之前的数据 “10”的阈值分布位于高级页写入之后的数据 “01” 和数据

“00”的阈值分布之间。数据“10”的阈值分布允许比高级页写入之后的数据的阈值分布宽一些。

[0067] 在高级页写入操作中,高位数据“x”被有选择地写入处于数据“11”状态的存储器单元和处于数据“10”状态的存储器单元中。

[0068] 本发明的每个实施例中的每个功能块可以由硬件、软件或硬件和软件的组合来实现。所以,下面每个功能块从其功能的角度来进行说明,以便清楚地显示出所述功能块可以是硬件或软件或两者的组合。所述功能是由硬件还是由软件来实现取决于实际的实施例或整个系统所受到的设计限制。对每个实际的实施例,本领域中的技术人员可以用各种方法来实现这些功能,本发明的范围包括所述实现方法的确定。

[0069] 下面将说明 NAND 控制器 11 的更实用的配置的例子。图 4 是一个方框图,显示了根据本实施例所述的 NAND 控制器 11 的配置例子。

[0070] NAND 控制器 11 包括块控制器 30、擦除时间测量单元 31、分配块选择器 (allocation block selector) 32、替换源块选择器 (replacement-sourceblock selector) 33、短期重写探测器 (short-term rewrite detector) 34、均衡单元 35、和 NAND 接口电路 (NAND I/F) 25。

[0071] 每当 NAND 闪存 10 中所包含的每个块的数据被擦除时,擦除时间测量单元 31 就测量所述块的擦除时间。擦除时间测量单元 31 将所测量到的擦除时间发送到块控制器 30 中。

[0072] 块控制器 30 对包括擦除数和擦除时间在内的各种信息进行管理。块控制器 30 也根据来自 CPU 2 的传输请求向 NAND 闪存 10 发布写请求、读请求、和擦除请求。具体说,块控制器 30 包括地址表 30A 和块表 30B(后面将描述),并利用这些表向 NAND 闪存 10 发布写请求、读请求和擦除请求。

[0073] 当将外部(例如,CPU 2 或主存储器 3)所提供的新数据写入 NAND 闪存 10 中时,分配块选择器 32 选择要被分配给这个写入操作的块(下文中称作分配块)。就是说,分配块选择器 32 从块控制器 30 接收块表 30B 中所存储的所有块的信息(所有块信息),并根据预定的条件选择分配块。分配块选择器 32 向块控制器 30 发送与所述分配块相对应的块编号(分配块编号)。另外,分配块选择器 32 向均衡单元 35 发送所有块信息中与所述分配块相对应的分配块信息。要写入 NAND 闪存 10 中的数据的例子有,从外部提供给存储器系统 1 的用户数据、以及对存储器系统 1 的内部进行管理所需要的系统数据。

[0074] 均衡单元 35 进行均衡处理(后面将描述)。与所述均衡处理同时,均衡单元 35 向 NAND 闪存 10 发布写请求、读请求、和擦除请求。注意,所述均衡处理是使各个块的擦除数彼此相等(即,损耗均衡)。这样,通过使块擦除数彼此相等,可以防止将擦除过程集中在某些块上。这样就可以延长 NAND 闪存 10 的工作寿命。

[0075] 替换源块选择器 33 选择一个块(下文中称作替换源块),作为均衡单元 35 所进行的均衡处理中要使用的数据替换源。就是说,替换源块选择器 33 从块控制器 30 中接收所述所有块信息,并根据预定的条件选择替换源块。然后,替换源块选择器 33 向均衡单元 35 发送所述所有块信息中与所述替换源块相对应的信息(替换源块信息)。

[0076] NAND 接口电路 25 从块控制器 30 和均衡单元 35 接收写请求、读请求和擦除请求。根据这些请求,NAND 接口电路 25 命令 NAND 闪存 10 写、读和擦除数据。

[0077] 短期重写探测器 34 探测(在短期内)频繁进行重写的块(具有短的擦除间隔)。

短期内进行重写的块其擦除时间被频繁地更新（用新的擦除时间替代），而在短期内不进行重写的块其擦除时间则保持原来的值。本实施例利用擦除时间之差来探测在短时间内进行重写的块。为此，短期重写探测器 34 按擦除时间的顺序对使用中的块进行排列（整理），并计算某个搜寻对象块的擦除时间与比较对象块（其擦除时间是仅次于所述搜寻对象块的擦除时间的最晚的）的擦除时间之间的差。如果这个擦除时间差超过了预定阈值，那么短期重写探测器 34 就判断为，擦除时间比所述比较对象块的擦除时间更晚的块为短时间内进行了重写的块。这个判断结果作为短期重写信息被提供给块控制器 30。

[0078] 图 5 是一个方框图，显示了块控制器 30 和擦除时间测量单元 31 的配置。块控制器 30 具有地址表 30A、块表 30B、和算术单元 30C。块控制器 30 接收外部所提供的地址以及各种信息，并基于这些信息来更新地址表 30A 和块表 30B。

[0079] 地址表 30A 显示了包含主机装置 (CPU 2) 通过地址总线 5 所提供的地址的地址区（逻辑块地址）与 NAND 闪存 10 中的块的编号（物理块地址）的对应，所述块编号对应着所述地址区。通过使用地址表 30A，块控制器 30 能够指定包含所述主机装置所提供的地址的地址区中的数据所对应的块。地址表 30A 的更新与例如块释放处理或块分配处理（后面会描述）同时进行。

[0080] 块表 30B 存储着下列数据作为每个块编号的信息。所述数据包含块状态（指示了是否所述块编号没有寄存在地址表 30A 中（是否所述块为自由块），或者是否所述块编号寄存在地址表 30A 中（是否所述块为使用中的块））、数据的擦除次数（擦除数）、擦除时间测量单元 31 所提供的擦除时间、以及与短期重写探测器 34 所提供的短期重写信息相对应的短期重写标记（图 5 中简称“标记”）。块表 30B 的更新与例如块释放处理、块分配处理、块擦除处理、以及短期重写探测处理（后面会描述）同时进行。块表 30B 中所包含的所有块信息被提供给分配块选择器 32、替换源块选择器 33 和短期重写探测器 34。

[0081] 如果某个块是自由块，那么，所述主机装置就认识到，与所述块相对应的地址区是没有存储数据的自由区，不管所述块中的数据在 NAND 闪存 10 中是否实际上被擦除。另一方面，如果某个块在使用中，那么，所述主机装置就认识到，与所述块相对应的地址区是存储着数据的使用中的区域。

[0082] 注意，地址表 30A 和块表 30B 实际上均被存储在 RAM 24 和 NAND 闪存 10 中。然而，每当 RAM 24 被更新时，作为非易失性表存储在 NAND 闪存 10 中的地址表 30A 和块表 30B 不需要总是被更新。

[0083] 每当 NAND 闪存 10 中的数据被擦除时，算术单元 30C 将擦除了数据的块的擦除数（该擦除数包含在块表 30B 中）增加 1。注意，在实际中，MPU 22 执行算术单元 30C 的这个处理。

[0084] 块控制器 30 从分配块选择器 32 接收分配块编号，并且利用这个分配块编号来更新地址表 30A 中的块编号。另外，块控制器 30 为这个分配块向 NAND 闪存 10 发布写请求。另外，块控制器 30 向 NAND 闪存 10 发布与某个外部地址相对应的正常的读请求和擦除请求。

[0085] 擦除时间测量单元 31 包括用来对擦除次数进行计数的擦除数计数器 31A 和用来对擦除数计数器 31A 的计数进行更新的算术单元 31B。擦除时间测量单元 31 测量对 NAND 闪存 10 中的块所进行的擦除的次数，并输出所述测量值作为所述擦除时间。

[0086] 具体说,每当某个块中的数据被擦除时,算术单元 31B 就使擦除数计数器 31A 增加 1。擦除数计数器 31A 中的计数(擦除数)作为擦除时间被提供给块控制器 30(即,块表 30B)。在本实施例所述的擦除时间测量单元 31 中,擦除数越小,擦除时间就越早。注意,MPU 22 实际上执行算术单元 31B 的这个处理。

[0087] 也可以使用,例如,数据被擦除的时刻(擦除时刻)或者 NAND 控制器 11 的电源提供时间,作为所述擦除时间。当使用所述擦除时刻作为擦除时间时,擦除时间测量单元 31 包含一个时钟,并且每当数据被擦除时,就输出擦除的时刻作为所述擦除时间。当使用所述电源提供时间作为擦除时间时,擦除时间测量单元 31 包含一个定时器,并且每当数据被擦除时,测量到此刻为止的电源提供时间,并输出所测量到的电源提供时间作为所述擦除时间。因此,可以自由地选用所述擦除数、擦除时刻、或电源提供时间作为所述擦除时间。注意,也可以使用除了上述三种信息之外的其它信息,只要能够指定所述擦除时间即可。

[0088] [2. NAND 控制器 11 的写操作]

[0089] 下面将说明 NAND 控制器 11 的写操作。图 6 是一个流程图,显示了由 NAND 控制器 11 所进行的写操作的顺序。

[0090] 首先,在从 CPU 2 接收到写请求后,NAND 控制器 11 开始进行写操作(步骤 S10)。然后,块控制器 30 利用地址表 30A 检查是否向含有所述写请求的地址的地址区寄存了某个块编号(分配了某个块)(步骤 S11)。如果寄存了某个块编号(分配了某个块),那么,在这个地址区中必须将数据覆盖,于是,块控制器 30 执行块释放处理,释放与所述块编号相对应的块(步骤 S12)。

[0091] 如果在步骤 S11 中判断为没有寄存了块编号(没有分配了块),或者在步骤 12 中执行了块释放处理之后,分配块选择器 32 执行分配块选择处理,选择要被分配到所述地址区的块(分配块)(步骤 S13)。

[0092] 然后,均衡单元 35 和替换源块选择器 33 执行均衡处理(步骤 S14)。之后,块控制器 30 检查在所述均衡处理中所述分配块是否被替换(步骤 S15)。如果所述分配块被替换,那么,所述处理就返回步骤 S13,并且分配块选择器 32 再次执行分配块选择处理。

[0093] 如果在步骤 S15 中判断为所述分配块没有被替换,那么块控制器 30 就利用与所述分配块相对应的块编号(分配块编号)来执行块分配处理,以便更新地址表 30A 和块表 30B(步骤 S16)。然后,块控制器 30 对所述分配块进行块擦除处理(步骤 S17)。

[0094] 随后,块控制器 30 在擦除了数据的所述分配块中写入新数据(步骤 S18)。就是说,块控制器 30 向 NAND 接口电路 25 发布写请求。基于这个写请求,NAND 接口电路 25 命令 NAND 闪存 10 在所述分配块中写入新数据。

[0095] 之后,短期重写探测器 34 执行短期重写探测处理(步骤 S19)。块控制器 30 利用短期重写探测器 34 所提供的短期重写信息更新块表 30B 中的标记。这样,NAND 控制器 11 就执行了所述写操作的序列。

[0096] 下面将说明所述写操作中所包含的每个处理的细节。

[0097] [2-1. 块释放处理]

[0098] 图 7 是一个流程图,显示了 NAND 控制器 11 所进行的块释放处理。块控制器 30 将地址表 30A 中所包含的并且与包含写请求地址的地址区相对应的块编号设置成未分配状态(步骤 S20)。随后,块控制器 30 将块表 30B 中所包含的所述块编号的状态设置成自由

状态(步骤S21)。在下文中,由块释放处理新设置成自由状态的块被称作释放了的块。之后,NAND控制器11就可以在所述释放了的块中写入新数据。

[0099] [2-2. 分配块选择处理]

[0100] 图8是一个方框图,显示了分配块选择器32的配置。图9是一个流程图,显示了由分配块选择器32所进行的分配块选择处理。

[0101] 分配块选择器32包括两个选择器32A和32B。分配块选择器32从块控制器30接收所有块信息(步骤S30)。这个所有块信息被提供给选择器32A。选择器32A检查所有块的状态,并从所有块中提取自由块(步骤S31)。然后,选择器32A将与所述自由块相对应的块信息(自由块信息)发送到选择器32B。

[0102] 选择器32B从选择器32A所提取的块中选择具有最早擦除时间的块,作为分配块(步骤S32)。与这个分配块相对应的分配块编号被提供给块控制器30。另外,与所述分配块相对应的分配块信息被提供给均衡单元35。

[0103] [2-3. 块分配处理]

[0104] 图10是一个流程图,显示了由NAND控制器11所进行的块分配处理。NAND控制器11为分配块选择器32所选择的分配块更新地址表30A和块表30B中的信息。

[0105] 首先,块控制器30从分配块选择器32接收所述分配块编号(步骤S40)。然后,块控制器30将所述分配块的块编号设置在地址表30A中所包含的、包含所述写请求地址的地址区中(步骤S41)。随后,块控制器30将块表30B中所包含的所述分配块的状态设置为使用状态(a used state)(步骤S42)。这样,由分配块选择器32所选择的所述分配块就从自由状态变为使用状态。

[0106] [2-4. 块擦除处理]

[0107] 图11是一个流程图,显示了由NAND控制器11所进行的块擦除处理。块控制器30为所述分配块向NAND接口电路25发布擦除请求(步骤S50)。基于这个擦除请求,NAND接口电路25命令NAND闪存10擦除所述分配块中的数据(步骤S51)。随后,擦除时间测量单元31(具体说是算术单元31B)使擦除数计数器31A中的计数(擦除数)增加1(步骤S52)。

[0108] 然后,块控制器更新块表30B中所包含的并且与擦除了数据的所述分配块相对应的擦除数和擦除时间(步骤S53)。具体说,块控制器30利用擦除时间测量单元31所提供的擦除时间来更新块表30B中所包含的并且与所述分配块的块编号相对应的擦除时间。另外,算术单元30C使块表30B中所包含的并且与所述分配块的块编号相对应的擦除数增加1。

[0109] [2-5. 短期重写探测处理]

[0110] 图12是一个方框图,显示了短期重写探测器34的配置。短期重写探测器34包括选择器34A、排列单元34B、搜寻列表34C、判断单元34D、用来存储擦除时间间隔阈值的存储单元34E、以及信息输出单元34F。

[0111] 选择器34A利用块控制器30所提供的所有块信息检查所有块的状态,并从所有块中提取使用中的块。排列单元34B按擦除时间的顺序对所述使用中的块进行排列(整理)。搜寻列表34C临时存储着所述排列了的块的信息。注意,搜寻列表34C实际上被存储在RAM24中。

[0112] 在搜寻列表 34C 中, 判断单元 34D 选择具有最晚擦除时间的块作为“搜寻对象块”, 并选择擦除时间仅次于所述搜寻对象块的擦除时间而最晚的块作为“比较对象块”。另外, 判断单元 34D 计算所述搜寻对象块和比较对象块的擦除时间之间的差, 并判断所述差是否超过了所述擦除时间间隔阈值。基于这个判断结果, 判断单元 34D 搜寻擦除时间突然发生变化的边界。

[0113] 利用判断单元 34D 所提供的所述判断结果(所述比较对象块的编号), 信息输出单元 34F 计算在所有的块中擦除时间比所述比较对象块的擦除时间更晚的块的范围。信息输出单元 34F 将上述的范围发送到块控制器 30, 作为短期重写信息。

[0114] 存储单元 34E 中所存储的所述擦除时间间隔阈值用来指定数据被频繁重写的块的范围, 该阈值的设置基于一个标准, 该标准指示了 NAND 闪存 10 的工作寿命(或数据保持时间)要被延长的程度。当所述擦除时间间隔阈值减小时, 探测到短期重写的可能性就增加, 而当所述阈值增加时, 这个可能性就减小。就是说, 当所述擦除时间间隔阈值减小时, 均衡处理的次数就增加, 而当所述阈值增加时, 均衡处理的次数就减小。这个均衡处理伴随着块数据擦除处理。

[0115] 每当数据被擦除时, NAND 闪存 10 的保持特性就退化(即, 工作寿命缩短)。另一方面, 当擦除间隔延长时, NAND 闪存 10 的保持特性就会恢复。就是说, 如果以短间隔连续进行数据擦除的话, 那么, 所述保持特性的恢复时间就不能得到保证, 于是, NAND 闪存 10 的工作寿命就会缩短。所以, 在本实施例中, 为数据被频繁重写的块设置短期重写标记, 由此, 将这些块设置为均衡的对象。通过考虑 NAND 闪存 10 的特性, 确定擦除时间间隔阈值(该值指示了通过将所述擦除间隔延长预定的时间而获得的工作寿命的恢复程度), 以便优化要进行均衡的块和均衡的次数。

[0116] 图 13 是一个流程图, 显示了由短期重写探测器 34 所进行的短期重写探测处理。首先, 短期重写探测器 34 从块控制器 30 接收所有块信息(步骤 S60)。这个所有块信息被提供给选择器 34A。选择器 34A 检查所有块的状态, 并从所有块中提取使用中的块(步骤 S61)。然后, 选择器 34A 将与所述使用中的块相对应的块信息(使用中的块的信息)发送到排列单元 34B。

[0117] 排列单元 34B 检查所述使用中的块的信息中所包含的擦除时间, 并按擦除时间的顺序对使用中的块进行排列(步骤 S62)。由排列单元 34B 进行了排列的所述块信息被放入搜寻列表 34C 中。

[0118] 随后, 在搜寻列表 34C 中, 判断单元 34D 选择具有最晚擦除时间的块作为搜寻对象块, 并选择擦除时间仅次于所述搜寻对象块的擦除时间而最晚的块作为“比较对象块”(步骤 S63)。

[0119] 之后, 判断单元 34D 计算所述搜寻对象块和比较对象块的擦除时间之间的差(步骤 S64)。然后, 判断单元 34D 检查所述计算出的擦除时间之差是否超过了所述擦除时间间隔阈值(步骤 S65)。如果所述差没有超过所述擦除时间间隔阈值, 那么, 判断单元 34D 就检查是否在搜寻列表 34C 中还剩两个或多个块(步骤 S66)。如果剩有两个或多个块, 那么, 判断单元 34D 就从搜寻列表 34C 中剔除所述搜寻对象块, 返回步骤 S63, 并再次选择一个搜寻对象块和比较对象块。

[0120] 如果在步骤 S65 中所述差超过了所述擦除时间间隔阈值, 那么, 判断单元 34D 就将

所述比较对象块的编号发送到信息输出单元 34F。通过使用这个比较对象块编号,信息输出单元 34F 计算在所有的块中擦除时间比所述比较对象块的擦除时间更晚的块的范围(步骤 S68)。信息输出单元 34F 将上述的范围发送到块控制器 30,作为短期重写信息。当接收到这个短期重写信息时,块控制器 30 设置与所述短期重写信息中所包含的块相对应的短期重写标记,并清除与其它块相对应的短期重写标记。

[0121] 如果在步骤 S66 中没有剩下两个或多个块,那么就判断为没有探测到进行了短期重写的块,于是所述短期重写探测处理就结束了。

[0122] 图 14 用来说明由短期重写探测器 34 所进行的短期重写探测处理的实际例子。假设 NAND 闪存 10 包括 12 个块(块 #0 到 #11),块 #0 到 #7 是搜寻列表 34C 中所包含的使用中的块,而块 #8 到 #11 是自由块。块 #0 到 #7 从具有最晚擦除时间的块开始按顺序排列。各个块的擦除时间示于图 14 中。

[0123] 首先,在搜寻列表 34C 中,选择具有最晚擦除时间的块 #0 作为搜寻对象块,而选择具有次最晚擦除时间的块 #1 作为比较对象块。块 #0 和 #1 的擦除时间之间的差为“10”。这个差“10”没有超过擦除时间间隔阈值(例如,“100”)。因此,从搜寻列表 34C 中剔除搜寻对象块 #0。

[0124] 随后,在搜寻列表 34C 中,选择具有最晚擦除时间的块 #1 作为搜寻对象块,而选择具有次最晚擦除时间的块 #2 作为比较对象块。块 #1 和 #2 的擦除时间之间的差为“110”。这个差“110”超过了所述擦除时间间隔阈值。因此,从判断单元 34D 将比较对象块 #2 的编号提供给信息输出单元 34F。

[0125] 在包括自由块在内的所有的块中,信息输出单元 34F 对擦除时间比比较对象块 #2 的擦除时间更晚的块 #0、#1、以及 #8 到 #11 进行计算。信息输出单元 34F 将块 #0、#1、以及 #8 到 #11 发送到块控制器 30,作为短期重写信息。块控制器 30 设置与块 #0、#1、以及 #8 到 #11 相对应的短期重写标记,并清除与其它块相对应的短期重写标记。于是,就更新了块表 30B 中的信息。

[0126] [2-6. 均衡处理]

[0127] 为了延长 NAND 闪存 10 的工作寿命,需要使各个块的擦除数均等,并避免在短时间内在特定的区域中频繁地进行重写。如果只注意到擦除数的均等化以延长 NAND 闪存 10 的工作寿命,那么,根据写状态,在短时间内在特定的区域中会进行重写。如果在短时间内频繁地进行校正(均衡),那么可以使所述擦除数均等并且避免在短时间内在特定区域中集中进行写入。然而,所述校正增加了擦除的次数,这就使延长工作寿命变得不可能。另一方面,如果校正间隔延长得太大,那么短间隔擦除处理就会集中到某个特定区域,这就缩短了工作寿命。基于这些发现,在本实施例所述的均衡处理中,对均衡的次数进行优化,并使各个块的擦除数均等。

[0128] 均衡单元 35 和替换源块选择器 33 执行所述均衡处理。图 15 是一个方框图,显示了均衡单元 35 的配置。均衡单元 35 包括均衡判断单元 35A、以及用于存储均衡阈值的存储单元 35B。

[0129] 均衡判断单元 35A 利用所述均衡阈值、分配块选择器 32 所提供的分配块信息、以及替换源块选择器 33 所提供的替换源块信息来判断在当前写操作期间是否进行均衡处理。当进行均衡处理时,均衡判断单元 35A 向 NAND 接口电路 25 发布与所述均衡处理相关

的读请求、擦除请求、和写请求。

[0130] 图 16 是一个流程图,显示了由 NAND 控制器 11 所进行的均衡处理。首先,替换源块选择器 33 执行替换源块选择处理(步骤 S70)。这个选择处理的结果是,替换源块选择器 33 将所述替换源块信息提供给均衡单元 35。

[0131] 随后,均衡判断单元 35A 检查分配块选择器 32 所提供的分配块信息,并判断这个分配块信息中所包含的短期重写标记是否为“ON”(步骤 S71)。如果所述短期重写标记为 OFF,即,如果所述分配块不频繁地进行重写,那么,均衡判断单元 35A 就判断所述替换源块和所述分配块的擦除数之间的差是否超过了均衡阈值(步骤 S72)。如果所述差没有超过所述均衡阈值,那么均衡单元 35 在当前的写操作中不进行均衡处理。

[0132] 这个均衡阈值用来判断是否进行均衡处理,它的设置基于这样一个标准,该标准指示了 NAND 闪存 10 的工作寿命(或数据保持时间)要被延长的程度。如前所述,如果只注意到擦除数的均等化以延长 NAND 闪存 10 的工作寿命,那么,由于进行均衡的缘故,数据擦除会发生许多次,这就增加了在某个特定区域中的擦除的次数。所以,在本实施例中,只有当所述替换源块和分配块的擦除数之间的差超过了所述均衡阈值时,才进行所述均衡处理。

[0133] 如果在步骤 S71 中短期重写标记为 ON,或者如果在步骤 S72 中超过了所述均衡阈值,那么,块控制器 30 就对所述替换源块进行块释放处理(步骤 S73)。这个块释放处理与图 7 所示的相同。

[0134] 随后,块控制器 30 执行块分配处理,将分配块选择器 32 所选择的分配块分配为替换源块的数据要被移入的块(步骤 S74)。这个块分配处理与图 10 所示的相同。

[0135] 然后,NAND 控制器 11 读取 NAND 闪存 10 中所包含的所述替换源块的数据(步骤 S75)。具体说,均衡判断单元 35A 利用替换源块选择器 33 所提供的替换源块信息向 NAND 接口电路 25 发布读请求。基于这个读请求,NAND 接口电路 25 命令 NAND 闪存 10 从所述替换源块中读取数据。所读出的数据被临时存储在例如 RAM 24 中。

[0136] 之后,NAND 控制器 11 擦除所述分配块中的数据(步骤 S76)。具体说,均衡判断单元 35A 利用分配块选择器 32 所提供的分配块信息向 NAND 接口电路 25 发布擦除请求。基于这个擦除请求,NAND 接口电路 25 命令 NAND 闪存 10 擦除所述分配块中的数据。在这个步骤中,块控制器 30 更新所述分配块的擦除数和擦除时间(图 11)。

[0137] 随后,NAND 控制器 11 将从所述替换源块中读出的数据写入 NAND 闪存 10 中所包含的所述分配块中(步骤 S77)。具体说,均衡判断单元 35A 利用所述分配块信息向 NAND 接口电路 25 发布写请求。基于这个写请求,NAND 接口电路 25 命令 NAND 闪存 10 将所述数据写入所述分配块中。

[0138] 上述处理可以将某个替换源块中的数据移到某个分配块中,并使所述替换源块成为自由块。因此,大概不频繁进行重写的替换源块可以被复用为分配块。另外,不被频繁地重写的数据被移动到擦除数已经很大的分配块中。这就可以防止所述分配块的擦除数将来增加。

[0139] [2-6-1. 替换源块选择处理]

[0140] 图 17 是一个方框图,显示了替换源块选择器 33 的配置。图 18 是一个流程图,显示了由替换源块选择器 33 所进行的替换源块选择处理。

[0141] 替换源块选择器 33 包括两个选择器 33A 和 33B。替换源块选择器 33 从块控制器 30 接收所有块信息（步骤 S80）。这个所有块信息被提供给选择器 33A。选择器 33A 检查所有块的状态，并从所有块中提取使用中的块（步骤 S81）。然后，选择器 33A 将与所述使用中的块相对应的块信息（使用中的块的信息）发送到选择器 33B。

[0142] 选择器 33B 从选择器 33A 所提取的块中选择具有最早擦除时间的块，作为替换源块（步骤 S82）。与这个替换源块相对应的替换源块信息被提供给均衡电路 35。上述替换源块选择处理可以选择存储着不频繁重写的数据并具有良好保持特性的块，作为替换源块。

[0143] 在如上所述的本实施例中，对数据从每个块中被擦除时的擦除时间进行测量，并且将所述块及擦除时间存储在块表 30B 中，因为它们是彼此相关的。当在 NAND 闪存 10 中写入外部所提供的数据时，选择具有最早擦除时间的自由块作为分配块，并将数据写入这个分配块中。

[0144] 因此，本实施例能够延长每个块的擦除间隔。这就可以利用存储器单元晶体管的特性（即通过延长擦除间隔能够恢复保持特性）来减小每个块的保持特性的退化。于是，NAND 闪存 10 的工作寿命就延长了。

[0145] 另外，在本实施例中，短期重写探测器 34 指定数据被频繁重写的块。如果这个块被选为分配块，那么就用具有较早擦除时间的替换源块来替换所述分配块，并将存储在所述替换源块中并且不常被替换的数据移动到所述分配块中。于是，即使是一度由写操作进行分配之后长时间没有进行释放的替换源块，也可以通过均衡处理进行释放。所以，数据大概不频繁重写的替换源块能够被复用为分配块。另外，不常进行重写的数据被存储在分配块中。这就可以减小之后的数据擦除次数，并减小所述分配块的保持特性的退化。

[0146] 此外，当替换源块和分配块的擦除数之间的差超过了所述阈值时进行所述均衡处理。这就可以优化均衡处理的次数（因为均衡不常进行），并使各块的擦除数彼此相等。于是，可以防止整个 NAND 闪存 10 的工作寿命因为一些块的擦除数的增加而缩短。

[0147] 在运用多值数据记录系统 (multi-level data recording system) 的情形中，需要精细地控制存储器单元晶体管 MT 的阈值分布。所以，防止保持特性的退化是很有用的。

[0148] [第二实施例]

[0149] 第二实施例给出了由分配块选择器 32 所进行的分配块选择处理的另一个例子。就是说，选择擦除时间早和擦除数小的块，作为分配块。

[0150] 图 19 是一个方框图，显示了根据第二实施例所述的分配块选择器 32 的配置。图 20 是一个流程图，显示了由分配块选择器 32 所进行的分配块选择处理。注意，除了分配块选择器 32 不同外，NAND 控制器 11 的配置与第一实施例中的相同。

[0151] 分配块选择器 32 包括三个选择器 32A 到 32C、以及用来存储分配块设置值的存储单元 32D。分配块选择器 32 从块控制器 30 接收所有块信息（步骤 S90）。这个所有块信息被提供给选择器 32A。选择器 32A 检查所有块的状态，并从所有块中提取自由块（步骤 S91）。然后，选择器 32A 将与所述自由块相对应的块信息（自由块信息）发送到选择器 32B。

[0152] 选择器 32B 从所述自由块信息中提取出满足由所述分配块设置值所设置的条件的块信息（步骤 S92）。所述分配块设置值为下列 (A) 到 (C) 之一：

[0153] (A) 从具有最早擦除时间的块开始的预定数目的块

[0154] (B) 从具有最早擦除时间的块开始的预定比例的块

[0155] (C) 擦除时间比预定时间更早的块

[0156] 条件 (A) 到 (C) 中的任何一个都可以被选作所述分配块设置值。例如,当使用条件 (A) 作为所述分配块设置值时,选择器 32B 在自由块中从具有最早擦除时间的块开始顺序地提取预定数目的块。然后,选择器 32B 将与所提取的块相对应的块信息发送到选择器 32C 中。

[0157] 在条件 (A) 和 (B) 之下,自由块按擦除时间的顺序进行拣选,并从具有最早擦除时间的块开始顺序地搜寻预定数目 / 比例的块。因此,在步骤 S92 中可以增加所选择的块的数目,从而增加在步骤 S93 中选择出具有小擦除数的块的可能性。在条件 (C) 之下,只需要拣选擦除时间超过了预定时间的自由块,所以,处理量是最低的。另外,在条件 (A) 和 (B) 之下,总是从具有最早擦除时间的块开始顺序地提取预定数目 / 比例的块,而在条件 (C) 之下,则提取擦除时间比预定时间更早的块。所以,在条件 (C) 之下,擦除间隔总可以是预定间隔,于是用于比较擦除数的候选块数目就可以减小。

[0158] 随后,选择器 32C 从选择器 32B 所提取的块中选择具有最小擦除数的块作为分配块 (步骤 S93)。与这个分配块相对应的分配块编号被提供给块控制器 30。另外,与所述分配块相对应的分配块信息被提供给均衡单元 35。

[0159] 在上面所详细描述的这个实施例中,当选择用于写入外部所提供的数据的分配块时,从自由块中可以选择擦除时间早以及擦除数小的块作为分配块。这就可以将外部数据写入具有良好保持特性的块中,并延长 NAND 闪存 10 的工作寿命。

[0160] [第三实施例]

[0161] 第三实施例给出了由替换源块选择器 33 所进行的替换源块选择处理的另一个例子。就是说,选择擦除时间早和擦除数小的块,作为替换源块。

[0162] 图 21 是一个方框图,显示了根据第三实施例所述的替换源块选择器 33 的配置。图 22 是一个流程图,显示了由所述替换源块选择器 33 所进行的替换源块选择处理。

[0163] 替换源块选择器 33 包括三个选择器 33A 到 33C、以及用来存储替换源块设置值的存储单元 33D。替换源块选择器 33 从块控制器 30 接收所有块信息 (步骤 S100)。这个所有块信息被提供给选择器 33A。选择器 33A 检查所有块的状态,并从所有块中提取使用中的块 (步骤 S101)。然后,选择器 33A 将与所述使用中的块相对应的块信息 (使用中的块的信息) 发送到选择器 33B。

[0164] 选择器 33B 从所述使用中的块的信息中提取出满足由所述替换源块设置值所设置的条件的块信息 (步骤 S102)。所述替换源块设置值为下列 (A) 到 (C) 之一:

[0165] (A) 从具有最早擦除时间的块开始的预定数目的块

[0166] (B) 从具有最早擦除时间的块开始的预定比例的块

[0167] (C) 擦除时间比预定时间更早的块

[0168] 条件 (A) 到 (C) 中的任何一个都可以被选作所述替换源块设置值。例如,当使用条件 (A) 作为所述替换源块设置值时,选择器 33B 在使用中的块中从具有最早擦除时间的块开始顺序地提取预定数目的块。然后,选择器 33B 将与所提取的块相对应的块信息发送到选择器 33C 中。

[0169] 在条件 (A) 和 (B) 之下,使用中的块按擦除时间的顺序进行拣选,并从具有最早擦除时间的块开始顺序地搜寻预定数目 / 比例的块。因此,在步骤 S102 中可以增加所选择的

块的数目,从而增加在步骤 S103 中选择出具有小擦除数的块的可能性。在条件 (C) 之下,只需要拣选擦除时间超过了预定时间的使用中的块,所以,处理量是最低的。另外,在条件 (A) 和 (B) 之下,总是从具有最早擦除时间的块开始顺序地提取预定数目 / 比例的块,而在条件 (C) 之下,则提取擦除时间比预定时间更早的块。所以,在条件 (C) 之下,擦除间隔总可以是预定间隔,于是用于比较擦除数的候选块数目就可以减小。

[0170] 随后,选择器 33C 从选择器 33B 所提取的块中选择具有最小擦除数的块作为替换源块(步骤 S103)。与这个替换源块相对应的替换源块信息被提供给均衡单元 35。

[0171] 在上面所详细描述的这个实施例中,当选择用于进行均衡的替换源块时,从使用中的块中可以选择擦除时间早以及擦除数小的块作为替换源块。这就可以选择存储着不常进行重写的数据并具有良好保持特性的块作为替换源块,并延长 NAND 闪存 10 的工作寿命。

[第四实施例]

[0173] 第四实施例给出了短期重写探测处理的另一个例子。在第四实施例中,使用二分法搜寻 (binary search) 来进行短期重写探测处理。

[0174] 图 23 是一个方框图,显示了根据第四实施例所述的短期重写探测器 34 的配置。所述短期重写探测器 34 包括选择器 34A、排列单元 34B、搜寻列表 34C、判断单元 34D、用来存储集中因子阈值 (concentration factor threshold value) 的存储单元 34E、以及信息输出单元 34F。

[0175] 判断单元 34D 利用二分法搜寻从搜寻列表 34C 中选择搜寻对象块。然后,判断单元 34D 为这个搜寻对象块计算要在短期重写探测中使用的集中因子,并判断这个集中因子是否超过了所述集中因子阈值。基于所述判断结果,从搜寻列表 34C 对块进行剔除,并使其范围缩小到一个搜寻对象块上。利用所述最后一个搜寻对象块,可以找到擦除时间发生突然变化的边界。

[0176] 存储单元 34E 中所存储的集中因子阈值用来指定数据被频繁重写的块的范围,该阈值的设置基于这样一个标准,该标准指示了 NAND 闪存 10 的工作寿命(或数据保持时间)要被延长的程度。当所述集中因子阈值减小时,探测到短期重写的可能性就增加,而当所述阈值增加时,这个可能性就减小。

[0177] 图 24 和 25 是流程图,显示了由短期重写探测器 34 所进行的短期重写探测处理。

[0178] 首先,短期重写探测器 34 从块控制器 30 接收所有块信息(步骤 S110)。这个所有块信息被提供给选择器 34A。选择器 34A 检查所有块的状态,并从所有块中提取使用中的块(步骤 S111)。然后,选择器 34A 将与所述使用中的块相对应的块信息(使用中的块的信息)发送到排列单元 34B。

[0179] 排列单元 34B 检查所述使用中的块的信息中所包含的擦除时间,并按擦除时间的顺序对使用中的块进行排列(步骤 S112)。将由排列单元 34B 进行了排列的所述块信息放入搜寻列表 34C 中,并从具有最晚擦除时间的块开始顺序地为这些块赋予序列号。

[0180] 随后,在搜寻列表 34C 中,判断单元 34D 将具有最晚擦除时间的块设置为“开头”,将具有最早擦除时间的块设置为“结尾”(步骤 S113)。然后判断单元 34D 选择序列号为“(开头 + 结尾)/2”的块作为搜寻对象块(步骤 S114)。

[0181] 之后,判断单元 34D 为所述搜寻对象块计算集中因子(步骤 S115)。这个集中因子由下式给出:集中因子=当前时间 - 序列号 - 擦除时间。注意,在所述集中因子中所使用的

当前时间是,例如,从擦除时间测量单元 31 提供给短期重写探测器 34 的。可以使用,例如,擦除数计数器 31A 中的计数作为所述当前时间。

[0182] 然后,判断单元 34D 判断所计算出的集中因子是否超过了所述集中因子阈值(步骤 S116)。如果所述集中因子超过了所述集中因子阈值,那么,判断单元 34D 将所述搜寻对象块设置为“结尾”(步骤 S117)。随后,判断单元 34D 从搜寻列表 34C 中剔除擦除时间比“结尾”的擦除时间更早的块(步骤 S118)。

[0183] 另一方面,如果在步骤 S116 中判断为所述集中因子没有超过所述集中因子阈值,那么,判断单元 34D 就将擦除时间仅次于所述搜寻对象块的擦除时间而最早的块设置为“开头”(步骤 S119)。之后,判断单元 34D 从搜寻列表 34C 中剔除擦除时间比“开头”的擦除时间更晚的块(步骤 S120)。

[0184] 在步骤 S118 或 S120 中从搜寻列表 34C 中排除了预定的块之后,判断单元 34D 判断在搜寻列表 34C 中是否还剩两个或多个块(步骤 S121)。如果在搜寻列表 34C 中还剩两个或多个块,那么,判断单元 34D 就返回步骤 S114,并再次选择搜寻对象块。

[0185] 如果在步骤 S121 中判断为在搜寻列表 34C 中没有剩下两个或多个块,那么判断单元 34D 就选择搜寻列表 34C 中的所述最后一个块作为搜寻对象块。然后,判断单元 34D 为这个搜寻对象块计算集中因子(=当前时间 - 序列号 - 擦除时间)(步骤 S122)。

[0186] 随后,判断单元 34D 判断所计算出的集中因子是否超过了所述集中因子阈值(步骤 S123)。如果所述集中因子超过了所述集中因子阈值,那么,判断单元 34D 就向信息输出单元 34F 发送搜寻对象块编号。通过使用这个搜寻对象块编号,信息输出单元 34F 计算所有块中擦除时间比所述搜寻对象块的擦除时间更晚的块的范围(步骤 S124)。信息输出单元 34F 将上述的范围发送到块控制器 30,作为短期重写信息。当接收到这个短期重写信息时,块控制器 30 设置与所述短期重写信息中所包含的块相对应的短期重写标记,并清除与其它块相对应的短期重写标记。

[0187] 如果在步骤 S123 中判断为所述集中因子没有超过所述集中因子阈值,那么,判断单元 34D 就判断为没有探测到进行了短期重写的块,于是所述短期重写探测处理就结束了。

[0188] 图 26 用来说明由短期重写探测器 34 所进行的短期重写探测处理的实际例子。假设 NAND 闪存 10 包括 12 个块(块 #0 到 #11),块 #0 到 #7 是搜寻列表 34C 中所包含的使用中的块,而块 #8 到 #11 是自由块。块 #0 到 #7 从具有最晚擦除时间的块开始按擦除时间的顺序排列。这些块的擦除时间示于图 26 中。搜寻列表 34C 中所包含的块 #0 到 #7 从具有最晚擦除时间的块开始按顺序被赋予序列号。

[0189] 首先,在搜寻列表 34C 中,具有最晚擦除时间的块 #0 被设置为“开头”,而具有最早擦除时间的块 #7 被设置为“结尾”。随后,选择具有序列号为“(开头 + 结尾)/2”的块 #3 作为搜寻对象块,为所述搜寻对象块 #3 计算集中因子(=当前时间 - 序列号 - 擦除时间),并检查这个集中因子是否超过了所述集中因子阈值。假设所述当前时间为“106”,所述集中因子阈值为“90”。搜寻对象块 #3 的集中因子为“97”,这个值超过了所述阈值。因此,将搜寻对象块 #3 设置为“结尾”,并从搜寻列表 34C 中剔除擦除时间比块 #3 的擦除时间更早的块 #4 到 #7。

[0190] 然后,选择具有序列号为“(开头 + 结尾)/2”的块 #1 作为搜寻对象块,为所述搜

寻对象块 #1 计算集中因子。搜寻对象块 #1 的集中因子为“0”，这个值没有超过所述阈值。所以，将擦除时间仅次于所述搜寻对象块 #1 的擦除时间而最早的块 #2 设置为“开头”，并从搜寻列表 34C 中剔除擦除时间比块 #2 的擦除时间更晚的块 #0 和 #1。

[0191] 之后，选择具有序列号为“(开头 + 结尾)/2”的块 #2 作为搜寻对象块，并为所述搜寻对象块 #2 计算集中因子。搜寻对象块 #2 的集中因子为“97”，这个值超过了所述阈值。所以，将搜寻对象块 #2 设置为“结尾”，并从搜寻列表 34C 中剔除擦除时间比块 #2 的擦除时间更早的块 #3。

[0192] 随后，将搜寻列表 34 中最后剩下的块 #2 选为搜寻对象块，并为所述搜寻对象块 #2 计算集中因子。搜寻对象块 #2 的这个集中因子超过了所述阈值。因此，判断单元 34D 就将搜寻对象块 #2 的编号发送到信息输出单元 34F。

[0193] 在包括自由块在内的所有的块中，信息输出单元 34F 对擦除时间比搜寻对象块 #2 的擦除时间更晚的块 #0、#1、以及 #8 到 #11 进行计算。信息输出单元 34F 将块 #0、#1、以及 #8 到 #11 发送到块控制器 30，作为短期重写信息。块控制器 30 设置与块 #0、#1、以及 #8 到 #11 相对应的短期重写标记，并清除与其它块相对应的短期重写标记。于是，就更新了块表 30B 中的信息。

[0194] 在上面所详细描述的这个实施例中，短期重写探测器 34 能够指定数据被频繁重写的块。另外，在所述短期重写探测处理中，通过 $\log_2 N$ 次检查所述阈值来完成搜寻。这就可以增加短期重写探测的效率。

[0195] [第五实施例]

[0196] 在第五实施例中，NAND 控制器 11 包含错误检查和校正(error check and correction, ECC) 电路，这个 ECC 电路探测并校正数据读取中的错误。一般地，随着从数据写入时起的时间的流逝，出错数会增加。因此，具有许多错误的块可能是具有较早擦除时间的块。所以，在这个实施例中，ECC 电路所探测到的出错数被用作替换源块选择的指数。

[0197] 图 27 是一个方框图，显示了根据第五实施例所述的 NAND 控制器 11 的配置例子。这个 NAND 控制器 11 包含 ECC 电路 36。当从 NAND 闪存 10 中读取数据时，ECC 电路 36 探测并校正错误。另外，ECC 电路 36 将为每个块探测到的出错数发送到块控制器 30。

[0198] 图 28 是一个方框图，显示了块控制器 30 的配置。这个块控制器 30 中所包含的块表 30B 为每个块编号存储着出错数。每当从 NAND 闪存 10 中读取数据时（每当 ECC 电路 36 校正一个错误时），就更新所述块表 30B 中所包含的出错数。

[0199] 下面将说明 NAND 控制器 11 的读操作。图 29 是一个流程图，显示了由 NAND 控制器 11 所进行的读操作。

[0200] 首先，当从 CPU 2 接收到读请求时，NAND 控制器 11 就开始进行读操作（步骤 S130）。然后，块控制器 30 利用地址表 30A 搜寻与包含所述读请求的地址的地址区相对应的块编号（步骤 S131）。

[0201] 然后，块控制器 30 从所述读请求的块中读取数据（步骤 S132）。就是说，块控制器 30 向 NAND 接口电路 25 发布读请求。基于这个读请求，NAND 接口电路 25 命令 NAND 闪存 10 从所述读请求的块中读取数据。

[0202] 之后，ECC 电路 36 对从 NAND 闪存 10 中读取的数据进行错误探测与校正（步骤 S133）。通过数据总线 6 将经过了错误校正的读取数据提供给 CPU 2 等。在这个错误校正

中,ECC 电路 36 计算出错数,并将这个出错数发送到块控制器 30。块控制器 30 从 ECC 电路 36 接收所述出错数,并在块表 30B 中记录所述出错数。这样,就更新了块表 30B 中所包含的出错数。

[0203] 下面将说明由替换源块选择器 33 所进行的替换源块选择处理。图 30 是一个流程图,显示了由替换源块选择器 33 所进行的替换源块选择处理。注意,所述替换源块选择器 33 的配置与图 21 所示的相同。

[0204] 替换源块选择器 33 从块控制器 30 接收所有块信息(步骤 S140)。这个所有块信息被提供给选择器 33A。选择器 33A 检查所有块的状态,并从所有块中提取使用中的块(步骤 S141)。然后,选择器 33A 将与所述使用中的块相对应的块信息(使用中的块的信息)发送到选择器 33B。

[0205] 选择器 33B 从所述使用中的块的信息中提取出满足由所述替换源块设置值所设置的条件的块信息(步骤 S142)。在这个步骤中,“所具有的出错数大于预定值的块”被设置为所述替换源块设置值。

[0206] 然后,选择器 33C 从选择器 33B 所提取的块中选择具有最小擦除数的块作为替换源块(步骤 S143)。与这个替换源块相对应的替换源块信息被提供给均衡单元 35。

[0207] 在上面所详细描述的这个实施例中,在存储器系统 1 的写处理期间在短时间内共同地出现重写的块能够被一度由数据写入进行分配之后长时间没有进行释放的块来替换。这就可以抑制由短擦除时间间隔所引起的块的耗竭,并且可以在整个 NAND 闪存 10 中对块的消耗进行均摊。

[0208] 另外,由 ECC 电路所计算出的出错数较大的块被选为替换源块。因此,由于对出错数较大的块的数据进行重写,所以刷新处理(其中,读取 NAND 闪存 10 中所存储的数据,对其进行错误校正,并将其写回 NAND 闪存 10 中)与所述均衡处理同时进行。于是,就能减少刷新处理的次数。这就可以获得一个效果,即,减少由刷新所导致的数据写入的数量。

[0209] [实施例]

[0210] 下面将说明通过将上述每个实施例中的存储器系统 1 配置成固态驱动器(solid state drive, SSD)而得到的实施例。图 31 是一个方框图,显示了 SSD 100 的配置。

[0211] SSD 100 包括用于数据存储的多个 NAND 闪存(NAND 存储器)10、用于数据传输或用作工作区的 DRAM 101、用来控制上述单元的驱动控制电路 102、以及电源电路 103。驱动控制电路 102 输出控制信号来控制在 SSD 100 的外部所提供的状态显示 LED。

[0212] SSD 100 通过 ATA 接口(ATI I/F)相对于主机装置(诸如个人电脑)进行数据传输。此外,SSD 100 通过 RS232C 接口(RS232C I/F)相对于调试装置进行数据传输。

[0213] 电源电路 103 具有外部电源电压,并利用这个外部电源电压产生多个内部电源电压。这些内部电源电压被提供给 SSD 100 的各个单元。此外,电源电路 103 探测所述外部电源电压的起伏,并产生通电重置信号或断电重置信号。所述通电重置信号或断电重置信号被提供给驱动控制电路 102。

[0214] 图 32 是一个方框图,显示了驱动控制电路 102 的配置。驱动控制电路 102 包括数据访问总线 104、第一电路控制总线 105、和第二电路控制总线 106。

[0215] 控制整个驱动控制电路 102 的处理器 107 与第一电路控制总线 105 相连。此外,存储着管理程序(FW:固件)的引导程序的引导 ROM 108 通过 ROM 控制器 109 与第一电路

控制总线 105 相连。另外,从电源电路 103 接收通电 / 断电重置信号并将重置信号和时钟信号提供给所述各个单元的时钟控制器 109 与第一电路控制总线 105 相连。

[0216] 第二电路控制总线 106 与第一电路控制总线 105 相连。并行 IO(PIO) 电路 111(向所述状态显示 LED 提供状态显示信号) 和串行 IO(SIO) 电路 112(控制 RS232C 接口) 与第二电路控制总线 106 相连。

[0217] ATA 接口控制器 (ATA 控制器) 113、第一错误检查和校正 (ECC) 电路 114、NAND 控制器 115、和 DRAM 控制器 119 与数据访问总线 104 和第一电路控制总线 105 均相连。ATA 控制器 113 通过 ATA 接口相对于所述主机装置来传输数据。用作数据工作区的 SRAM 120 通过 SRAM 控制器 121 与数据访问总线 104 相连。

[0218] NAND 控制器 115 包括 NAND I/F 118(相对于 4 个 NAND 存储器 10 进行接口处理)、第二 ECC 电路 117、和控制 DMA 传输的 DMA 控制器 116(在所述 NAND 存储器和 DRAM 之间进行访问控制)。

[0219] 图 33 是一个方框图,显示了处理器 107 的配置。处理器 107 包括数据管理单元 122、ATA 命令处理单元 123、安全管理单元 124、引导加载器 125、初始化管理单元 126 和调试支持单元 127。

[0220] 数据管理单元 122 通过 NAND 控制器 115 和第一 ECC 电路 114 对与 NAND 芯片相关的各种功能以及对 NAND 存储器和 DRAM 之间的数据传输进行控制。

[0221] ATA 命令处理单元 123 通过 ATA 控制器 113 和 DRAM 控制器 119 与数据管理单元 122 协作进行数据传输处理。安全管理单元 124 与数据管理单元 122 和 ATA 命令处理单元 123 协作来管理各种安全信息项。引导加载器 125 在通电时从 NAND 存储器 10 中将各种管理程序 (FW) 加载到 SRAM 120 中。

[0222] 初始化管理单元 126 对驱动控制电路 102 中的各种控制器 / 电路进行初始化。调试支持单元 127 对通过 RS232C 接口从外部提供的调试数据进行处理。

[0223] 图 34 是一个透视图,显示了装有所述 SSD 100 的便携式电脑 200 的一个例子。便携式电脑 200 具有主体 201 和显示单元 202。显示单元 202 包括显示器外壳 203 和装在显示器外壳 203 内的显示装置 204。

[0224] 主体 201 包括机壳 205、键盘 206、和作为定点设备的触摸垫 207。在机壳 205 中装有主电路板、光盘装置 (optical disk device, ODD) 单元、卡的插口、SSD 100 等。

[0225] 所提供的卡的插口与机壳 205 的周围侧壁邻近。在所述周围侧壁中,形成面对所述卡的插口的开口 208。用户可以通过开口 208 从机壳 205 的外部将附加装置插入所述卡的插口并可以将其从所述卡的插口中拔出。

[0226] 可以将 SSD 100 安装在便携式电脑 200 中并替代常规的 HDD,或者,可以将 SSD 100 作为附加装置插入便携式电脑 200 上的卡的插口中。

[0227] 图 35 显示了使用 SSD 100 的便携式电脑 200 的系统配置的例子。所述便携式电脑 200 包括 CPU 301、北桥 302、主存储器 303、视频控制器 304、音频控制器 305、南桥 306、BIOS-ROM 307、SSD 100、ODD 单元 308、嵌入式控制器 / 键盘控制器 (EC/KBC) IC 309、和网络控制器 310 等。

[0228] CPU 301 是一个用来控制便携式电脑 200 的操作的处理器,它执行从 SSD 100 加载到主存储器 303 中的操作系统。当 ODD 单元 308 对所加载的光盘进行读处理或写处理时,

CPU 301 就执行所述处理。

[0229] CPU 301 也执行 BIOS-ROM 307 中所存储的系统 BIOS(basic inputoutput system, 基本输入输出系统)。系统 BIOS 是一个用于控制便携式电脑 200 中的硬件的程序。

[0230] 北桥 302 是一个桥式装置, 它将 CPU 301 的本地总线连接到南桥 306 上。北桥 302 中具有存储器控制器, 用来控制对主存储器 303 的访问。

[0231] 北桥 302 的一个功能是, 通过 AGP 总线 (accelerated graphics portbus, 加速图形端口总线) 与视频控制器 304 和音频控制器 305 进行通信。

[0232] 主存储器 303 临时存储程序或数据, 它是 CPU 301 的工作区。主存储器 303 由例如 DRAM 构成。

[0233] 视频控制器 304 是一个视频再现控制器, 用来对显示单元 (LCD) 202 进行控制。显示单元 202 被用作便携式电脑 200 的显示器。

[0234] 音频控制器 305 是一个音频再现控制器, 用来对便携式电脑 200 的扬声器 311 进行控制。

[0235] 南桥 306 控制 LPC (low pin count, 低管脚数) 总线上的装置以及 PCI (peripheral component interconnect, 外设组件互联) 总线上的装置。南桥 306 也通过 ATA 接口来控制 SSD 100。SSD 100 是用来存储各种软件和数据的存储单元。

[0236] 便携式电脑 200 以扇区为单位对 SSD 100 进行访问。通过 ATA 接口将写命令、读命令和清除命令等提供给 SSD 100。

[0237] 南桥 306 的一个功能是, 控制对 BIOS-ROM 307 和 ODD 单元 308 的访问。EC/KBC 309 是单片微型计算机, 其中嵌入了用于进行电源管理的嵌入式控制器和用于控制键盘 (KB) 206 和触摸垫 207 的键盘控制器。

[0238] EC/KBC 309 的一个功能是, 根据用户对电源按钮 312 的操作打开或关闭便携式电脑 200。网络控制器 310 是一个通信单元, 与外部网络 (例如, 互联网) 进行通信。

[0239] 上述实施例中的存储器系统 1 不限于所述 SSD, 也可以配置成存储器卡 (其代表是 SD (商标) 卡)。当存储器系统 1 被配置成存储器卡时, 它不仅可以用于便携式电脑, 而且也可以用于其它各种电子装置, 诸如手机、PDA (个人数字助理)、数码相机、数字摄像机。

[0240] 本领域中的技术人员会容易地发现其它的优点和修正。所以, 本发明就其更广泛的方面而言不限于这里所显示和描述的具体细节和有代表性的实施例。因此, 可以做出各种修正而不偏离由附属权利要求书及其等价说法所定义的一般性的发明性概念的精神或范围。

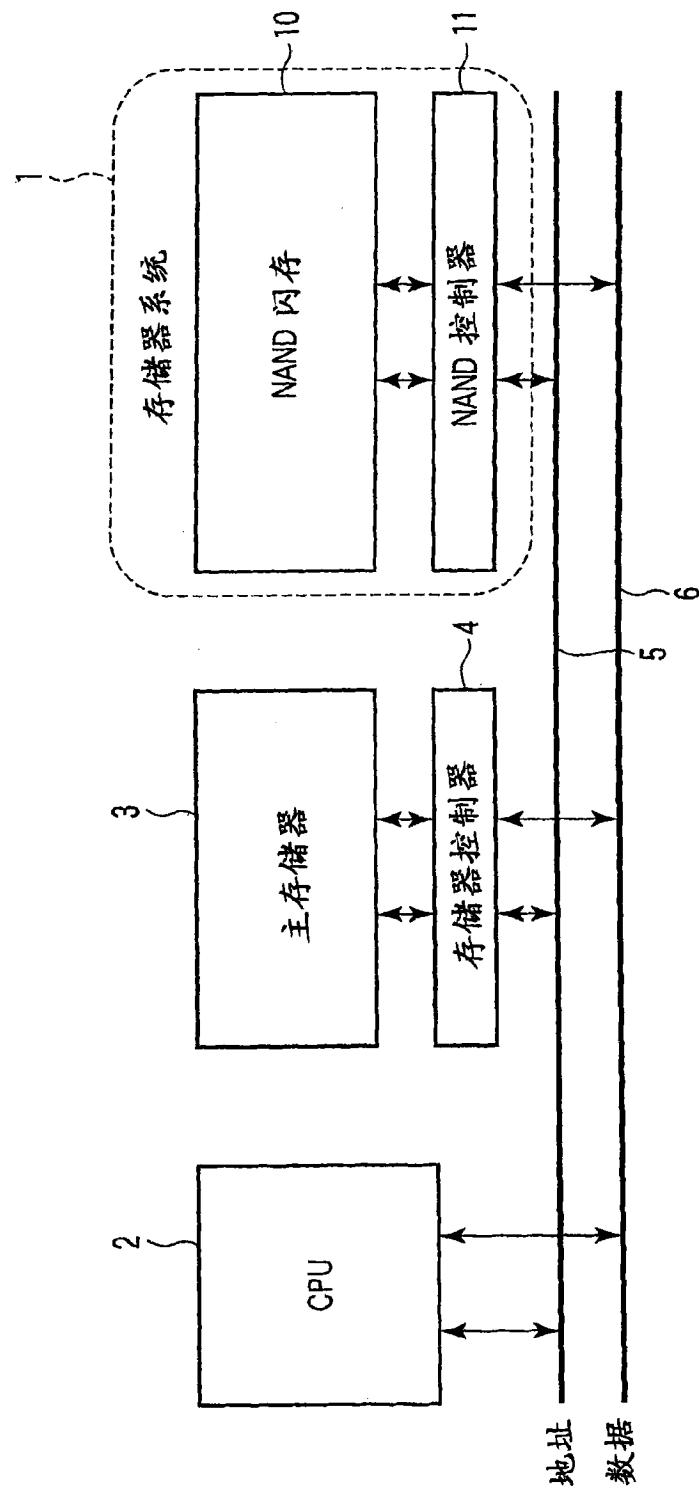


图 1

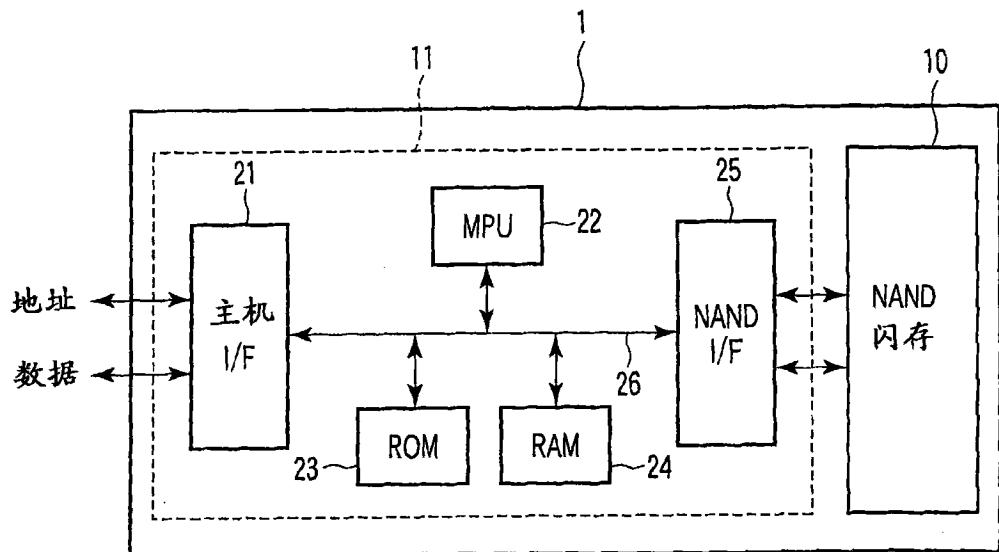


图 2

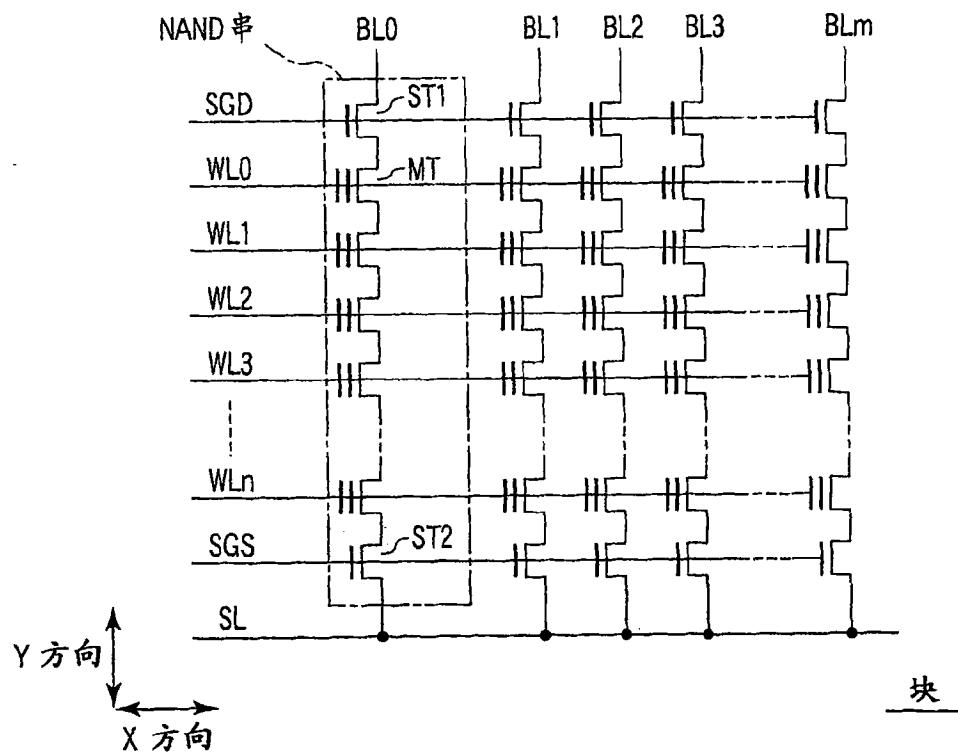


图 3A

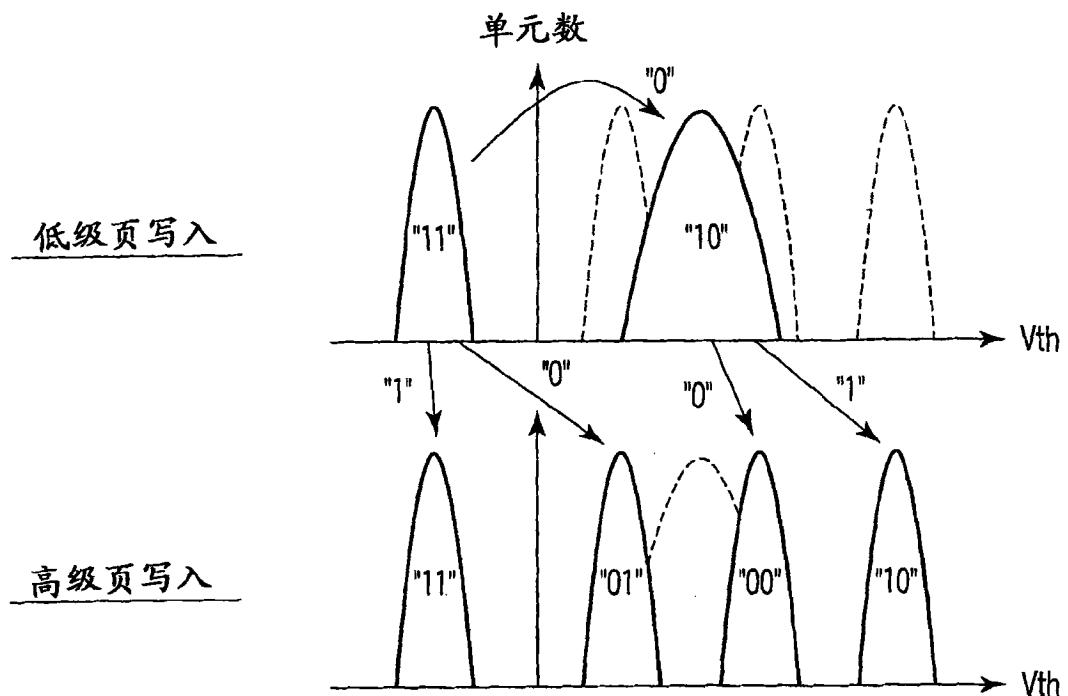


图 3B

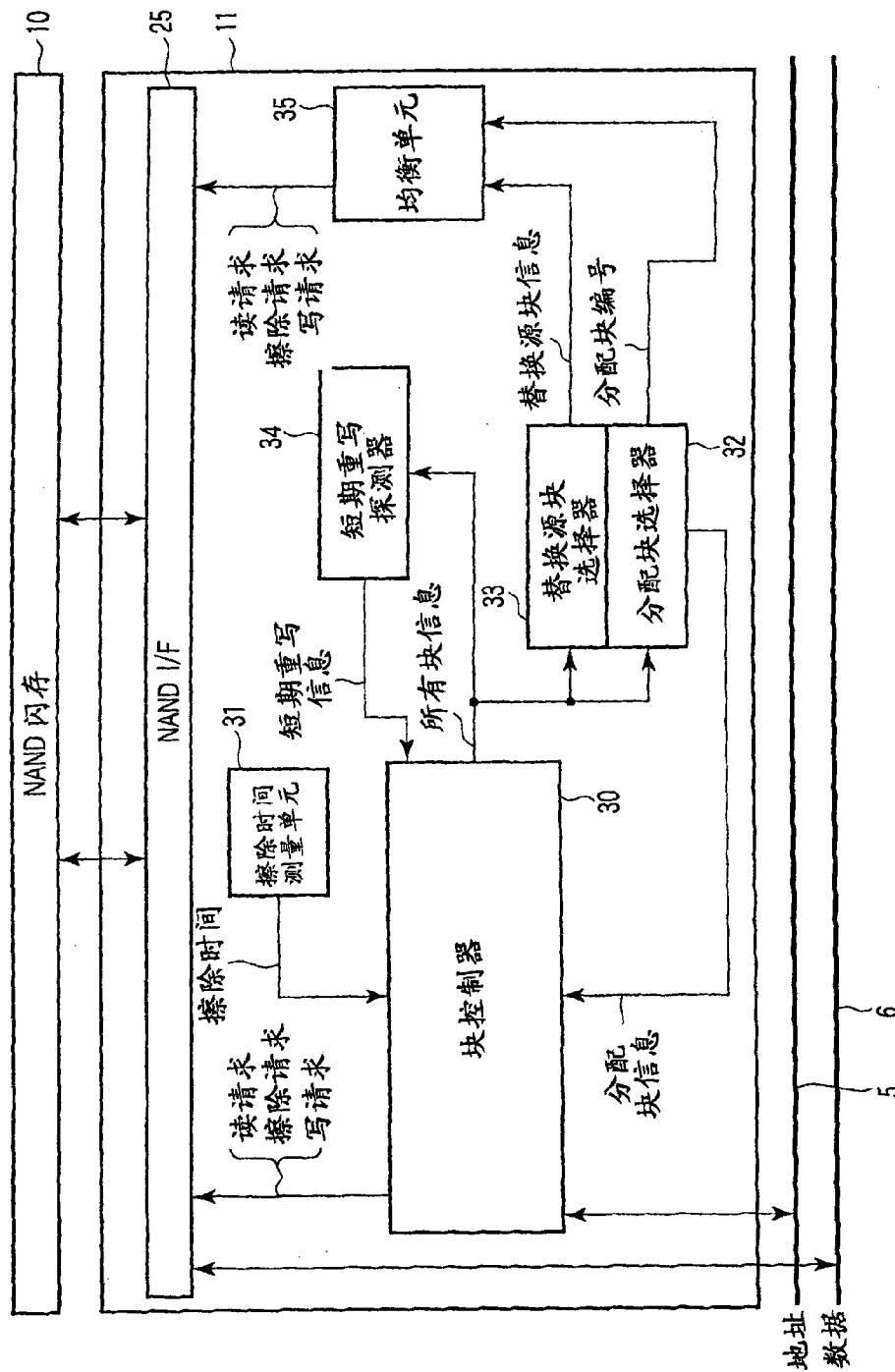


图 4

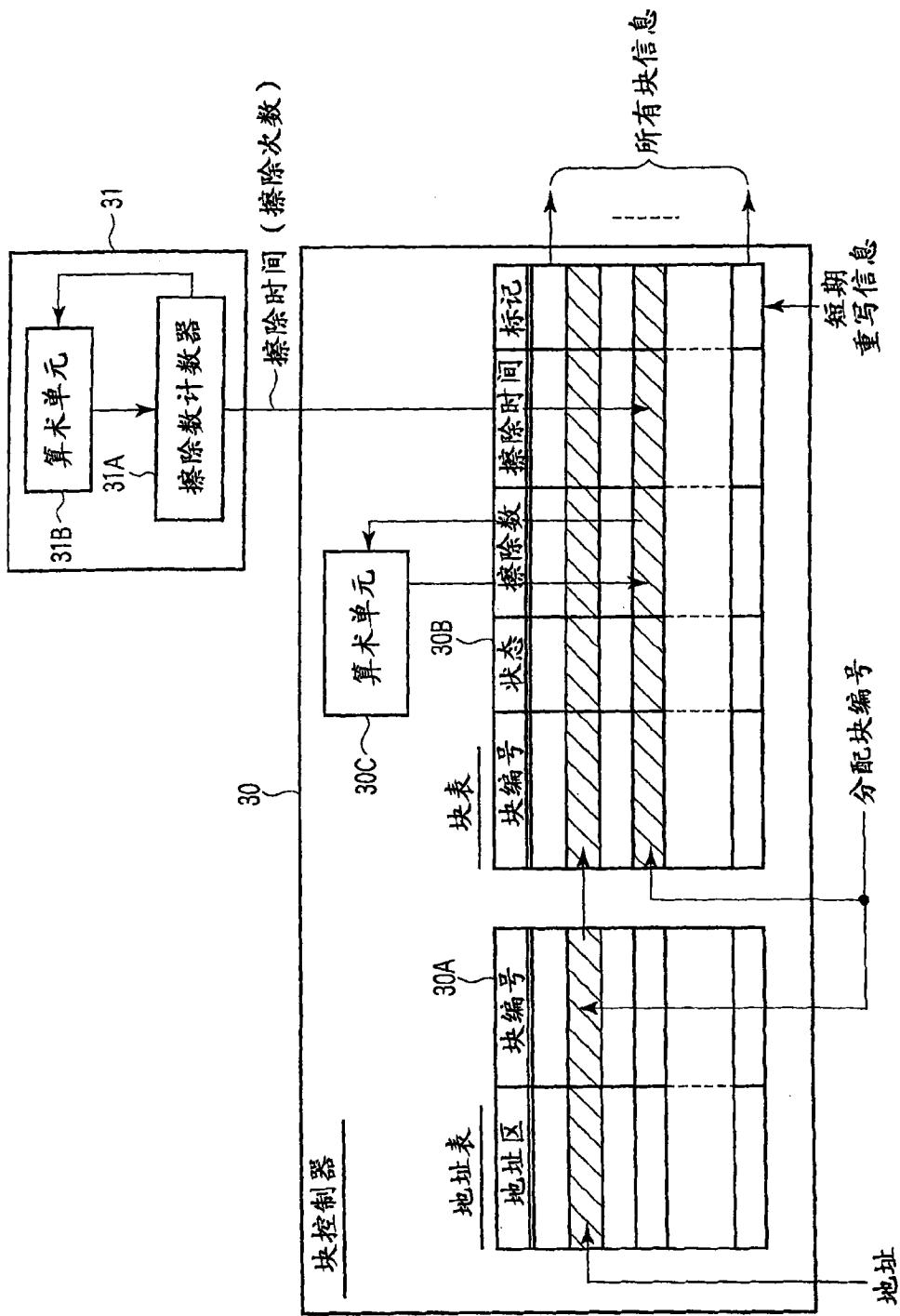


图 5

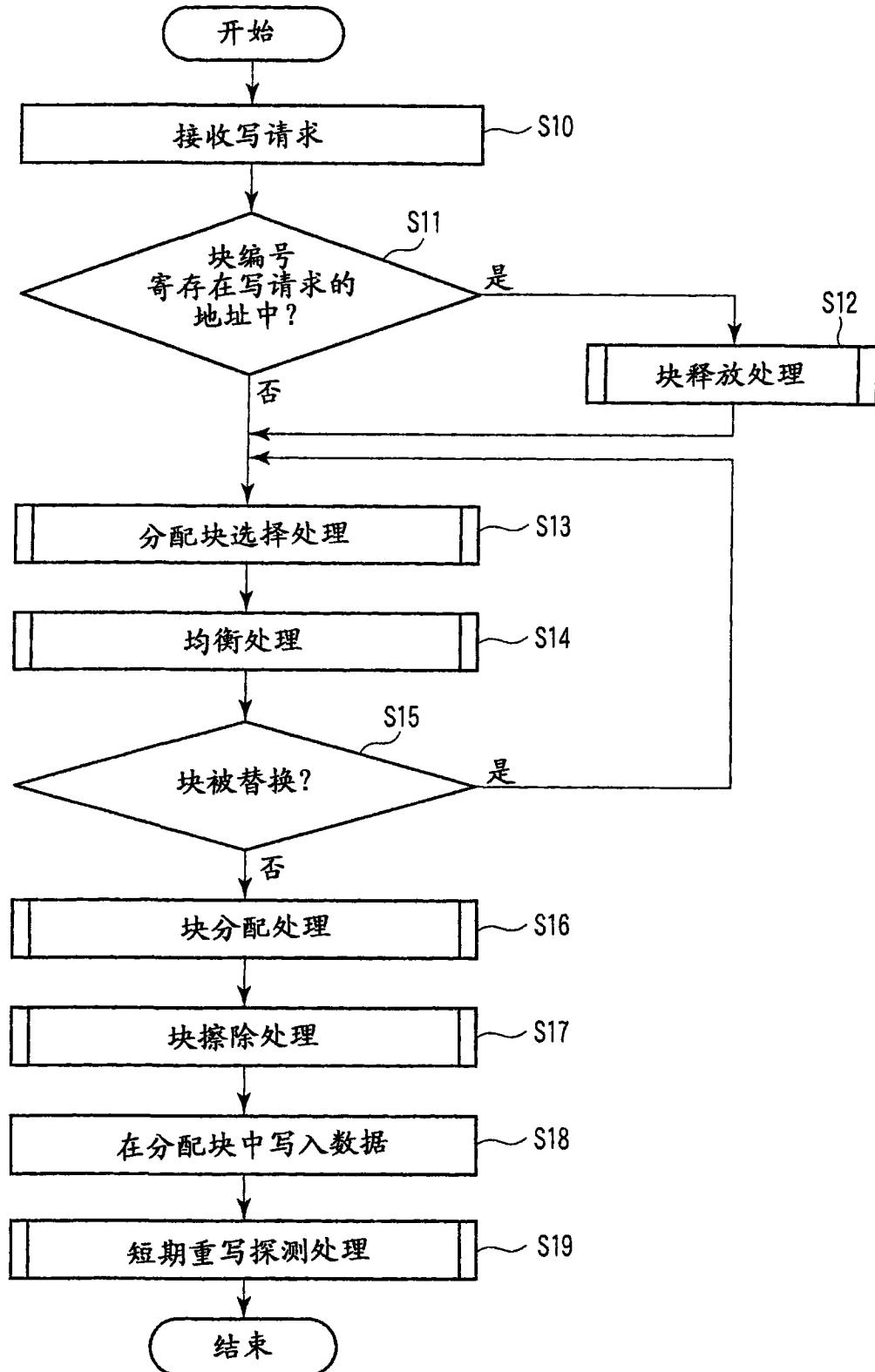


图 6

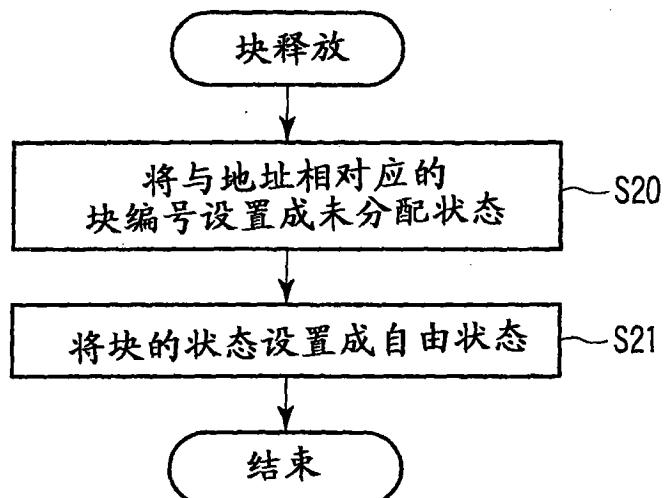


图 7

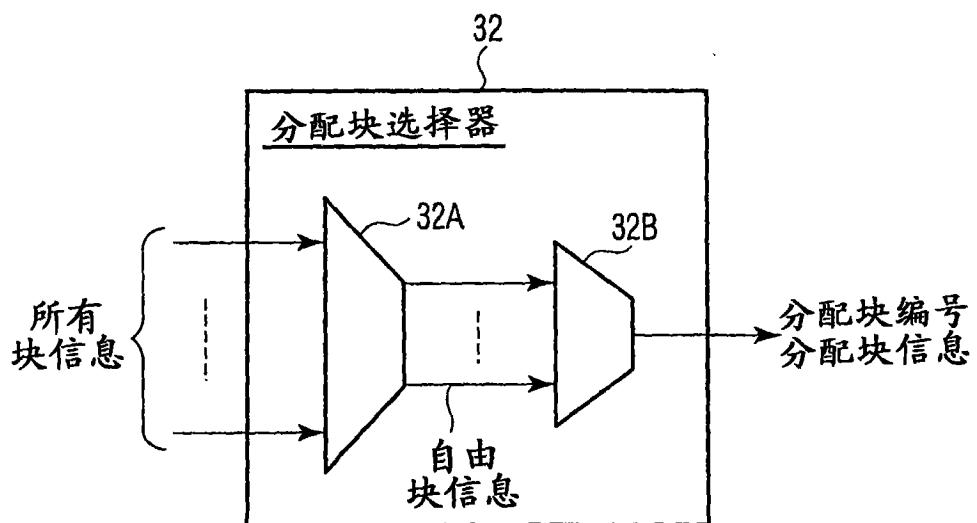


图 8

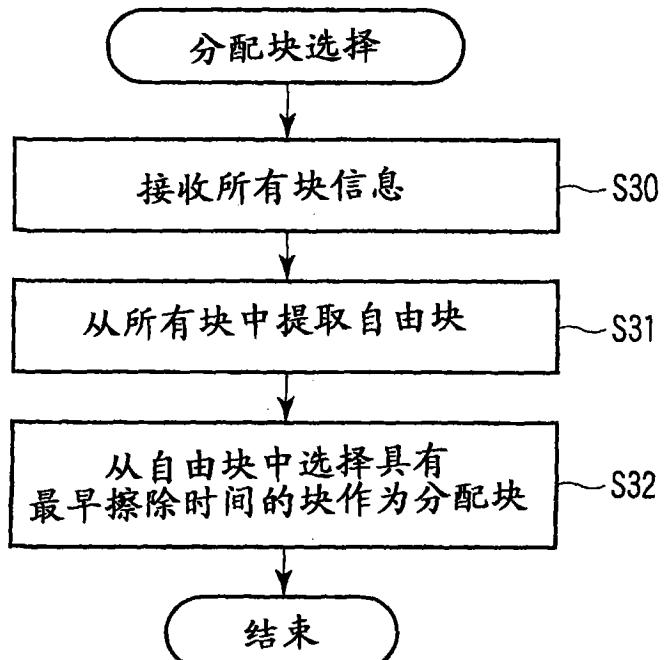


图 9

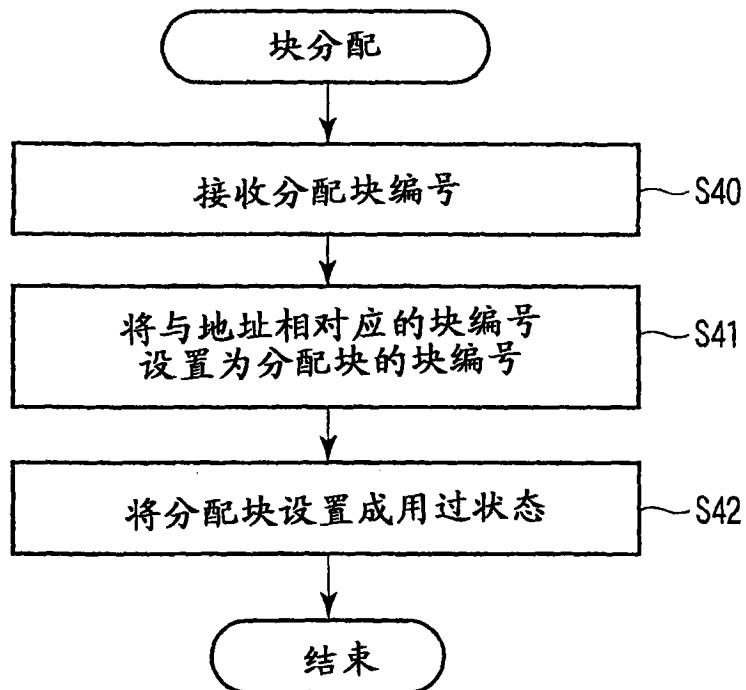


图 10

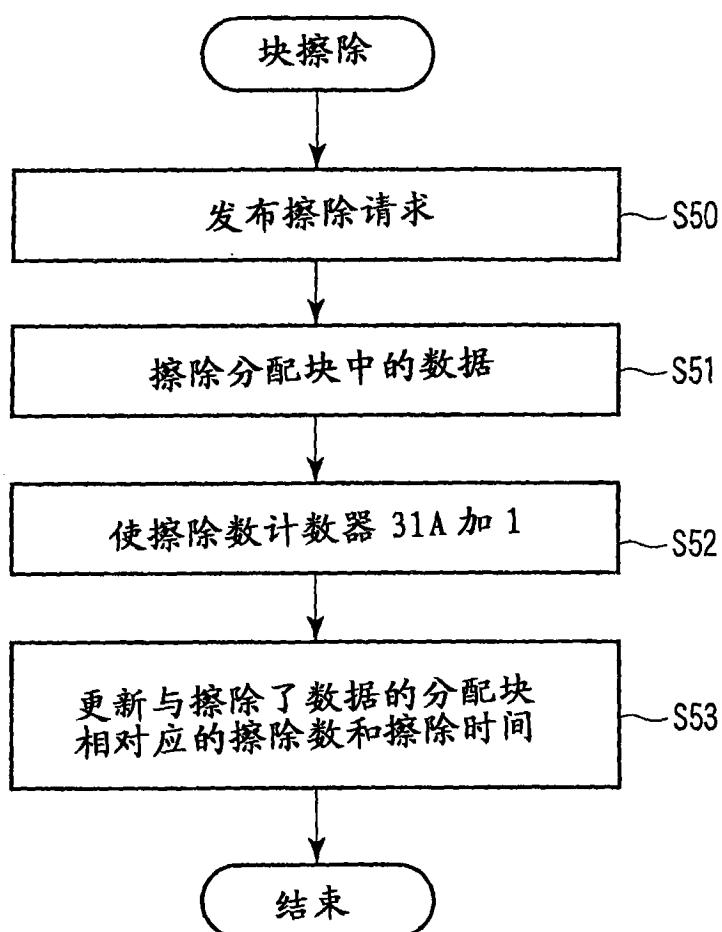


图 11

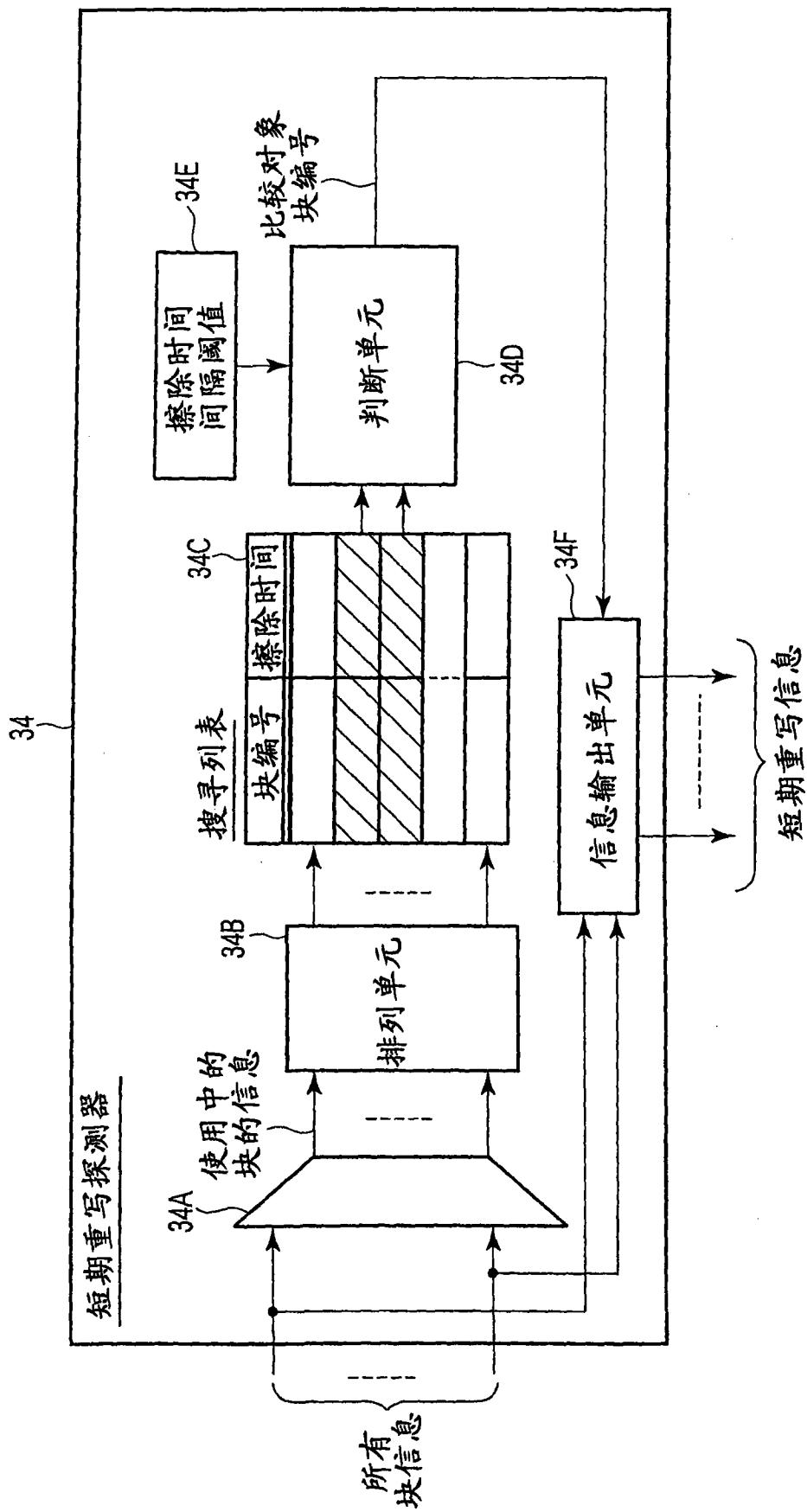


图 12

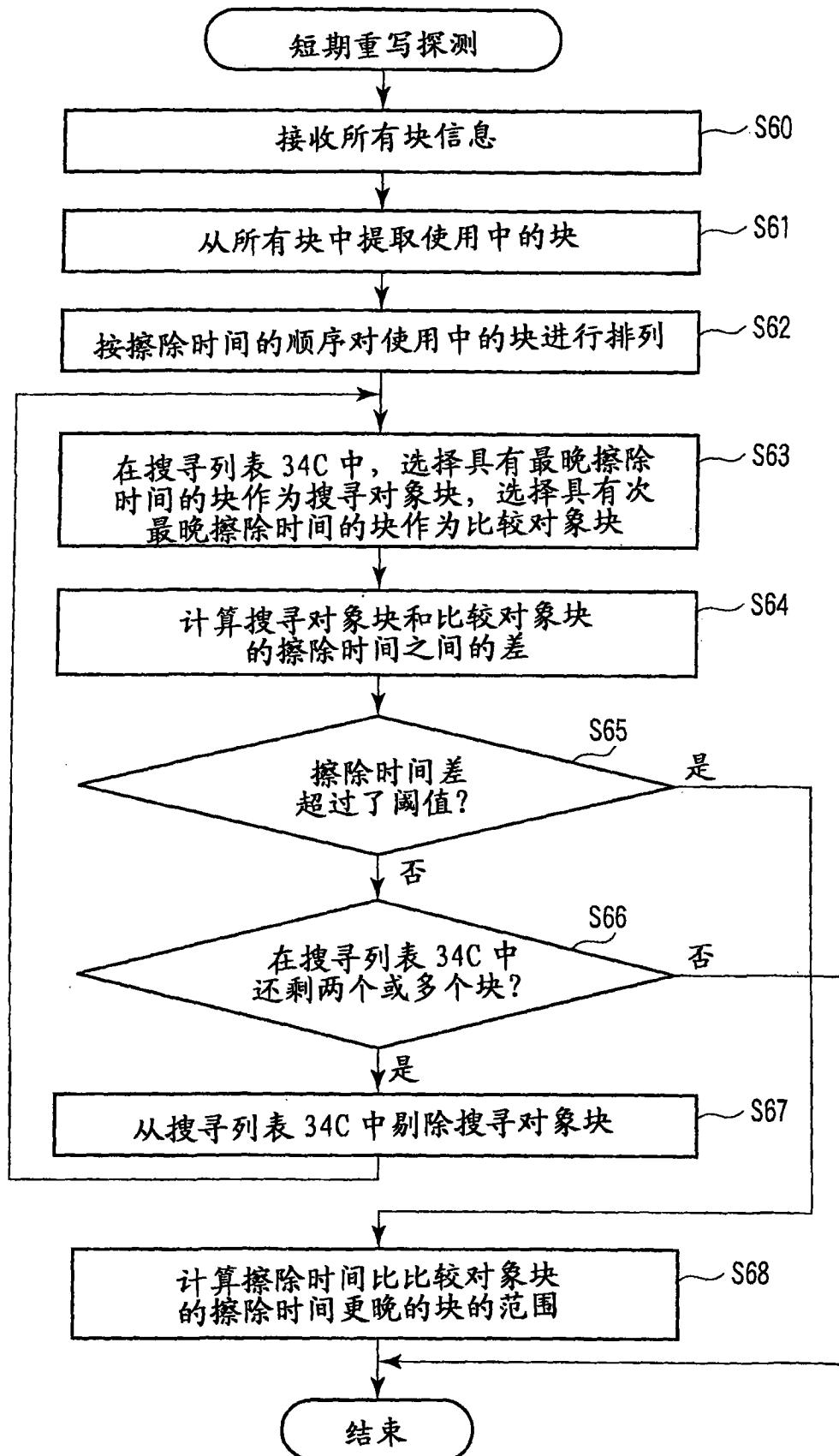


图 13

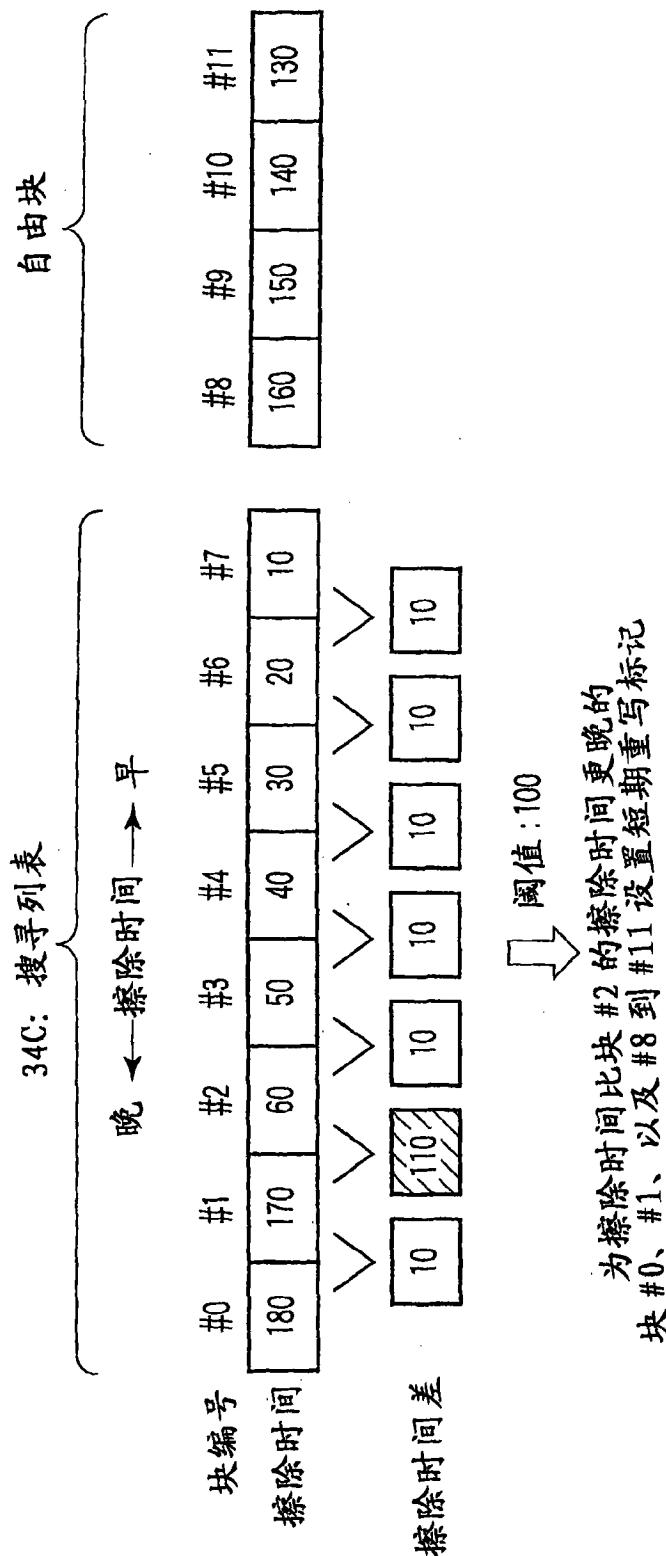


图 14

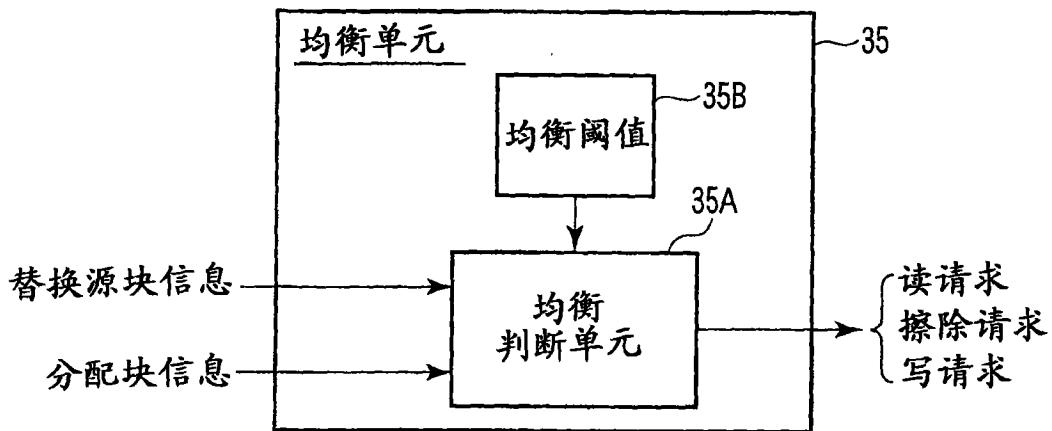


图 15

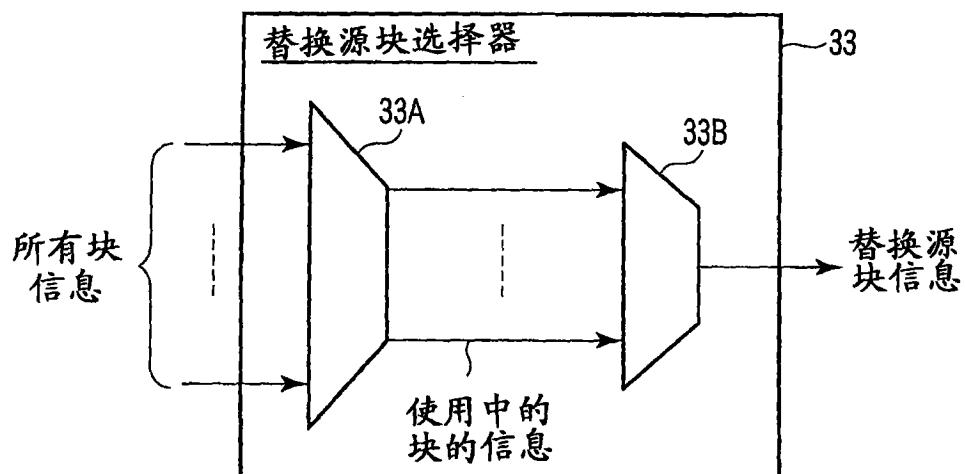


图 17

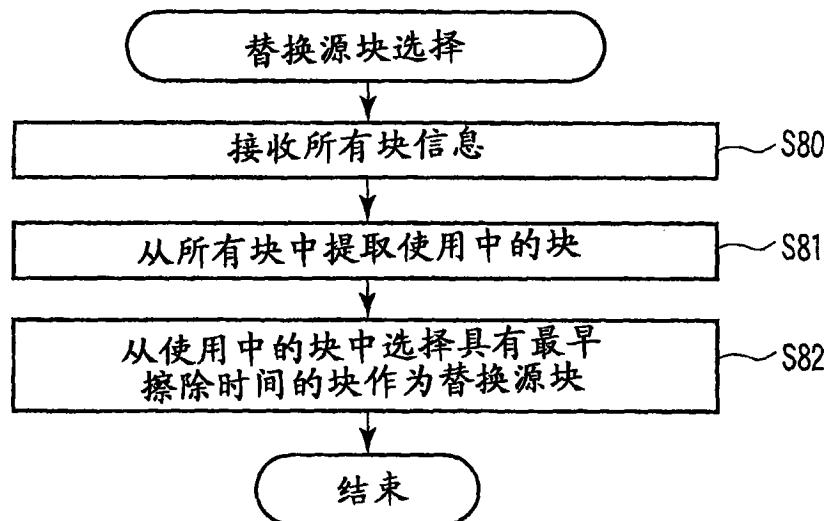


图 18

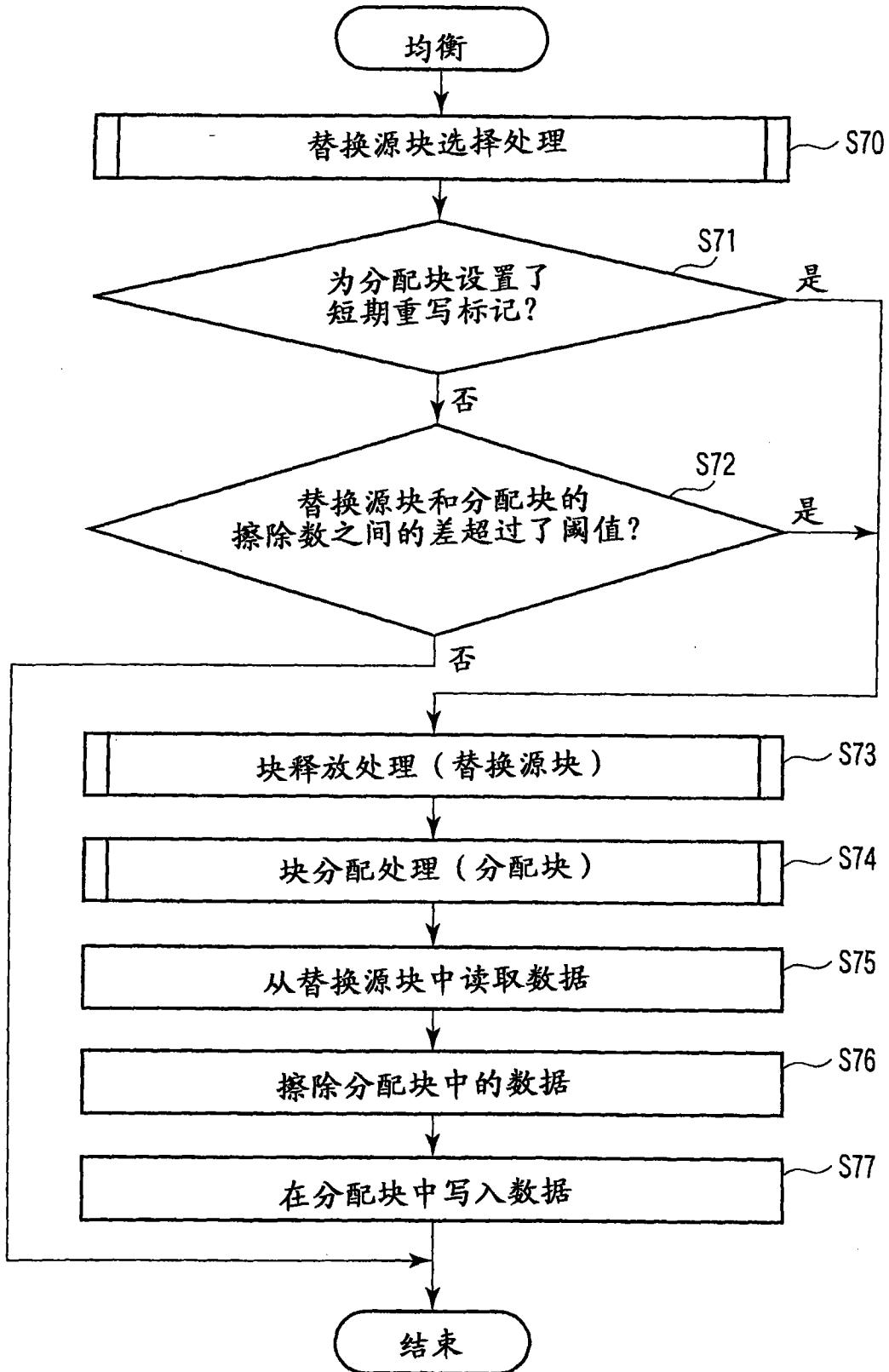


图 16

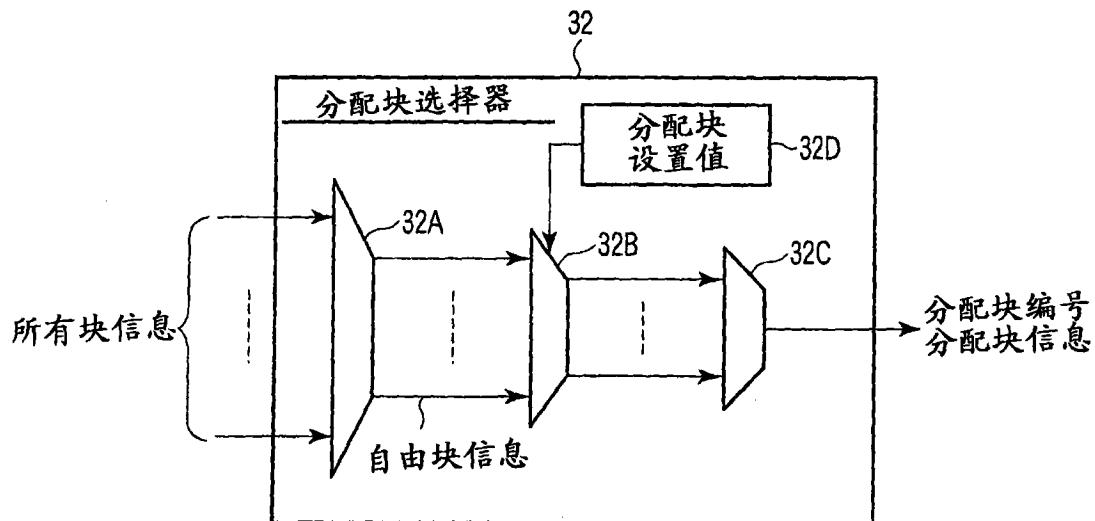


图 19

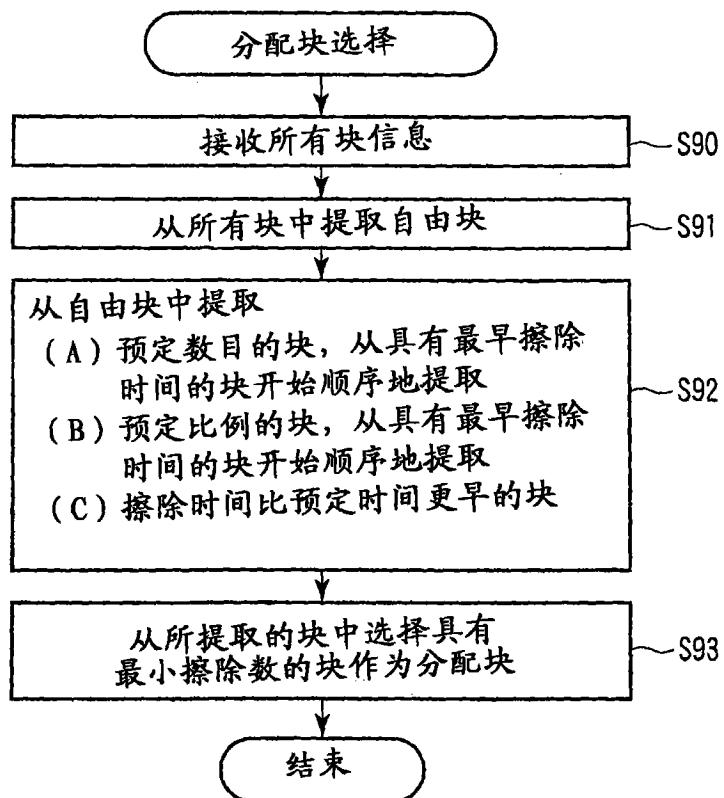


图 20

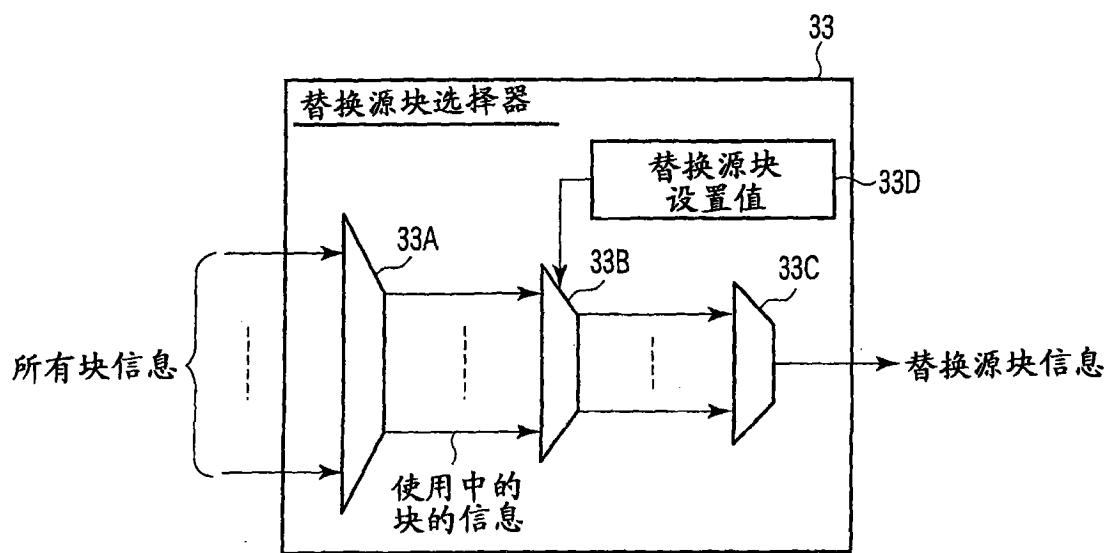


图 21

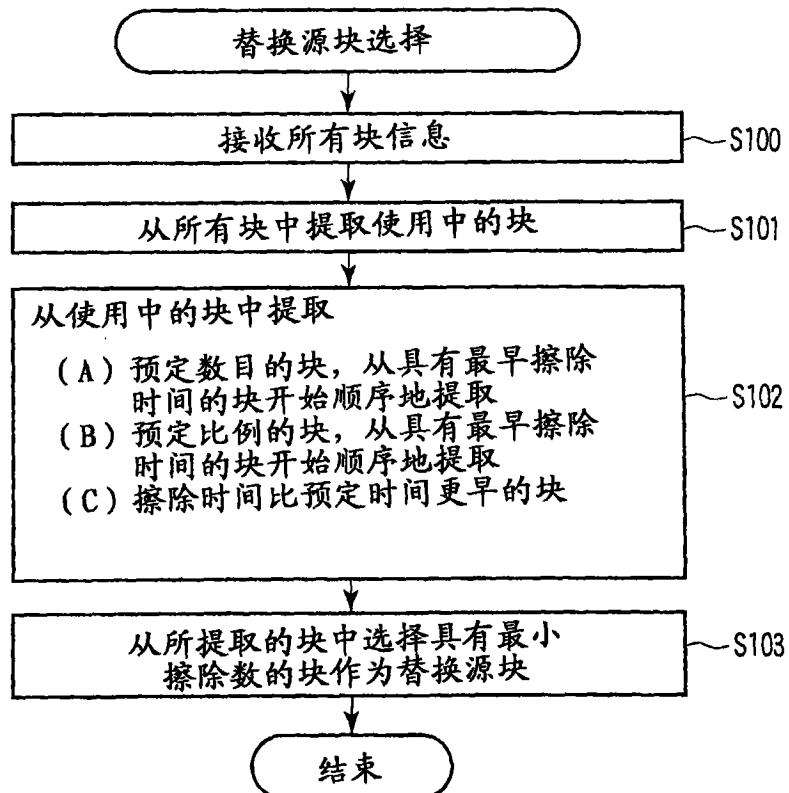


图 22

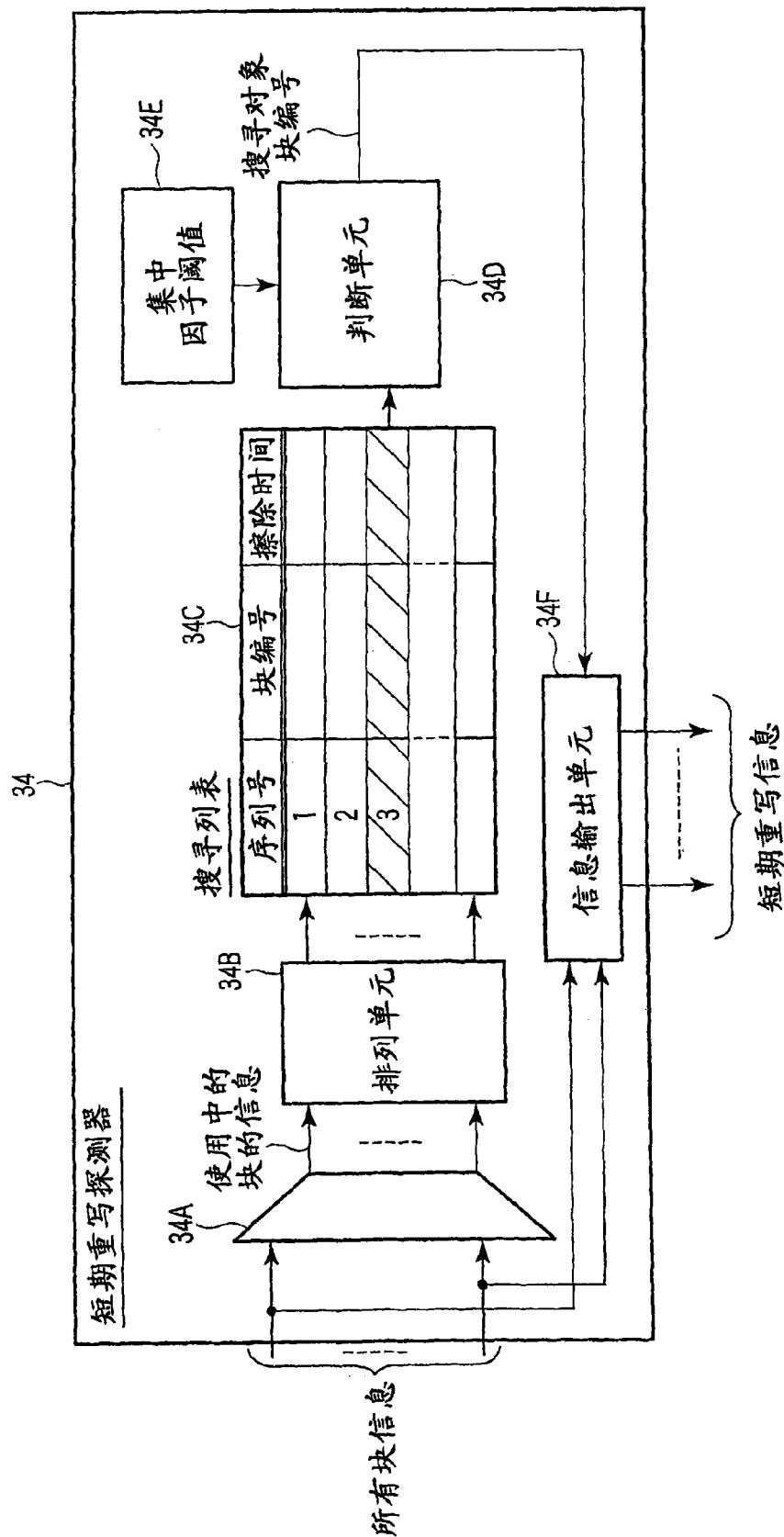


图 23

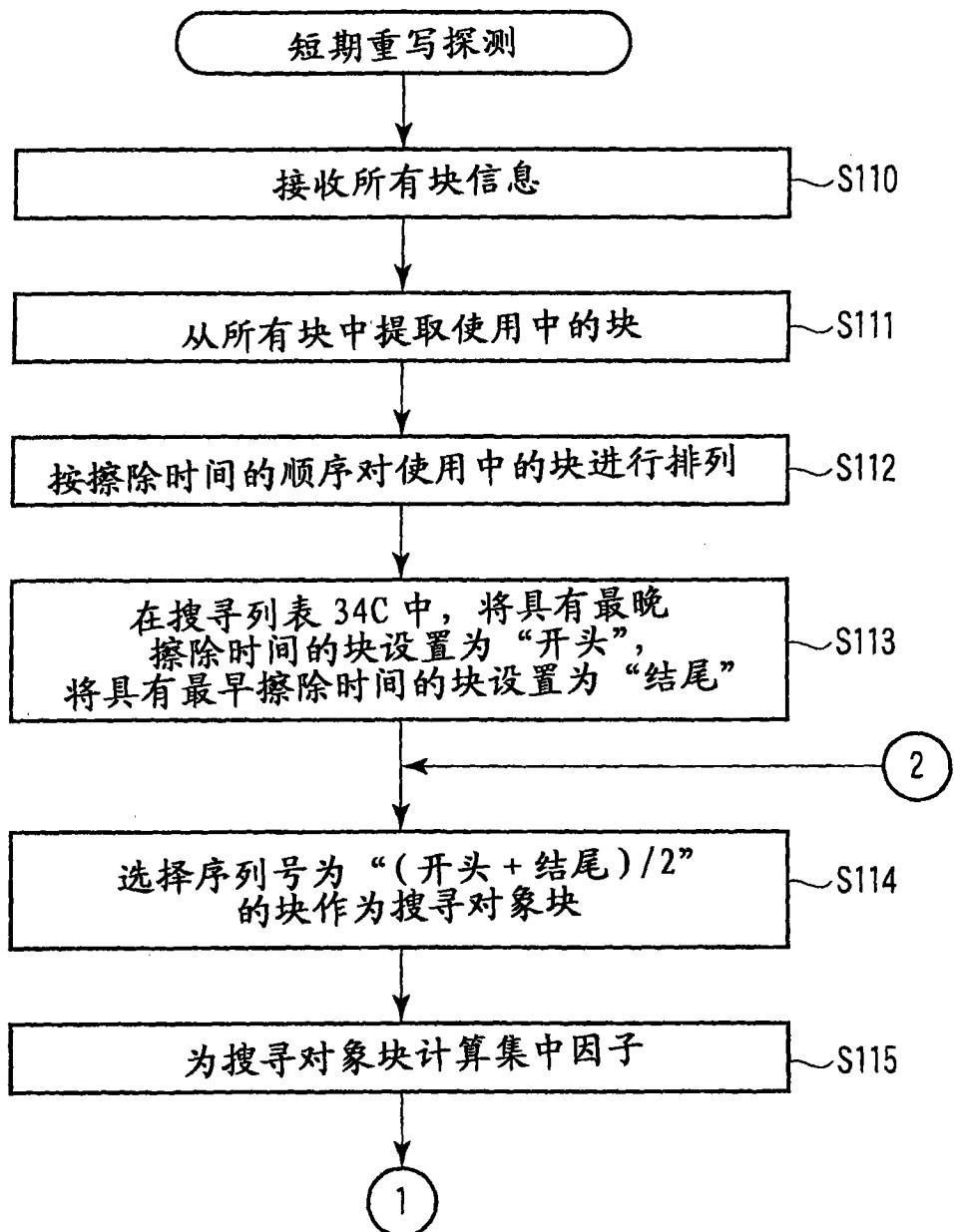


图 24

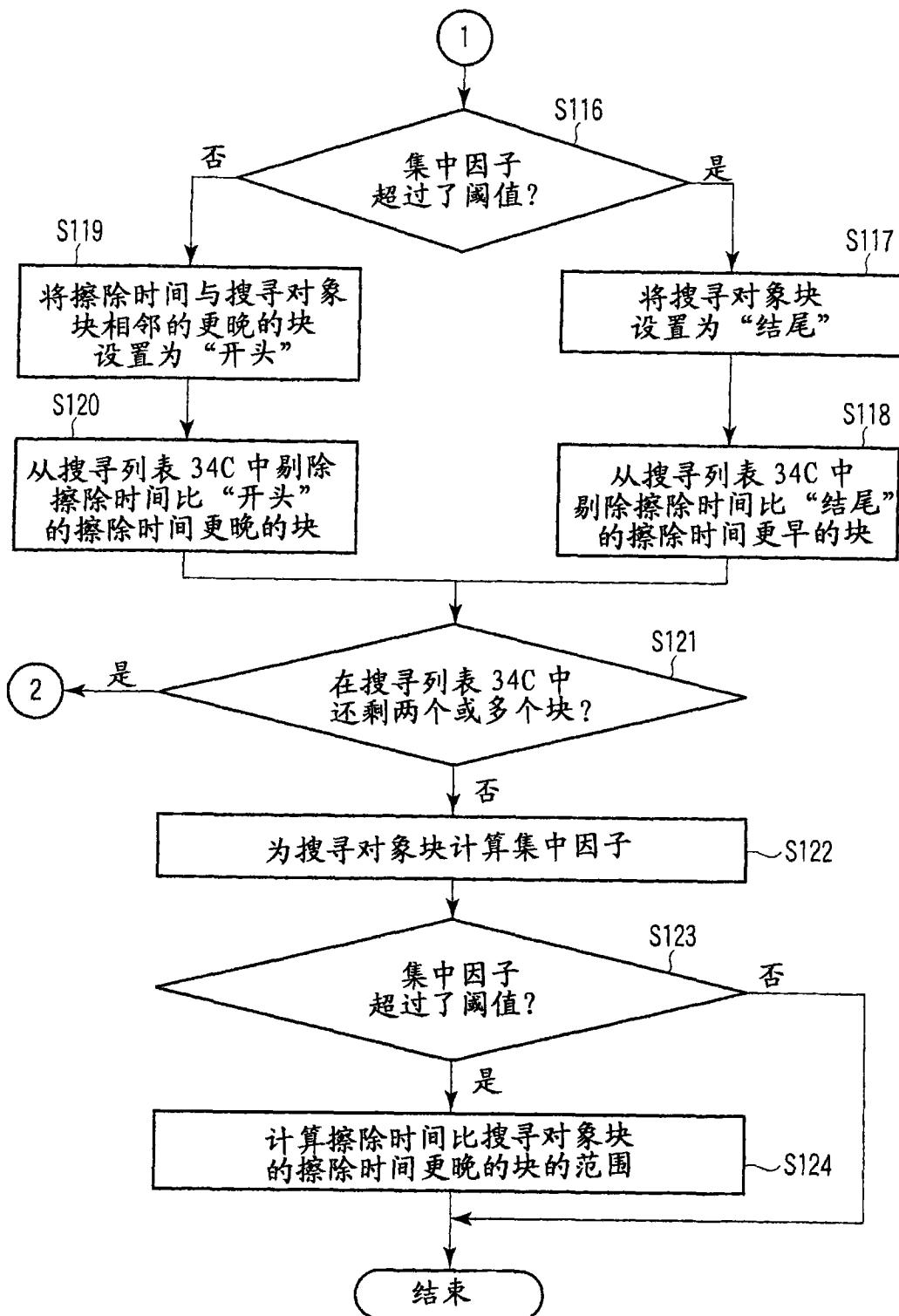


图 25

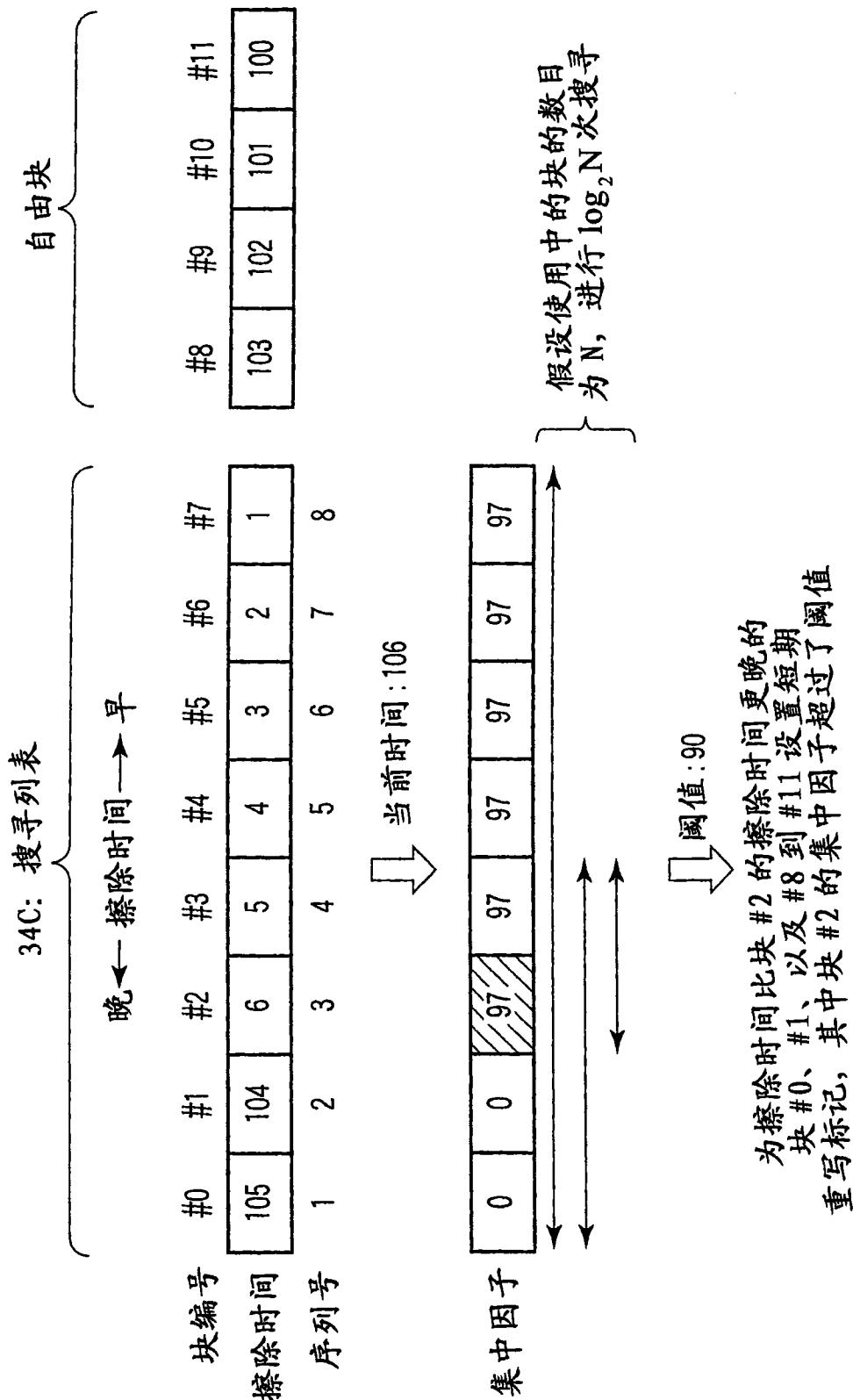


图 26

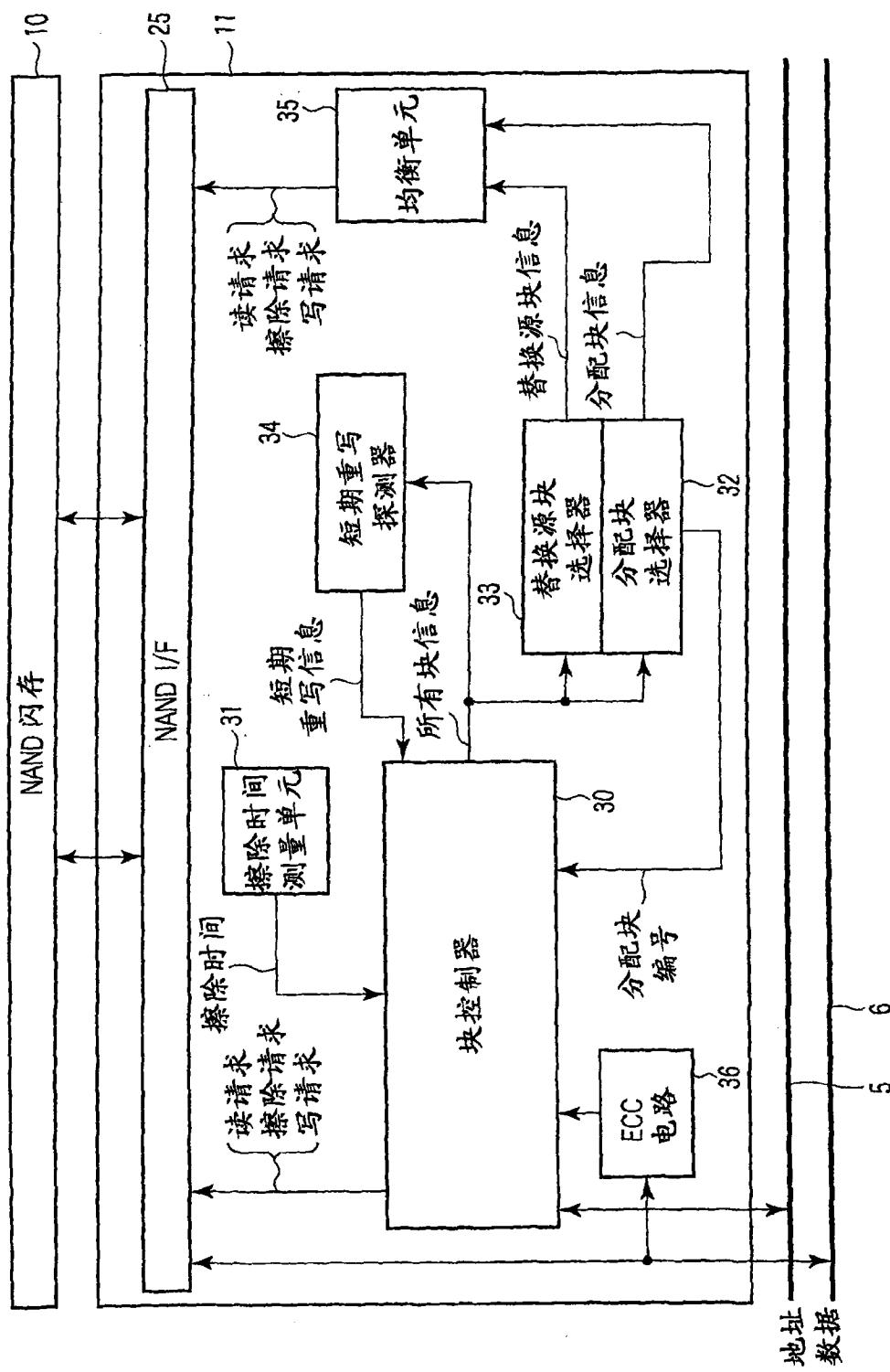


图 27

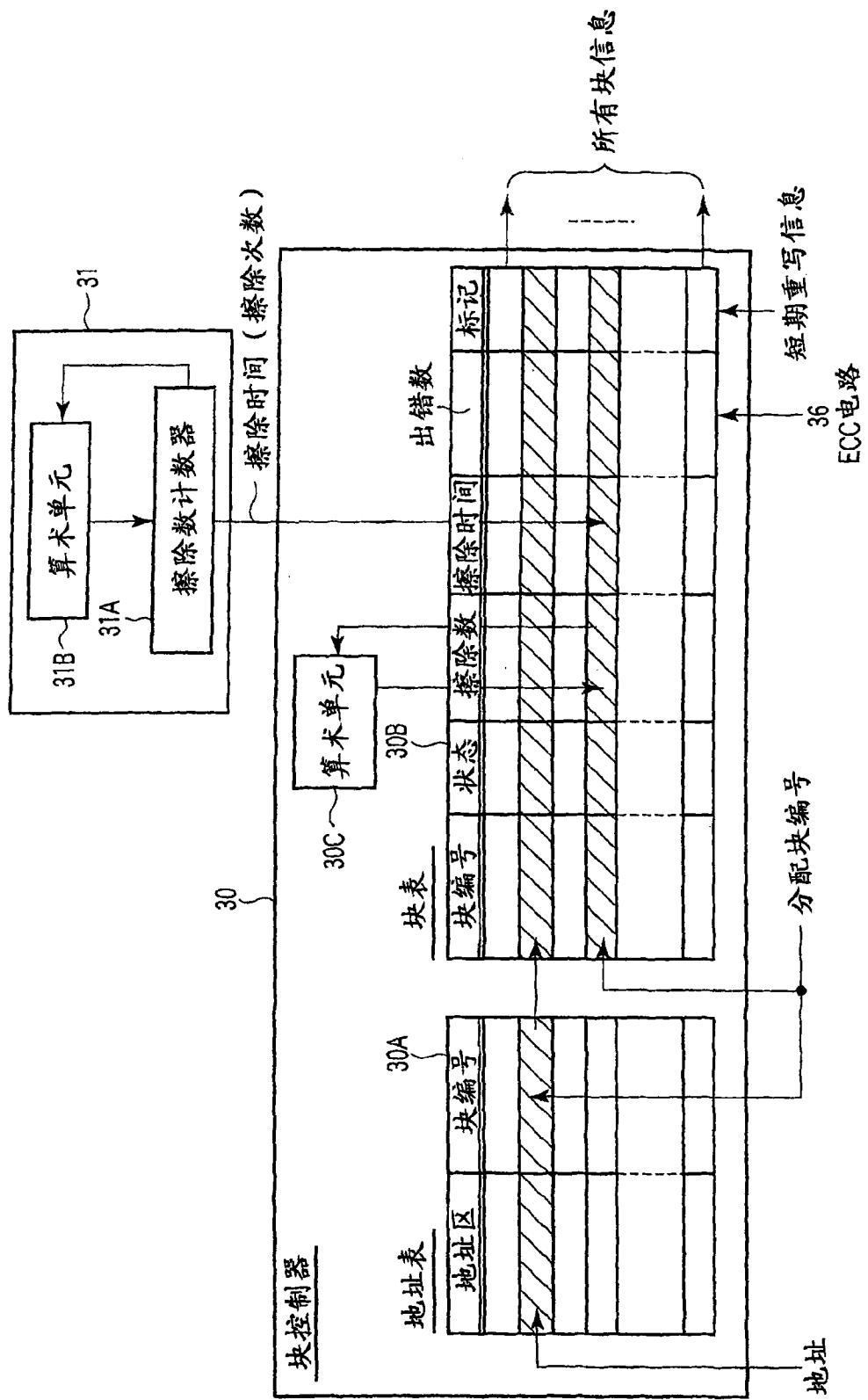


图 28

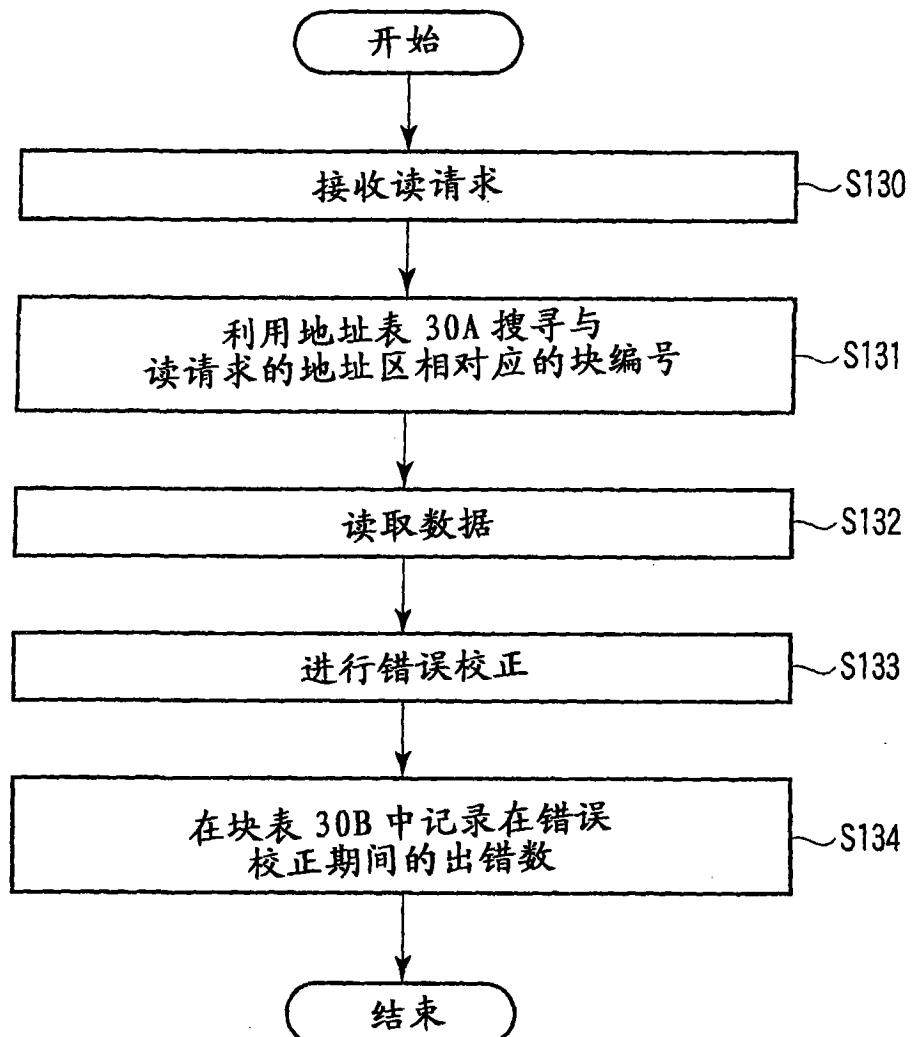


图 29

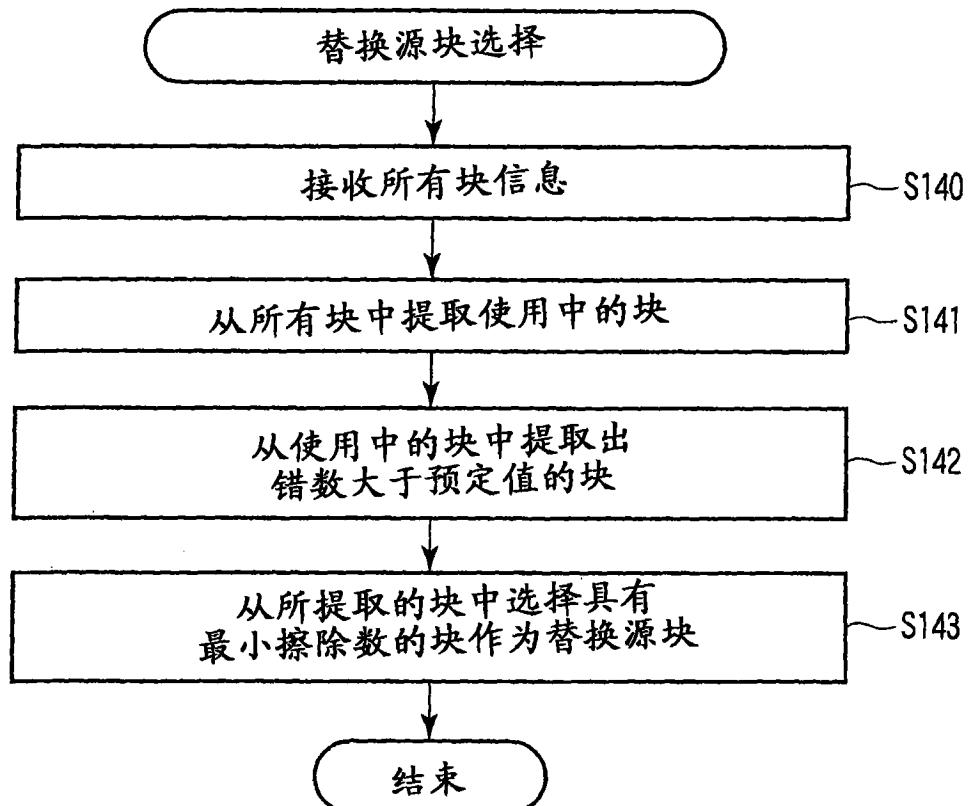


图 30

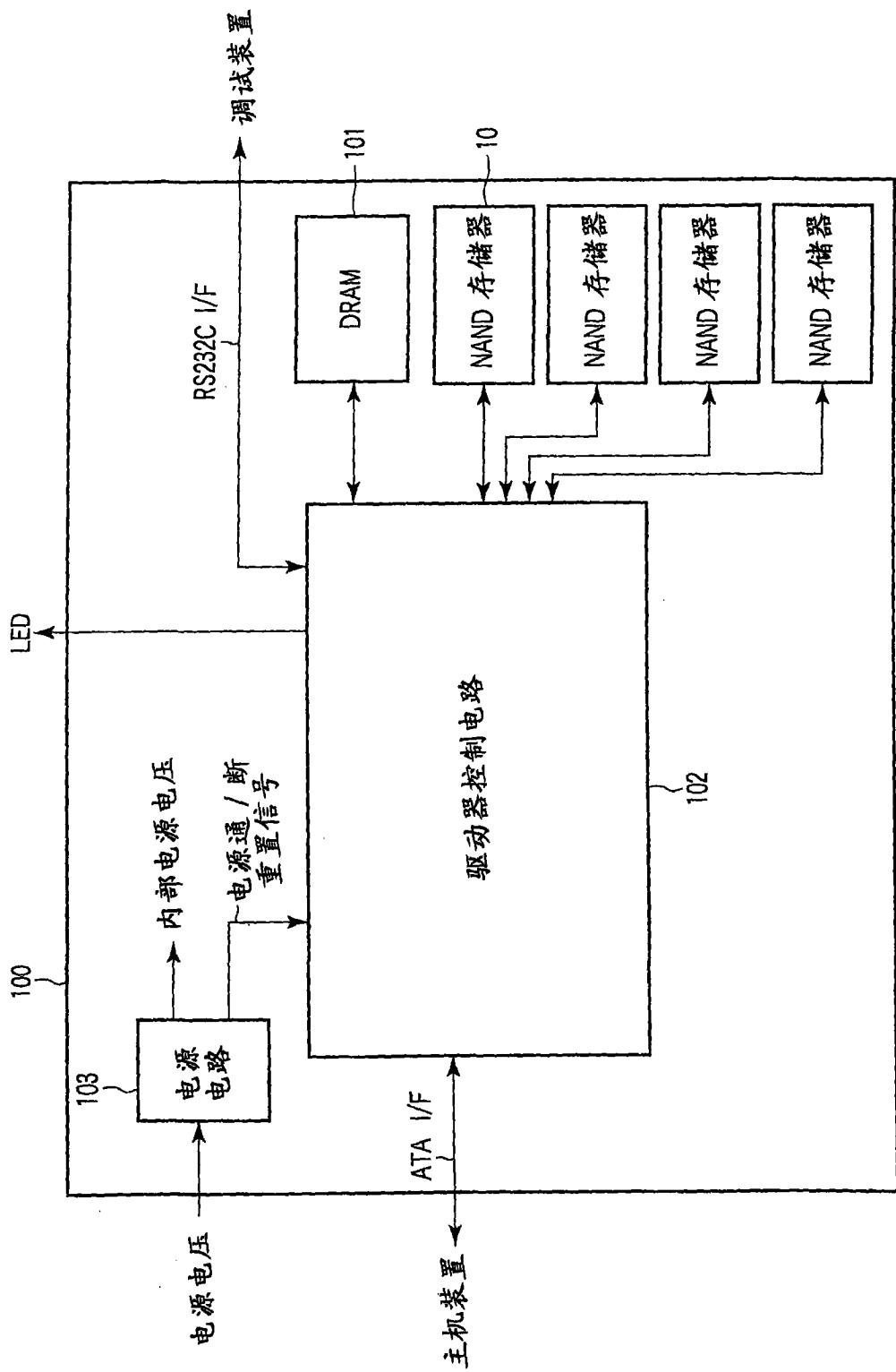


图 31

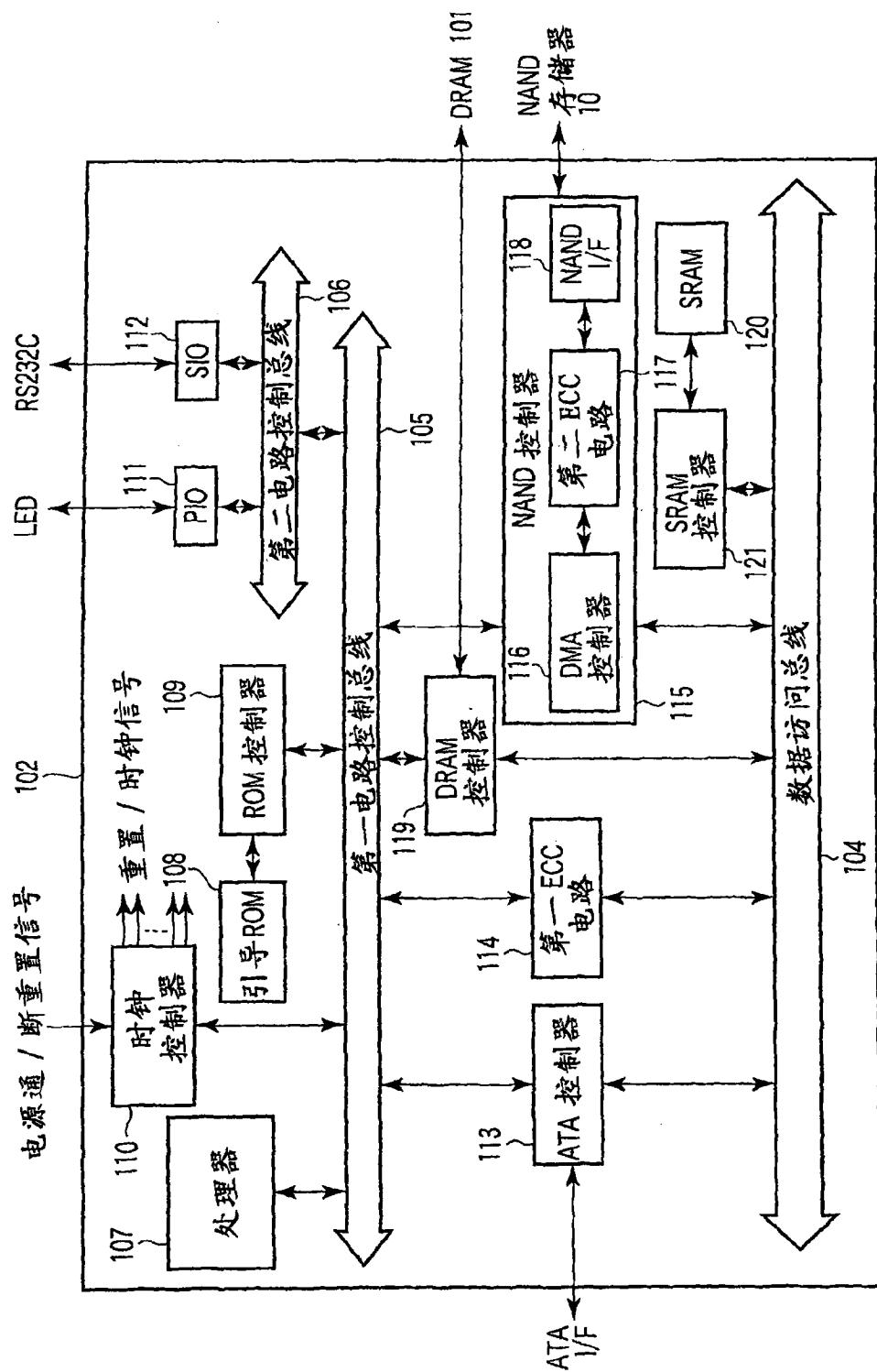


图 32

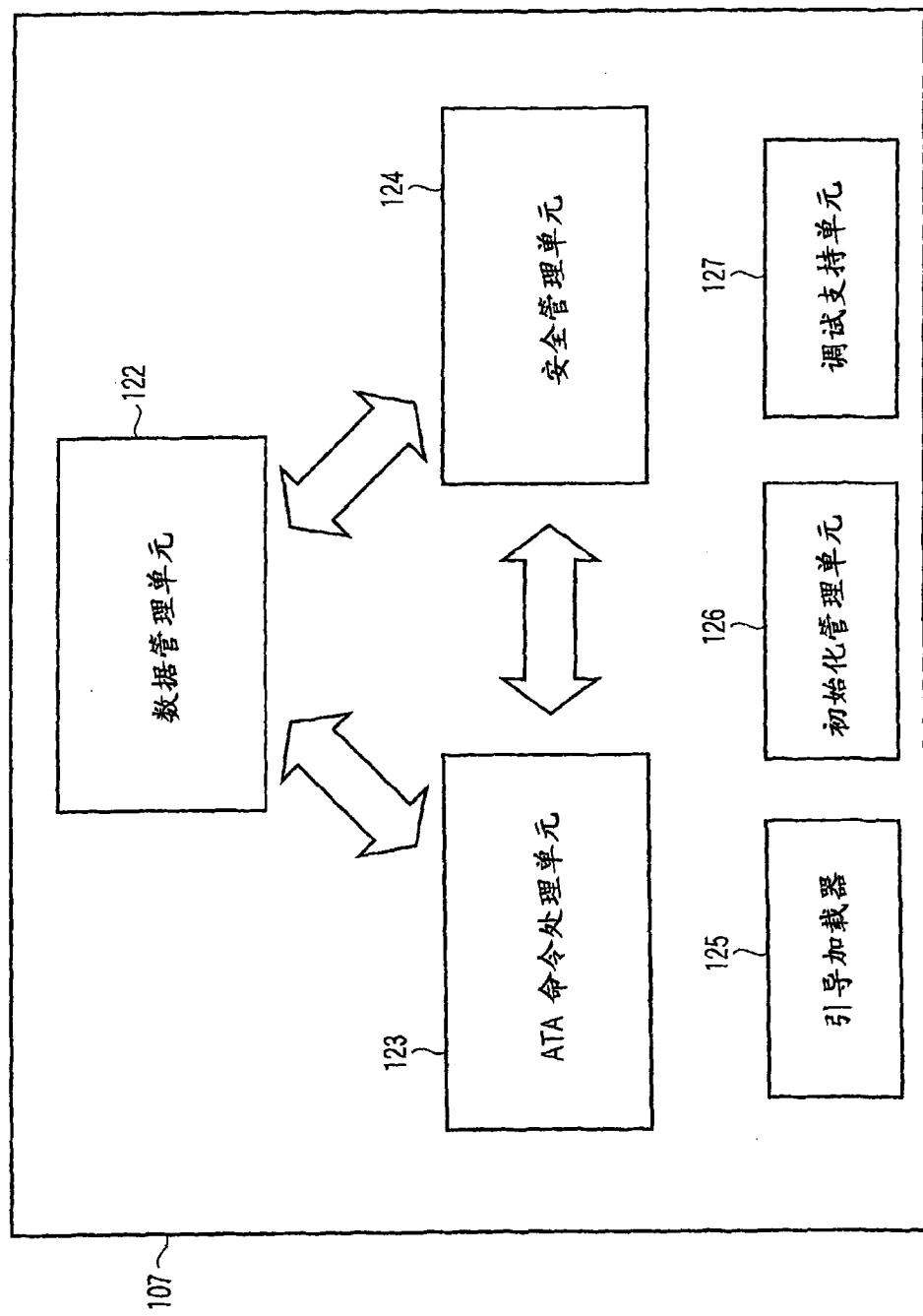


图 33

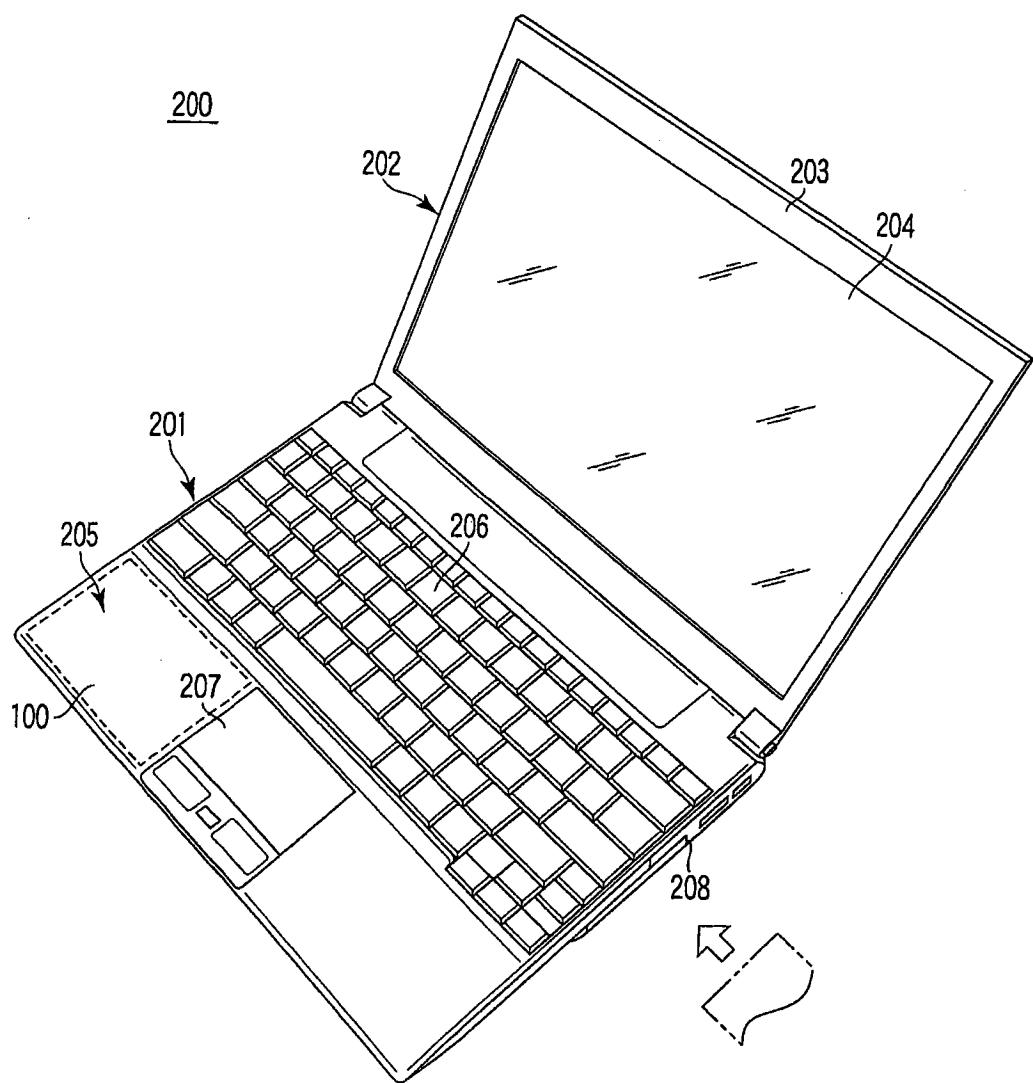


图 34

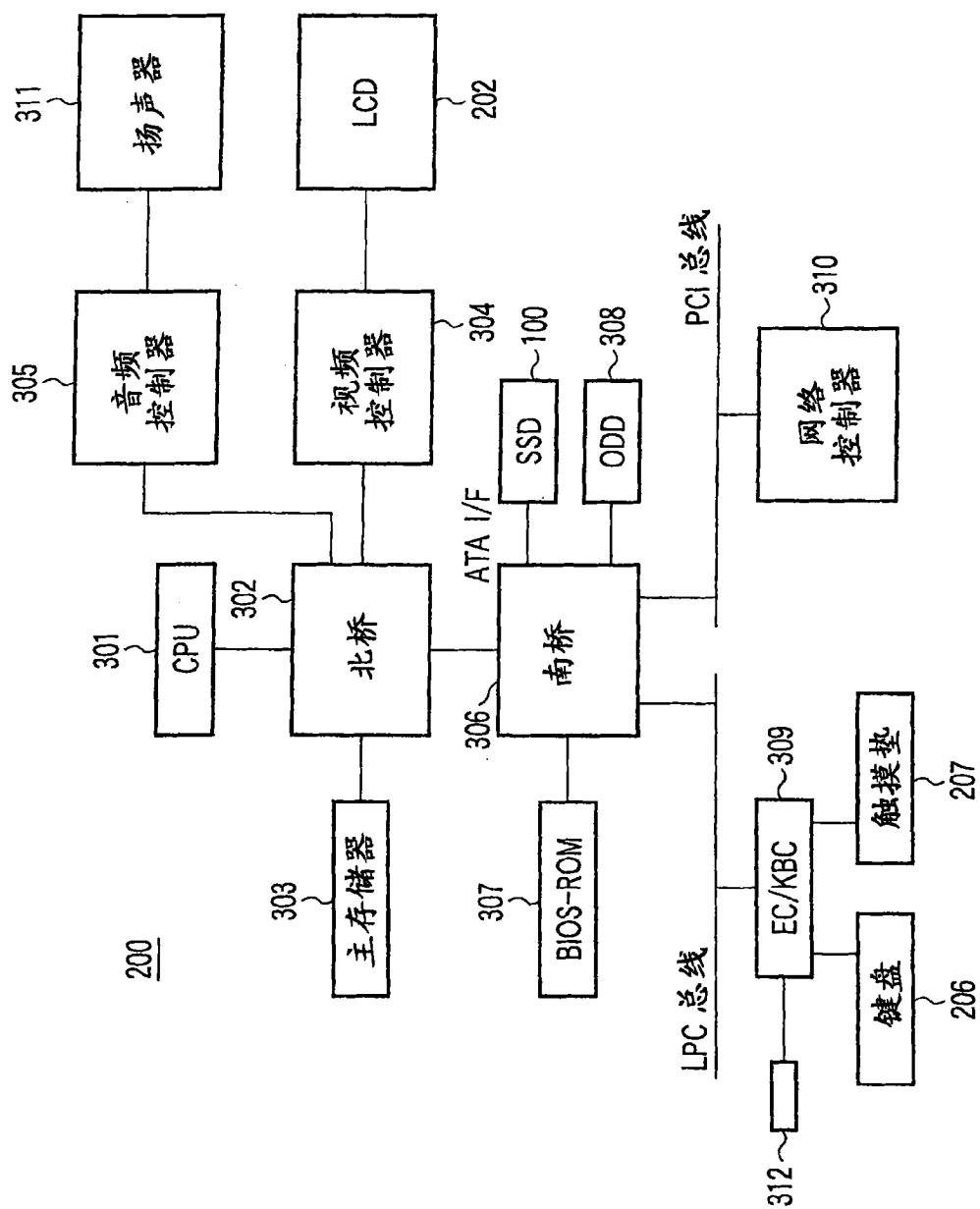


图 35