



(12) 发明专利申请

(10) 申请公布号 CN 103887287 A

(43) 申请公布日 2014.06.25

(21) 申请号 201310712188.8

(22) 申请日 2013.12.20

(30) 优先权数据

2012-279843 2012.12.21 JP

(71) 申请人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 船矢琢央 嶋原宏美 嶋原久雄

(74) 专利代理机构 中原信达知识产权代理有限
责任公司 11219

代理人 权太白 谢丽娜

(51) Int. Cl.

H01L 23/64 (2006.01)

H01L 21/48 (2006.01)

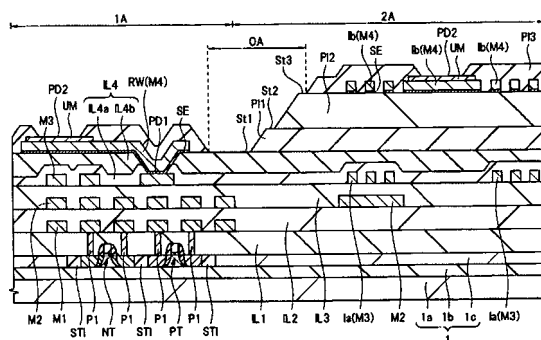
权利要求书3页 说明书23页 附图39页

(54) 发明名称

半导体装置和半导体装置的制造方法

(57) 摘要

本发明提供一种半导体装置和半导体装置的制造方法,目的在于改善半导体装置的特性。半导体装置具有形成于感应器(Ia)的上方的层叠绝缘膜。该层叠绝缘膜具有聚酰亚胺膜(PI1)和形成于聚酰亚胺膜(PI1)上且与聚酰亚胺膜(PI1)之间具有阶梯差(St2)的聚酰亚胺膜(PI2)。并且,在层叠绝缘膜上形成有感应器(Ib)。通过采用这样的聚酰亚胺膜(PI1)与(PI2)的层叠结构,能够使感应器(Ia、Ib)之间的绝缘膜的膜厚增大,能够提高绝缘耐压。而且,能够减少由曝光不良导致的凹陷、剥落的发生,而且能够减少Cu籽晶层(SE)的分段、由此导致的电镀不良。



1. 一种半导体装置,其特征在于,
具备:半导体基板,具有主面;
第一绝缘膜,形成于所述主面上;
第一线圈,形成于所述第一绝缘膜上;
第二绝缘膜,形成于所述第一线圈上,并且具有第一主面和与所述第一主面相连的第一侧面;
第三绝缘膜,形成于所述第二绝缘膜的所述第一主面上,并且具有第二主面和与所述第二主面相连的第二侧面;以及
第二线圈,形成于所述第三绝缘膜的所述第二主面上,
所述第二绝缘膜和所述第三绝缘膜是所述第一主面和所述第二主面隔着所述第二侧面形成第一阶梯差的层叠绝缘膜。
2. 根据权利要求1所述的半导体装置,其中,
所述第二绝缘膜和所述第三绝缘膜是有机绝缘膜。
3. 根据权利要求1所述的半导体装置,其中,
所述半导体装置具有:第四绝缘膜,形成于所述主面和所述第一绝缘膜之间;以及第一配线,形成于所述第一绝缘膜和所述第四绝缘膜之间,在俯视时与所述第一线圈重合,
在剖视时,所述第一线圈和所述第一配线经由贯通所述第一绝缘膜的多个连接部连接在一起。
4. 根据权利要求3所述的半导体装置,其中,
所述半导体装置具有第一区域和第二区域,
在所述第二区域形成有所述第一线圈、所述层叠绝缘膜及所述第二线圈,
在所述第一区域形成有:第二配线,形成于所述第一绝缘膜上;第一焊盘,使所述第二配线从所述第二配线上的第五绝缘膜的开口部露出;以及第三配线,由以在所述第一焊盘和所述第五绝缘膜上延伸的方式形成的第一导电膜和形成于所述第一导电膜上的第二导电膜构成。
5. 根据权利要求4所述的半导体装置,其特征在于,
所述半导体装置具有形成于所述主面的多个有源元件,在俯视时,所述第一区域与所述多个有源元件重合。
6. 根据权利要求4所述的半导体装置,其特征在于,
所述半导体装置具有形成于所述第二线圈上的第6a绝缘膜和形成于所述第三配线上的第6b绝缘膜,
在所述第二区域的所述第6a绝缘膜和所述第一区域的所述第6b绝缘膜的交界部具有将所述第四绝缘膜作为底部的槽部。
7. 根据权利要求6所述的半导体装置,其特征在于,
所述半导体装置具有所述第6a绝缘膜,所述第6a绝缘膜形成于所述第三绝缘膜的所述第二主面上,并且具有第三主面和与所述第三主面相连的第三侧面,
所述第三绝缘膜和所述第6a绝缘膜是所述第二主面和所述第三主面隔着所述第三侧面形成第二阶梯差的层叠绝缘膜。
8. 根据权利要求7所述的半导体装置,其中,

所述第二绝缘膜、所述第三绝缘膜以及由所述第 6a 绝缘膜和所述第 6b 绝缘膜构成的第六绝缘膜为有机绝缘膜。

9. 根据权利要求 8 所述的半导体装置, 其中,

所述第六绝缘膜具有负片型的感光性。

10. 根据权利要求 8 所述的半导体装置, 其中,

所述半导体基板为 SOI 基板, 具有: 支承基板; 绝缘层, 形成于所述支承基板上; 以及半导体膜, 形成于所述绝缘层上。

11. 根据权利要求 4 所述的半导体装置, 其中,

所述半导体装置具有多个所述第二配线,

所述第三配线连接两个以上的多个所述第二配线各自的露出区域即所述第一焊盘。

12. 一种半导体装置的制造方法, 具有如下工序:

(a) 在半导体基板的上方的第一绝缘膜上形成第一线圈的工序;

(b) 在所述第一线圈的上方形成层叠绝缘膜的工序, 该 (b) 工序包括

(b1) 在所述第一绝缘膜的上方形成第二绝缘膜的工序和

(b2) 在所述第二绝缘膜上以与所述第二绝缘膜之间具有阶梯差的方式形成第三绝缘膜的工序; 以及

(c) 在所述层叠绝缘膜上形成第二线圈的工序。

13. 根据权利要求 12 所述的半导体装置的制造方法, 其中,

所述第二绝缘膜和所述第三绝缘膜是感光性的有机绝缘膜。

14. 根据权利要求 12 所述的半导体装置的制造方法, 其中,

所述 (c) 工序具有如下工序:

(c1) 在所述层叠绝缘膜上形成供电层的工序;

(c2) 在所述供电层上形成光致抗蚀剂膜的工序;

(c3) 在所述光致抗蚀剂膜的所述第二线圈的预定形成区域形成开口部的工序; 以及

(c4) 在所述开口部内从所述供电层上生长镀膜的工序。

15. 根据权利要求 12 所述的半导体装置的制造方法, 其中,

所述半导体装置的制造方法具有 (d) 在所述第二线圈上形成第四绝缘膜的工序。

16. 一种半导体装置的制造方法, 具有如下工序:

(a) 在半导体基板的第一区域形成有源元件的工序;

(b) 在所述半导体基板的所述第一区域形成配线, 在所述半导体基板的第二区域形成第一线圈的工序;

(c) 在所述配线和所述第一线圈上形成第一绝缘膜的工序;

(d) 在所述半导体基板的所述第二区域的所述第一线圈上的所述第一绝缘膜上形成层叠绝缘膜的工序, 该 (d) 工序包括

(d1) 在所述第一绝缘膜上形成第二绝缘膜的工序和

(d2) 在所述第二绝缘膜上以与所述第二绝缘膜之间具有阶梯差的方式形成第三绝缘膜的工序; 以及

(e) 在所述层叠绝缘膜上形成第二线圈, 并形成从将所述配线上的在所述第一绝缘膜开口而成的第一焊盘区域延伸至所述第一绝缘膜上的再配线的工序。

17. 根据权利要求 16 所述的半导体装置的制造方法,其中,
所述(e)工序具有如下工序:
(e1) 在所述第一绝缘膜和所述层叠绝缘膜上形成供电层的工序;
(e2) 在所述供电层上形成光致抗蚀剂膜的工序;
(e3) 在所述光致抗蚀剂膜的所述第二线圈的预定形成区域形成第一开口部的工序;
(e4) 在所述光致抗蚀剂膜的所述再配线的预定形成区域形成第二开口部的工序;以
及
(e5) 在所述第一开口部和所述第二开口部内从所述供电层上生长镀膜工序。
18. 根据权利要求 17 所述的半导体装置的制造方法,其中,
所述半导体装置的制造方法具有(f)在所述第二线圈和所述再配线上形成第四绝缘膜的工序。
19. 根据权利要求 18 所述的半导体装置的制造方法,其中,
所述半导体装置的制造方法具有(g)通过除去所述第四绝缘膜而在所述再配线上形成第二焊盘区域的工序。
20. 根据权利要求 19 所述的半导体装置的制造方法,其中,
在所述(g)工序中,除去所述第一区域和所述第二区域的交界部的所述第四绝缘膜。

半导体装置和半导体装置的制造方法

技术领域

[0001] 本发明涉及半导体装置和半导体装置的制造方法,例如涉及应用于具有感应器(线圈)的半导体装置和具有感应器的半导体装置的制造方法的有效技术。

背景技术

[0002] 作为在输入的电信号的电位彼此不同的两个电路之间传递电信号的装置,已知使用光耦合器的装置。光耦合器具有发光二极管等发光元件和光敏晶体管等受光元件,将输入的电信号通过发光元件转换成光,并将所述光通过受光元件还原成电信号,从而传递电信号。

[0003] 而且,开发出了通过将两个感应器电感耦合来传递电信号的技术。例如,在下述专利文献1(日本特开2009-302418号公报)中,公开了具有第一感应器(200)、第一绝缘层(100)及第二感应器(300)的电路装置(参照图1)。第一感应器(200)位于第一绝缘层(100)的一个面,第二感应器(300)位于第一绝缘层(100)的另一个面,当从相对于第一绝缘层(100)的一个面垂直的方向观察时,第二感应器(300)位于与第一感应器(200)重合的区域。而且,作为第一绝缘层(100)例示了聚酰亚胺树脂。

[0004] 另外,在本栏中,(括号)内表示在专利文献中记载的标号或图号。

[0005] 专利文献1:日本特开2009-302418号公报

发明内容

[0006] 作为在输入的电信号的电位彼此不同的两个电路之间传递电信号的技术,已知使用上述“光耦合器”的技术。然而,由于光耦合器具有发光元件和受光元件,因此难以小型化。而且,由于在电信号的频率高的情况下无法跟踪电信号等,该技术的应用存在界限。

[0007] 另一方面,在通过将两个感应器电感耦合来传递电信号的半导体装置中,能够利用半导体装置的微细加工技术形成感应器,能够实现装置的小型化,而且电特性也良好,期待进行该半导体装置的开发。

[0008] 特别是为了进一步进行耐压的提高等装置特性的改善,需要对装置结构、其制造方法等进行研究。

[0009] 其他课题和新的特征通过本说明书的记载和附图得以明确。

[0010] 对本申请中公开的实施方式中代表性的实施方式的概要如下简要地进行说明。

[0011] 本申请中公开的一种实施方式所示的半导体装置具有在第一线圈的上方形成的层叠绝缘膜。该层叠绝缘膜具有第二绝缘膜和形成于第二绝缘膜上的第三绝缘膜。并且,第二绝缘膜和第三绝缘膜是第二绝缘膜的主面与第三绝缘膜的主面隔着第三绝缘膜的侧面形成阶梯差的层叠绝缘膜,在层叠绝缘膜上形成第二线圈。

[0012] 本申请公开的一种实施方式所示的半导体装置的制造方法具有在第一线圈的上方形成层叠绝缘膜的工序,该工序具有:在第一绝缘膜上形成第二绝缘膜的工序;以及在第二绝缘膜上以与第二绝缘膜之间具有阶梯差的方式形成第三绝缘膜的工序。并且,在上

述工序后,在层叠绝缘膜上形成第二线圈。

[0013] 本申请中公开的一种实施方式所示的半导体装置的制造方法具有:在半导体基板的第一区域形成有源元件的工序;在半导体基板的第一区域形成配线,在半导体基板的第二区域形成第一线圈的工序;以及在第一线圈上的第一绝缘膜上形成层叠绝缘膜的工序。该形成层叠绝缘膜的工序具有:在第一绝缘膜上形成第二绝缘膜的工序;以及在第二绝缘膜上以与第二绝缘膜之间存在阶梯差的方式形成第三绝缘膜的工序。而且,该半导体装置的制造方法还具有:在层叠绝缘膜上形成第二线圈,并形成从配线上的第一绝缘膜的开口部延伸至第一绝缘膜上的再配线的工序。

[0014] 根据本申请中公开的、以下所示的代表性的实施方式所示的半导体装置,能够改善半导体装置的特性。

[0015] 根据本申请中公开的、以下所示的代表性的实施方式所示的半导体装置的制造方法,能够制造特性良好的半导体装置。

附图说明

[0016] 图 1 是示出实施方式 1 的半导体装置的结构示意图。

[0017] 图 2 是示出实施方式 1 的半导体装置的结构剖视图。

[0018] 图 3 是示出实施方式 1 的半导体装置的感应器的结构例的俯视图。

[0019] 图 4 是示出实施方式 1 的半导体装置的制造工序的剖视图。

[0020] 图 5 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 4 的制造工序的剖视图。

[0021] 图 6 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 5 的制造工序的剖视图。

[0022] 图 7 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 6 的制造工序的剖视图。

[0023] 图 8 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 7 的制造工序的剖视图。

[0024] 图 9 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 8 的制造工序的剖视图。

[0025] 图 10 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 9 的制造工序的剖视图。

[0026] 图 11 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 10 的制造工序的剖视图。

[0027] 图 12 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 11 的制造工序的剖视图。

[0028] 图 13 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 12 的制造工序的剖视图。

[0029] 图 14 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 13 的制造工序的剖视图。

[0030] 图 15 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 14 的

制造工序的剖视图。

[0031] 图 16 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 15 的制造工序的剖视图。

[0032] 图 17 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 16 的制造工序的剖视图。

[0033] 图 18 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 17 的制造工序的剖视图。

[0034] 图 19 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 18 的制造工序的剖视图。

[0035] 图 20 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 19 的制造工序的剖视图。

[0036] 图 21 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 20 的制造工序的剖视图。

[0037] 图 22 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 21 的制造工序的剖视图。

[0038] 图 23 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 22 的制造工序的剖视图。

[0039] 图 24 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 23 的制造工序的剖视图。

[0040] 图 25 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 24 的制造工序的剖视图。

[0041] 图 26 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 25 的制造工序的剖视图。

[0042] 图 27 是示出实施方式 1 的半导体装置的制造工序的剖视图,是示出接着图 26 的制造工序的剖视图。

[0043] 图 28 是示出实施方式 1 的半导体装置的感应器部的剖视图。

[0044] 图 29 是示出实施方式 1 的比较例 1 的结构的剖视图。

[0045] 图 30 是示出实施方式 1 的比较例 2 的结构的剖视图。

[0046] 图 31 是示意性地示出作为实施方式 1 的比较例 2 的聚酰亚胺膜的层叠膜成为倒锥状态的情况的剖视图。

[0047] 图 32 是成为倒锥状态的聚酰亚胺膜的层叠膜的照片。

[0048] 图 33 是临摹图 32 的照片中的聚酰亚胺膜的形状的图。

[0049] 图 34 是示出实施方式 2 的半导体装置的结构框图。

[0050] 图 35 是示出实施方式 2 的半导体装置的结构俯视图。

[0051] 图 36 是示意性地示出实施方式 3 的半导体装置的结构俯视图。

[0052] 图 37 是示意性地示出实施方式 3 的半导体装置的结构剖视图。

[0053] 图 38 是示意性地示出实施方式 3 的半导体装置的结构剖视图。

[0054] 图 39 是示意性地示出实施方式 4 的半导体装置的结构俯视图。

[0055] 图 40 是示意性地示出实施方式 4 的半导体装置的结构剖视图。

[0056] 图 41 是示意性地示出实施方式 4 的半导体装置的结构剖视图。

[0057] 图 42 是示出实施方式 5 中的三相电动机的电路图的图。

具体实施方式

[0058] 在以下的实施方式中,为了方便,在必要时分为多个部分或实施方式进行说明,但是除非特别说明的情况,这些并非彼此无关的内容,而是一方为另一方的一部分或者全部的变形例、应用例、详细说明、补充说明等的关系。而且,在以下的实施方式中,在提到要素的数字等(包括个数、数值、量、范围等)的情况下,除了特别明确示出的情况和在原理上明确地限定为特定的数字的情况等之外,并不限定于该特定的数字,可以在特定的数字以上,也可以在特定的数字以下。

[0059] 并且,在以下的实施方式中,其构成要素(也包括要素步骤等),除了特别明确示出的情况和考虑在原理上明确为必需的情况等之外,并不一定是必需的。同样地,在以下的实施方式中,在提到构成要素的形状、位置关系等时,除了特别明确示出的情况和考虑在原理上明确并非如此的情况等之外,实质上包括与其形状等近似或类似的形状等。该情况对于上述数字等(包括个数、数值、量、范围等)也是同样的。

[0060] 以下,基于附图详细地说明本发明的实施方式。另外,在用于说明实施方式的所有图中,对具有相同功能的部件标以相同或相关的标号,省略其重复的说明。而且,在存在多个类似的部件(部位)的情况下,存在对统称的标号追加记号来表示个别或特定的部位的情况。而且,在以下的实施方式中,除了特别需要时以外,原则上不再重复相同或同样的部分的说明。

[0061] 而且,在实施方式采用的附图中,即使是剖视图,也存在为了使附图容易观察而省略影线的情况。而且,即使是俯视图,也存在为了使附图容易观察而标上影线的情况。

[0062] 而且,在剖视图和俯视图中,各部位的大小与实际设备并不对应,存在为了使附图容易理解而将特定的部位表示得相对较大的情况。而且,即使在俯视图与剖视图对应的情况下,也存在改变各部位的大小地表示的情况。

[0063] (实施方式 1)

[0064] [结构说明]

[0065] 图 1 是示出本实施方式的半导体装置的结构示意图。图 1 所示的半导体装置是将两个芯片(CH1、CH2)整合封装化(one-package)而成的半导体装置。

[0066] 芯片(半导体芯片、半导体片)CH1 搭载在芯片焊盘(die pad)DP1 上。芯片 CH1 具有由下层的感应器(线圈)Ia 和上层的感应器(线圈)Ib 构成的变压器。上层的感应器 Ib 经由电线 W 与芯片 CH2 的焊盘区域 PD2 连接。下层的感应器 Ia 经由未图示的配线与周边电路 PC 连接。在周边电路 PC 形成有由 MISFET(Metal Insulator Semiconductor Field Effect Transistor,金属-绝缘体-半导体场效应晶体管)等元件(有源元件)构成的逻辑电路。该周边电路 PC 经由未图示的配线与配置于芯片 CH1 的端部的焊盘区域 PD2 连接。该焊盘区域 PD2 经由电线 W 和未图示的引线等与具有能够以低电压(例如,50V 以下)驱动的低电压区域 LC 连接。

[0067] 芯片 CH2 搭载于芯片焊盘 DP2 上。芯片 CH2 具有由下层的感应器 Ia 和上层的感应器 Ib 构成的变压器。上层的感应器 Ib 经由电线 W 与芯片 CH1 的焊盘区域 PD2 连接。下

层的感应器 Ia 经由未图示的配线与周边电路 PC 连接。在周边电路 PC 形成有由 MISFET 等元件构成的逻辑电路等。该周边电路 PC 经由未图示的配线与配置于芯片 CH2 的端部的焊盘区域 PD2 连接。该焊盘区域 PD2 经由电线 W 和未图示的引线等与具有以高电压（例如，交流有效值在 100Vrms 以上）驱动的高电压区域 HC 连接。

[0068] 例如，芯片 CH1 的周边电路 PC 中的发送电路使脉冲状的电流流过感应器 Ia。此时，根据电信号（发送信号、数据）为“1”或“0”来改变流过感应器 Ia 的电流的方向。通过该感应器 Ia 的电流，在上侧的感应器 Ib 产生感应电压。将该电压经由电线 W 传递至芯片 CH2，并通过芯片 CH2 的周边电路 PC 中的接收电路放大，进而将其闭锁。这样，能够使用磁感应耦合来无线传递电信号。换言之，通过将电绝缘的低电压区域 LC 与高电压区域 HC 经由变压器连接起来，能够在这些区域（LC、HC）之间传递电信号。

[0069] 而且，通过利用用于形成半导体装置的微细加工使构成变压器的感应器（Ia、Ib）与配线等同样地形成，能够使周边电路 PC 和感应器（Ia、Ib）层叠形成于相同的芯片上。

[0070] 作为构成变压器的导电图案的形状，如图 1 所示，可以是旋涡状的导电图案（参照图 3）。

[0071] 图 2 是示出本实施方式的半导体装置的结构剖视图。图 2 所示的半导体装置是具有变压器的半导体装置，例如与图 1 的 A-A 剖面部分对应。

[0072] 本实施方式的半导体装置利用 SOI (Silicon on Insulator, 绝缘体上硅) 基板形成，并且具有周边电路形成区域 1A 和变压器形成区域 2A。

[0073] SOI 基板 1 具有：支承基板 1a、形成于该支承基板 1a 上的绝缘层（填充绝缘层、BOX）1b 以及形成于绝缘层 1b 上的半导体层（例如，硅层 1c）。

[0074] 在周边电路形成区域 1A 形成有 MISFET 等半导体元件。该 MISFET 例如构成图 1 所示的周边电路 PC。另外，在此，作为半导体元件例示了 MISFET，但除此之外，也可以在周边电路形成区域 1A 形成电容器、存储元件或者其他结构的晶体管等。

[0075] 而且，在 MISFET (NT、PT) 上形成有层间绝缘膜 IL1，在该层间绝缘膜 IL1 上形成有第一层配线 M1。MISFET (NT、PT) 与第一层配线 M1 经由插塞 P1 连接在一起。而且，在第一层配线 M1 上隔着层间绝缘膜 IL2 形成第二层配线 M2。所述第一层配线 M1 和第二层配线 M2 经由在层间绝缘膜 IL2 中形成的插塞（未图示）连接在一起。而且，在第二层配线 M2 上隔着层间绝缘膜 IL3 形成第三层配线 M3。所述第二层配线 M2 和第三层配线 M3 经由在层间绝缘膜 IL3 中形成的插塞（未图示）连接在一起。在本实施方式的半导体装置中，第三层配线 M3 是最上层配线。即，通过到第三层配线 M3 为止的配线，实现半导体元件（例如，上述 MISFET）的预期的接线，能够进行预期的动作。因而，例如，能够利用该第三层配线（最上层配线）的露出部即焊盘区域 PD1 来测试半导体装置是否进行预期的动作（测试工序）。

[0076] 在第三层配线 M3 上隔着层间绝缘膜（绝缘膜、保护膜）IL4 形成有再配线 RW。层间绝缘膜 IL4 由绝缘膜 IL4a 与绝缘膜 IL4a 上的绝缘膜 IL4b 的层叠膜构成。该再配线 RW 是将作为最上层配线（在此，为第三层配线 M3）的一部分的焊盘区域 PD1 引出至芯片的预期区域（焊盘区域 PD2）的配线。

[0077] 在变压器形成区域 2A 形成有具有感应器 Ia 和感应器 Ib 的变压器。下层的感应器 Ia 与第三层配线 M3 形成于同层。在该感应器 Ia 上隔着层间绝缘膜 IL4、聚酰亚胺膜 PI1 和 PI2 形成有感应器 Ib。聚酰亚胺膜 PI1 和 PI2 并未形成于周边电路形成区域 1A。即，在

层间绝缘膜 IL4(绝缘膜 IL4b)与聚酰亚胺膜 PI1 之间形成有阶梯差 St1。这样,在感应器 Ia 的形成位置与再配线 RW 的形成位置之间存在与聚酰亚胺膜 PI1 和 PI2(层叠膜、层叠绝缘膜)的膜厚相当的高低差,但感应器 Ia 与再配线 RW 由相同材料(相同工序)形成。而且,聚酰亚胺膜 PI2 从聚酰亚胺膜 PI1 的端部后退而形成。换言之,聚酰亚胺膜 PI1 和 PI2 形成为台阶状(金字塔状)。即,在聚酰亚胺膜 PI1 与 PI2 之间形成有阶梯差 St2。聚酰亚胺(polyimide)膜是在重复单位中包含酰亚胺键的高分子,是有机绝缘膜的一种。除了聚酰亚胺膜之外,也可以采用环氧类、PBO 类、丙烯酸类、WRP 类的树脂等其他有机绝缘膜。聚酰亚胺膜是优选用于追求 200℃ 以上的高耐热的设备的有机树脂,但也可以根据材料的热膨胀系数、延展性等机械强度、固化温度等灵活使用。而且,在本实施方式中使用的无机绝缘膜(IL1、IL2、IL3、IL4a 等)优选采用氧化硅膜、氮化硅膜,但并不限于这些膜。

[0078] 这样,通过采用聚酰亚胺膜 PI1 与 PI2 的层叠结构,能够使感应器 Ia、Ib 之间的绝缘膜的膜厚增大。由此,能够提高感应器 Ia、Ib 之间的绝缘耐压。

[0079] 并且,通过将聚酰亚胺膜 PI1 和 PI2 以具有阶梯差 St1、St2 的方式形成为台阶状,能够提高聚酰亚胺膜 PI1 和 PI2 的成膜性,能够减少聚酰亚胺膜 PI1 和 PI2 的剥落。

[0080] 在再配线 RW 和感应器 Ia 上形成有聚酰亚胺膜 PI3。聚酰亚胺膜 PI3 从聚酰亚胺膜 PI2 的端部后退而形成。换言之,在变压器形成区域 2A,在聚酰亚胺膜 PI2 和聚酰亚胺膜 PI3 之间形成阶梯差 St3。而且,将周边电路形成区域 1A 和变压器形成区域 2A 的交界部的聚酰亚胺膜 PI3 除去,形成至少使层间绝缘膜 IL4(绝缘膜 IL4b)露出的开口部(谷部)OA。

[0081] 这样,通过以聚酰亚胺膜 PI3 覆盖再配线 RW,能够保护再配线 RW。而且,通过以聚酰亚胺膜 PI3 覆盖感应器 Ib,能够保护感应器 Ib。而且,从聚酰亚胺膜 PI2 的端部后退而形成聚酰亚胺膜 PI3,使聚酰亚胺膜的层叠膜(PI1 ~ PI3)在变压器形成区域 2A 形成为台阶状(金字塔状),从而能够使周边电路形成区域 1A 的焊盘区域 PD2 与变压器形成区域 2A 的焊盘区域 PD2 之间的爬电距离(Creepage Distance)增加,能够提高绝缘耐压(参照实施方式 3 的图 38、实施方式 4 的图 41 等)。

[0082] 对于感应器的结构,只要能够利用流动的电流形成磁场,则对其形状并不限制,但优选采用在俯视图中呈旋涡状的导电性膜(导电膜、导体膜)。图 3 是示出本实施方式的半导体装置的感应器的结构例的俯视图。图 3 所示的感应器例如与上层的感应器 Ib 对应。在图 3 中,感应器由在从上面观察的俯视图中呈旋涡状的导电性膜构成,并且相对于位于图的中央的焊盘区域 PD2 的中心线对称地配置有两个旋涡状的导电性膜。而且,位于图的左侧的旋涡状的导电性膜的内侧的端部与位于旋涡的中心部的焊盘区域 PD2 连接。而且,位于图的右侧的旋涡状的导电性膜的内侧的端部与位于旋涡的中心部的焊盘区域 PD2 连接。在本实施方式中,将包括焊盘区域 PD2 的连续的导电性膜称为感应器。各焊盘区域 PD2 例如经由电线(W)等与其他芯片的接收电路(Rx)连接(参照图 34、图 35)。

[0083] 下层的感应器 Ia 与上层的感应器 Ib 同样地由旋涡状的导电性膜构成,例如可以形成为在从上面观察的俯视图中呈图 3 所示的旋涡状的形状。旋涡状的导电性膜的端部(焊盘区域)例如经由感应器 Ia 下层的配线与发送电路(Tx)连接(参照图 34、图 35 等)。

[0084] [制法说明]

[0085] 接着,参照图 4 ~ 图 27,说明本实施方式的半导体装置的制造方法,并且进一步明确该半导体装置的结构。图 4 ~ 图 27 是示出本实施方式的半导体装置的制造工序的剖视

图。

[0086] 如图4所示,作为半导体基板,例如准备SOI基板1。SOI基板1由下述部分构成:支承基板1a,由单晶硅(半导体膜)构成;绝缘层(填充绝缘层、BOX)1b,形成于该支承基板1a上;以及硅层(半导体层,半导体膜、薄膜半导体膜、薄膜半导体区域)1c,形成于绝缘层1b上。SOI基板1具有周边电路形成区域1A和变压器形成区域2A。

[0087] 接着,在SOI基板1的硅层1c中形成元件分离绝缘膜STI。元件分离绝缘膜STI为了使元件彼此不干涉而设置。该元件分离区域例如使用STI(shallow trench isolation, 浅沟槽隔离)法形成。

[0088] 例如,在SOI基板1的硅层1c使用光刻(photolithography)技术和蚀刻(etching)技术形成元件分离槽。光刻技术是指,在被蚀刻膜(在此,为硅层1c)上形成光致抗蚀剂膜,通过对该光致抗蚀剂膜曝光/显影来形成预期的形状的光致抗蚀剂膜(掩模膜)的技术。而且,将除去被蚀刻膜(在此,为硅层1c)的操作称为蚀刻,在此,由于是以光致抗蚀剂膜作为掩模除去下层的被蚀刻膜(在此,为硅层1c),因此,可以选择性地除去被蚀刻膜。另外,在蚀刻工序后,利用灰化处理等除去光致抗蚀剂膜。

[0089] 接下来,在SOI基板1上,使用CVD(Chemical Vapor Deposition,化学气相沉积)法等以填充元件分离槽的程度的膜厚堆积氧化硅膜,并使用化学机械研磨(CMP, chemical mechanical polishing)法和回蚀(etchback)法等除去元件分离槽以外的氧化硅膜。由此,能够在元件分离槽内填充氧化硅膜。也可以用LOCOS(local Oxidation of silicon,硅局部氧化)法形成元件分离绝缘膜STI。

[0090] 接着,在周边电路形成区域1A形成MISFET(NT、PT)。MISFET的形成方法并不受限,例如可以通过以下的工序形成。

[0091] 首先,在SOI基板1上形成栅极绝缘膜GOX,然后,在栅极绝缘膜GOX的上部形成多晶硅膜。栅极绝缘膜GOX的形成方法并不受限,例如可以通过对硅层1c的表面进行热氧化来形成。在该情况下,栅极绝缘膜GOX由氧化硅膜构成。作为栅极绝缘膜GOX,除了氧化硅膜之外,也可以采用氮氧化硅膜。而且,也可以采用高介电常数膜(所谓的high-k膜)作为栅极绝缘膜GOX。而且,除了热氧化法之外,也可以使用CVD法等其他成膜方法来形成栅极绝缘膜GOX。

[0092] 栅极绝缘膜GOX上的多晶硅膜例如可以使用CVD法形成。另外,也可以根据各MISFET(NT、PT)的特性,向栅极电极GE的形成区域中注入杂质。即,向多晶硅膜中的预期的区域注入杂质。

[0093] 接下来,对多晶硅膜使用光刻技术和蚀刻技术成图,从而形成栅极电极GE。接下来,在各栅极电极GE的两侧的硅层1c中形成LDD结构的源极/漏极区域SD。

[0094] 首先,在周边电路形成区域1A的n沟道型的MISFET(NT)的形成区域形成具有开口部的光致抗蚀剂膜(未图示),以该光致抗蚀剂膜和栅极电极GE作为掩模来离子注入n型杂质,从而形成n-型半导体区域(低浓度n型杂质区域)。此后,除去上述光致抗蚀剂膜。

[0095] 接着,在周边电路形成区域1A的p沟道型的MISFET(PT)的形成区域形成具有开口部的光致抗蚀剂膜(未图示),以该光致抗蚀剂膜和栅极电极GE作为掩模来离子注入p型杂质,从而形成p-型半导体区域(低浓度p型杂质区域)。此后,除去上述光致抗蚀剂

膜。

[0096] 接着, 当在 SOI 基板 1 上例如以 CVD 法形成氧化硅膜作为绝缘膜后, 对该氧化硅膜进行各向异性蚀刻, 从而在栅极电极 GE 的各个侧壁形成侧壁膜 SW。

[0097] 接着, 在周边电路形成区域 1A 的 n 沟道型的 MISFET (NT) 的形成区域形成具有开口部的光致抗蚀剂膜 (未图示), 以该光致抗蚀剂膜、栅极电极 GE 和侧壁膜 SW 作为掩模来离子注入 n 型杂质, 从而形成 n+ 型半导体区域 (高浓度 n 型杂质区域)。此后, 除去上述光致抗蚀剂膜。

[0098] 接着, 在周边电路形成区域 1A 的 p 沟道型的 MISFET (PT) 的形成区域形成具有开口部的光致抗蚀剂膜 (未图示), 以该光致抗蚀剂膜、栅极电极 GE 和侧壁膜 SW 作为掩模来离子注入 p 型杂质, 从而形成 p+ 型半导体区域 (高浓度 p 型杂质区域)。此后, 除去上述光致抗蚀剂膜。接着, 进行用于使通过到此为止的工序注入的杂质离子活性化的热处理 (退火)。

[0099] 通过以上的工序, 能够形成具有 LDD 结构的源极 / 漏极区域 SD 的 MISFET (NT、PT), 其中, 所述 LDD 结构的源极 / 漏极区域 SD 具有高浓度的杂质区域和低浓度的杂质区域。

[0100] 接着, 如图 5 所示, 在包括 MISFET (NT、PT) 上的 SOI 基板 1 上形成层间绝缘膜 IL1。例如, 在利用 CVD 法堆积了氧化硅膜后, 根据需要来使用 CMP 法等使层间绝缘膜 IL1 的表面平坦化。

[0101] 接着, 通过对层间绝缘膜 IL1 成图, 形成接触孔。接着, 通过在接触孔的内部填充导电性膜来形成插塞 P1。例如, 在包括接触孔的内部的层间绝缘膜 IL1 上, 通过溅射法等堆积钛膜和氮化钛膜的层叠膜作为阻挡 (barrier) 膜。接着, 在阻挡膜上, 使用 CVD 法等以填充接触孔的程度的膜厚堆积钨 (W) 膜作为主导电性膜。接着, 使用 CMP 法等将层间绝缘膜 IL1 上的不需要的阻挡膜和主导电性膜除去。由此, 形成插塞 P1。

[0102] 接着, 在层间绝缘膜 IL1 和插塞 P1 上, 使用溅射法等依次堆积例如由钛 / 氮化钛膜、铝膜及钛 / 氮化钛膜构成的层叠膜作为导电性膜。接着, 通过对上述层叠膜使用光刻技术和蚀刻技术成图, 在插塞 P1 上形成第一层配线 M1。

[0103] 接着, 如图 6 所示, 在第一层配线 M1 上使用 CVD 法等形成由氧化硅膜构成的层间绝缘膜 IL2。接着, 通过对层间绝缘膜 IL2 成图, 在第一层配线 M1 上形成接触孔 (未图示)。

[0104] 接着, 通过在接触孔的内部填充导电性膜来在层间绝缘膜 IL2 中形成插塞 (未图示)。该插塞可以与插塞 P1 同样地形成。

[0105] 接着, 在层间绝缘膜 IL2 和上述插塞上, 使用溅射法等依次堆积例如由钛 / 氮化钛膜、铝膜及钛 / 氮化钛膜构成的层叠膜作为导电性膜。接着, 通过对上述层叠膜使用光刻技术和蚀刻技术成图, 在上述插塞上形成第二层配线 M2。

[0106] 接着, 在第二层配线 M2 上使用 CVD 法等形成由氧化硅膜构成的层间绝缘膜 IL3。接着, 通过对层间绝缘膜 IL3 成图, 在第二层配线 M2 上形成接触孔 (未图示)。

[0107] 接着, 通过在接触孔的内部填充导电性膜来在层间绝缘膜 IL3 中形成插塞 (未图示)。该插塞可以与插塞 P1 同样地形成。

[0108] 接着, 在层间绝缘膜 IL3 和上述插塞上, 使用溅射法等依次堆积例如由钛 / 氮化钛膜、铝膜及钛 / 氮化钛膜构成的层叠膜作为导电性膜。接着, 通过对上述层叠膜使用光刻技术和蚀刻技术成图, 在上述插塞上形成第三层配线 M3。

[0109] 在此,在变压器形成区域 2A 中,和第三层配线 M3 同层地形成下层的感应器 Ia。即,在对上述层叠膜成图时,在变压器形成区域 2A 形成所述旋涡状的导电性膜(感应器 Ia)(参照图 3)。

[0110] 当然,在变压器形成区域 2A 中,也可以形成第二层配线 M2(例如,将下层的感应器 Ia 与周边电路电连接的配线)。而且,在变压器形成区域 2A 中,也可以形成第一层配线 M1。

[0111] 接着,如图 7 所示,在第三层配线 M3(在此,为最上层配线)和层间绝缘膜 IL3 上形成绝缘膜 IL4a。例如,通过利用 CVD 法等以 $1 \sim 4 \mu\text{m}$ 左右的膜厚堆积氮化硅膜来形成绝缘膜 IL4a。

[0112] 接着,在绝缘膜 IL4a 上涂敷例如感光性的聚酰亚胺膜作为绝缘膜 IL4b。例如,通过在 SOI 基板 1 的表面旋转涂敷聚酰亚胺的前体液后使其干燥来形成聚酰亚胺膜。接着,如图 8 所示,通过对感光性的聚酰亚胺膜(IL4b)曝光/显影来除去焊盘区域 PD1 的聚酰亚胺膜(IL4b),形成开口部(开口区域,第三层配线 M3 的露出部)。此后,实施热处理,使聚酰亚胺膜(IL4b)固化。该聚酰亚胺膜(IL4b)的膜厚例如为 $3 \sim 10 \mu\text{m}$ 左右。接着,通过将绝缘膜 IL4a 蚀刻除去,使焊盘区域 PD1 的第三层配线 M3 露出。由此,形成在焊盘区域 PD1 具有开口部的、由绝缘膜 IL4a 和绝缘膜 IL4b 的层叠膜构成的层间绝缘膜 IL4。

[0113] 接着,如图 9 所示,在包括焊盘区域 PD1 的绝缘膜 IL4b 上涂敷感光性的聚酰亚胺膜 PI1 作为第一绝缘膜(层间绝缘膜、确保耐压用的绝缘膜、感应器间绝缘膜)。例如,通过在 SOI 基板 1 的表面旋转涂敷聚酰亚胺的前体液后使其干燥来形成聚酰亚胺膜 PI1。接着,如图 10 所示,通过对感光性的聚酰亚胺膜 PI1 曝光/显影来除去周边电路形成区域 1A 的聚酰亚胺膜 PI1。此后,实施热处理,使聚酰亚胺膜 PI1 固化。该聚酰亚胺膜 PI1 的膜厚例如为 $3 \sim 10 \mu\text{m}$ 左右。在此,绝缘膜 IL4b 从变压器形成区域 2A 延伸至周边电路形成区域 1A,因此在绝缘膜 IL4b 与聚酰亚胺膜 PI1 之间形成阶梯差 St1。

[0114] 接着,如图 11 所示,在包括焊盘区域 PD1 的绝缘膜 IL4b 和聚酰亚胺膜 PI1 上涂敷感光性的聚酰亚胺膜 PI2 作为第二绝缘膜(层间绝缘膜、确保耐压用的绝缘膜、感应器间绝缘膜)。例如,通过在 SOI 基板 1 的表面旋转涂敷聚酰亚胺的前体液后使其干燥来形成聚酰亚胺膜 PI2。接着,通过对感光性的聚酰亚胺膜 PI2 曝光/显影来除去周边电路形成区域 1A 的聚酰亚胺膜 PI2。此时,使聚酰亚胺膜 PI2 从聚酰亚胺膜 PI1 的端部后退。由此,使聚酰亚胺膜 PI1 的端部露出,在聚酰亚胺膜 PI1 与聚酰亚胺膜 PI2 之间形成阶梯差 St2。此后,实施热处理,使聚酰亚胺膜 PI2 固化。该聚酰亚胺膜 PI2 的膜厚例如为 $3 \sim 10 \mu\text{m}$ 左右。而且,聚酰亚胺膜 PI2 的后退量,换言之,聚酰亚胺膜 PI1 的端部与聚酰亚胺膜 PI2 的端部的距离(阶梯差的宽度、台阶的宽度)例如为 $50 \mu\text{m} \sim 100 \mu\text{m}$ 。

[0115] 这样,通过将聚酰亚胺膜 PI1 与 PI2 层叠,能够使感应器(Ia、Ib)之间的绝缘膜的膜厚增大。由此,能够提高感应器 Ia、Ib 之间的绝缘耐压。而且,通过反复进行涂敷、曝光/显影以及固化的工序来形成聚酰亚胺膜 PI1 和 PI2,因此能够使这些膜成膜性良好地形成。即,在为了形成膜厚较厚的膜而进行一次涂敷、曝光/显影以及固化的情况下,由于显影的热干燥工序而使膜大幅收缩,使得膜剥离或有损平坦性。与此相对,在通过反复进行两次或两次以上的工序来层叠并形成聚酰亚胺膜(PI1、PI2)的情况下,各个膜的热收缩比较小,这些膜的粘接性有所提高,而且平坦性也有所提高。

[0116] 并且,通过将聚酰亚胺膜 PI1 和 PI2 以具有阶梯差 St1、St2 的方式形成为台阶状,

能够减少由曝光不良导致的凹陷的产生、聚酰亚胺膜 PI2 的剥落。详细内容将后述（参照图 31～图 33 等）。

[0117] 接下来,如图 12 所示,在包括焊盘区域 PD1 的绝缘膜 IL4b、聚酰亚胺膜 PI1 和 PI2 上,通过溅射法等以 75nm 左右的膜厚堆积例如由钛 (Ti)、铬 (Cr) 膜构成的阻挡膜 (未图示),并且,在阻挡膜 (未图示) 上通过溅射法等以 250nm 左右的膜厚堆积铜的薄膜 (铜膜) 作为电镀用的 Cu 籽晶 (seed) 层 (供电层) SE。

[0118] 在此,根据本实施方式,减少了聚酰亚胺膜 PI1、PI2 的端部的凹陷、剥落,因此能够使上述阻挡膜 (未图示)、Cu 籽晶层 SE 覆盖性良好地形成。详细内容将后述（参照图 31～图 33 等）。

[0119] 接着,如图 13 所示,在 Cu 籽晶层 SE 上涂敷光致抗蚀剂膜 PR1。接着,如图 14 所示,将绘有感应器 Ib 的图案的中间掩模 (reticle) RE1 作为掩模来使光致抗蚀剂膜 PR1 曝光。作为感应器 Ib 的图案,例如可以是上述图 3 所示的形状。

[0120] 在此,从与感应器 Ib 的图案对应的区域向光致抗蚀剂膜 PR1 照射光,使光致抗蚀剂膜 PR1 变质。接着,如图 15 所示,将绘有再配线 RW 的图案的中间掩模 RE2 作为掩模来使光致抗蚀剂膜 PR1 曝光。在此,从与再配线 RW 的图案对应的区域向光致抗蚀剂膜 PR1 照射光,使光致抗蚀剂膜 PR1 变质。接着,如图 16 所示,通过显影处理,除去变质的区域的光致抗蚀剂膜 PR1,进行热干燥。由此,将感应器 Ib 和再配线 RW 的形成区域的光致抗蚀剂膜 PR1 除去,形成开口部 (配线槽)。而且,在光致抗蚀剂膜 PR1 被除去的区域露出 Cu 籽晶层 SE。

[0121] 这样,通过聚酰亚胺膜 PI1 和 PI2,在周边电路形成区域 1A 的表面和变压器形成区域 2A 的表面之间产生有高低差,因此在周边电路形成区域 1A 和变压器形成区域 2A 中,通过按区域对光致抗蚀剂膜 PR1 进行曝光,能够高精度地转印图案 (感应器 Ib 的图案、再配线 RW 的图案)。即,在图案 (感应器 Ib 的图案、再配线 RW 的图案) 的统一曝光 (转印) 中,在转印的区域 (周边电路形成区域 1A 的表面和变压器形成区域 2A 的表面) 存在高低差的情况下,难以设定对焦的高度 (位置),可能会在任意一个区域中产生焦点偏移而无法曝光 (转印) 成预期的图案的情况。与此相对,在本实施方式中,按各个区域准备中间掩模 (掩模),能够使焦点位置等曝光条件与各个区域对应地最优化地进行曝光。因而,能够高精度地进行各个图案 (感应器 Ib 的图案、再配线 RW 的图案) 的曝光 (转印)。

[0122] 接着,如图 17 所示,在残留的光致抗蚀剂膜 PR1 的开口部 (配线槽) 的内部,即感应器 Ib 和再配线 RW 的形成区域的 Cu 籽晶层 SE 上,通过电镀法以 4～10 μ m 左右的膜厚形成 Cu 膜 (铜膜),从而形成感应器 Ib 和再配线 RW。

[0123] 接着,如图 18 所示,在包括感应器 Ib 和再配线 RW 上的光致抗蚀剂膜 PR1 上涂敷光致抗蚀剂膜 PR2。接着,如图 19 所示,将绘有变压器形成区域 2A 的基底金属膜 UM 的图案的中间掩模 RE3 作为掩模来使光致抗蚀剂膜 PR2 曝光。在此,从与变压器形成区域 2A 的基底金属膜 UM 的图案对应的区域向光致抗蚀剂膜 PR2 照射光,使光致抗蚀剂膜 PR2 变质。接着,如图 20 所示,将绘有周边电路形成区域 1A 的基底金属膜 UM 的图案的中间掩模 RE4 作为掩模来使光致抗蚀剂膜 PR2 曝光。在此,从与周边电路形成区域 1A 的基底金属膜 UM 的图案对应的区域向光致抗蚀剂膜 PR2 照射光,使光致抗蚀剂膜 PR2 变质。接着,如图 21 所示,通过显影处理除去变质的区域的光致抗蚀剂膜 PR2。由此,感应器 Ib 上的基底金属膜 UM 的形成区域和再配线 RW 上的基底金属膜 UM 的形成区域的光致抗蚀剂膜 PR2 被除去。而

且,在光致抗蚀剂膜 PR2 被除去区域中,分别露出感应器 Ib 和再配线 RW。

[0124] 这样,通过聚酰亚胺膜 PI1 和 PI2,在周边电路形成区域 1A 的表面和变压器形成区域 2A 的表面之间产生有高低差,因此在周边电路形成区域 1A 和变压器形成区域 2A 中,按区域对光致抗蚀剂膜 PR2 进行曝光。由此,能够高精度地进行各个图案(感应器 Ib 上的基底金属膜 UM 的图案、再配线 RW 上的基底金属膜 UM 的图案)的曝光(转印)。

[0125] 接着,如图 22 所示,在残留的光致抗蚀剂膜 PR2 的内部,即基底金属膜 UM 的形成区域的 Cu 膜(感应器 Ib 和再配线 RW)上,通过电镀法以 $1.5\mu\text{m}$ 左右的膜厚形成 Ni 膜(镍膜)。接着,在镍膜上通过电镀法以 $2\mu\text{m}$ 左右的膜厚形成 Au 膜。由此,能够形成由 Ni 膜和 Au 膜的层叠膜(Ni/Au)构成的基底金属膜 UM。

[0126] 接着,如图 23 所示,除去光致抗蚀剂膜 PR1、PR2。由此,在感应器 Ib 和再配线 RW 以外的区域,露出 Cu 籽晶层 SE。

[0127] 接着,如图 24 所示,通过蚀刻除去感应器 Ib 和再配线 RW 以外的区域的 Cu 籽晶层 SE、其下层的阻挡膜(未图示)。由此,将位于感应器 Ib 和再配线 RW 的下层的 Cu 籽晶层 SE 和阻挡膜(未图示)以外的膜除去。另外,也可以将 Cu 籽晶层 SE、阻挡膜(未图示)和 Cu 膜的层叠膜视为感应器 Ib 和再配线 RW。

[0128] 接着,如图 25 所示,在包括基底金属膜 UM 上的感应器 Ib、再配线 RW 及聚酰亚胺膜 PI2 等的上部涂敷感光性的聚酰亚胺膜 PI3 作为绝缘膜(保护膜)。例如,通过在 SOI 基板 1 的表面旋转涂敷聚酰亚胺的前体液后使其干燥来形成聚酰亚胺膜 PI3。接着,如图 26 所示,以对周边电路形成区域 1A 的焊盘区域 PD2、变压器形成区域 2A 的焊盘区域 PD2 及开口部 OA 的图案部进行遮光的中间掩模 RE5 作为掩模来使聚酰亚胺膜 PI3 曝光。在此,从焊盘区域 PD2 和开口部 OA 的形成区域以外的区域向聚酰亚胺膜 PI3 照射光,使聚酰亚胺膜 PI3 变质。

[0129] 接着,如图 27 所示,通过显影处理,除去变质的区域以外(即中间掩模 RE5 的遮光区域)的聚酰亚胺膜 PI3,形成开口部(开口区域、基底金属膜 UM 的露出部)。由此,使感应器 Ib 上的基底金属膜 UM 和再配线 RW 上的基底金属膜 UM 露出。该基底金属膜 UM 的露出区域成为焊盘区域 PD2。而且,此时,在周边电路形成区域 1A 和变压器形成区域 2A 的交界部形成开口部 OA。从该开口部 OA 的底部露出层间绝缘膜 IL4(绝缘膜 IL4b)。这样,将周边电路形成区域 1A 和变压器形成区域 2A 的交界部的聚酰亚胺膜 PI3 除去,设置至少使层间绝缘膜 IL4(绝缘膜 IL4b)露出的开口部(谷部)OA。由此,使可能会成为感应器(Ia、Ib)之间的泄漏通路的聚酰亚胺膜的层叠膜(PI1~PI3)的表面的表面积增加,能够减少漏电流。而且,通过减少漏电流能够提高绝缘耐压。并且,在采用使因曝光而变质的区域残留的类型(负片型)的聚酰亚胺膜 PI3 的情况下,在周边电路形成区域 1A 和变压器形成区域 2A 的交界部不必考虑曝光量,曝光量的调整变得容易。

[0130] 另外,在感光性膜(例如,光致抗蚀剂膜、聚酰亚胺膜)中,“负片型”是指在曝光时相对于显影液的溶解性低、使因曝光而变质的区域残留的类型的感光性膜。相反地,将在曝光时相对于显影液的溶解性增加、使因曝光而变质的区域除去的类型的感光性膜称为“正片型”。例如,上述聚酰亚胺膜 PI1、PI2、光致抗蚀剂膜 PR1、PR2 为“正片型”。

[0131] 此后,将 SOI 基板(晶片)1 切断(冲切)并分离成多个芯片(半导体芯片)(单片化)。另外,也可以在冲切前,进行 SOI 基板 1 的背面磨削,使 SOI 基板 1 薄膜化。接

着,将半导体芯片搭载(粘接)到引脚框架(Lead Frame)的芯片焊盘上(芯片焊接)。在该芯片焊盘的周围设有引线(外部端子、端子)。接着,将半导体芯片上的焊盘区域PD2与引线通过由金线等构成的电线(导线、导电性部件)连接起来(导线焊接,参照图35)。

[0132] 然后,根据需要,以覆盖半导体芯片、电线的方式用密封树脂(模压树脂)等密封该半导体芯片、电线(封装化)。

[0133] 这样,在本实施方式中,在变压器形成区域2A的感应器Ia、Ib之间设有聚酰亚胺膜PI1和PI2的层叠膜,因此能够使感应器Ia、Ib之间的绝缘膜厚增大。由此,能够提高感应器Ia、Ib之间的绝缘耐压。另外,在周边电路形成区域1A未设置聚酰亚胺膜PI1和PI2的层叠膜。因此,在再配线RW的下层的绝缘膜即层间绝缘膜IL4(绝缘膜IL4b)与聚酰亚胺膜PI1之间产生阶梯差St1。

[0134] 而且,在聚酰亚胺膜PI1和PI2的层叠膜中,以从聚酰亚胺膜PI1的端部后退的方式配置聚酰亚胺膜PI2,因此能够减少由曝光不良导致的凹陷的产生、聚酰亚胺膜PI2的剥落。

[0135] 图28是示出本实施方式的半导体装置的感应器(Ia、Ib)部的剖视图。如图所示,在再配线RW的下层的绝缘膜即层间绝缘膜IL4(绝缘膜IL4b)与聚酰亚胺膜PI1之间设有阶梯差St1,在聚酰亚胺膜PI1和PI2之间设有阶梯差St2。

[0136] 图29是示出本实施方式的比较例1的结构的剖视图。在该比较例1中,在感应器Ia、Ib之间设有单层的聚酰亚胺膜PI。该聚酰亚胺膜PI的膜厚例如为 $15 \sim 25 \mu\text{m}$ 左右。而且,图30是示出本实施方式的比较例2的结构的剖视图。在该比较例2中,以覆盖聚酰亚胺膜PI1的方式配置聚酰亚胺膜PI2。在图29所示的单层的聚酰亚胺膜PI中,难以通过一次曝光来使聚酰亚胺膜PI感光,容易产生曝光不良。而且,在使单层的聚酰亚胺膜PI厚膜化时,在显影处理的热干燥工序中,膜收缩增大,在聚酰亚胺膜PI的端部容易产生膜剥落,而且,会因膜收缩导致膜表面的平坦性变差。

[0137] 而且,如图30所示,在以覆盖聚酰亚胺膜PI1的方式配置聚酰亚胺膜PI2的情况下,也容易产生曝光不良。根据本申请发明人的研究,确认了如下现象:通过曝光,聚酰亚胺膜PI1和PI2的层叠膜的端部成为倒锥形状。

[0138] 图31是示意性地示出作为本实施方式的比较例2的聚酰亚胺膜的层叠膜成为倒锥状态的情况的剖视图。而且,图32是本申请发明人确认的成为倒锥状态的聚酰亚胺膜的层叠膜的照片。图33是临摹图32的照片中的聚酰亚胺膜的形状的图。另外,在图33和图32中,聚酰亚胺膜PI1为聚酰亚胺膜PI1a和聚酰亚胺膜PI1b的两层结构。

[0139] 如图31~图33所示,在聚酰亚胺膜的层叠膜成为倒锥形状的情况下,各聚酰亚胺膜的粘接性变差,上层的聚酰亚胺膜的端部产生剥落。特别是,此后在聚酰亚胺膜的层叠膜上形成用于通过电镀形成再配线RW和感应器Ib的Cu籽晶层SE的情况下(参照图12),在因曝光不良导致的凹陷、剥落的部位产生Cu籽晶层SE的分段,产生电镀不良。例如,由于供电不足而难以形成再配线RW和感应器Ib。

[0140] 与此相对,在本实施方式中,通过形成为聚酰亚胺膜PI1和PI2的层叠结构,能够使形成各膜时的涂敷性良好,能够将各膜以平坦性和密合性良好的状态形成。

[0141] 并且,在本实施方式中,在聚酰亚胺膜PI1和PI2的层叠膜中,以从聚酰亚胺膜PI1的端部后退的方式配置聚酰亚胺膜PI2,因此能够减少由曝光不良导致的凹陷的产生、聚酰

亚胺膜 PI2 的剥落。而且,能够使 Cu 籽晶层 SE 的成膜性提高,即使是在通过电镀形成再配线 RW 和感应器 Ib 的情况下,也能够减少电镀不良。

[0142] 而且,通过以从聚酰亚胺膜 PI1 的端部后退的方式配置聚酰亚胺膜 PI2,能够在平坦性良好的聚酰亚胺膜 PI1 上形成聚酰亚胺膜 PI2,能够使聚酰亚胺膜 PI2 的成膜性、平坦性提高。

[0143] 而且,通过利用再配线 RW 将焊盘区域 PD1 引出至芯片的预期区域(焊盘区域 PD2),能够容易地进行导线焊接。

[0144] (实施方式 2)

[0145] 在本实施方式中,对实施方式 1 中说明的半导体装置的应用情况例进行说明。图 34 是示出本实施方式的半导体装置的结构框图。图 35 是示出本实施方式的半导体装置的结构俯视图。

[0146] 图 34 所示的半导体装置为将芯片焊盘 DP1 上的芯片 CH1 和芯片焊盘 DP2 上的芯片 CH2 整合封装化。

[0147] 芯片 CH1 具有由与发送电路 Tx 连接的感应器 I1 和感应器 I2 构成的变压器。感应器 I2 经由焊盘区域 PD2 及电线 W 与芯片 CH2 的接收电路 Rx 连接。另外,在图 34 和图 35 中,以方形示出焊盘区域 PD2。

[0148] 而且,芯片 CH1 具有接收电路 Rx 和逻辑电路 Logic。逻辑电路 Logic 与芯片 CH1 的发送电路 Tx 和接收电路 Rx 连接,逻辑电路 Logic 与多个焊盘区域 PD2 连接。

[0149] 芯片 CH2 具有由与发送电路 Tx 连接的感应器 I4 和感应器 I3 构成的变压器。感应器 I3 经由焊盘区域 PD2 及电线 W 与芯片 CH1 的接收电路 Rx 连接。

[0150] 而且,芯片 CH2 具有接收电路 Tx 和逻辑电路 Logic。逻辑电路 Logic 与芯片 CH2 的发送电路 Tx 和接收电路 Rx 连接,逻辑电路 Logic 与多个焊盘区域 PD2 连接。

[0151] 如图 35 所示,芯片 CH1 的感应器 I2 经由电线 W 与芯片 CH2 的接收电路 Rx 连接。在感应器 I2 的下层配置有未图示的感应器 (I1),该感应器 (I1) 经由未图示的配线与芯片 CH1 的发送电路 Tx 连接。

[0152] 而且,芯片 CH2 的感应器 I3 经由电线 W 与芯片 CH1 的接收电路 Rx 连接。在感应器 I3 的下层配置有未图示的感应器 (I4),该感应器 (I4) 经由未图示的配线与芯片 CH2 的发送电路 Tx 连接。

[0153] 例如,在芯片 CH2 配置有逻辑电路 Logic。在芯片 CH2,由逻辑电路 Logic、发送电路 Tx 及接收电路 Rx 等构成的周边电路经由未图示的配线与多个焊盘区域 PD2 连接。而且,在芯片 CH1,由逻辑电路 Logic、发送电路 Tx 及接收电路 Rx 等构成的周边电路经由未图示的配线与多个焊盘区域 PD2 连接。

[0154] 芯片 CH1 和 CH2 的焊盘区域 PD2 经由电线 W 与引线 RD 连接。

[0155] 在这样的半导体装置中,在由芯片 CH2 的逻辑电路 Logic、发送电路 Tx 及接收电路 Rx 等构成的周边电路部和变压器(感应器 I1、I2)部能够应用实施方式 1 的结构(参照图 2 等)。

[0156] 而且,在由芯片 CH1 的逻辑电路 Logic、发送电路 Tx 及接收电路 Rx 等构成的周边电路部和变压器(感应器 I3、I4)部能够应用实施方式 1 的结构(参照图 2 等)。

[0157] (实施方式 3)

[0158] [结构说明]

[0159] 图 36 ~ 图 38 是示意性地示出本实施方式的半导体装置的结构俯视图或剖视图。图 36 对应俯视图,图 37 对应图 36 的 A1-A2 剖视图,图 38 对应图 36 的 B1-B2 剖视图。

[0160] 在图 36 所示的半导体装置中,将芯片 CH1 和芯片 CH2 整合封装化。

[0161] 芯片 CH1 具有由上层的感应器 Ia 和下层的感应器 (未图示) 构成的变压器。该变压器形成区域为大致矩形的区域,在其外周配置阶梯差 St3,进一步在外周配置阶梯差 St2。而且,在该阶梯差 St2 的外周配置阶梯差 St1。

[0162] 芯片 CH2 也具有由上层的感应器 Ia 和下层的感应器 (未图示) 构成的变压器。该变压器形成区域为大致矩形的区域,在其外周配置阶梯差 St3,进一步在外周配置阶梯差 St2。而且,在该阶梯差 St2 的外周配置阶梯差 St1。另外,对于各阶梯差 St1 ~ St3,参照剖视图 (图 37、图 38) 进一步详细说明。

[0163] 在这些芯片 CH1、CH2 各自的外周配置有焊盘区域 PD2。

[0164] 而且,在芯片 CH2 中,以在焊盘区域 PD1 上连接的方式配置有再配线 RW。并且,在该再配线 RW 上配置有焊盘区域 PD2。

[0165] 芯片 CH1 和 CH2 的焊盘区域 PD2 经由电线与引线连接 (参照图 35)。

[0166] 参照图 37 和图 38 进一步详细地说明。

[0167] 本实施方式的半导体装置的各芯片 CH1、CH2 利用 SOI 基板形成。例如,如图 37 和图 38 所示,芯片 CH2 在具有周边电路形成区域 1A 和变压器形成区域 2A 的 SOI 基板上形成。

[0168] SOI 基板 1 具有:支承基板 1a、形成于该支承基板 1a 上的绝缘层 1b 以及形成于绝缘层 1b 上的半导体层。

[0169] 在周边电路形成区域 1A 形成有 n 沟道型 MISFET (NT) 和 p 沟道型 MISFET (PT)。在这些 MISFET 上形成有层间绝缘膜 IL1,在该层间绝缘膜 IL1 上形成有第一层配线 M1。MISFET (NT、PT) 与第一层配线 M1 经由插塞 P1 连接在一起。而且,在第一层配线 M1 上隔着层间绝缘膜 IL2 形成第二层配线 M2。所述第一层配线 M1 和第二层配线 M2 经由在层间绝缘膜 IL2 中形成的插塞 (未图示) 连接在一起。而且,在第二层配线 M2 上隔着层间绝缘膜 IL3 形成第三层配线 M3。所述第二层配线 M2 和第三层配线 M3 经由在层间绝缘膜 IL3 中形成的插塞 P3 连接在一起。

[0170] 在第三层配线 M3 上隔着层间绝缘膜 (绝缘膜、保护膜) IL4 形成有再配线再配线 RW。层间绝缘膜 IL4 由绝缘膜 IL4a 和绝缘膜 IL4a 上的绝缘膜 IL4b 的层叠膜构成。该再配线 RW 是将作为最上层配线 (在此,为第三层配线 M3) 的一部分的焊盘区域 PD1 引出至芯片的预期区域 (焊盘区域 PD2) 的配线 (也称为第四层配线 M4)。

[0171] 在变压器形成区域 2A 形成有具有感应器 Ia 和感应器 Ib 的变压器。下层的感应器 Ia 与第三层配线 M3 形成于同层。下层的感应器 Ia 经由多个插塞 P3 与下层的第二层配线 M2 连接。即,感应器 Ia 和与该感应器 Ia 连接的第二层配线 M2 具有下述关系。该第二层配线 M2 形成于层间绝缘膜 IL3 和层间绝缘膜 IL2 之间,是在俯视图中与感应器 Ia 重合的配线。而且,在剖视图中,感应器 Ia 被层间绝缘膜 IL4 覆盖,感应器 Ia 和第二层配线 M2 经由贯通层间绝缘膜 IL3 的多个插塞 (连接部) P3 连接在一起。

[0172] 在感应器 Ia 上隔着层间绝缘膜 IL4、聚酰亚胺膜 PI1 和 PI2 形成有感应器 Ib。聚酰亚胺膜 PI1 和 PI2 未形成于周边电路形成区域 1A。即,在层间绝缘膜 IL4 (绝缘膜 L4b)

与聚酰亚胺膜 PI1 之间形成有阶梯差 St1。聚酰亚胺膜 PI1 形成于层间绝缘膜 IL4 的主面上。并且,聚酰亚胺膜 PI1 具有主面和与该主面相连的侧面。而且,聚酰亚胺膜 PI2 形成于聚酰亚胺膜 PI1 的主面上。并且,聚酰亚胺膜 PI2 具有主面和与该主面相连的侧面。因而,通过层间绝缘膜 IL4 的主面和聚酰亚胺膜 PI1 的侧面形成阶梯差 St1。

[0173] 这样,在感应器 Ia 的形成位置与再配线 RW 的形成位置之间存在与聚酰亚胺膜 PI1 和 PI2 (层叠膜、层叠绝缘膜) 的膜厚相当的高低差,但感应器 Ia 与再配线 RW 由相同材料 (相同工序) 形成。而且,聚酰亚胺膜 PI2 从聚酰亚胺膜 PI1 的端部后退而形成。换言之,聚酰亚胺膜 PI1 和 PI2 形成为台阶状 (金字塔状)。即,在聚酰亚胺膜 PI1 与 PI2 之间形成有阶梯差 St2。而且,换言之,聚酰亚胺膜 PI1 和 PI2 为聚酰亚胺膜 PI1 的主面和聚酰亚胺膜 PI2 的主面隔着聚酰亚胺膜 PI2 的侧面形成阶梯差 St2 的层叠绝缘膜。

[0174] 这样,通过采用聚酰亚胺膜 PI1 与 PI2 的层叠结构,如在实施方式 1 中详细说明的那样,能够使感应器 Ia、Ib 之间的绝缘膜的膜厚增大。由此,能够提高感应器 Ia、Ib 之间的绝缘耐压。

[0175] 并且,通过将聚酰亚胺膜 PI1 和 PI2 以具有阶梯差 St1、St2 的方式形成为台阶状,如在实施方式 1 中详细说明的那样,能够提高聚酰亚胺膜 PI1 和 PI2 的成膜性,能够减少聚酰亚胺膜 PI1 和 PI2 的剥落。

[0176] 在再配线 RW 和感应器 Ia 上形成有聚酰亚胺膜 PI3。聚酰亚胺膜 PI3 形成于聚酰亚胺膜 PI2 的主面上。并且,聚酰亚胺膜 PI3 具有主面和与该主面相连的侧面。而且,聚酰亚胺膜 PI3 从聚酰亚胺膜 PI2 的端部后退而形成。换言之,在变压器形成区域 2A,在聚酰亚胺膜 PI2 和聚酰亚胺膜 PI3 之间形成阶梯差 St3。即,聚酰亚胺膜 PI2 的主面和聚酰亚胺膜 PI3 的主面隔着聚酰亚胺膜 PI3 的侧面形成阶梯差 St3。而且,该聚酰亚胺膜 PI3 具有主面和与该主面相连的侧面。而且,将周边电路形成区域 1A 和变压器形成区域 2A 的交界部的聚酰亚胺膜 PI3 除去,形成至少使层间绝缘膜 IL4 (绝缘膜 IL4b) 露出的开口部 (谷部) OA。

[0177] 对于感应器的结构,如上所述,优选采用在俯视图中呈旋涡状的导电性膜。在此,以相对于位于图的中央的焊盘区域 PD2 的中心线对称的方式配置有两个旋涡状的导电性膜 (参照图 36、图 3)。

[0178] [制法说明]

[0179] 接着,参照图 37 和图 38,说明本实施方式的半导体装置的制造方法,并且进一步明确该半导体装置的结构。另外,对于与在实施方式 1 中说明的工序相同的工序,省略其详细的说明。

[0180] 如图 37 和图 38 所示,作为半导体基板,例如准备 SOI 基板 1。SOI 基板 1 由下述部分构成:支承基板 1a,由单晶硅 (半导体膜) 构成;绝缘层 1b,形成于该支承基板 1a 上;以及硅层 1c,形成于绝缘层 1b 上。SOI 基板 1 具有周边电路形成区域 1A 和变压器形成区域 2A。

[0181] 接着,在 SOI 基板 1 的硅层 1c 中形成元件分离绝缘膜 STI。该元件分离区域例如可以使用 STI 法与实施方式 1 的情况同样地形成。

[0182] 例如,在 SOI 基板 1 的硅层 1c 上使用光刻技术和蚀刻技术形成元件分离槽。接下来,在 SOI 基板 1 上,使用 CVD 法等以填充元件分离槽的膜厚堆积氧化硅膜,并使用化学机械研磨法和回蚀法等除去元件分离槽以外的氧化硅膜。由此,能够在元件分离槽内填充氧

化硅膜。

[0183] 接着,在周边电路形成区域 1A 形成 MISFET (NT、PT)。MISFET 的形成方法并不受限,例如,可以与实施方式 1 同样地,形成具有 LDD 结构的源极 / 漏极区域 (SD) 的 MISFET (NT、PT),其中,所述 LDD 结构的源极 / 漏极区域 (SD) 具有高浓度的杂质区域和低浓度的杂质区域。

[0184] 接着,在包括 MISFET (NT、PT) 上的 SOI 基板 1 上形成层间绝缘膜 IL1。例如,在利用 CVD 法堆积了氧化硅膜后,根据需要,使用 CMP 法等使层间绝缘膜 IL1 的表面平坦化。

[0185] 接着,通过对层间绝缘膜 IL1 成图,形成接触孔。接着,通过在接触孔的内部填充导电性膜来形成插塞 P1。

[0186] 接着,在层间绝缘膜 IL1 和插塞 P1 上,使用溅射法等依次堆积例如由钛 / 氮化钛膜、铝膜及钛 / 氮化钛膜构成的层叠膜作为导电性膜。接着,通过对上述层叠膜使用光刻技术和蚀刻技术成图,在插塞 P1 上形成第一层配线 M1。

[0187] 接着,在第一层配线 M1 上使用 CVD 法等形成由氧化硅膜构成的层间绝缘膜 IL2。接着,通过对层间绝缘膜 IL2 成图,在第一层配线 M1 上形成接触孔。

[0188] 接着,通过在接触孔的内部填充导电性膜来在层间绝缘膜 IL2 中形成插塞 (未图示)。该插塞可以与插塞 P1 同样地形成。

[0189] 接着,在层间绝缘膜 IL2 和上述插塞上,使用溅射法等依次堆积例如由钛 / 氮化钛膜、铝膜及钛 / 氮化钛膜构成的层叠膜作为导电性膜。接着,通过对上述层叠膜使用光刻技术和蚀刻技术成图,在上述插塞上形成第二层配线 M2。

[0190] 接着,在第二层配线 M2 上使用 CVD 法等形成由氧化硅膜构成的层间绝缘膜 IL3。接着,通过对层间绝缘膜 IL3 成图,在第二层配线 M2 上形成接触孔。

[0191] 接着,通过在接触孔的内部填充导电性膜来在层间绝缘膜 IL3 中形成插塞 P3。该插塞可以与插塞 P1 同样地形成。

[0192] 接着,在层间绝缘膜 IL3 和上述插塞上,使用溅射法等依次堆积例如由钛 / 氮化钛膜、铝膜及钛 / 氮化钛膜构成的层叠膜作为导电性膜。接着,通过对上述层叠膜使用光刻技术和蚀刻技术成图,在上述插塞上形成第三层配线 M3。

[0193] 在此,在变压器形成区域 2A 中,将下层的感应器 Ia 与第三层配线 M3 在同层形成。即,在对上述层叠膜成图时,在变压器形成区域 2A 形成所述旋涡状的导电性膜 (感应器 Ia) (参照图 37、图 38)。另外,该导电性膜 (感应器 Ia) 经由插塞 P3 与下层的第二层配线 M2 连接 (参照图 38)。

[0194] 接着,在第三层配线 M3 (在此,为最上层配线) 和层间绝缘膜 IL3 上形成绝缘膜 IL4a。例如,通过利用 CVD 法等堆积氮化硅膜来形成绝缘膜 IL4a。

[0195] 接着,在绝缘膜 IL4a 上涂敷例如感光性的聚酰亚胺膜作为绝缘膜 IL4b。例如,通过在 SOI 基板 1 的表面旋转涂敷聚酰亚胺的前体液后使其干燥来形成聚酰亚胺膜。接着,通过对感光性的聚酰亚胺膜 (IL4b) 曝光 / 显影来除去焊盘区域 PD1 的聚酰亚胺膜 (IL4b),形成开口部 (开口区域、第三层配线 M3 的露出部)。此后,实施热处理,使聚酰亚胺膜 (IL4b) 固化。该聚酰亚胺膜 (IL4b) 的膜厚例如为 3 ~ 10 μm 左右。接着,通过将绝缘膜 IL4a 蚀刻除去,使焊盘区域 PD1 的第三层配线 M3 露出。由此,形成在焊盘区域 PD1 具有开口部的、由绝缘膜 IL4a 和绝缘膜 IL4b 的层叠膜构成的层间绝缘膜 IL4。

[0196] 接着,在包括焊盘区域 PD1 的绝缘膜 IL4b 上涂敷感光性的聚酰亚胺膜 PI1 作为第一绝缘膜(层间绝缘膜、确保耐压用的绝缘膜、感应器间绝缘膜)。该聚酰亚胺膜 PI1 的膜厚例如为 $3 \sim 10 \mu\text{m}$ 左右。在此,绝缘膜 IL4b 从变压器形成区域 2A 延伸至周边电路形成区域 1A,因此在绝缘膜 IL4b 与聚酰亚胺膜 PI1 之间形成阶梯差 St1。

[0197] 接着,在包括焊盘区域 PD1 的绝缘膜 IL4b 和聚酰亚胺膜 PI1 上涂敷感光性的聚酰亚胺膜 PI2 作为第二绝缘膜。例如,通过在 SOI 基板 1 的表面旋转涂敷聚酰亚胺的前体液后使其干燥来形成聚酰亚胺膜 PI2。接着,通过对感光性的聚酰亚胺膜 PI2 曝光/显影来除去周边电路形成区域 1A 的聚酰亚胺膜 PI2。此时,使聚酰亚胺膜 PI2 从聚酰亚胺膜 PI1 的端部后退。由此,使聚酰亚胺膜 PI1 的端部露出,在聚酰亚胺膜 PI1 与聚酰亚胺膜 PI2 之间形成阶梯差 St2。此后,实施热处理,使聚酰亚胺膜 PI2 固化。该聚酰亚胺膜 PI1 的膜厚例如为 $3 \sim 10 \mu\text{m}$ 左右。而且,聚酰亚胺膜 PI2 的后退量,换言之,聚酰亚胺膜 PI1 的端部与聚酰亚胺膜 PI2 的端部的距离(阶梯差的宽度、台阶的宽度)例如为 $50 \mu\text{m} \sim 100 \mu\text{m}$ 。

[0198] 这样,通过将聚酰亚胺膜 PI1 与 PI2 层叠,能够使感应器 (Ia、Ib) 之间的绝缘膜的膜厚增大。

[0199] 并且,通过将聚酰亚胺膜 PI1 和 PI2 以具有阶梯差 St1、St2 的方式形成为台阶状,如在实施方式 1 中详细说明的那样,能够减少由曝光不良导致的凹陷的产生、聚酰亚胺膜 PI2 的剥落。

[0200] 接下来,在包括焊盘区域 PD1 的绝缘膜 IL4b、聚酰亚胺膜 PI1 和 PI2 上,通过溅射法等堆积例如由钛 (Ti)、铬 (Cr) 膜构成的阻挡膜(未图示),并且,在阻挡膜(未图示)上通过溅射法等堆积铜的薄膜(铜膜)作为电镀用的 Cu 籽晶层(未图示)。

[0201] 在此,根据本实施方式,减少了聚酰亚胺膜 PI1、PI2 的端部的凹陷、剥落,因此能够使上述阻挡膜(未图示)和 Cu 籽晶层 SE 覆盖性良好地形成。

[0202] 接着,与实施方式 1 同样地,在 Cu 籽晶层(未图示)上形成感应器 Ib 和再配线 RW。并且,在感应器 Ib 和再配线 RW 上形成由 Ni 膜和 Au 膜的层叠膜 (Ni/Au) 构成的基底金属膜 UM。

[0203] 接着,在包括基底金属膜 UM 上的感应器 Ib、再配线 RW 和聚酰亚胺膜 PI2 等的上部涂敷感光性的聚酰亚胺膜 PI3 作为绝缘膜(保护膜)。例如,通过在 SOI 基板 1 的表面旋转涂敷聚酰亚胺的前体液后使其干燥来形成聚酰亚胺膜 PI3。接着,以对周边电路形成区域 1A 的焊盘区域 PD2、变压器形成区域 2A 的焊盘区域 PD2 和开口部 OA 的图案部进行遮光的中间掩模作为掩模来使聚酰亚胺膜 PI3 曝光。

[0204] 接着,通过显影处理,除去变质的区域以外(换言之,中间掩模的遮光区域)的聚酰亚胺膜 PI3,形成开口部(开口区域、基底金属膜 UM 的露出部)。由此,使感应器 Ib 上的基底金属膜 UM 和再配线 RW 上的基底金属膜 UM 露出。该基底金属膜 UM 的露出区域成为焊盘区域 PD2。而且,此时,在周边电路形成区域 1A 和变压器形成区域 2A 的交界部形成开口部 OA。从该开口部 OA 的底部露出层间绝缘膜 IL4(绝缘膜 IL4b)。这样,将周边电路形成区域 1A 和变压器形成区域 2A 的交界部的聚酰亚胺膜 PI3 除去,设置至少使层间绝缘膜 IL4(绝缘膜 IL4b)露出的开口部(谷部)OA。

[0205] 此后,将 SOI 基板(晶片)1 切断(冲切)并分离成多个芯片(半导体芯片)(单片化)。另外,也可以在冲切前,进行 SOI 基板 1 的背面磨削,使 SOI 基板 1 薄膜化。接着,

将半导体芯片搭载（粘接）到引线框架的芯片焊盘上（芯片焊接）。在该芯片焊盘的周围设有引线（外部端子、端子）。接着，将半导体芯片上的焊盘区域 PD2 与引线通过由金线等构成的电线（导线、导电性部件）连接起来（导线焊接，参照图 35）。

[0206] 然后，根据需要，以覆盖半导体芯片、电线的方式用密封树脂（模压树脂）等密封该半导体芯片、电线（封装化）。

[0207] 这样，在本实施方式中，在变压器形成区域 2A 的感应器 Ia、Ib 之间设有聚酰亚胺膜 PI1 和 PI2 的层叠膜，因此能够使感应器 Ia、Ib 之间的绝缘膜厚增大。由此，能够提高感应器 Ia、Ib 之间的绝缘耐压。

[0208] 而且，在聚酰亚胺膜 PI1 和 PI2 的层叠膜中，以从聚酰亚胺膜 PI1 的端部后退的方式配置聚酰亚胺膜 PI2，因此能够减少由曝光不良导致的凹陷的产生、聚酰亚胺膜 PI2 的剥落。

[0209] 而且，通过以聚酰亚胺膜 PI3 覆盖再配线 RW，能够保护再配线 RW。而且，通过以聚酰亚胺膜 PI3 覆盖感应器 Ib，能够保护感应器 Ib。而且，从聚酰亚胺膜 PI2 的端部后退而形成聚酰亚胺膜 PI3，使聚酰亚胺膜的层叠膜（PI1 ~ PI3）在变压器形成区域 2A 形成为台阶状（金字塔状），从而起到下述的效果。

[0210] 在图 38 中，以双点划线示出爬电距离（creepage distance，两个导电性部分之间沿着绝缘物的表面的最短距离）。为了不通过绝缘物隔离就实现电绝缘，需要确保空间距离和爬电距离双方。在此，在本实施方式中，在层叠绝缘膜（PI1 ~ PI3）时形成阶梯差（St1 ~ St3），将多个所述阶梯差组合起来，在高耐压和低耐压的电极之间，即在周边电路形成区域 1A 的焊盘区域 PD2 和变压器形成区域 2A 的焊盘区域 PD2 之间利用绝缘膜的多级的侧壁形成槽，使高耐压的区域和低耐压的区域分离。由此，能够使爬电距离起作用，能够实现高耐压的电绝缘状态。

[0211] 而且，在本实施方式中，如图 38 的周边电路形成区域 1A 所示，利用再配线 RW 将多个焊盘区域 PD1 引出至焊盘区域 PD2。具体来说，将多个 MISFET（NT、PT）的源极电极（或者漏极电极）通过再配线 RW 连接并引出至焊盘区域 PD2。由此，与通过由 A1 等构成的下层的配线（M1 ~ M3）连接焊盘区域 PD1 相比，能够降低电阻。即，构成再配线 RW 的铜比铝电阻小，而且，在位于上层的再配线 RW 中，能够使配线形成得较粗，因此能够降低配线电阻。而且，如图 36 所示，通过在再配线（带状的直线）的中央部附近设置焊盘区域 PD2，能够均等地分配（或者收集）来自各个 MISFET（NT、PT）的源极电极（或者漏极电极）的电流，由此，能够使施加于各 MISFET 的负载更为均匀。

[0212] （实施方式 4）

[0213] 在实施方式 1 ~ 3 中，在变压器形成区域 2A 的感应器 Ia、Ib 之间设有聚酰亚胺膜 PI1 和 PI2 的层叠膜，但在要求的耐压较小的情况下，可以使感应器 Ia、Ib 之间的绝缘膜的膜厚减小。在该情况下，也可以使感应器 Ia、Ib 之间的绝缘膜为单层。

[0214] [结构说明]

[0215] 图 39 ~ 图 41 是示意性地示出本实施方式的半导体装置的结构俯视图或剖视图。图 39 对应俯视图，图 40 对应图 39 的 C1-C2 剖视图，图 41 对应图 39 的 D1-D2 剖视图。

[0216] 在图 39 所示的半导体装置中，将芯片 CH1 和芯片 CH2 整合封装化。

[0217] 芯片 CH1 具有由上层的感应器 Ia 和下层的感应器（未图示）构成的变压器。该

变压器形成区域为大致矩形的区域,在其外周配置阶梯差 St3,进一步在外周配置阶梯差 St1。

[0218] 芯片 CH2 也具有由上层的感应器 Ia 和下层的感应器 (未图示) 构成的变压器。该变压器形成区域为大致矩形的区域,在其外周配置阶梯差 St3,进一步在外周配置有阶梯差 St1。另外,对于各阶梯差 St1、St3,参照剖视图 (图 40、图 41) 进一步详细说明。

[0219] 在这些芯片 CH1、CH2 各自的外周配置有焊盘区域 PD2。

[0220] 而且,在芯片 CH2 中,以在焊盘区域 PD1 上连接的方式配置有再配线 RW。并且,在该再配线 RW 上配置有焊盘区域 PD2。

[0221] 芯片 CH1 和 CH2 的焊盘区域 PD2 经由电线与引线连接 (参照图 35)。

[0222] 参照图 40 和图 41 进一步详细地说明。

[0223] 本实施方式的半导体装置的各芯片 CH1、CH2 利用 SOI 基板形成。例如,如图 40 和图 41 所示,芯片 CH2 在具有周边电路形成区域 1A 和变压器形成区域 2A 的 SOI 基板上形成。

[0224] SOI 基板 1 具有:支承基板 1a、形成于该支承基板 1a 上的绝缘层 1b 以及形成于绝缘层 1b 上的半导体层。

[0225] 在周边电路形成区域 1A 形成有 n 沟道型 MISFET (NT) 和 p 沟道型 MISFET (PT)。在这些 MISFET 上形成有层间绝缘膜 IL1,在该层间绝缘膜 IL1 上形成有第一层配线 M1。MISFET (NT、PT) 与第一层配线 M1 经由插塞 P1 连接在一起。而且,在第一层配线 M1 上隔着层间绝缘膜 IL2 形成第二层配线 M2。所述第一层配线 M1 和第二层配线 M2 经由在层间绝缘膜 IL2 中形成的插塞 (未图示) 连接在一起。而且,在第二层配线 M2 上隔着层间绝缘膜 IL3 形成第三层配线 M3。所述第二层配线 M2 和第三层配线 M3 经由在层间绝缘膜 IL3 中形成的插塞 P3 连接在一起。

[0226] 在第三层配线 M3 上隔着层间绝缘膜 (绝缘膜、保护膜) IL4 形成有再配线再配线 RW。层间绝缘膜 IL4 由绝缘膜 IL4a 和绝缘膜 IL4a 上的绝缘膜 IL4b 的层叠膜构成。该再配线 RW 是将作为最上层配线 (在此,为第三层配线 M3) 的一部分的焊盘区域 PD1 引出至芯片的预期区域 (焊盘区域 PD2) 的配线 (也称为第四层配线 M4)。

[0227] 在变压器形成区域 2A 形成有具有感应器 Ia 和感应器 Ib 的变压器。下层的感应器 Ia 与第三层配线 M3 形成于同层。下层的感应器 Ia 经由插塞 P3 与下层的第二层配线 M2 连接。即,感应器 Ia 和与该感应器 Ia 连接的第二层配线 M2 具有下述关系。该第二层配线 M2 形成于层间绝缘膜 IL3 和层间绝缘膜 IL2 之间,是在俯视图中与感应器 Ia 重合的配线。而且,在剖视图中,感应器 Ia 被层间绝缘膜 IL4 覆盖,感应器 Ia 和第二层配线 M2 经由贯通层间绝缘膜 IL3 的多个插塞 (连接部) P3 连接在一起。

[0228] 在感应器 Ia 上隔着层间绝缘膜 IL4 和聚酰亚胺膜 PI1 形成有感应器 Ib。聚酰亚胺膜 PI1 未形成于周边电路形成区域 1A。即,在层间绝缘膜 IL4 (绝缘膜 IL4b) 与聚酰亚胺膜 PI1 之间形成有阶梯差 St1。聚酰亚胺膜 PI1 形成于层间绝缘膜 IL4 的主面上。并且,聚酰亚胺膜 PI1 具有主面和与该主面相连的侧面。因而,通过层间绝缘膜 IL4 的主面和聚酰亚胺膜 PI1 的侧面形成阶梯差 St1。

[0229] 这样,在感应器 Ia 的形成位置与再配线 RW 的形成位置之间存在与聚酰亚胺膜 PI1 的膜厚相当的高低差,但感应器 Ia 与再配线 RW 由相同材料 (相同工序) 形成。

[0230] 在再配线 RW 和感应器 Ia 上形成有聚酰亚胺膜 PI3。聚酰亚胺膜 PI3 形成于聚酰

亚胺膜 PI1 的主面上。并且,聚酰亚胺膜 PI3 具有主面和与该主面相连的侧面。而且,聚酰亚胺膜 PI3 从聚酰亚胺膜 PI1 的端部后退而形成。换言之,在变压器形成区域 2A,在聚酰亚胺膜 PI1 和聚酰亚胺膜 PI3 之间形成阶梯差 St3。即,聚酰亚胺膜 PI1 的主面和聚酰亚胺膜 PI3 的主面隔着聚酰亚胺膜 PI3 的侧面形成阶梯差 St3。该聚酰亚胺膜 PI3 具有主面和与该主面相连的侧面。而且,将周边电路形成区域 1A 和变压器形成区域 2A 的交界部的聚酰亚胺膜 PI3 除去,形成至少使层间绝缘膜 IL4(绝缘膜 IL4b)露出的开口部(谷部)OA。

[0231] 对于感应器的结构,如上所述,优选采用在俯视图中呈旋涡状的导电性膜。在此,以相对于位于图的中央的焊盘区域 PD2 的中心线对称的方式配置两个旋涡状的导电性膜(参照图 39、图 3)。

[0232] [制法说明]

[0233] 接着,参照图 40 和图 41,说明本实施方式的半导体装置的制造方法,并且进一步明确该半导体装置的结构。另外,对于与在实施方式 1 中说明的工序相同的工序,省略其详细的说明。

[0234] 如图 40 和图 41 所示,作为半导体基板,例如准备 SOI 基板 1。SOI 基板 1 由下述部分构成:支承基板 1a,由单晶硅(半导体膜)构成;绝缘层 1b,形成于该支承基板 1a 上;以及硅层 1c,形成于绝缘层 1b 上。SOI 基板 1 具有周边电路形成区域 1A 和变压器形成区域 2A。

[0235] 接着,在 SOI 基板 1 的硅层 1c 中形成元件分离绝缘膜 STI。该元件分离绝缘膜例如可以使用 STI 法与实施方式 1 的情况同样地形成。

[0236] 例如,对 SOI 基板 1 的硅层 1c 上使用光刻技术和蚀刻技术形成元件分离槽。接下来,在 SOI 基板 1 上,使用 CVD 法等以填充元件分离槽的膜厚堆积氧化硅膜,并使用化学机械研磨法和回蚀法等除去元件分离槽以外的氧化硅膜。由此,能够在元件分离槽内填充氧化硅膜。

[0237] 接着,在周边电路形成区域 1A 形成 MISFET(NT、PT)。MISFET 的形成方法并不受限,例如,可以与实施方式 1 同样地,形成具有 LDD 结构的源极/漏极区域(SD)的 MISFET(NT、PT),其中,所述 LDD 结构的源极/漏极区域(SD)具有高浓度的杂质区域和低浓度的杂质区域。

[0238] 接着,在包括 MISFET(NT、PT)上的 SOI 基板 1 上形成层间绝缘膜 IL1。例如,在利用 CVD 法堆积了氧化硅膜后,根据需要,使用 CMP 法等使层间绝缘膜 IL1 的表面平坦化。

[0239] 接着,通过对层间绝缘膜 IL1 成图,形成接触孔。接着,通过在接触孔的内部填充导电性膜来形成插塞 P1。

[0240] 接着,在层间绝缘膜 IL1 和插塞 P1 上,使用溅射法等依次堆积例如由钛/氮化钛膜、铝膜及钛/氮化钛膜构成的层叠膜作为导电性膜。接着,通过对上述层叠膜使用光刻技术和蚀刻技术成图,在插塞 P1 上形成第一层配线 M1。

[0241] 接着,在第一层配线 M1 上使用 CVD 法等形成由氧化硅膜构成的层间绝缘膜 IL2。接着,通过对层间绝缘膜 IL2 成图,在第一层配线 M1 上形成接触孔。

[0242] 接着,通过在接触孔的内部填充导电性膜来在层间绝缘膜 IL2 中形成插塞(未图示)。该插塞可以与插塞 P1 同样地形成。

[0243] 接着,在层间绝缘膜 IL2 和上述插塞上,使用溅射法等依次堆积例如由钛/氮化钛

膜、铝膜及钛/氮化钛膜构成的层叠膜作为导电性膜。接着,通过对上述层叠膜使用光刻技术和蚀刻技术成图,在上述插塞上形成第二层配线 M2。

[0244] 接着,在第二层配线 M2 上使用 CVD 法等形成由氧化硅膜构成的层间绝缘膜 IL3。接着,通过对层间绝缘膜 IL3 成图,在第二层配线 M2 上形成接触孔。

[0245] 接着,通过在接触孔的内部填充导电性膜来在层间绝缘膜 IL3 中形成插塞 P3。该插塞可以与插塞 P1 同样地形成。

[0246] 接着,在层间绝缘膜 IL3 和上述插塞上,使用溅射法等依次堆积例如由钛/氮化钛膜、铝膜及钛/氮化钛膜构成的层叠膜作为导电性膜。接着,通过对上述层叠膜使用光刻技术和蚀刻技术成图,在上述插塞上形成第三层配线 M3。

[0247] 在此,在变压器形成区域 2A 中,将下层的感应器 Ia 与第三层配线 M3 在同层形成。即,在对上述层叠膜成图时,在变压器形成区域 2A 形成所述旋涡状的导电性膜(感应器 Ia)(参照图 40、图 41)。另外,该导电性膜(感应器 Ia)经由插塞 P3 与下层的第二层配线 M2 连接(参照图 41)。

[0248] 接着,在第三层配线 M3(在此,为最上层配线)和层间绝缘膜 IL3 上形成绝缘膜 IL4a。例如,通过利用 CVD 法等以 $1 \sim 4 \mu\text{m}$ 左右的膜厚堆积氮化硅膜来形成绝缘膜 IL4a。

[0249] 接着,在绝缘膜 IL4a 上涂敷例如感光性的聚酰亚胺膜作为绝缘膜 IL4b。例如,通过在 SOI 基板 1 的表面旋转涂敷聚酰亚胺的前体液后使其干燥来形成聚酰亚胺膜。接着,通过对感光性的聚酰亚胺膜(IL4b)曝光/显影来除去焊盘区域 PD1 的聚酰亚胺膜(IL4b),形成开口部(开口区域,第三层配线 M3 的露出部)。此后,实施热处理,使聚酰亚胺膜(IL4b)固化。该聚酰亚胺膜(IL4b)的膜厚例如为 $3 \sim 10 \mu\text{m}$ 左右。接着,通过将绝缘膜 IL4a 蚀刻除去,使焊盘区域 PD1 的第三层配线 M3 露出。由此,形成在焊盘区域 PD1 具有开口部的、由绝缘膜 IL4a 和绝缘膜 IL4b 的层叠膜构成的层间绝缘膜 IL4。

[0250] 接着,在包括焊盘区域 PD1 的绝缘膜 IL4b 上涂敷感光性的聚酰亚胺膜 PI1 作为第一绝缘膜(层间绝缘膜、确保耐压用的绝缘膜、感应器间绝缘膜)。该聚酰亚胺膜 PI1 的膜厚例如为 $11 \mu\text{m}$ 左右。在此,绝缘膜 IL4b 从变压器形成区域 2A 延伸至周边电路形成区域 1A,因此在绝缘膜 IL4b 与聚酰亚胺膜 PI1 之间形成阶梯差 St1。

[0251] 接着,与实施方式 1 同样地,形成感应器 Ib 和再配线 RW。并且,在感应器 Ib 和再配线 RW 上形成由 Ni 膜和 Au 膜的层叠膜(Ni/Au)构成的基底金属膜 UM。

[0252] 接着,在包括基底金属膜 UM 上的感应器 Ib、再配线 RW 和聚酰亚胺膜 PI1 等的上部涂敷感光性的聚酰亚胺膜 PI3 作为绝缘膜(保护膜)。例如,通过在 SOI 基板 1 的表面旋转涂敷聚酰亚胺的前体液后使其干燥来形成聚酰亚胺膜 PI3。接着,以对周边电路形成区域 1A 的焊盘区域 PD2、变压器形成区域 2A 的焊盘区域 PD2 和开口部 OA 的图案部进行遮光的中间掩模作为掩模来使聚酰亚胺膜 PI3 曝光。

[0253] 接着,通过显影处理,除去变质的区域以外(换言之,中间掩模的遮光区域)的聚酰亚胺膜 PI3,形成开口部(开口区域、基底金属膜 UM 的露出部)。由此,使感应器 Ib 上的基底金属膜 UM 和再配线 RW 上的基底金属膜 UM 露出。该基底金属膜 UM 的露出区域成为焊盘区域 PD2。而且,此时,在周边电路形成区域 1A 和变压器形成区域 2A 的交界部形成开口部 OA。从该开口部 OA 的底部露出层间绝缘膜 IL4(绝缘膜 IL4b)。这样,将周边电路形成区域 1A 和变压器形成区域 2A 的交界部的聚酰亚胺膜 PI3 除去,设置至少使层间绝缘膜

IL4(绝缘膜 IL4b)露出的开口部(谷部)OA。

[0254] 此后,将 SOI 基板(晶片)1 切断(冲切)并分离成多个芯片(半导体芯片)(单片化)。另外,也可以在冲切前,进行 SOI 基板 1 的背面磨削,使 SOI 基板 1 薄膜化。接着,将半导体芯片搭载(粘接)到引线框架的芯片焊盘上(芯片焊接)。在该芯片焊盘的周围设有引线(外部端子、端子)。接着,将半导体芯片上的焊盘区域 PD2 与引线通过由金线等构成的电线(导线、导电性部件)连接起来(导线焊接,参照图 35)。

[0255] 然后,根据需要,以覆盖半导体芯片、电线的方式用密封树脂(模压树脂)等密封该半导体芯片、电线(封装化)。

[0256] 这样,在本实施方式中,在变压器形成区域 2A 的感应器 Ia、Ib 之间设有单层的聚酰亚胺膜 PI1。

[0257] 而且,在本实施方式中,通过以聚酰亚胺膜 PI3 覆盖再配线 RW,能够保护再配线 RW。而且,通过以聚酰亚胺膜 PI3 覆盖感应器 Ib,能够保护感应器 Ib。而且,从聚酰亚胺膜 PI1 的端部后退而形成聚酰亚胺膜 PI3,使聚酰亚胺膜的层叠膜(PI1、PI3)在变压器形成区域 2A 形成为台阶状(金字塔状),从而起到下述的效果。

[0258] 在图 41 中,以双点划线示出爬电距离(creepage distance,两个导电性部分之间沿着绝缘物的表面的最短距离)。为了不通过绝缘物隔离就实现电绝缘,需要确保空间距离和爬电距离双方。在此,在本实施方式中,在层叠绝缘膜(PI1、PI3)时形成阶梯差(St1、St3),将多个所述阶梯差组合起来,在高耐压和低耐压的电极之间,即在周边电路形成区域 1A 的焊盘区域 PD2 和变压器形成区域 2A 的焊盘区域 PD2 之间利用绝缘膜的多级的侧壁形成槽,使高耐压的区域和低耐压的区域分离。由此,能够使爬电距离起作用,能够实现高耐压的电绝缘状态。

[0259] 而且,在本实施方式中,如图 40 的周边电路形成区域 1A 所示,利用再配线 RW 将多个焊盘区域 PD1 引出至焊盘区域 PD2。具体来说,将多个 MISFET(NT、PT)的源极电极(或者漏极电极)通过再配线 RW 连接并引出至焊盘区域 PD2。由此,与通过由 A1 等构成的下层的配线(M1 ~ M3)连接焊盘区域 PD1 相比,能够降低电阻。即,构成再配线 RW 的铜比铝电阻小,而且,在位于上层的再配线 RW 中,能够使配线形成得较粗,因此能够降低配线电阻。而且,如图 39 所示,通过在再配线(带状的直线)的中央部附近设置焊盘区域 PD2,能够均等地分配(或者收集)来自各个 MISFET(NT、PT)的源极电极(或者漏极电极)的电流,由此,能够使施加于各 MISFET 的负载更为均匀。

[0260] (实施方式 5)

[0261] 并不限于在实施方式 1 ~ 4 中说明的半导体装置的应用情况,也可以广泛地应用于在输入的电信号的电位彼此不同的两个电路之间无线传递电信号的装置中。在此,作为适用装置,以三相电动机为例进行说明。图 42 是示出本实施方式中的三相电动机的电路图的图。

[0262] 图 42 所示的电动机 M 为所谓的三相电动机,具有 U 相、V 相、W 相的输入。在该电路中,将来自电源的输入电压通过升压电路 BC 进行升压,并利用 IGBT(Insulated Gate Bipolar Transistor,绝缘栅双极型晶体管)转换成预期频率的交流,从而能够对电动机 M 的转速进行可变速控制。

[0263] 将各 IGBT 与 IGBT 控制电路(IGBT Driver/IGBT 驱动器)连接来对其进行控制。

而且, IGBT 控制电路 (IGBT Driver) 经由隔离器 (isolator) 与微机 MC 连接。

[0264] 在此, 图 42 中的隔离器 (isolator) 的左侧, 换言之, 隔离器的微机 MC 侧为低电压区域 LC。即, 具有能够以低电压 (例如, 50V 以下) 的电压驱动电路。与此相对, 图 42 中的隔离器 (isolator) 的右侧, 换言之, 隔离器的电动机 M 侧为高电压区域 HC。即, 具有以高电压 (例如, 交流有效值 100Vrms 以上) 的电压驱动电路。

[0265] 这样, 在低电压区域 LC 和高电压区域 HC 之间, 作为隔离器 (isolator), 能够组装在实施方式 1、2 中说明的变压器 (感应器 Ia、Ib、I1 ~ I4)。特别是根据实施方式 1、2 的半导体装置, 除了变压器 (感应器 Ia、Ib、I1 ~ I4) 之外, 可以将构成周边电路的各种元件 (例如, MISFET) 内置于同一芯片内或者封装内。由此, 例如, 能够将图 42 所示的隔离器 (isolator) 和 IGBT 控制电路 (IGBT Driver) 内置在同一芯片内或同一封装内。当然, 也可以是, 使低电压区域 LC 侧的芯片与高电压区域 HC 侧的芯片为不同芯片, 经由内置于任意一个中的变压器对它们之间进行连接, 并且在低电压区域 LC 侧的芯片内置微机 MC, 而且在高电压区域 HC 侧的芯片内置 IGBT 等由高电压驱动电路。

[0266] 以上, 对本申请发明人完成的发明基于其实施方式进行了具体说明, 但本发明并不限于上述实施方式, 当然能够在不脱离其主旨的范围进行各种变更。

[0267] 例如, 在实施方式 1 中, 通过成图形成第一层配线 M1 ~ 第三层配线 M3, 但也可以在设置于层间绝缘膜中的配线槽填充导电性膜, 采用所谓的“镶嵌 (damascene) 法”来形成第一层配线 M1 ~ 第三层配线 M3。

[0268] 而且, 在实施方式 1 中, 以聚酰亚胺膜的层叠膜 (PI1、PI2) 构成感应器 (Ia、Ib) 之间的绝缘膜, 但也可以采用其他绝缘膜。但是, 聚酰亚胺膜在绝缘耐压方面优秀, 因此优选将其用于感应器 (Ia、Ib) 之间。而且, 聚酰亚胺膜能够涂敷成膜, 也容易具有感光性, 因此通过使用聚酰亚胺膜, 能够以简易的工序形成半导体装置。

[0269] 而且, 在实施方式 1 中, 将感应器 (Ia、Ib) 之间的聚酰亚胺膜的层叠膜 (PI1、PI2) 形成两层结构, 但也可以层叠两层以上的聚酰亚胺膜。此时, 将各聚酰亚胺膜层叠成台阶状 (金字塔状)。

[0270] 而且, 在实施方式 1 中, 将感应器 (Ia、Ib) 之间的聚酰亚胺膜的层叠膜 (PI1、PI2) 的端部分别形成为锥形形状, 但并不限于此。但是, 优选使各聚酰亚胺膜的侧面为锥形形状, 即使各聚酰亚胺膜的侧面与基板的表面所成的角度在 90° 以下。这样, 通过使各聚酰亚胺膜的侧面形成为锥形形状, 能够进一步减少各聚酰亚胺膜的端部的剥落, 而且能够有效地减少 Cu 籽晶层 (SE) 的分段。

[0271] 而且, 在实施方式 1 中, 以 SOI 基板为例进行了说明, 当然也可以采用所谓的“块体基板 (bulk substrate)”。不过, 在 SOI 基板的上方层叠聚酰亚胺膜的情况下, 聚酰亚胺膜的膜应力向使 SOI 基板的翘起缓和的方向作用。由此, 提高 SOI 基板的平坦性, 因此实施方式 1 的半导体装置应用于使用 SOI 基板的半导体装置更为有效。

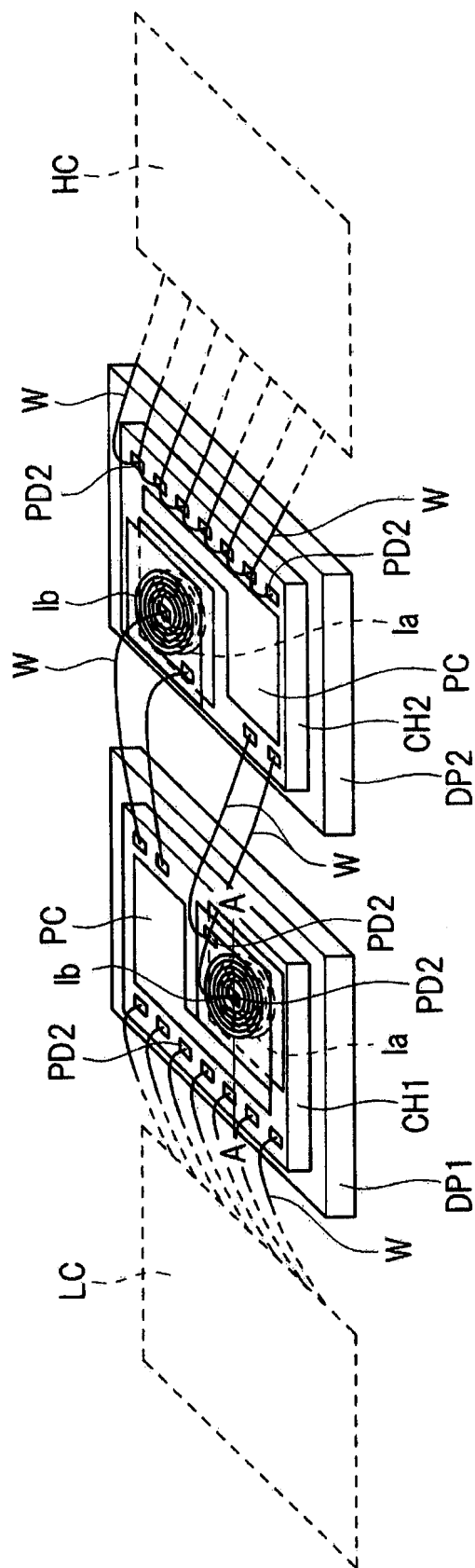


图 1

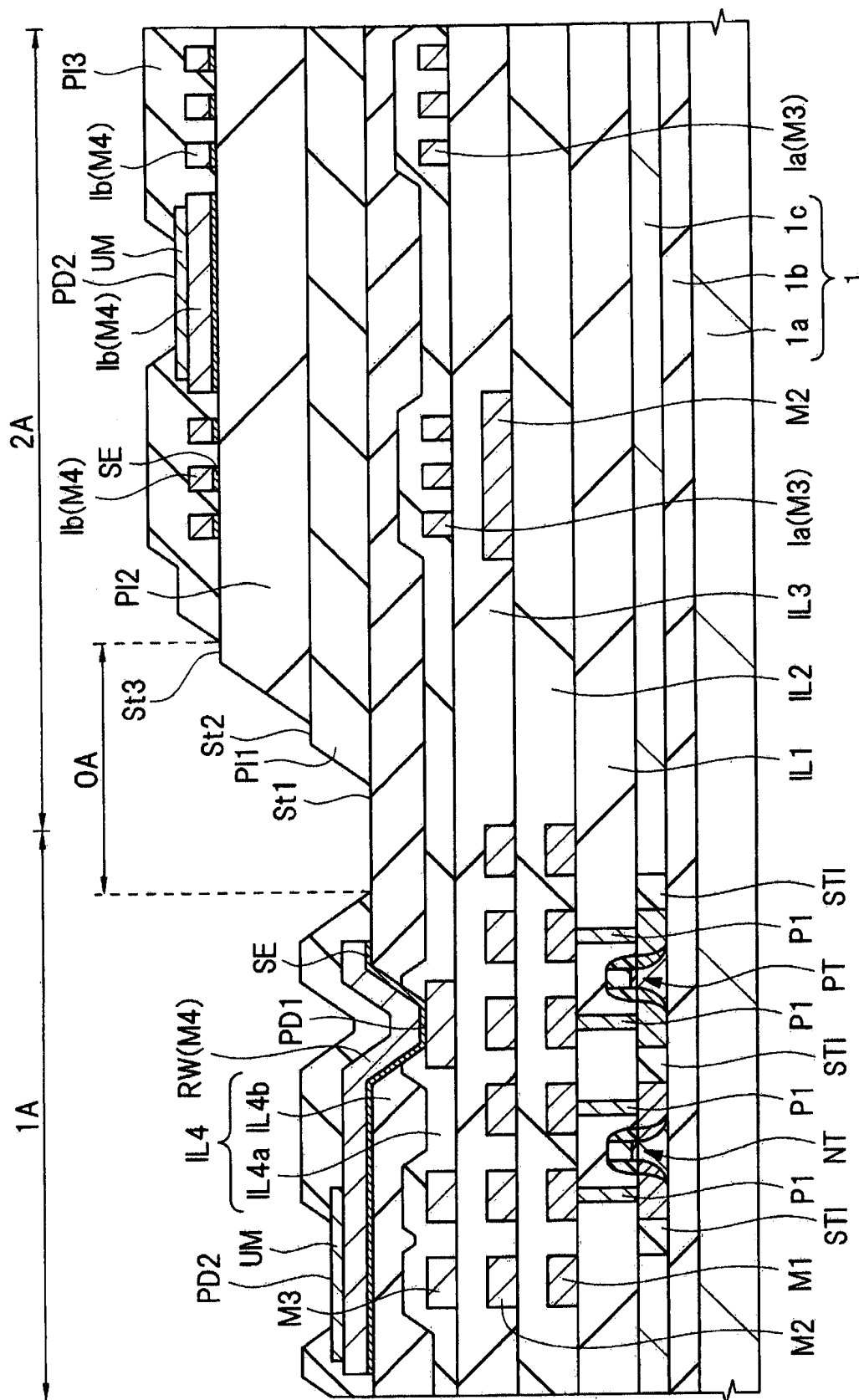


图 2

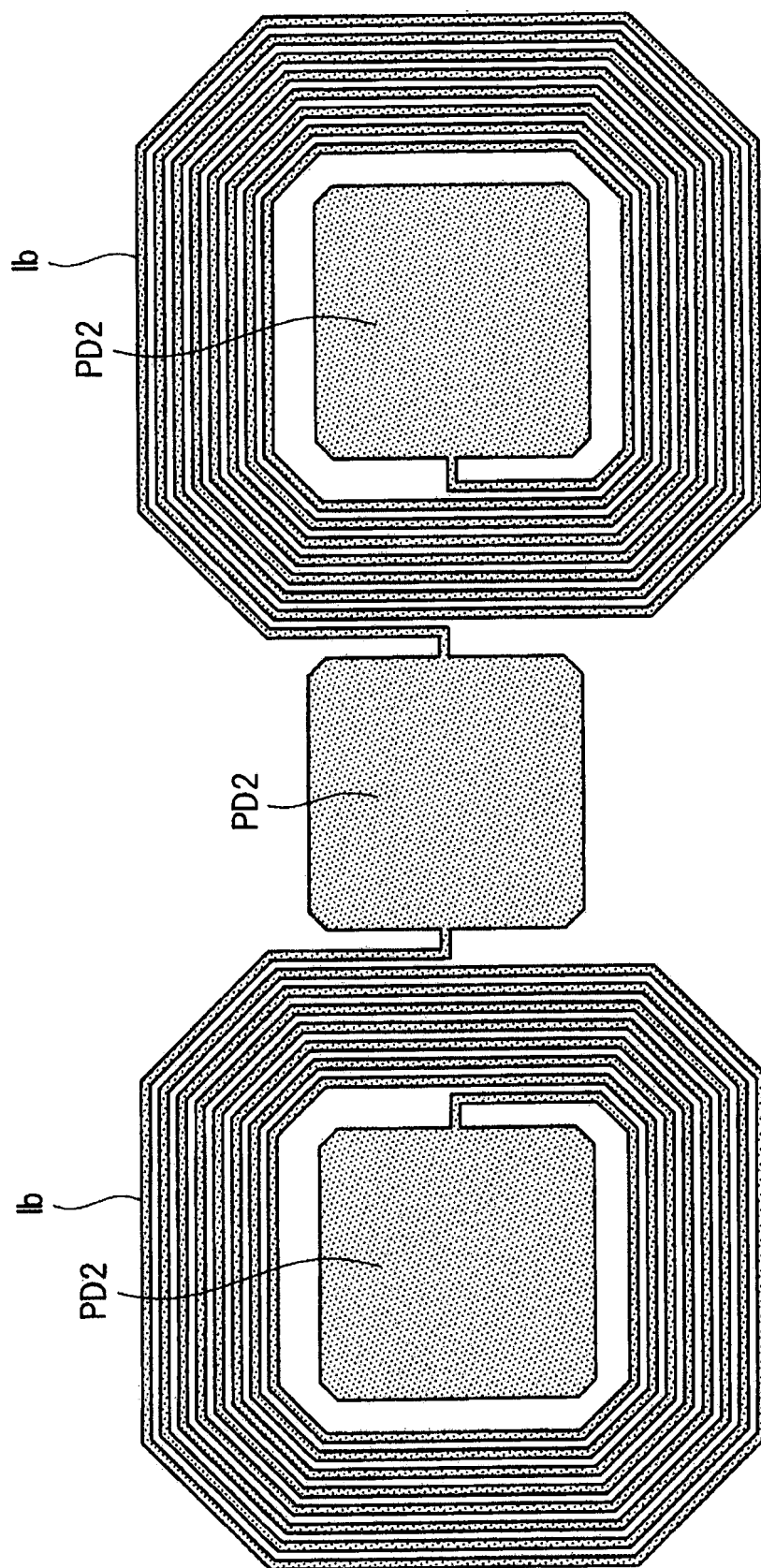


图 3

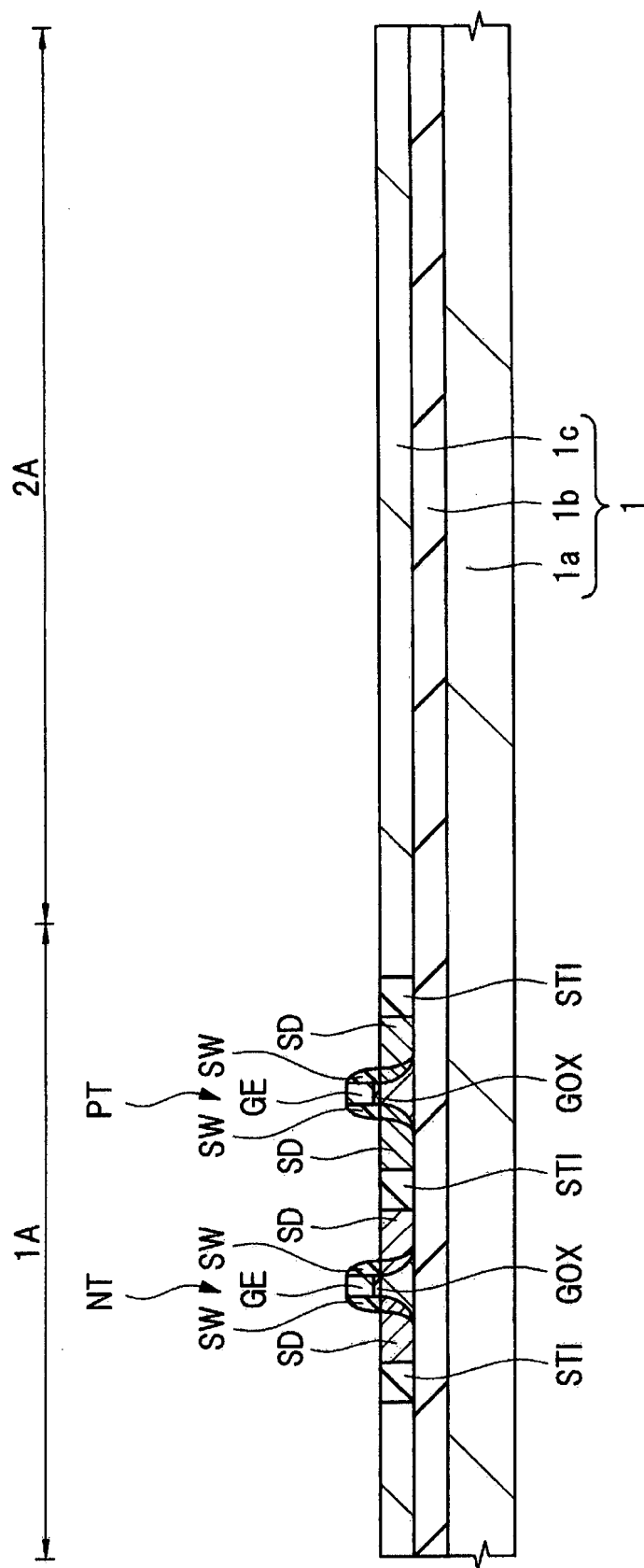


图 4

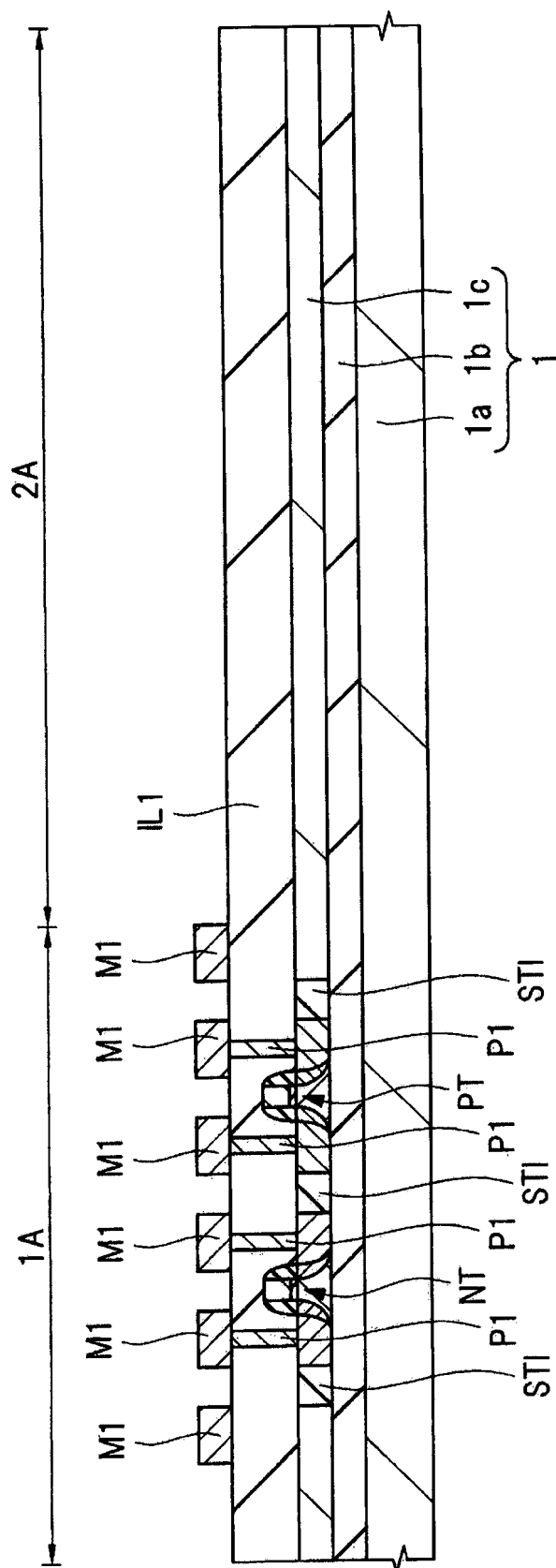


图 5

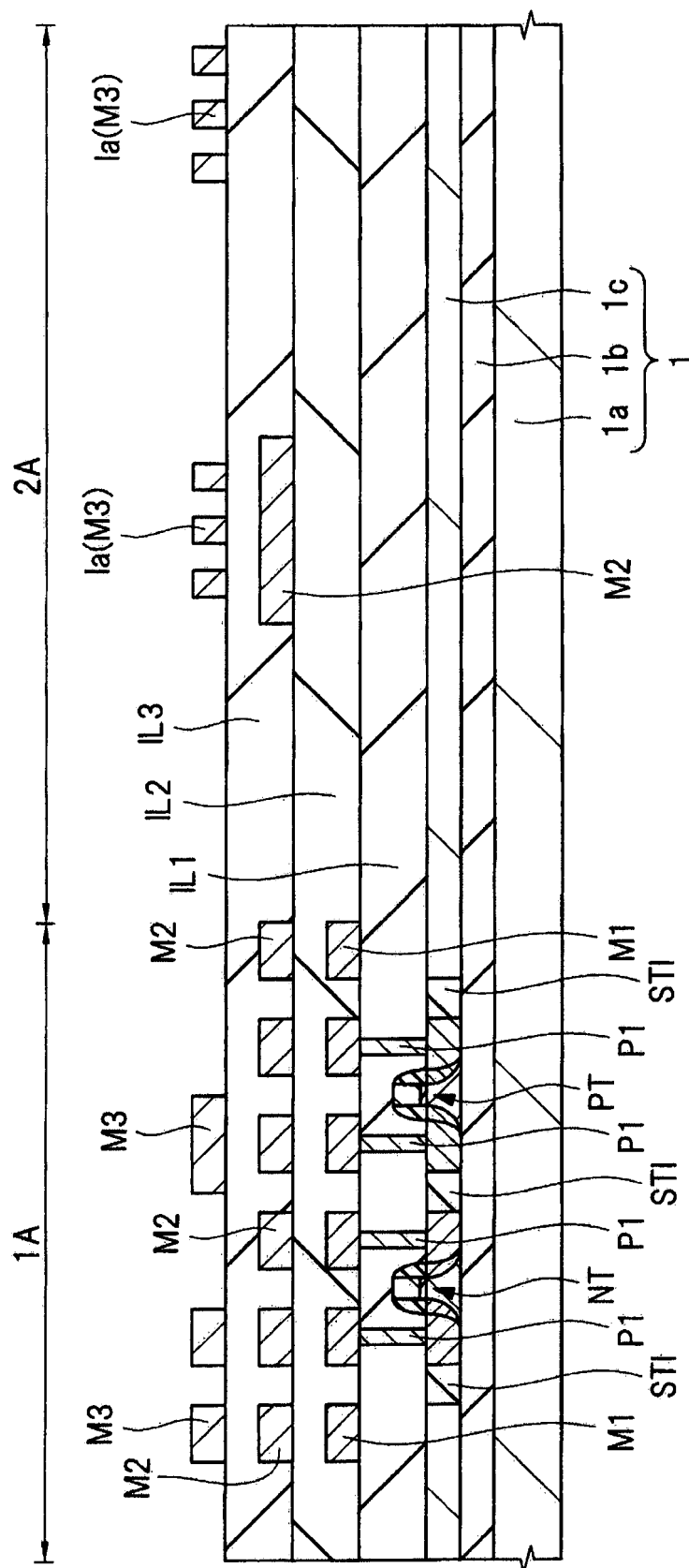


图 6

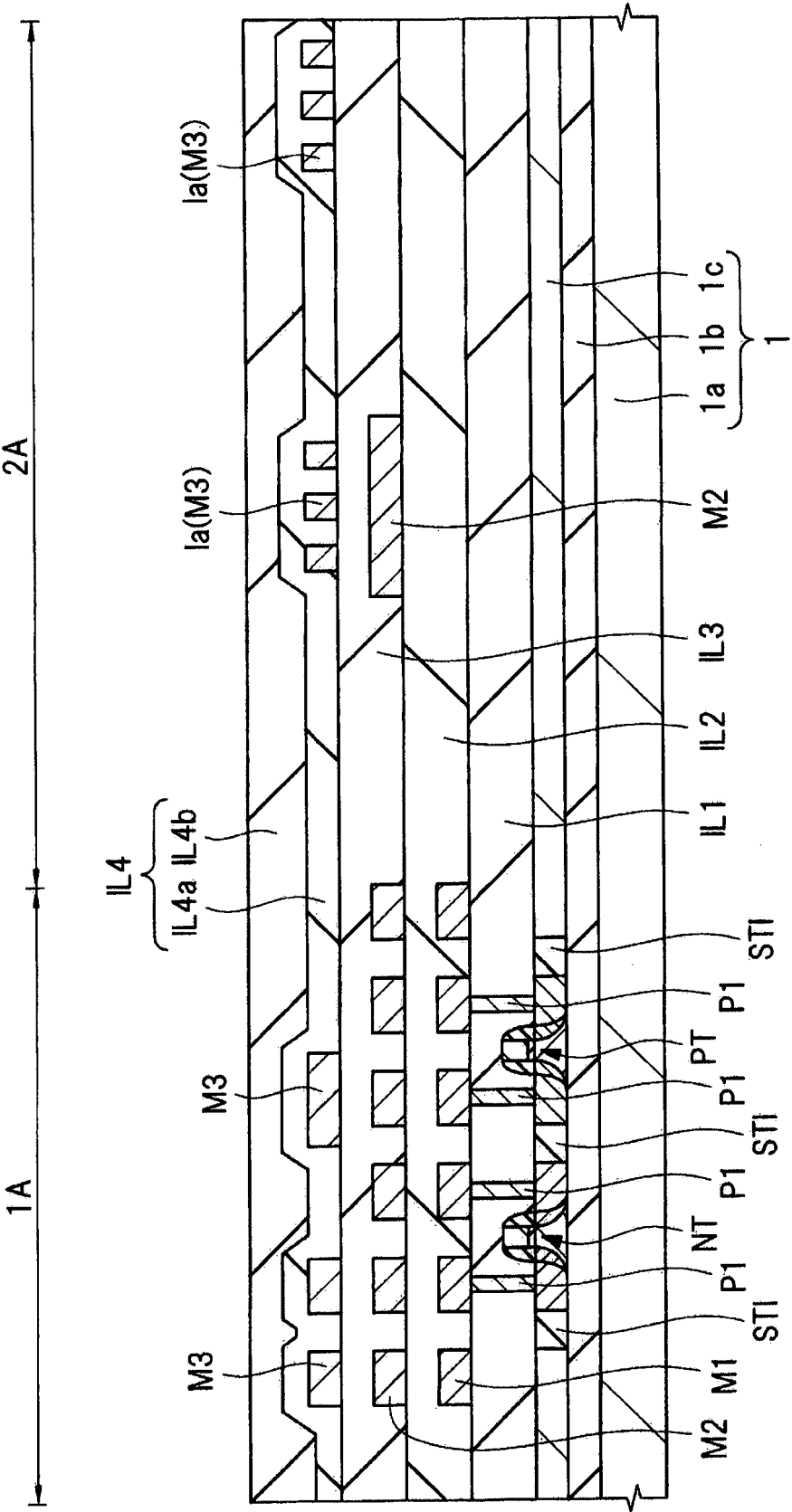


图 7

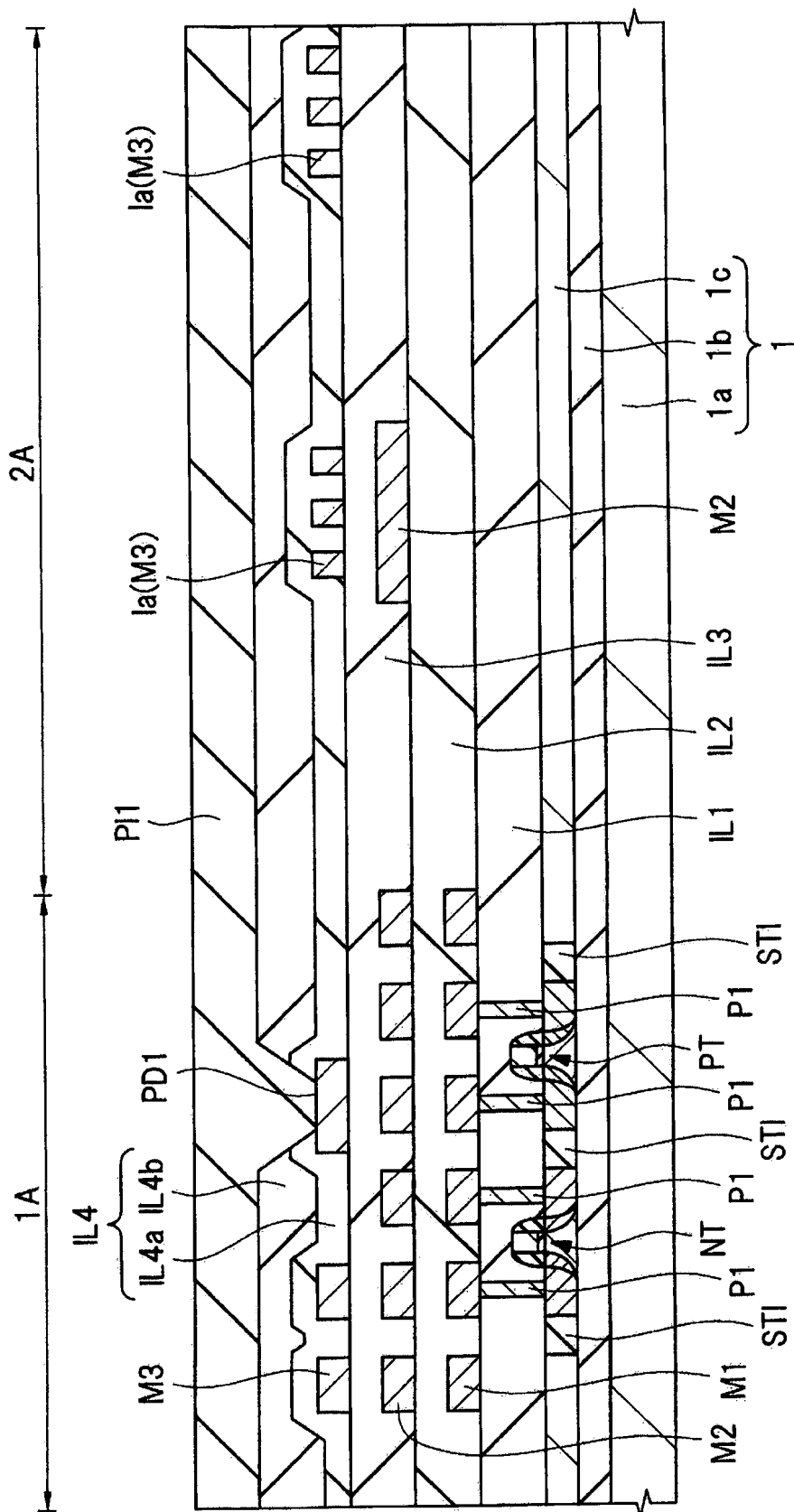


图 9

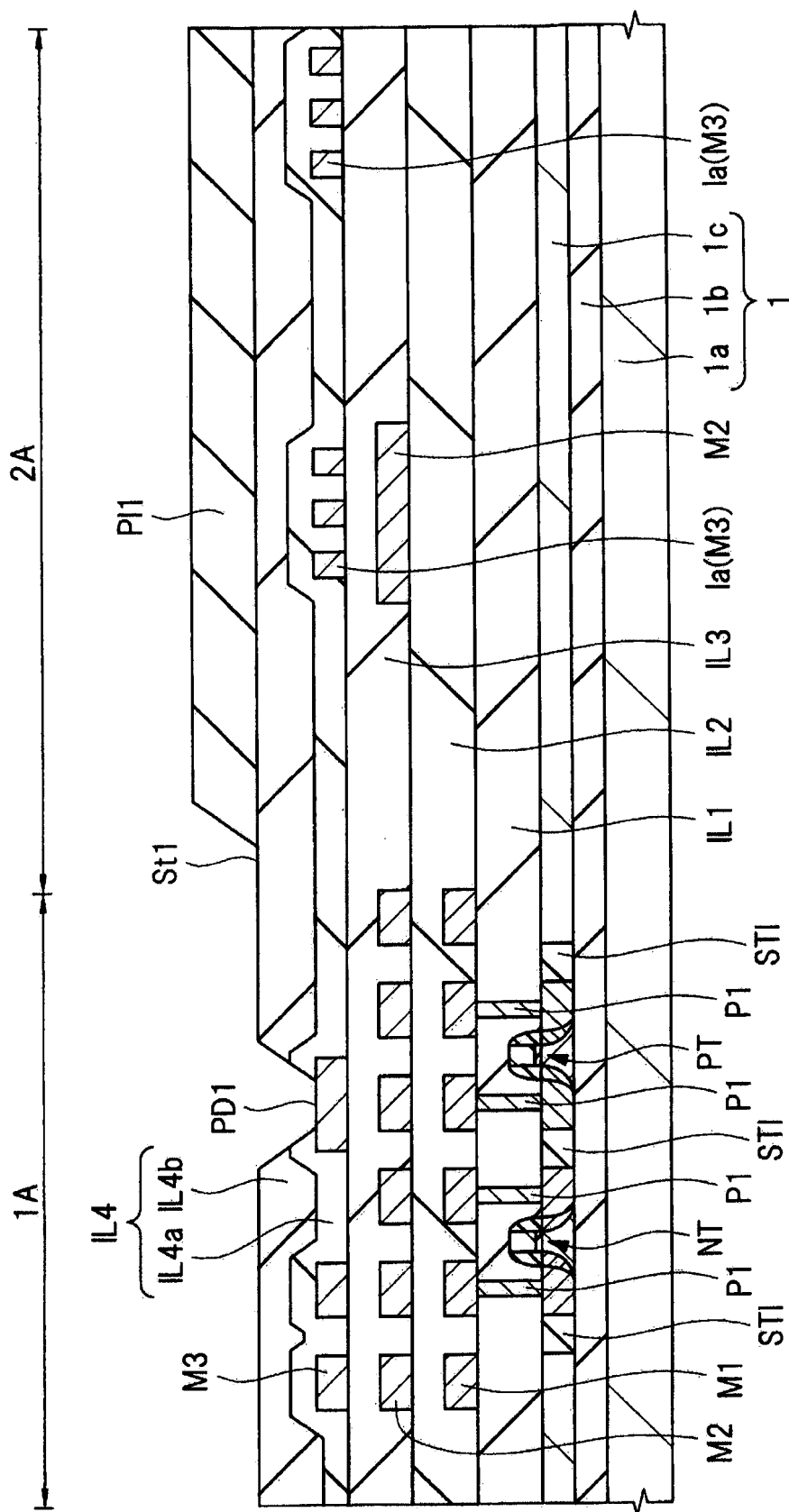


图 10

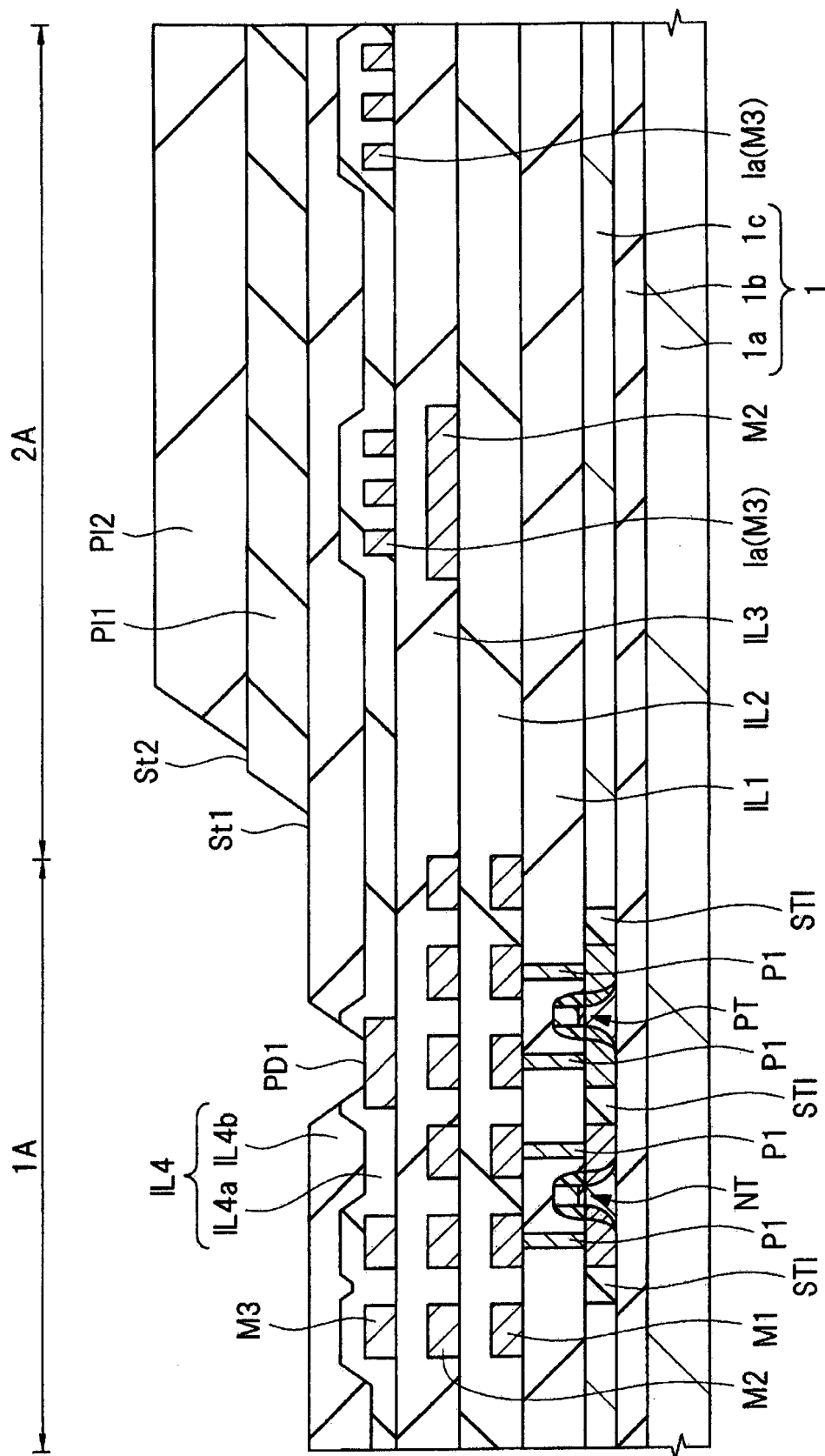


图 11

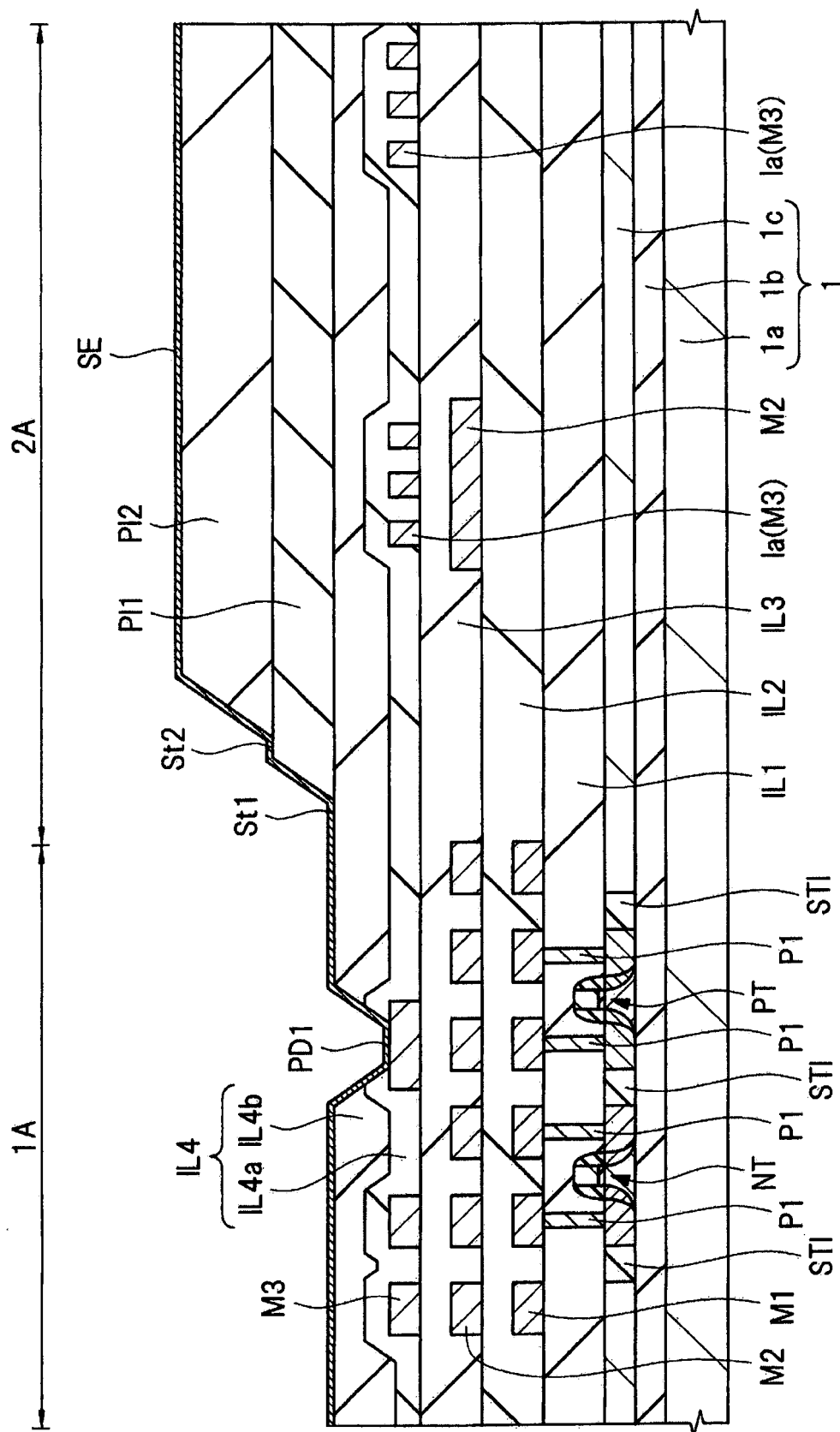


图 12

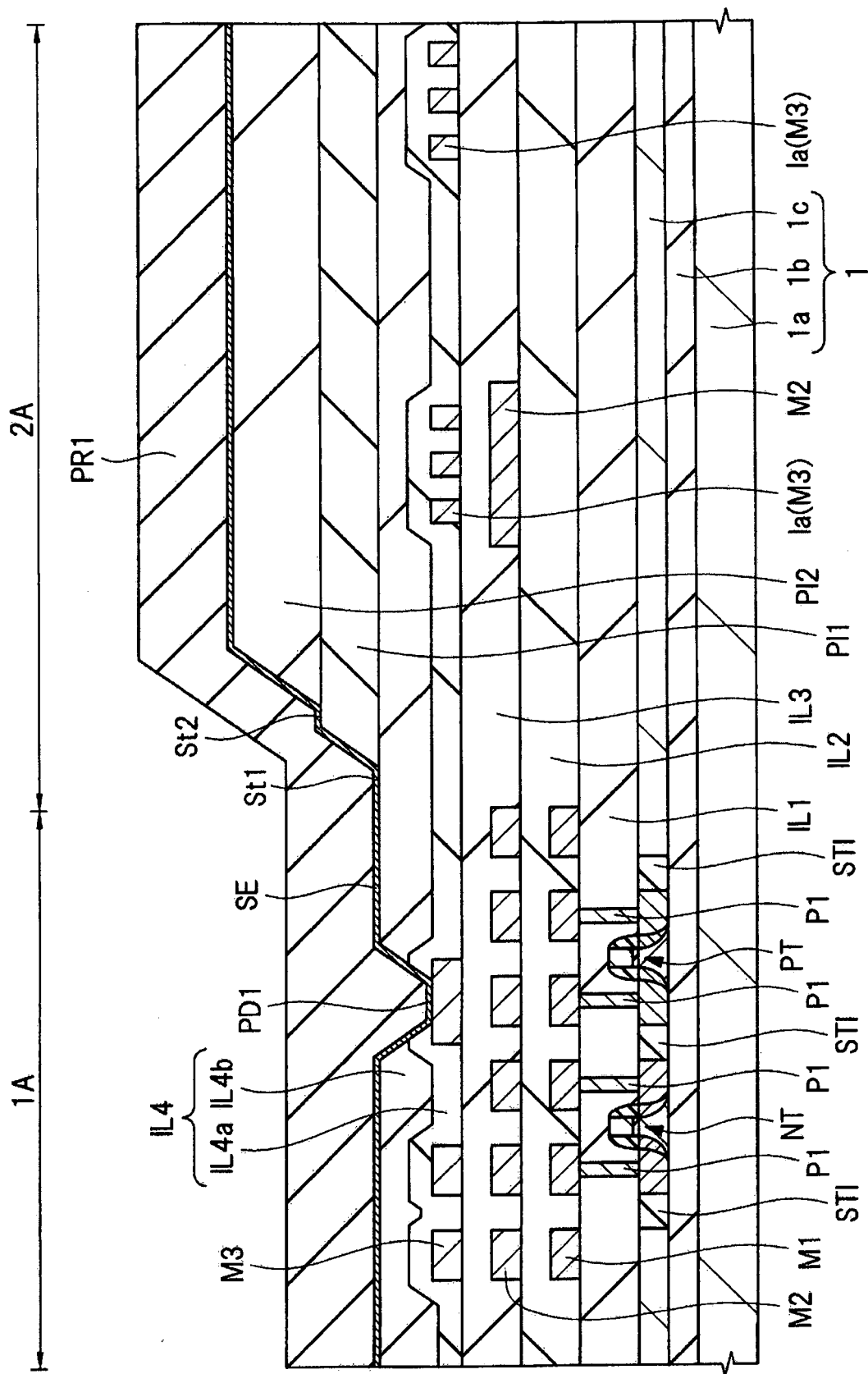


图 13

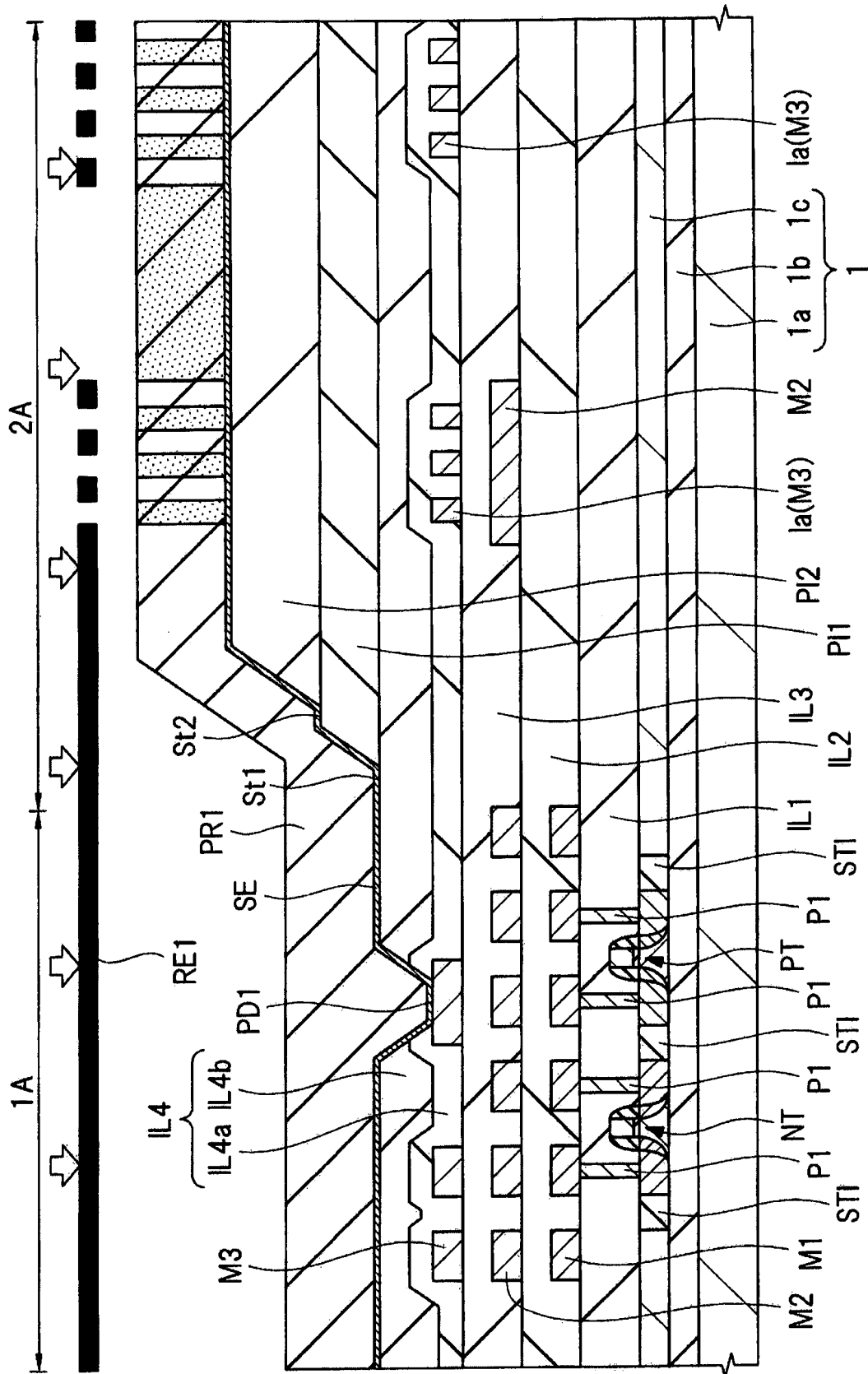


图 14

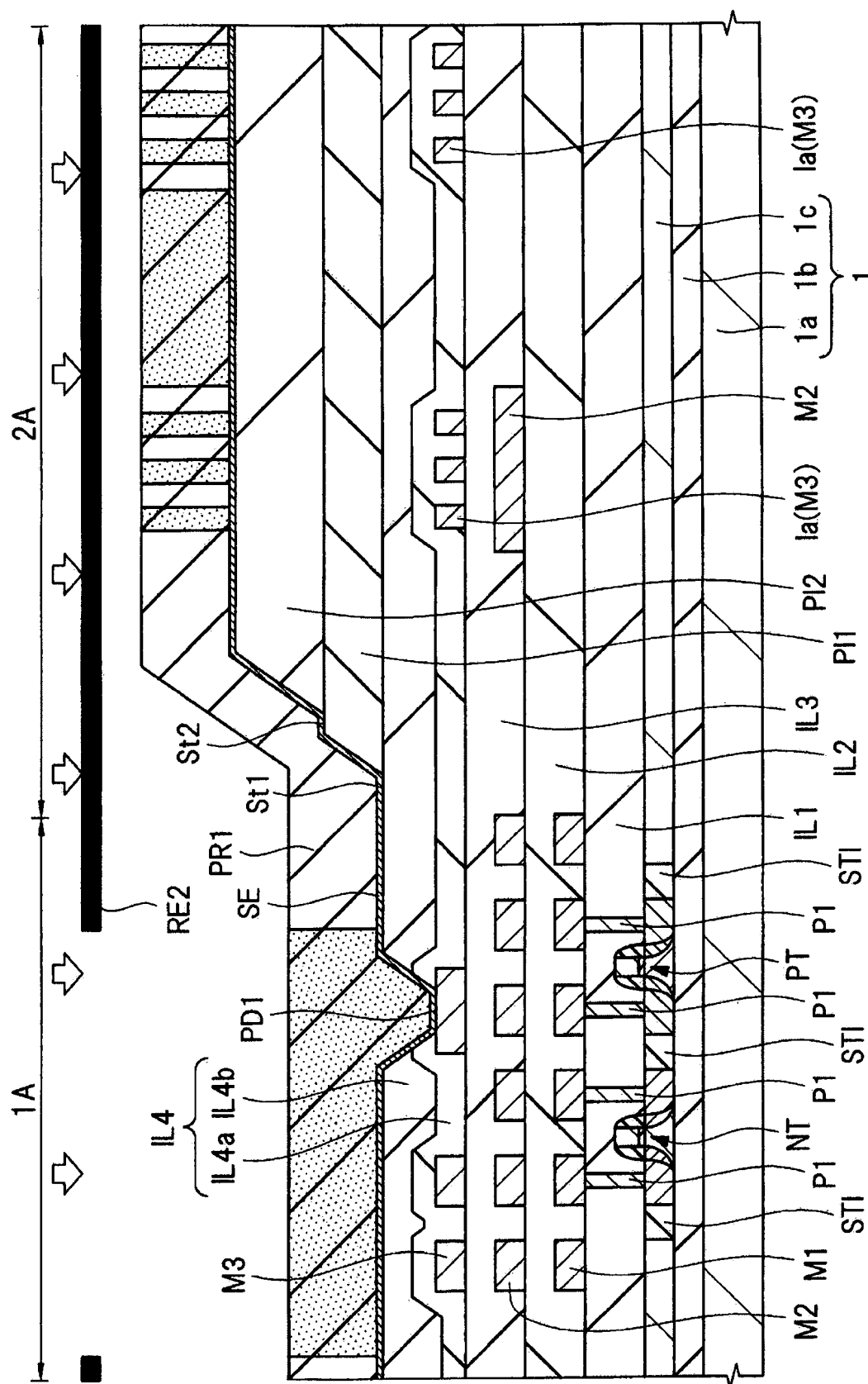


图 15

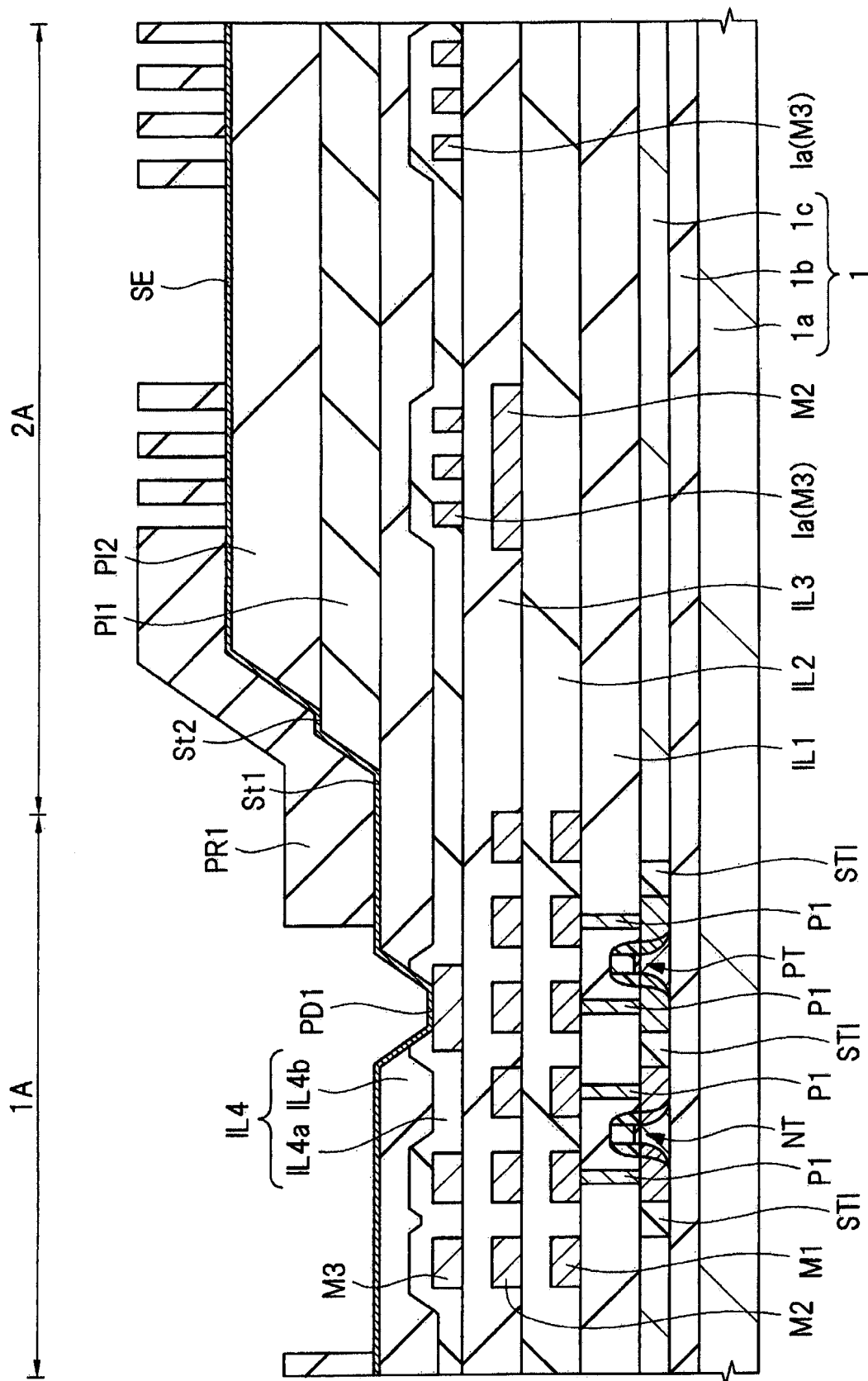


图 16

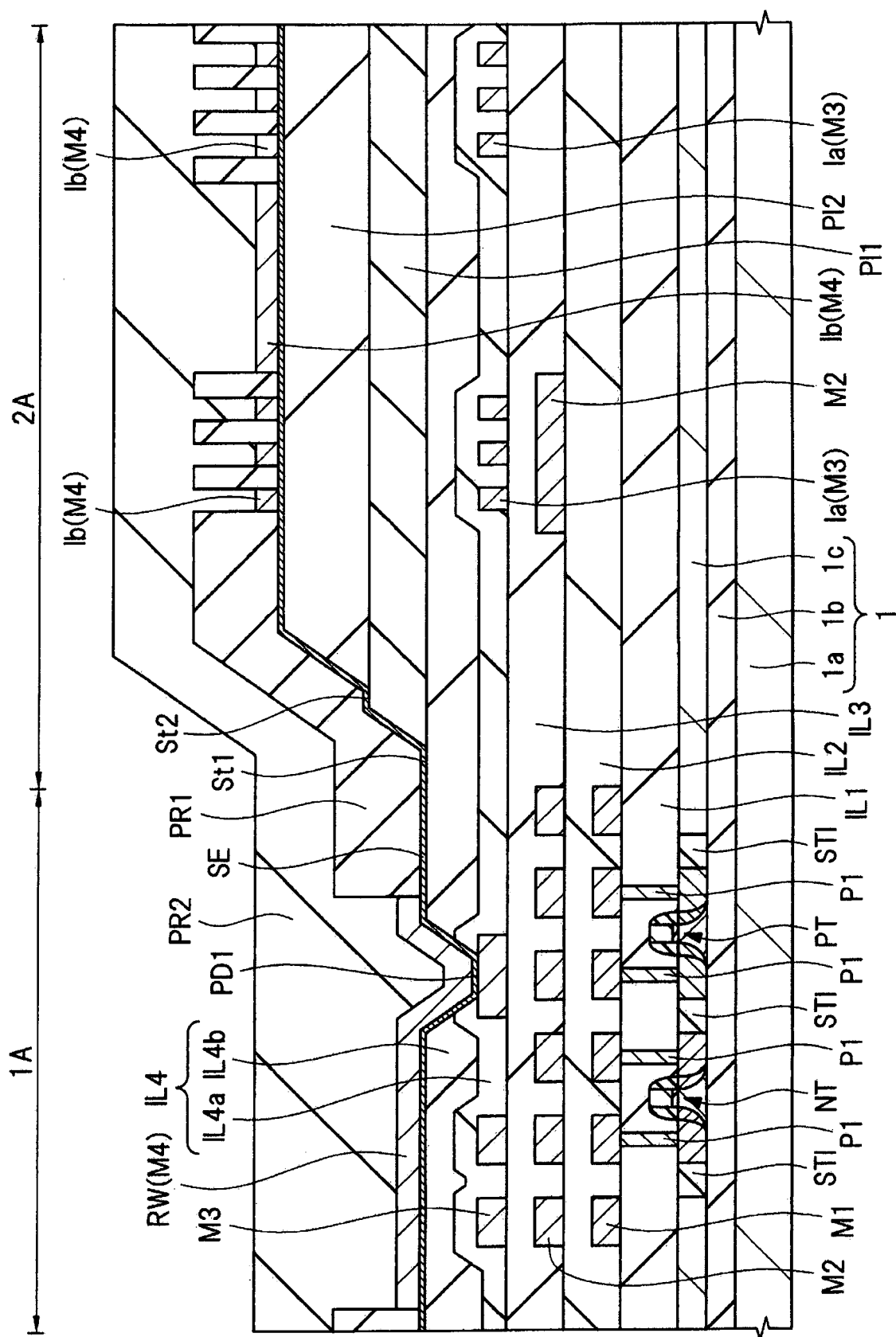


图 18

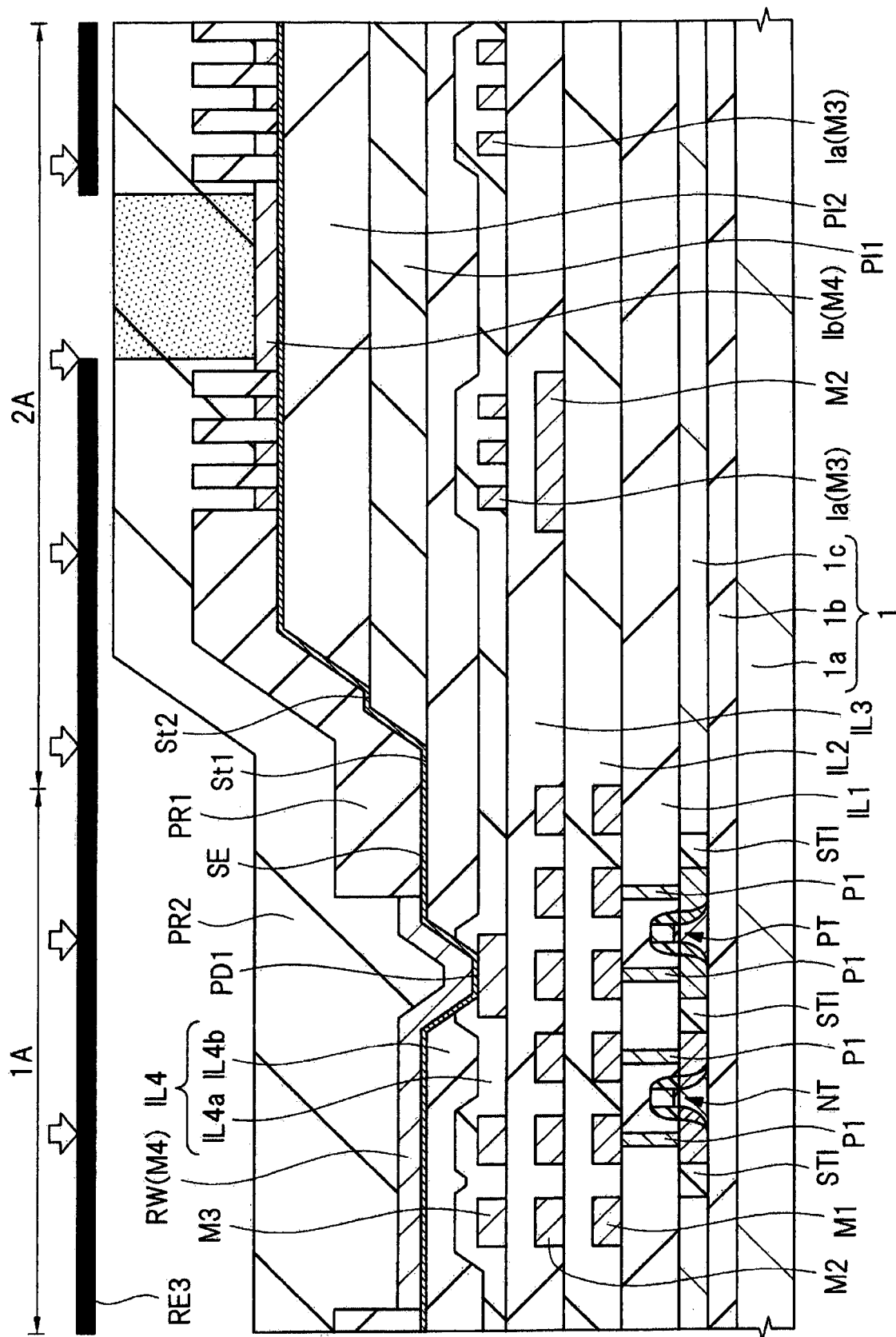


图 19

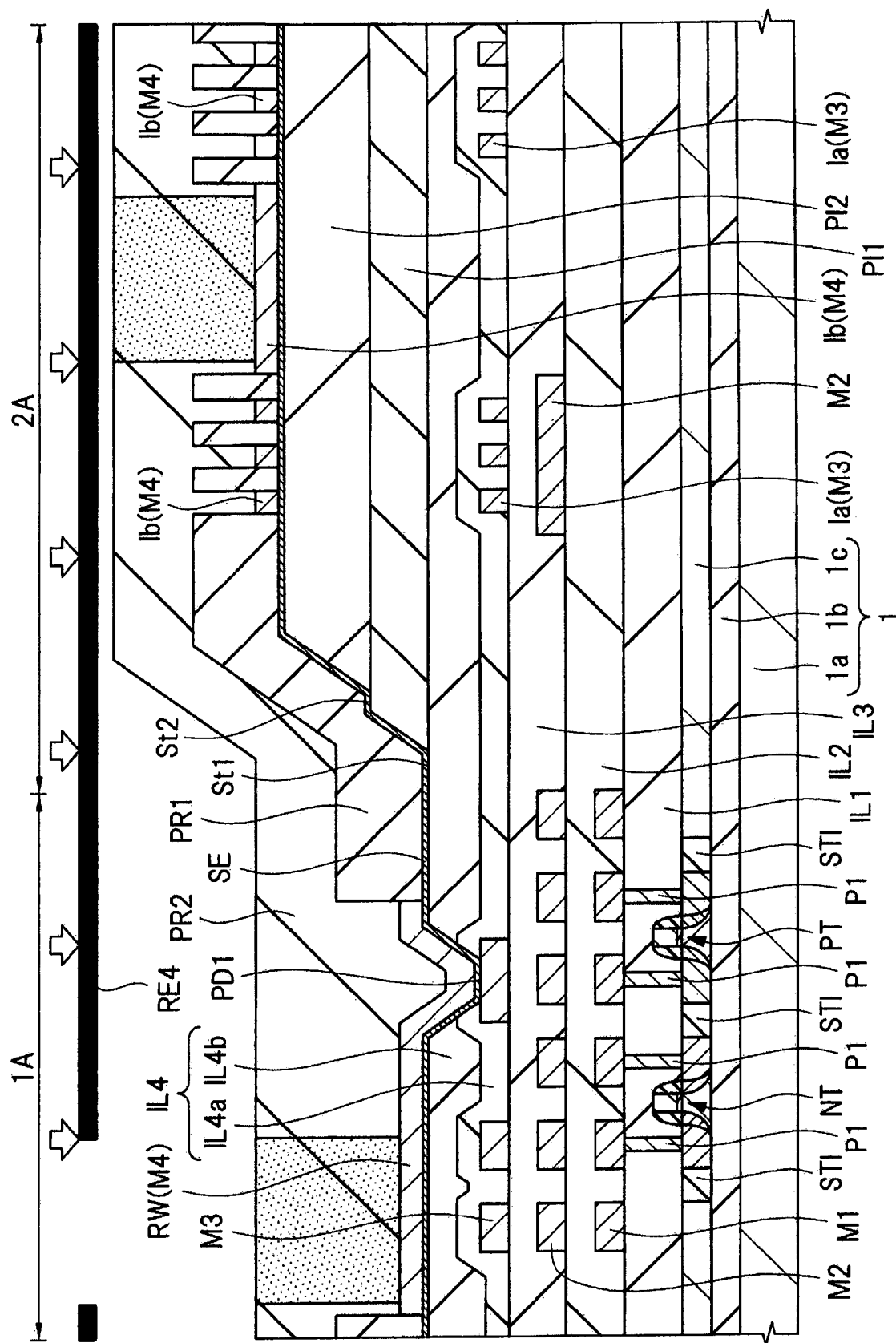


图 20

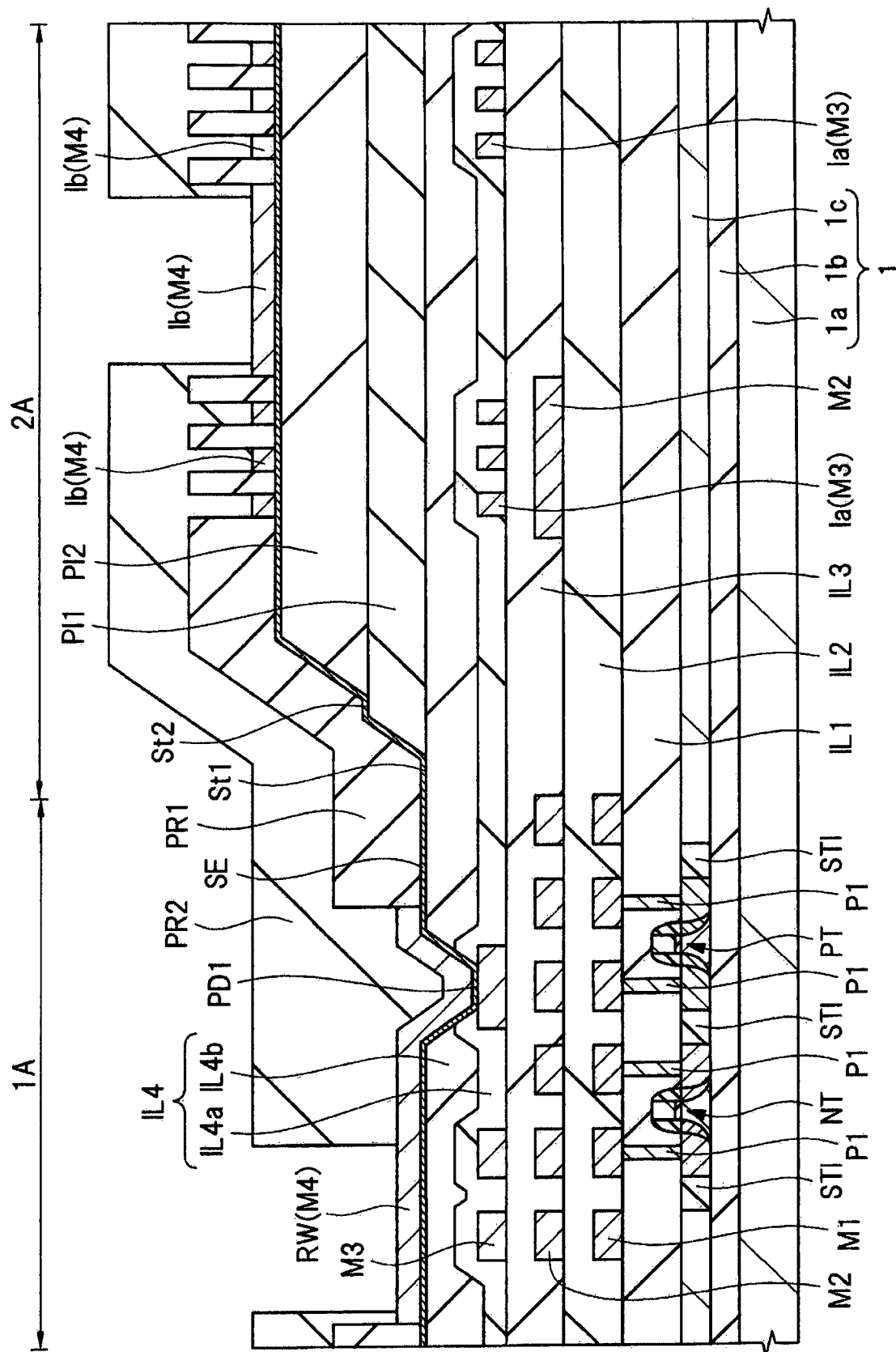


图 21

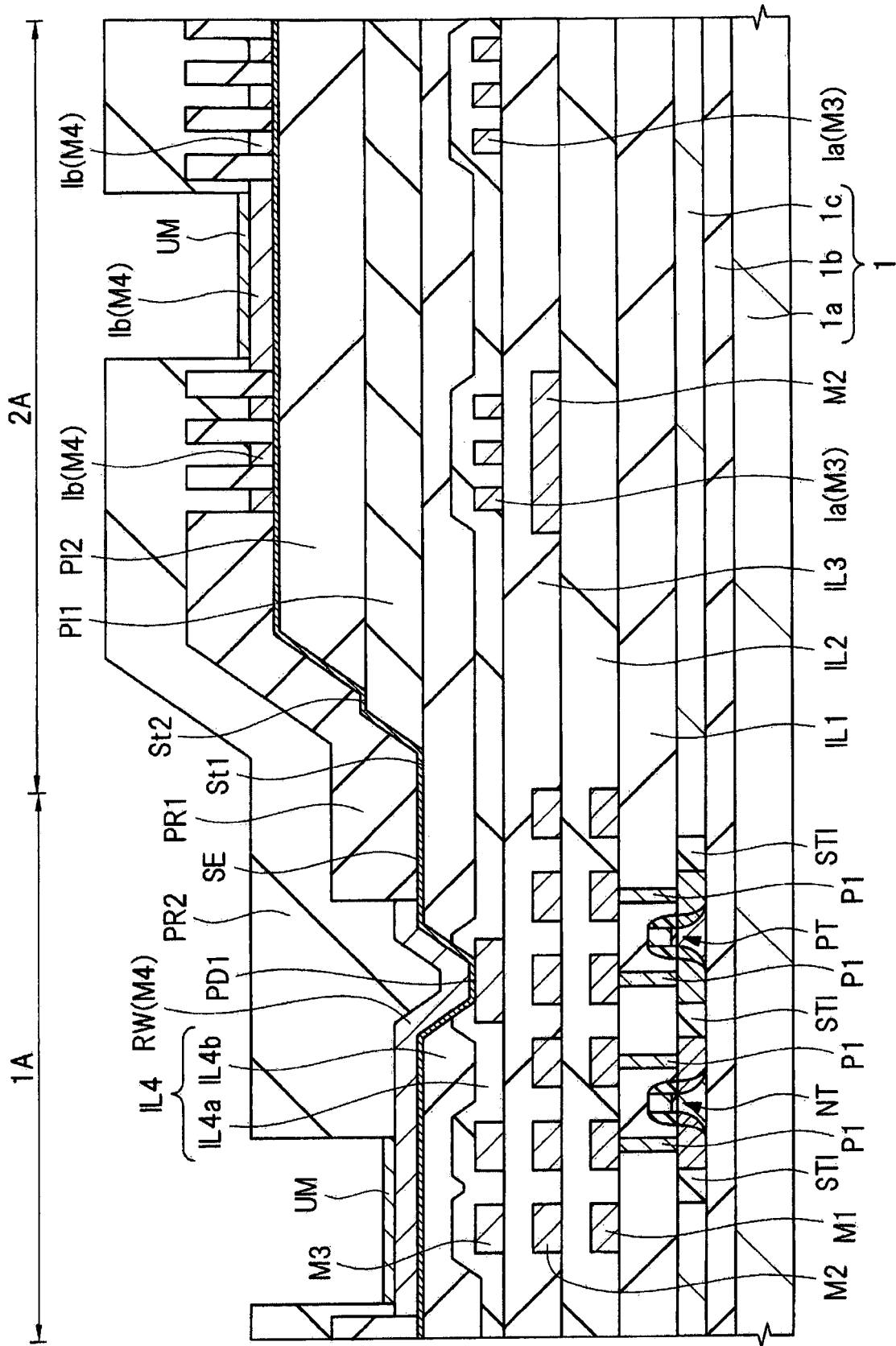


图 22

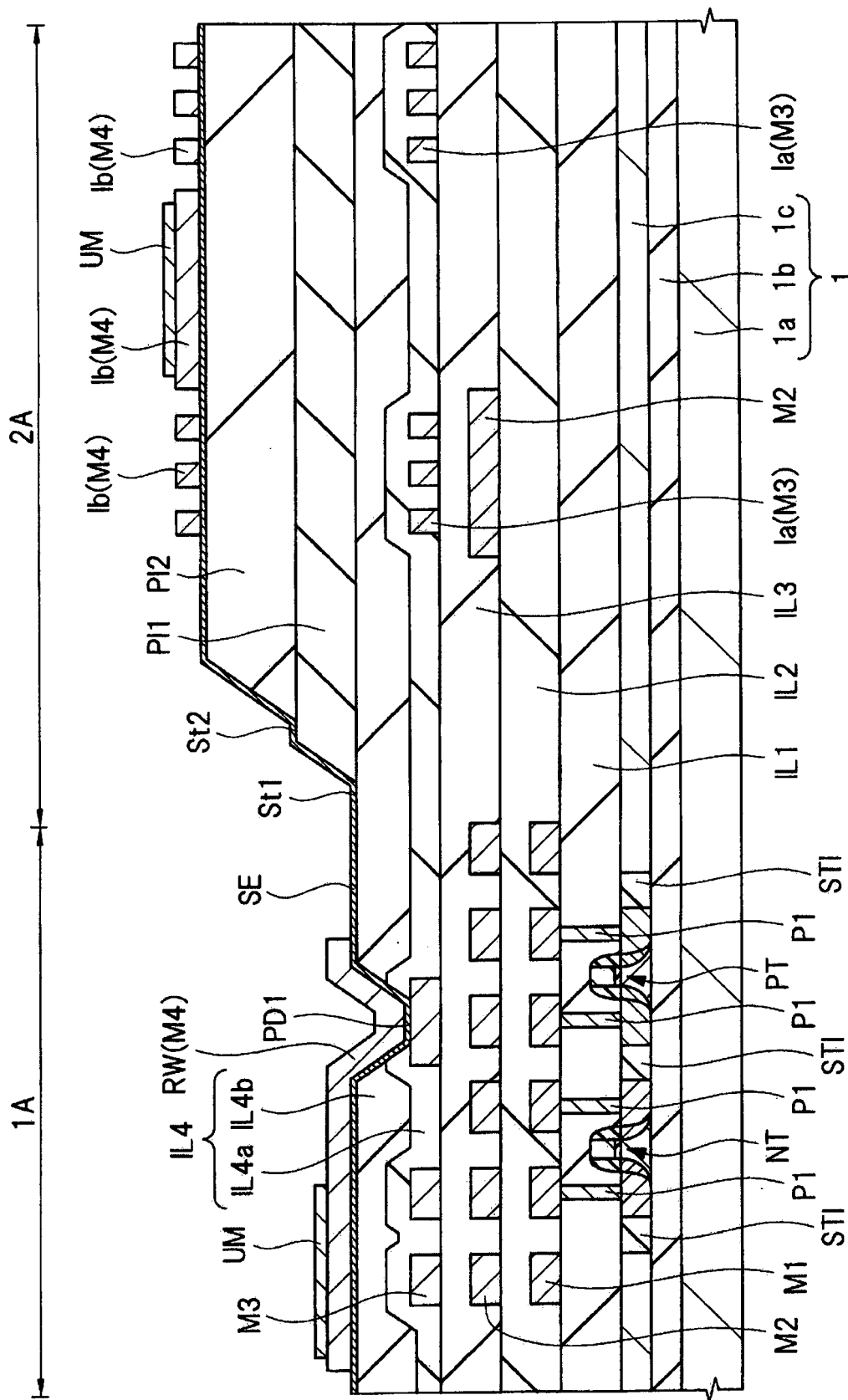


图 23

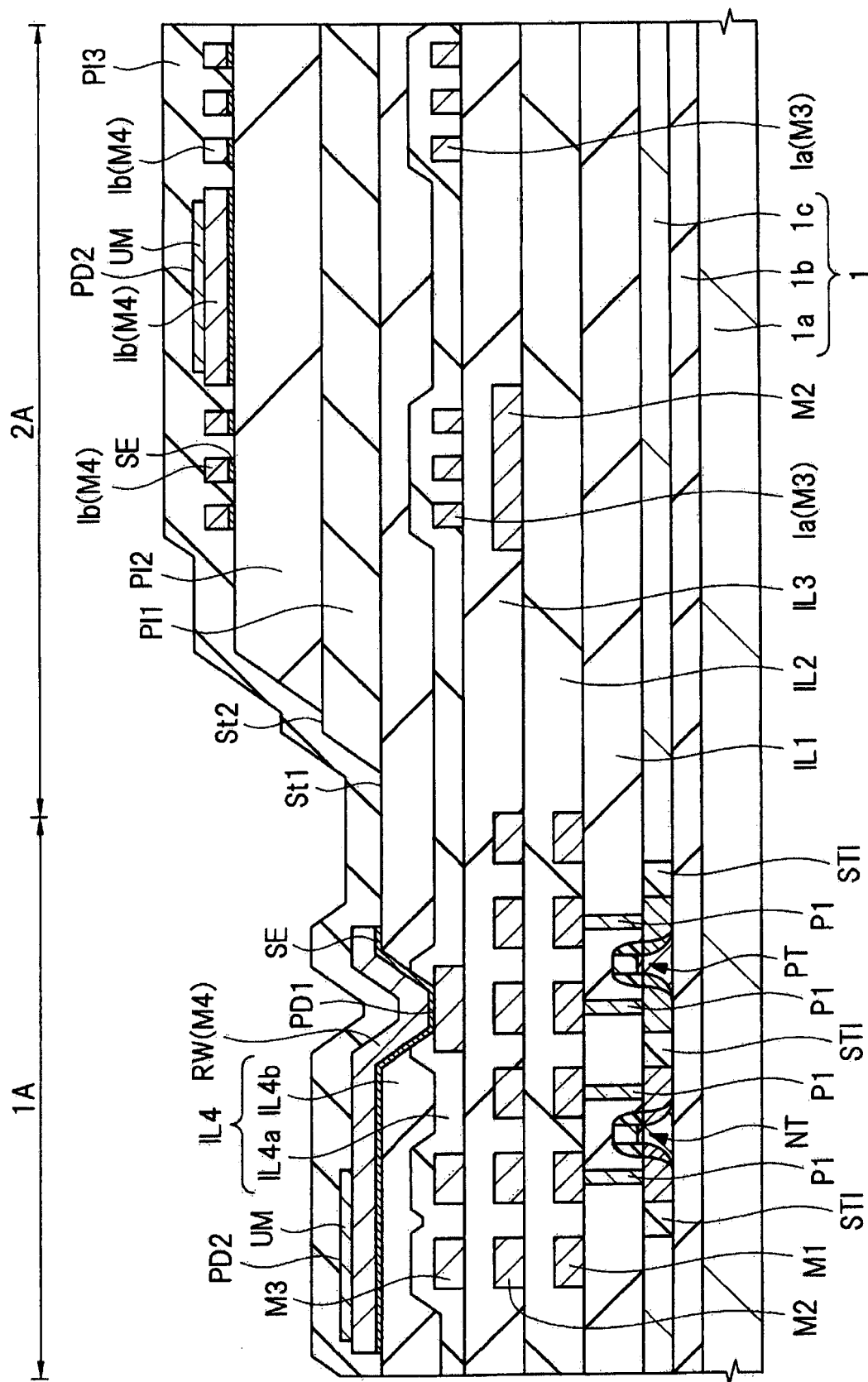


图 25

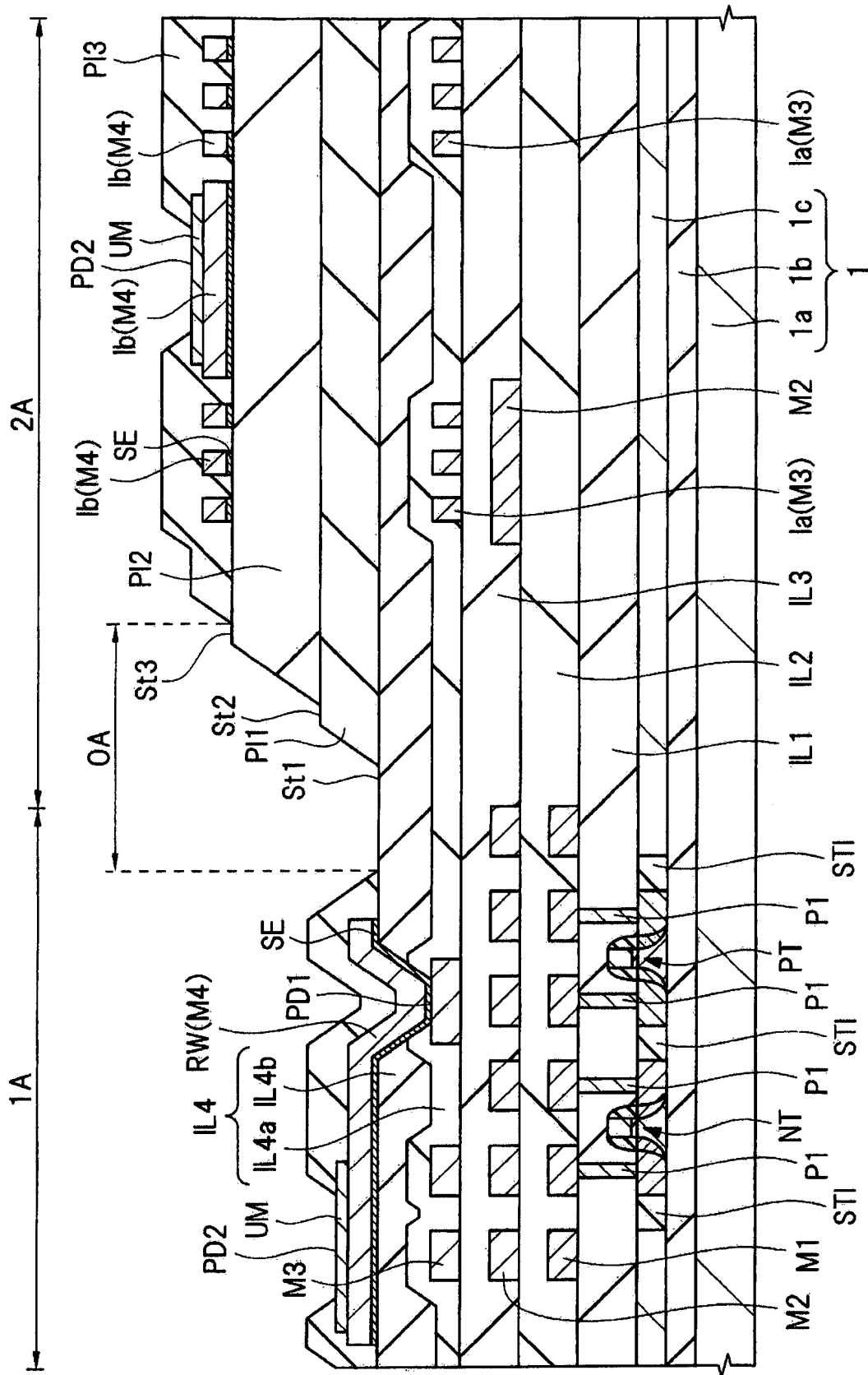


图 27

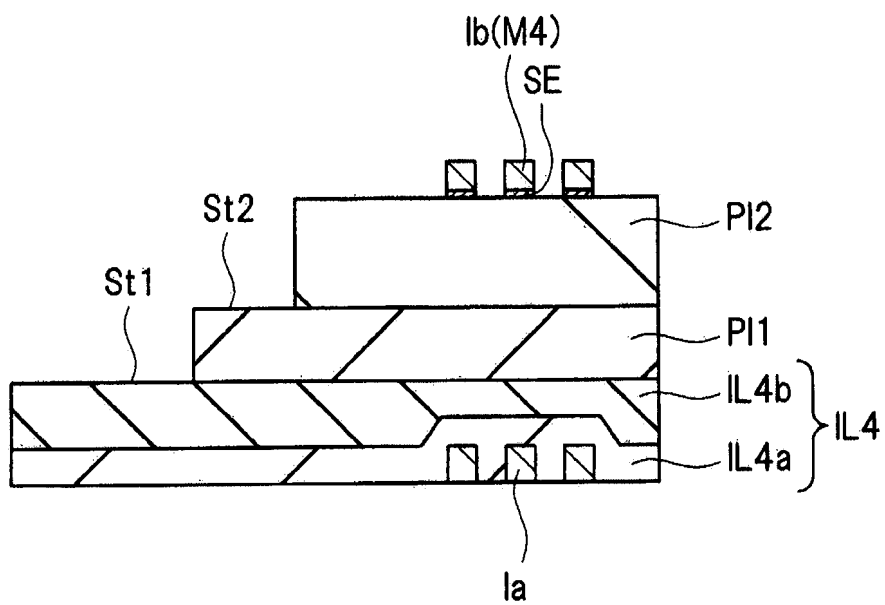


图 28

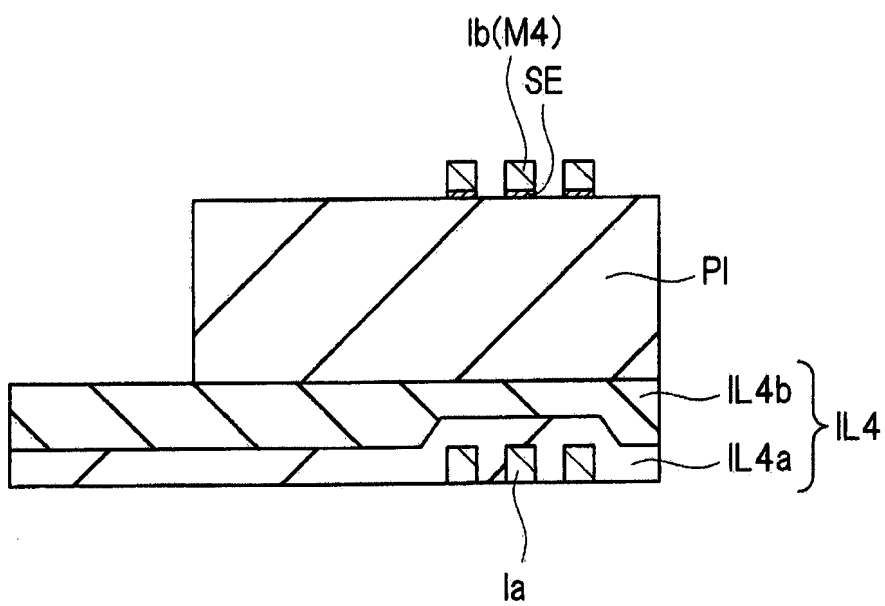


图 29

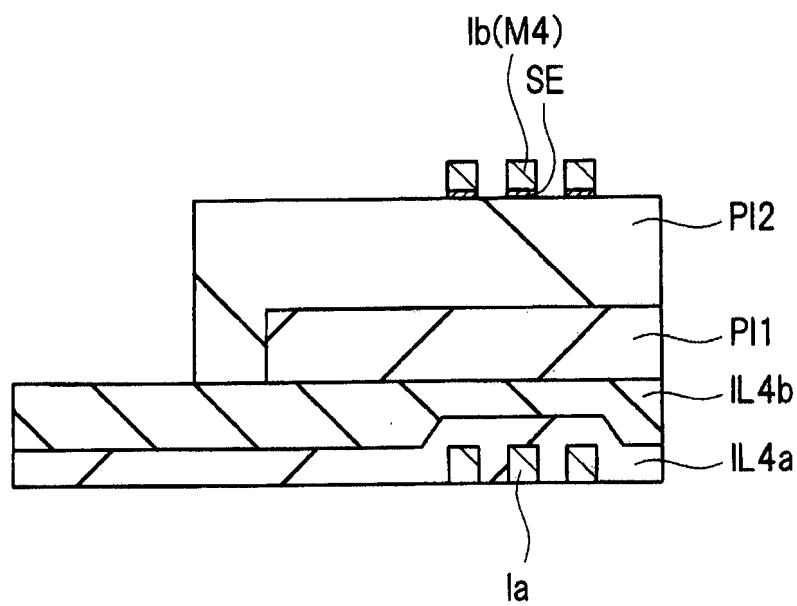


图 30

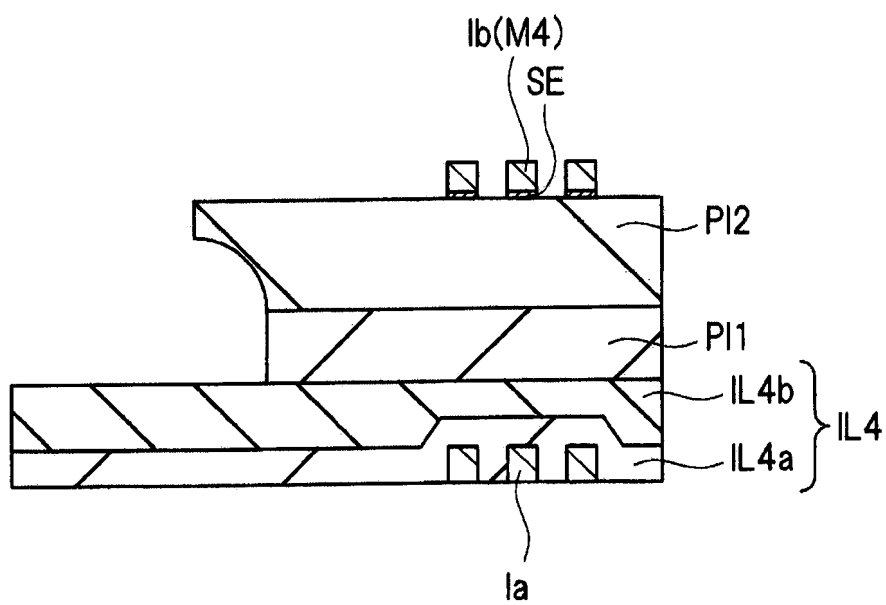


图 31

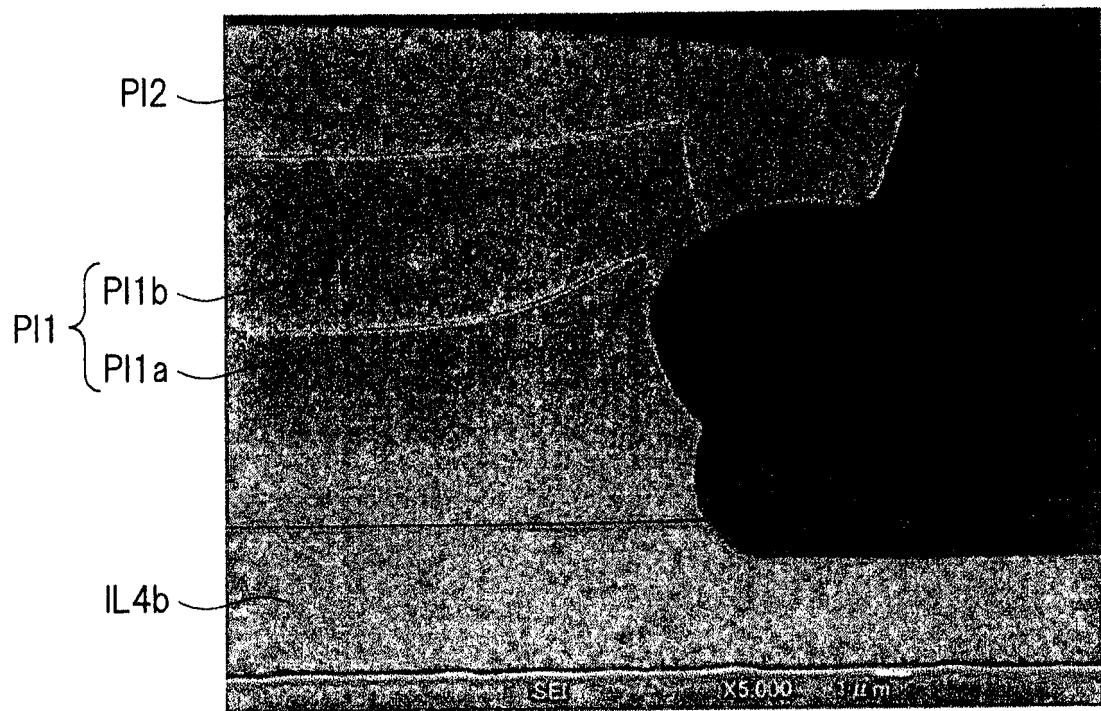


图 32

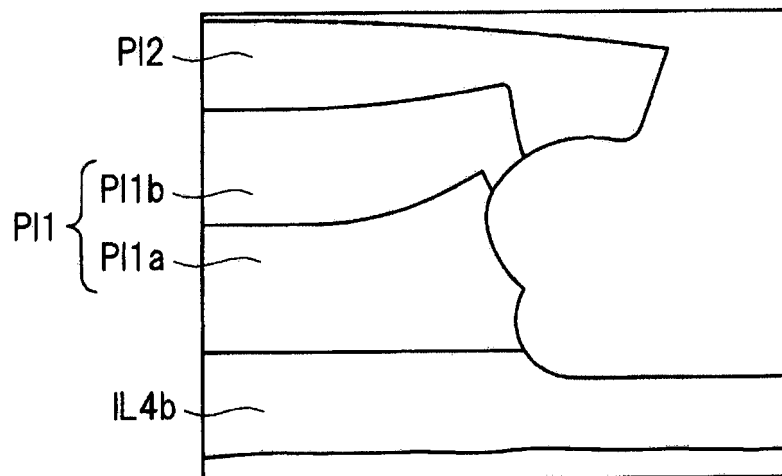


图 33

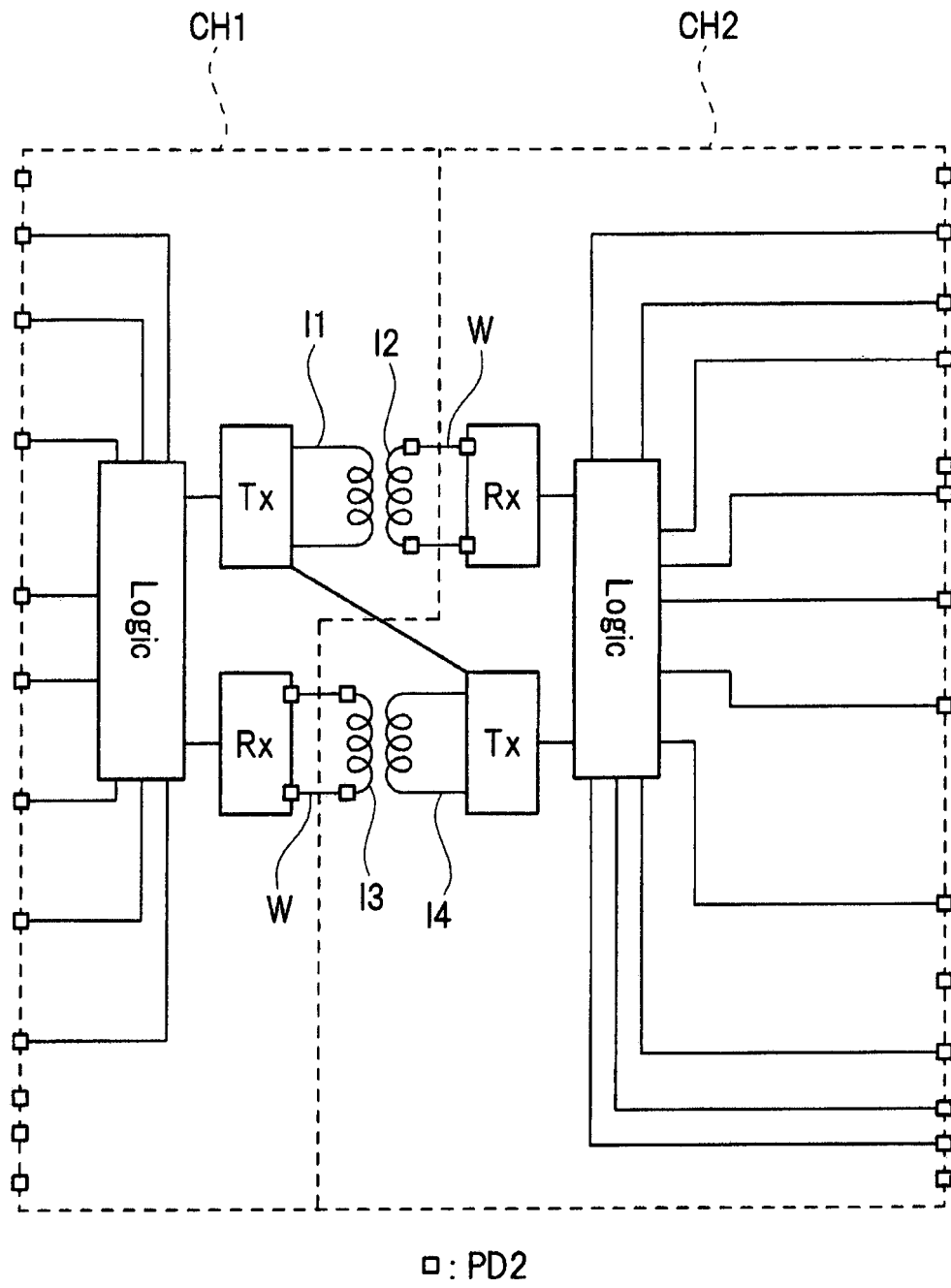


图 34

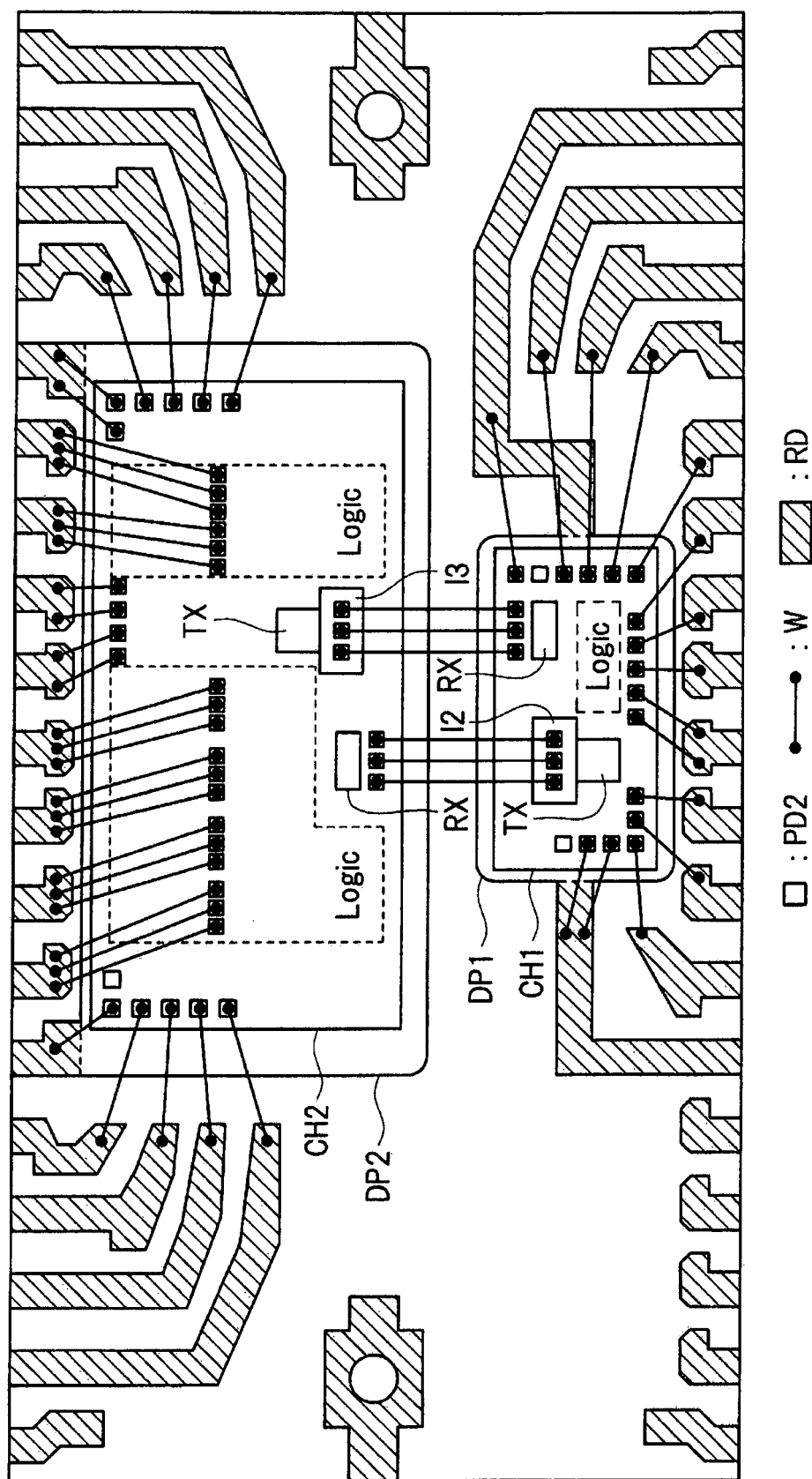


图 35

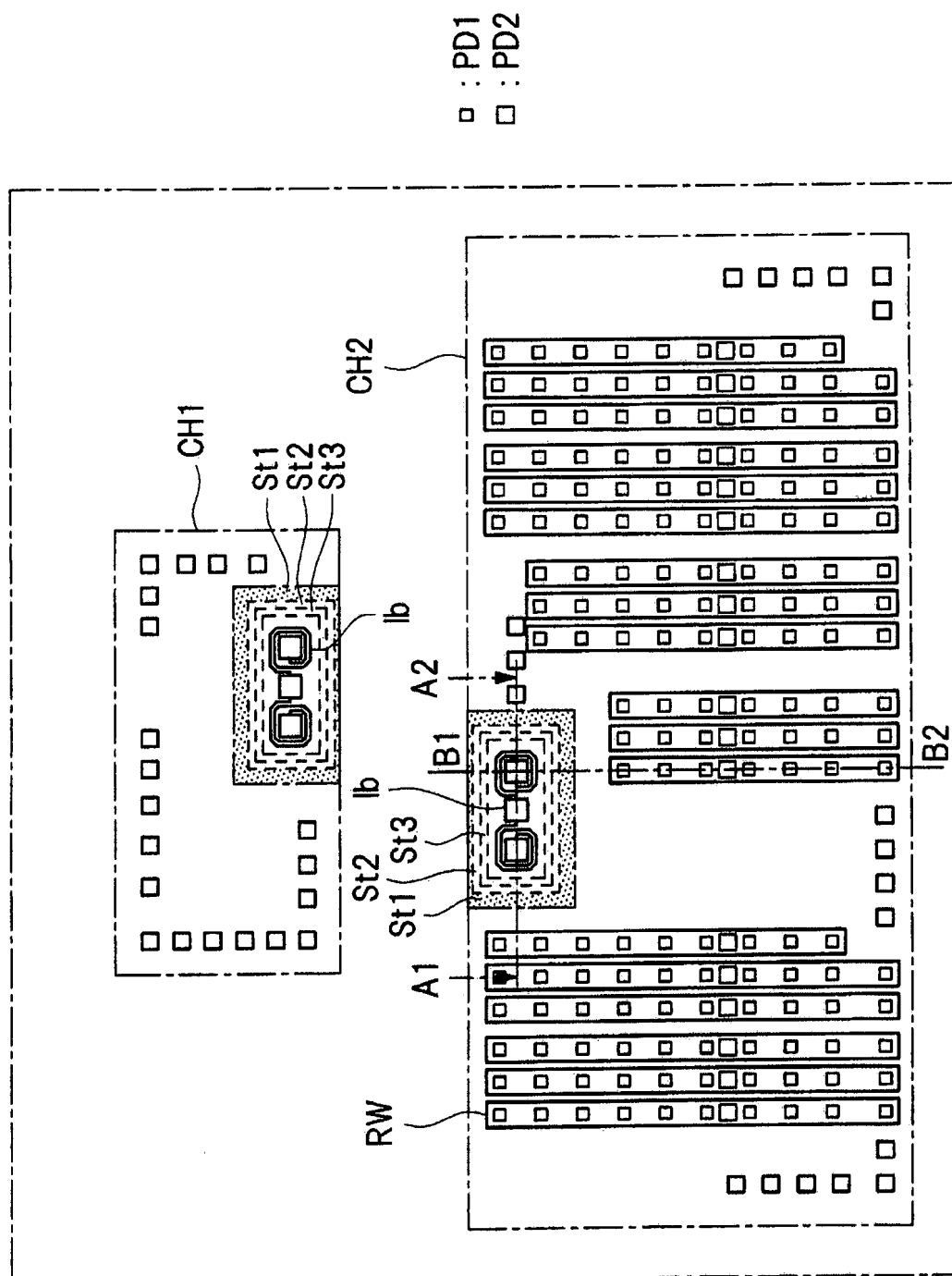


图 36

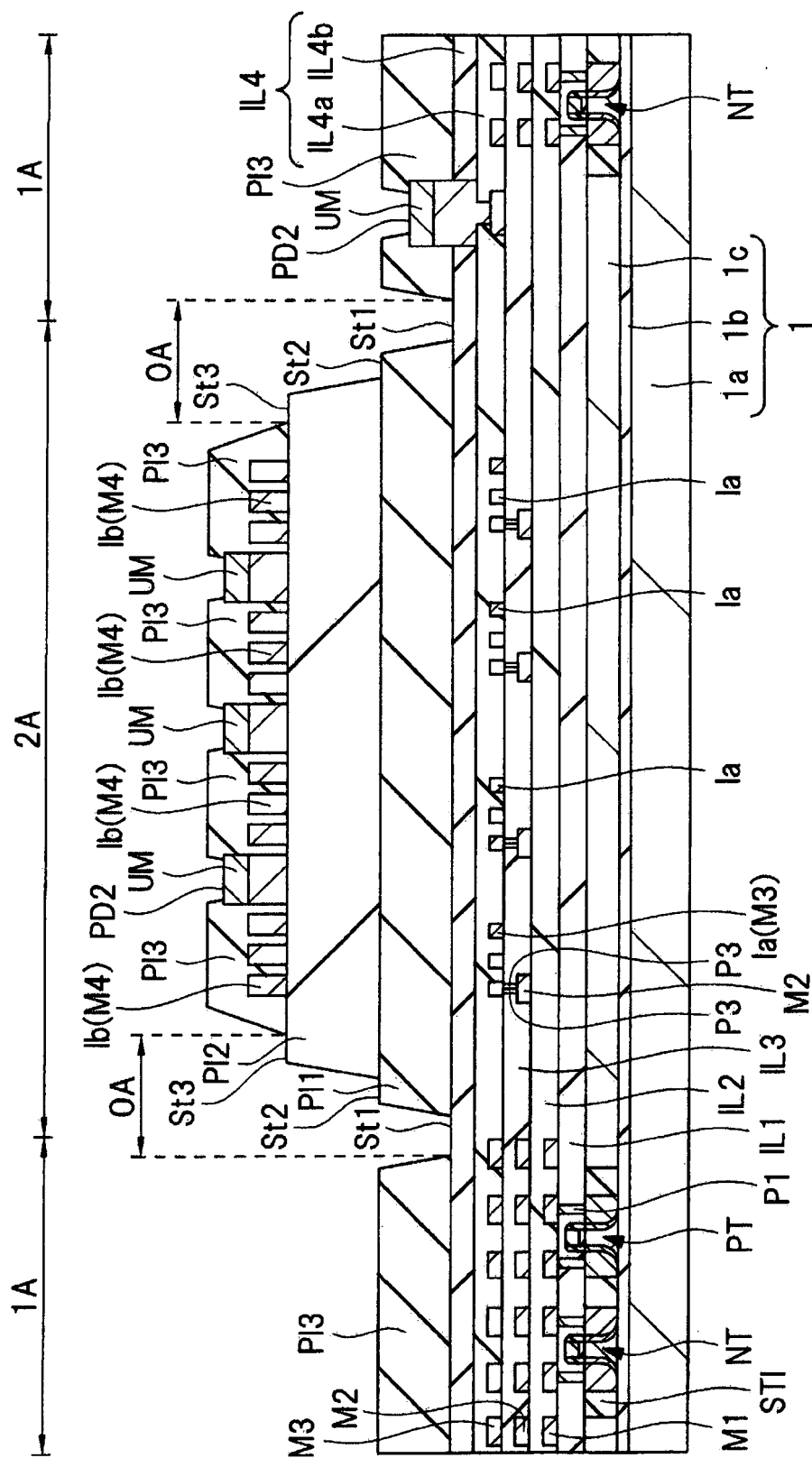


图 37

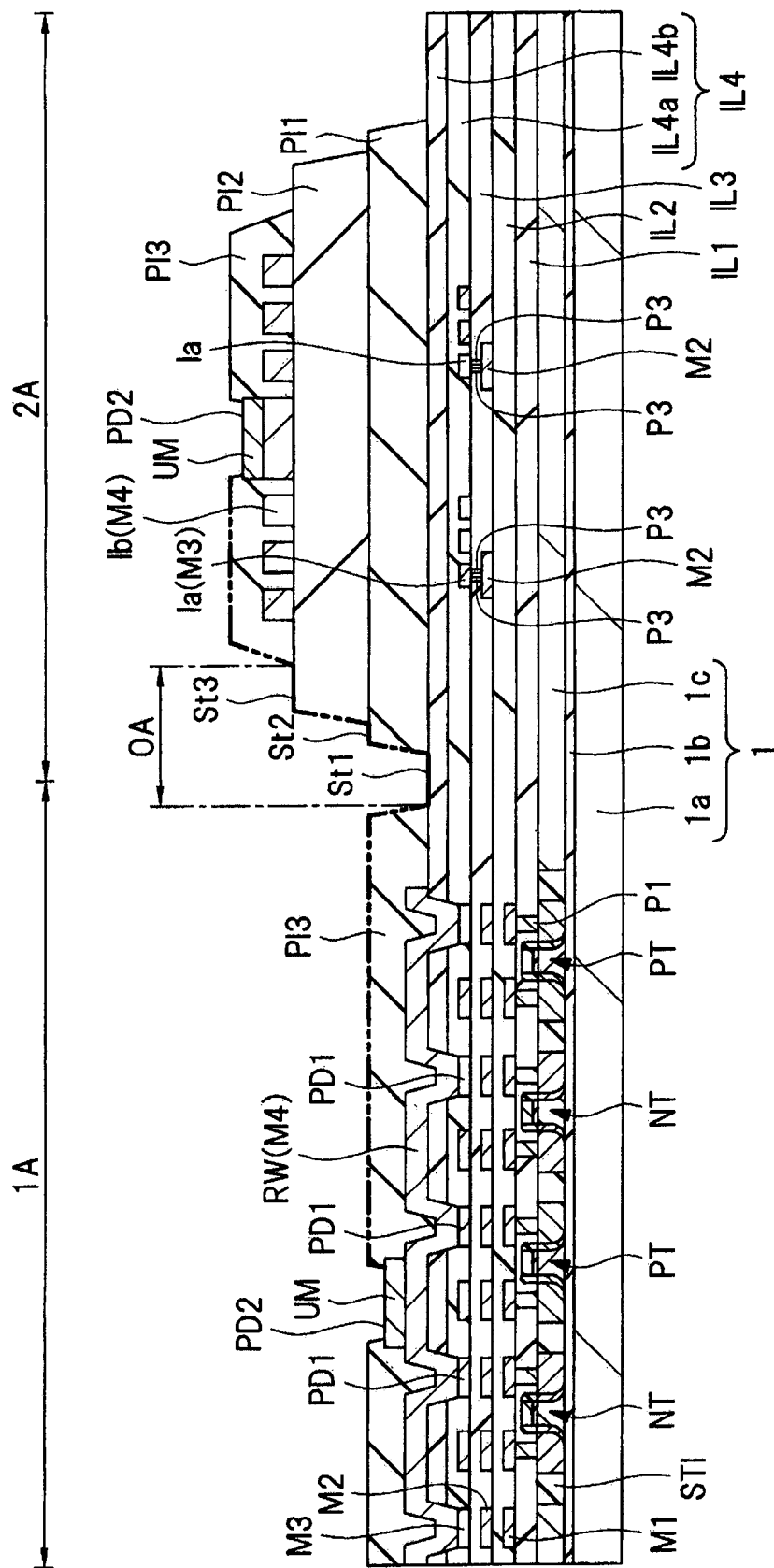


图 38

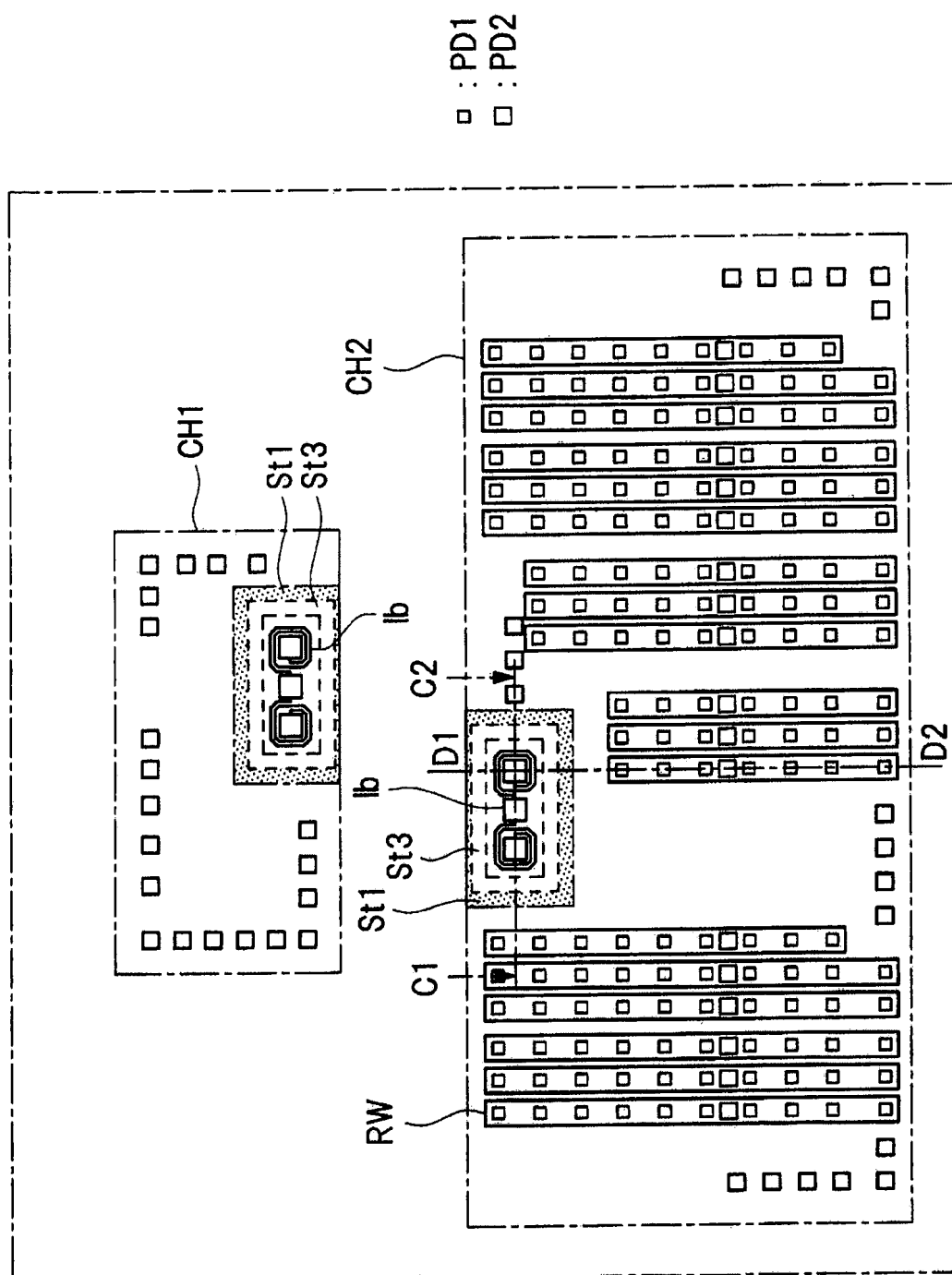


图 39

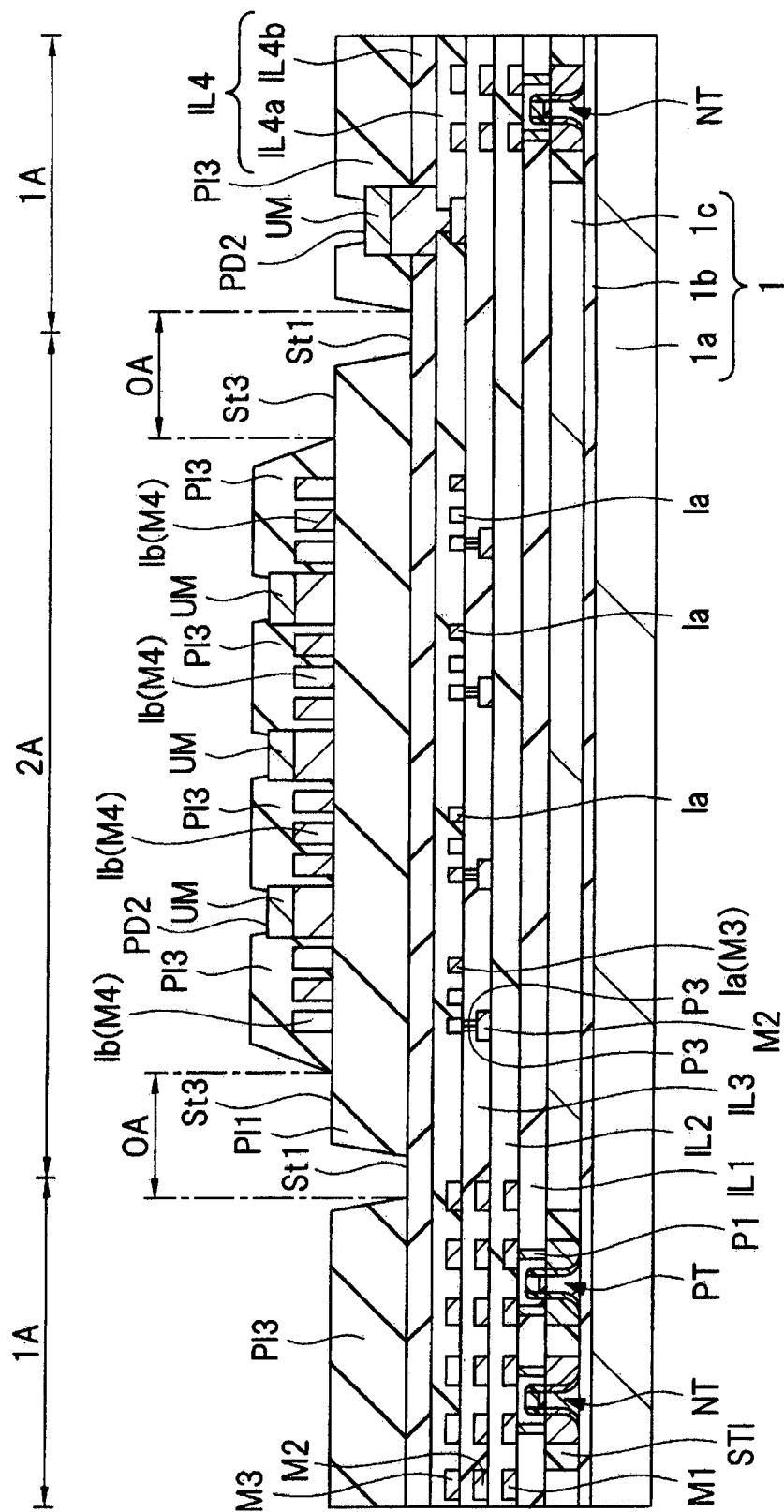


图 40

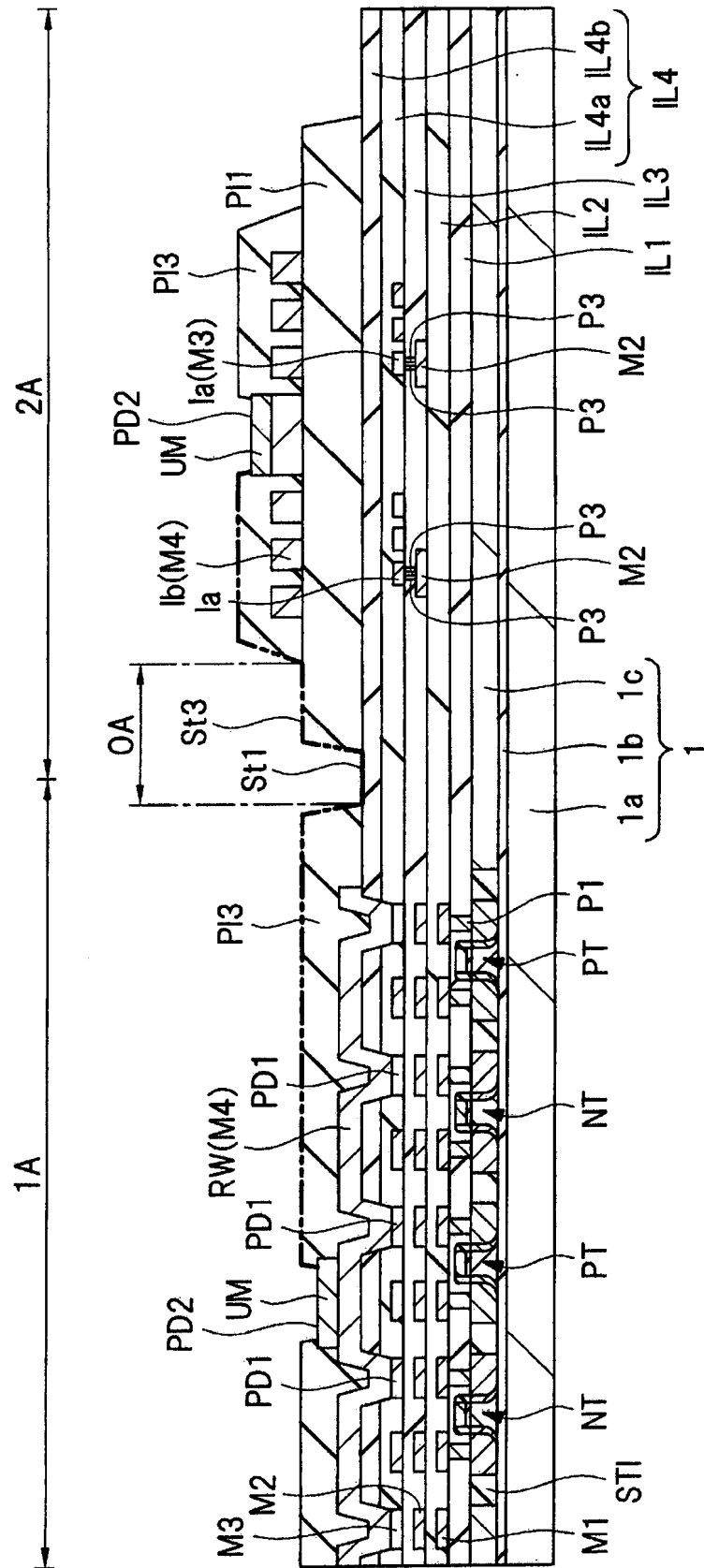


图 41

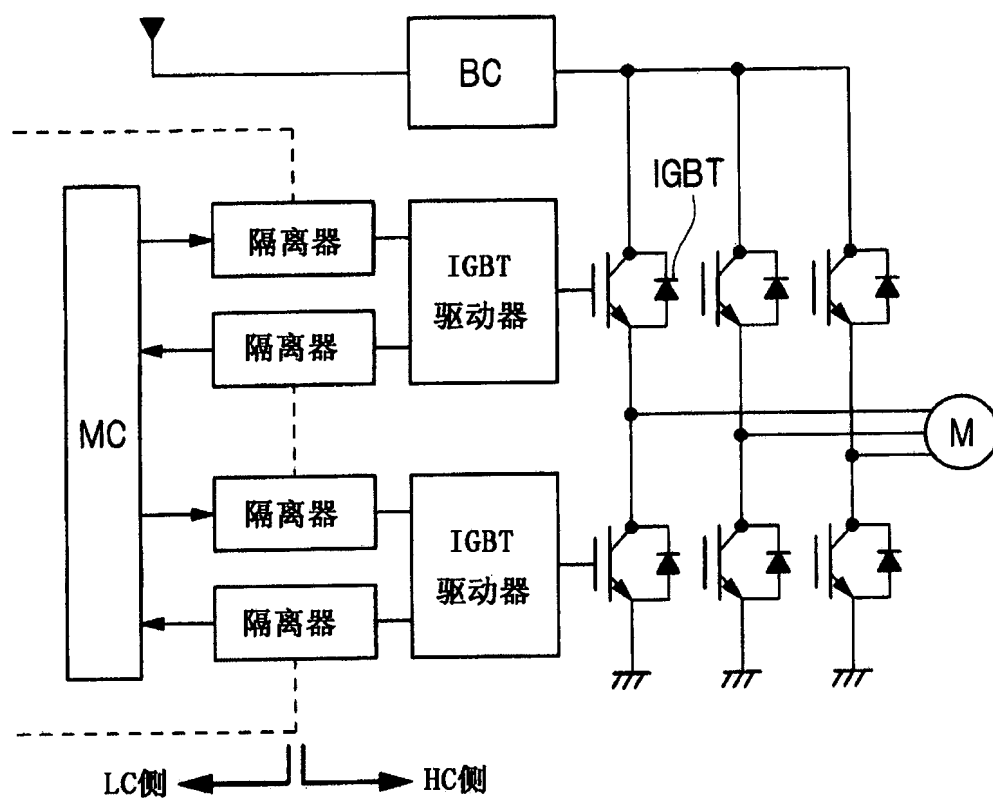


图 42

Chinese title: 半导体装置和半导体装置的制造方法

English title: Semiconductor Device and Method of Manufacturing the Same

Abstract

The present invention provides a semiconductor device and a method of manufacturing the same so as to improve characteristics of a semiconductor device. The semiconductor device has a laminated insulating film formed above a first sensor (Ia). The laminated insulating film includes a first polyimide film (PI1) and a second polyimide film (PI2) formed on the first polyimide film (PI1) and having a second step (St2) between the first polyimide film (PI1) and the second polyimide film (PI2). A second sensor (Ib) is formed on the laminated insulating film. By means of adopting such a laminated structure of the first and second polyimide films (PI1) and (PI2), the film thickness of the insulating film between the first sensor (Ia) and the second sensor (Ib) can be increased so that the insulation withstand voltage can be improved. Further, the occurrence of a depression or peeling-off due to defective exposure can be reduced, and step disconnection of a Cu (copper) seed layer or a plating defect due to the step disconnection can also be reduced.