

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-66863
(P2006-66863A)

(43) 公開日 平成18年3月9日(2006.3.9)

(51) Int. Cl. F I テーマコード (参考)
HO 1 L 33/00 (2006.01) HO 1 L 33/00 Z 5 FO 4 1

審査請求 未請求 請求項の数 22 O L (全 22 頁)

(21) 出願番号	特願2005-14734 (P2005-14734)	(71) 出願人	000106276 サンケン電気株式会社 埼玉県新座市北野3丁目6番3号
(22) 出願日	平成17年1月21日 (2005.1.21)	(74) 代理人	100072154 弁理士 高野 則次
(31) 優先権主張番号	特願2004-26102 (P2004-26102)	(72) 発明者	佐藤 純治 埼玉県新座市北野三丁目6番3号 サンケン電気株式会社内
(32) 優先日	平成16年2月2日 (2004.2.2)	(72) 発明者	大塚 康二 埼玉県新座市北野三丁目6番3号 サンケン電気株式会社内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	至 哲次 埼玉県新座市北野三丁目6番3号 サンケン電気株式会社内
(31) 優先権主張番号	特願2004-217715 (P2004-217715)		
(32) 優先日	平成16年7月26日 (2004.7.26)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

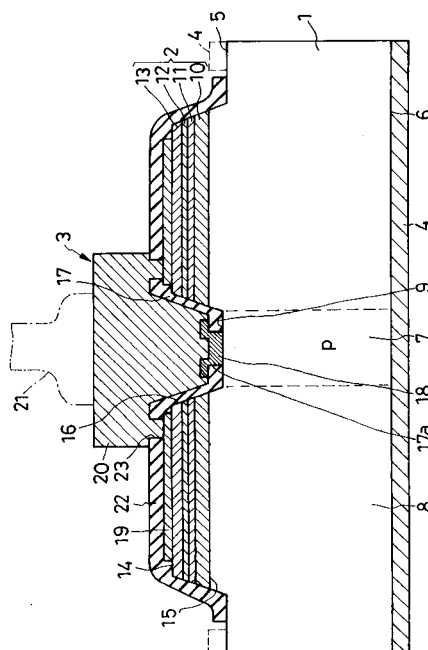
(54) 【発明の名称】 半導体発光素子と保護素子との複合半導体装置

(57) 【要約】

【課題】、発光素子と保護素子との複合半導体装置の小型化を図ることが困難であった。

【解決手段】 複合半導体装置はシリコン半導体基板(1)と発光素子用の主半導体領域(2)と第1の電極(3)と第2の電極(4)とを有する。シリコン半導体基板(1)は保護素子形成領域(7)を有する。第1の電極(3)はボンディングパッド部分(20)を有する。平面的に見て、保護素子形成領域(7)はボンディングパッド部分(20)の内側に配置されている。第1の電極(3)のボンディングパッド部分(20)及び第2の電極(4)は発光素子と保護素子との両方の電極として機能する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一方の主面と他方の主面と有し且つ導電性を有している基板と、
光取り出し可能な第 1 の主面と前記第 1 の主面に対向し且つ前記基板の前記一方の主面に電氣的及び機械的に結合されている第 2 の主面とを有し且つ半導体発光素子を構成するための複数の半導体層を含んでいる主半導体領域と、
前記主半導体領域の前記第 1 の主面に接触し且つ前記主半導体領域から放射された光を取り出すことができるように形成されている第 1 の部分と前記第 1 の部分に接続され且つパッド電極機能を有している第 2 の部分とを備えている第 1 の電極と、
前記基板に接続された第 2 の電極と、
前記第 1 の電極の前記第 2 の部分と前記基板の他方の主面との間に配置され且つ前記第 1 の電極と前記第 2 の電極との間に電氣的に接続されている保護素子と
を備えていることを特徴とする半導体発光素子と保護素子との複合半導体装置。

10

【請求項 2】

前記基板は半導体基板であり、
前記保護素子は、前記半導体基板に設けられたショットキーバリアダイオード形成領域と、前記ショットキーバリアダイオード形成領域にショットキー接触し且つ前記第 1 の電極に接続され且つ前記第 1 の電極の前記第 2 の部分と前記基板の一方の主面との間に配置されている金属層とから成ることを特徴とする請求項 1 記載の半導体発光素子と保護素子との複合半導体装置。

20

【請求項 3】

前記基板は半導体基板であり、
前記保護素子は前記半導体基板に形成された 1 つの p n 接合を含むダイオードであり、前記ダイオードは第 1 導電型半導体領域と、前記第 1 導電型半導体領域の中に島状に形成され且つ前記半導体基板の前記一方の主面に露出する表面を有している第 2 導電型半導体領域とから成り、
前記第 2 導電型半導体領域の少なくとも一部が前記第 1 の電極の前記第 2 の部分と前記半導体基板の前記他方の主面との間に配置され、
前記第 1 の電極の前記第 2 の部分は前記第 2 導電型半導体領域にオーミック接触していることを特徴とする請求項 1 記載の半導体発光素子と保護素子との複合半導体装置。

30

【請求項 4】

前記基板は半導体基板であり、
前記保護素子は前記半導体基板に形成された 2 つの p n 接合を含む 3 層ダイオードであり、
前記 3 層ダイオードは、第 1 導電型を有する第 1 の半導体領域と、前記第 1 の半導体領域の中に島状に形成され且つ前記半導体基板の前記一方の主面に露出する表面を有し且つ第 2 導電型を有している第 2 の半導体領域と、前記第 2 の半導体領域の中に島状に形成され且つ前記半導体基板の前記一方の主面に露出する表面を有し且つ第 1 導電型を有している第 3 の半導体領域とから成り、
前記第 3 の半導体領域の少なくとも一部が前記第 1 の電極の前記第 2 の部分と前記半導体基板の前記他方の主面との間に配置され、
前記第 1 の電極の前記第 2 の部分は前記第 3 の半導体領域にオーミック接触していることを特徴とする請求項 1 記載の半導体発光素子と保護素子との複合半導体装置。

40

【請求項 5】

前記保護素子は前記第 1 の電極の前記第 2 の部分と前記基板の一方の主面との間に配置されていることを特徴とする請求項 1 記載の半導体発光素子と保護素子との複合半導体装置。

【請求項 6】

前記保護素子は前記基板の一方の主面上に配置されコンデンサ機能を有する誘電体層であり、前記誘電体層の一方の主面は前記基板に接触し、前記誘電体層の他方の主面は前記第

50

1の電極の前記第2の部分に接触していることを特徴とする請求項5記載の半導体発光素子と保護素子との複合半導体装置。

【請求項7】

前記保護素子は、更に、前記誘電体層の一方の主面と他方の主面とのいずれか一方又は両方にコンデンサ電極を有することを特徴とする請求項6記載の半導体発光素子と保護素子との複合半導体装置。

【請求項8】

前記保護素子は前記半導体基板の一方の主面上に配置されバリスタ機能を有する半導体層であり、前記バリスタ機能を有する半導体層の一方の主面は前記基板に接触し、前記バリスタ機能を有する半導体層の他方の主面は前記第1の電極の前記第2の部分に接触していることを特徴とする請求項5記載の半導体発光素子と保護素子との複合半導体装置。

10

【請求項9】

前記保護素子は、更に、前記バリスタ機能を有する半導体層の一方の主面と他方の主面とのいずれか一方又は両方にバリスタ電極を有することを特徴とする請求項8記載の半導体発光素子と保護素子との複合半導体装置。

【請求項10】

前記保護素子はバリスタ機能とコンデンサ機能との両方を有する素子であることを特徴とする請求項5記載の半導体発光素子と保護素子との複合半導体装置。

【請求項11】

前記基板は第1導電型を有する半導体基板であり、
前記保護素子は、前記半導体基板の一部と、前記半導体基板の前記一部の上に形成され且つ前記第1の導電型と反対の第2導電型を有する半導体領域とから成ることを特徴とする請求項1記載の複合半導体装置。

20

【請求項12】

前記基板は第1導電型を有する半導体基板であり、
前記保護素子は、前記半導体基板の上に形成された第1導電型半導体領域と、この第1導電型半導体領域の上に形成され且つ前記第1の電極の前記第2の部分に接続された第2導電型半導体領域とから成ることを特徴とする請求項1記載の複合半導体装置。

【請求項13】

前記半導体基板は第1導電型の半導体基板であり、
前記保護素子は、前記半導体基板の上に配置された第1導電型の第1の半導体領域と、前記第1の半導体領域の上に配置された第2導電型の第2の半導体領域と、前記第2の半導体領域と前記第1の電極の前記第2の部分との間に配置された第1導電型の第3の半導体領域とから成ることを特徴とする請求項1記載の複合半導体装置。

30

【請求項14】

前記基板は第1導電型半導体基板であり、
前記保護素子は、前記半導体基板の前記一方の主面に露出するように前記半導体基板の一部に形成された第2導電型半導体領域と、前記半導体基板の前記一方の主面と前記第1の電極の第2の部分との間に配置され且つ前記第2導電型半導体領域にpn接触している第1導電型半導体領域とから成ることを特徴とする請求項1記載の複合半導体装置。

40

【請求項15】

前記主半導体領域は、前記主半導体領域の前記第1の主面から前記第2の主面に至る孔を有し、前記第1の電極の前記第2の部分の少なくとも一部が前記孔の中に配置されていることを特徴とする請求項1乃至14のいずれかに記載の発光素子と保護素子との複合半導体装置。

【請求項16】

前記主半導体領域は、前記主半導体領域の前記第1の主面から前記第2の主面に至る孔を有し、前記保護素子の少なくとも一部が前記孔の中に配置されていることを特徴とする請求項5記載の発光素子と保護素子との複合半導体装置。

【請求項17】

50

前記第1の電極の前記第1の部分は前記主半導体領域の前記第1の主面に接続された光透過性を有する導電膜であることを特徴とする請求項1乃至16のいずれかに記載の発光素子と保護素子との複合半導体装置。

【請求項18】

前記第1の電極の前記第1の部分は前記主半導体領域の前記第1の主面の一部に接続されていることを特徴とする請求項1乃至16のいずれかに記載の半導体発光素子と保護素子との複合半導体装置。

【請求項19】

前記第1の電極の前記第1の部分は前記主半導体領域の前記第1の主面の一部に接続された帯状導体であることを特徴とする請求項1乃至16のいずれかに記載の半導体発光素子と保護素子との複合半導体装置。

10

【請求項20】

前記主半導体領域の前記孔の壁面と前記第1の電極との間に絶縁膜が配置されていることを特徴とする請求項15記載の半導体発光素子と保護素子との複合半導体装置。

【請求項21】

前記主半導体領域の第1の主面に対して垂直な方向から見て、前記保護素子の面積の70～100%が第1の電極の前記第2の部分の内側に配置されていることを特徴とする請求項1乃至20のいずれかに記載の半導体発光素子と保護素子との複合半導体装置。

【請求項22】

前記半導体基板はシリコン又はシリコン化合物から成り、前記主半導体領域は複数の3-5族化合物半導体層から成ることを特徴とする請求項1乃至21のいずれかに記載の半導体発光素子と保護素子との複合半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体発光素子とこれを保護するための保護素子との複合半導体装置に関する。

【背景技術】

【0002】

近年、半導体発光素子として、窒化物半導体材料を使用した発光素子が注目されている。この発光素子によれば、365nm～550nm程度の範囲内の波長の光を発光させることができる。

30

【0003】

ところで、この種の窒化物半導体材料を使用した発光素子は、静電破壊耐量が比較的小さく、例えば100Vよりも高いサージ電圧が印加されると、破壊に到ることがある。静電保護の為、発光素子と共にダイオードやコンデンサ等の保護素子を同パッケージ内に搭載することが考えられるが、部品点数が増大する。この問題を解決するために、単一の半導体基板内に発光素子と保護素子を集積化することが特許文献1及び特許文献2において提案されている。即ち、特許文献1には、サファイア基板上に発光素子と保護用ダイオードとを設け、保護用ダイオードを発光素子に並列接続することが開示されている。また、特許文献2には、サファイア基板上に形成された発光素子の上に保護用コンデンサを配置し、保護用コンデンサを発光素子に並列接続することが開示されている。

40

【0004】

しかし、特許文献1及び2に記載の半導体発光装置では、保護素子を構成する領域が非発光領域となるため、半導体素子に占める有効発光面積が小さくなる。換言すれば、所望の発光強度を有する半導体発光装置を得るためには、素子の平面サイズが大きくなる。

また、発光素子と保護素子とを電氣的に接続するための配線導体が必要であり、素子構造が複雑になる。

【特許文献1】特開平10-200159号公報

【特許文献2】特開平10-135519号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする課題は、保護素子を伴った半導体発光装置の小型化を図ることが困難なことである。

【課題を解決するための手段】

【0006】

上記課題を解決するための本発明は、

一方の主面と他方の主面と有し且つ導電性を有している基板と、

光取り出し可能な第1の主面と前記第1の主面に対向し且つ前記基板の前記一方の主面に電氣的及び機械的に結合されている第2の主面とを有し且つ半導体発光素子を構成するための複数の半導体層を含んでいる主半導体領域と、

前記主半導体領域の前記第1の主面に接触し且つ前記主半導体領域から放射された光を取り出すことができるように形成されている第1の部分と前記第1の部分に接続され且つパッド電極機能を有している第2の部分とを備えている第1の電極と、

前記基板に接続された第2の電極と、

前記第1の電極の前記第2の部分と前記基板の他方の主面との間に配置され且つ前記第1の電極と前記第2の電極との間に電氣的に接続されている保護素子と

を備えていることを特徴とする半導体発光素子と保護素子との複合半導体装置に係わるものである。

本発明における光は前記主半導体領域から放射する光を意味する。また、前記パッド電極とはワイヤ等の導体を接続するための電極を意味する。

【0007】

なお、前記基板は半導体基板又は導電性を有する基板であることが望ましく、シリコン基板であることが最も望ましい。

また、前記保護素子は、ショットキーバリアダイオード、1つのpn接合を含むダイオード、2つのpn接合を含む3層ダイオード、コンデンサ、及びバリスタから選択された1つ又は複数から成ることが望ましい。前記保護素子は、例えば、個別素子、半導体基板、厚膜誘電体、厚膜半導体、厚膜コンデンサ、厚膜導体、薄膜誘電体、薄膜半導体、薄膜コンデンサ、及び薄膜導体から選択された1つ又は複数で形成することができる。

また、前記保護素子を前記基板の内部に設けるか、又は前記第1の電極の前記第2の部分と前記基板の一方の主面との間に配置することが望ましい。

また、前記主半導体領域は、前記主半導体領域の前記第1の主面から前記第2の主面に至る孔を有し、前記第1の電極の前記第2の部分の少なくとも一部が前記孔の中に配置されていることが望ましい。また、前記主半導体領域の前記孔の中に保護素子の一部又は全部を配置することができる。

また、前記第1の電極の前記第1の部分は前記主半導体領域の第1の主面に接続された光透過性を有する導電膜であることが望ましい。

また、前記第1の電極の前記第1の部分を、前記主半導体領域の第1の主面の一部に接続された導体、例えば前記第1の電極のパッド電極機能を有する前記第2の部分の外周側の下部、とすることができる。

また、前記第1の電極の前記第1の部分を、前記主半導体領域の第1の主面の一部に接続された帯状導体とすることができる。また、前記第1の電極の前記第1の部分を光取り出し可能な種々のパターンにすることができる。

また、前記主半導体領域の前記孔の壁面と前記第1の電極との間に絶縁膜が配置されていることが望ましい。

また、前記主半導体領域の第1の主面に対して垂直な方向から見て、前記保護素子の面積の70～100%が第1の電極の前記第2の部分の内側に配置されていることが望ましい。

また、前記半導体基板はシリコン又はシリコン化合物から成り、前記主半導体領域は複数

10

20

30

40

50

の 3 - 5 族化合物半導体層から成ることが望ましい。

【発明の効果】

【0008】

本発明は次の効果を有する。

(1) 保護素子の少なくとも一部が、平面的に見て、即ち基板の一方の主面に対して垂直な方向から見て、第1の電極のパッド電極機能を有している第2の部分の下に配置されている。従って、半導体発光素子の光取り出し面積の低減を抑制して保護素子を形成することができ、半導体発光素子と保護素子との複合半導体装置の小型化を図ることができる。

(2) 第1の電極のパッド電極機能を有している第2の部分は半導体発光素子の外部接続部分として機能する他に共に、半導体発光素子と保護素子との相互接続部分としても機能するので、半導体発光素子の一方の端と保護素子の一方の端との相互接続が容易に達成される。従って、半導体発光素子と保護素子との複合半導体装置の構成が単純化され、小型化及び低コスト化が達成せれる。

(3) 導電性を有している基板が使用されているので、基板によって半導体発光素子の他方の端と保護素子の他方の端との相互接続が容易に達成される。従って、半導体発光素子と保護素子との複合半導体装置の構成が単純化され、小型化及び低コスト化が達成せれる。

【発明を実施するための最良の形態】

【0009】

次に、図1～図17を参照して本発明の実施形態を説明する。

【実施例1】

【0010】

図1に示す本発明の実施例1に従う発光素子としての発光ダイオードと保護素子としてのショットキーバリアダイオードとの複合半導体装置は、半導体基板1と、発光素子を構成するための主半導体領域2と、第1の電極3と、第2の電極4とを備えている。半導体基板1の外側領域8と主半導体領域2と第1の電極3と第2の電極4とから成る部分を発光素子部又は発光素子と呼び、且つ半導体基板1の保護素子形成領域7とショットキー接触金属層18とから成る部分を保護素子部又は保護素子と呼ぶことができる。

【0011】

半導体基板1は導電型決定用不純物としてボロン等の3族元素を含むp型単結晶シリコン基板から成り、一方の主面5と他方の主面6とを有し且つほぼ中央に保護素子形成領域7を有している。半導体基板1の主半導体領域2側の一方の主面5は、ミラー指数で示す結晶の面方位において(111)ジャスト面である。半導体基板1のp型不純物濃度は、例えば $5 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 程度あり、抵抗率は $0,0001 \cdot \text{cm} \sim 0.01 \cdot \text{cm}$ 程度である。従って、半導体基板1は導電性基板であり、発光素子及び保護素子の電流通路として機能する。即ち、半導体基板1の中央の保護素子形成領域7はショットキーバリアダイオードの本体部としても機能すると共にこの電流通路として機能し、また半導体基板1の保護素子形成領域7を囲む外側領域8は発光素子の電流通路として機能する。更に、半導体基板1は、主半導体領域2のエピタキシャル成長のための基板としての機能、及び発光素子を構成するための主半導体領域2と第1の電極3との支持体としての機能を有する。半導体基板1の好ましい厚みは比較的厚い $200 \sim 500 \mu\text{m}$ である。なお、図1及び図3から明らかなように半導体基板1の一方の主面5の外周部分に段差が形成され且つ中央に凹部9が形成されているが、半導体基板1の一方の主面5の全部を平坦にすることができる。また、半導体基板1の導電型をn型にすることができる。また、半導体基板1の外側領域8の不純物濃度を保護素子形成領域7よりも高くし、これにより、外側領域8の抵抗率を保護素子形成領域7よりも低くし、発光素子の動作時の外側領域8における電圧降下を低減することができる。

【0012】

発光素子の主要部を構成するための主半導体領域2は、シリコン半導体基板1と異種の3

10

20

30

40

50

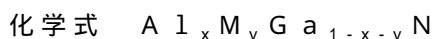
- 5族化合物半導体から成る複数の層を有し、シリコン半導体基板1の上に周知の気相成長法によって形成されている。更に詳細には、主半導体領域2は、ダブルヘテロ接合発光ダイオードを構成するためにn型バッファ層10とn型半導体層11と活性層12とp型半導体層13とを順次に有している。なお、n型半導体層11をn型クラッド層と呼び、p型半導体層13をp型クラッド層と呼ぶことがある。発光ダイオードは原理的にn型半導体層11とp型半導体層13のみで構成できる。従って、主半導体領域2からn型バッファ層10と活性層12とのいずれか一方又は両方を省くことができる。また、必要に応じて周知の電流拡散層又はオーミックコンタクト層等を主半導体領域2に付加することができる。主半導体領域2の第1の主面14及び第2の主面15は半導体基板1に平行に延びている。主半導体領域2の第1の主面14は活性層12で発生した光を外部に取り出す面としての機能を有する。主半導体領域2の第2の主面15は半導体基板1に電氣的及び機械的に結合されている。

10

【0013】

図1では図示を簡単にするためにn型バッファ層10が1つの層で示されているが、実際には複数の第1の層と複数の第2の層とから成り、第1の層と第2の層とが交互に配置されている。なお、n型バッファ層10の最も下に第1の層が配置される。

n型バッファ層10の第1の層は、Al (アルミニウム) を含む窒化物半導体であることが望ましく、例えば、



ここで、前記Mは、In (インジウム) とB (ボロン) とから選択された少なくとも1種の元素、

20

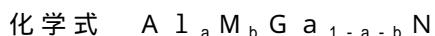
$$\begin{aligned} \text{前記 } x \text{ 及び } y \text{ は、} & \quad 0 < x < 1、 \\ & \quad 0 < y < 1、 \\ & \quad x + y < 1 \end{aligned}$$

を満足する数値、

で示される材料に不純物を添加したものから成る。即ち、第1の層は、例えばAlN (窒化アルミニウム)、AlInN (窒化インジウム、アルミニウム)、AlGaN (窒化ガリウム アルミニウム)、AlInGaN (窒化ガリウム インジウム アルミニウム)、AlBN (窒化ボロン アルミニウム)、AlBGaN (窒化ガリウム ボロン アルミニウム) 及びAlBInGaN (窒化ガリウム インジウム ボロン アルミニウム) から選択された材料から成る。アルミニウムを含む第1の層の格子定数及び熱膨張係数は第2の層よりもシリコン半導体基板1に近い。

30

第2の層は、バッファ層10の緩衝機能を更に高めるためのものであって、Alを含まないか又はAlの割合が第1の層のAlの割合よりも小さいn型窒化物半導体から成る。この条件を満足させることができる第2の層は、例えば、



ここで、前記MはIn (インジウム) とB (ボロン) とから選択された少なくとも1種の元素、

$$\begin{aligned} \text{前記 } a \text{ 及び } b \text{ は、} & \quad 0 < a < 1、 \\ & \quad 0 < b < 1、 \\ & \quad a + b < 1、 \\ & \quad a < x \end{aligned}$$

40

を満足させる数値、

で示される材料にn型不純物を添加したものから成る。即ち、第2の層は、例えばGaN (窒化ガリウム)、AlInN (窒化インジウム、アルミニウム)、AlGaN (窒化ガリウム アルミニウム)、AlInGaN (窒化ガリウム インジウム アルミニウム)、AlBN (窒化ボロン アルミニウム)、AlBGaN (窒化ガリウム ボロン アルミニウム) 及びAlBInGaN (窒化ガリウム インジウム ボロン アルミニウム) から選択された材料から成る。第2の層におけるAl (アルミニウム) の増大により発生する恐れのあるクラックを防ぐためにAlの割合を示すaの値を $0 < a < 0.2$ 、即ち0

50

又は0よりも大きく且つ0.2よりも小さくすることが望ましい。

第1の層の好ましい厚みは、0.5nm～5nmである。第1の層の厚みが0.5nm未満の場合には上面に形成される主半導体領域2の平坦性が良好に保てなくなる。第1の層の厚みが5nmを超えると、量子力学的トンネル効果が得られなくなる。第2の層の好ましい厚みは、0.5nm～200nmである。第2の層の厚みが0.5nm未満の場合には上面に形成されるn型半導体層11と活性層12とp型半導体層13の平坦性が良好に保てなくなる。第2の層の厚みが200nmを超えると、バッファ層10にクラックが発生する恐れがある。

この実施例ではp型のシリコン半導体基板1に対してn型のバッファ層10が接触しているが、シリコン半導体基板1とバッファ層10とはヘテロ接合であり且つ両者間に合金化領域(図示せず)が生じているので、順方向バイアス電圧が両者に印加された時のシリコン半導体基板1とバッファ層10との接合部における電圧降下は小さい。なお、p型シリコン半導体基板1の代わりn型シリコン半導体基板を使用し、n型シリコン半導体基板の上にn型のバッファ層10を形成することも勿論可能である。また、バッファ層10を多層構造にしないで、1つの層で形成することも勿論可能である。

10

【0014】

バッファ層10の上に配置されたn型半導体層11は、

化学式 $Al_aM_bGa_{1-a-b}N$

ここで、前記MはIn(インジウム)とB(ボロン)とから選択された少なくとも1種の元素、

20

$$\begin{aligned} \text{前記 } a \text{ 及び } b \text{ は、} & \quad 0 \leq a \leq 1, \\ & \quad 0 \leq b < 1, \\ & \quad a + b \leq 1 \\ & \quad a < x \end{aligned}$$

を満足させる数値、

で示される窒化物半導体から成ることが望ましく、GaN等のn型窒化ガリウム系化合物半導体から成ることが更に望ましい。

【0015】

n型半導体層11の上に配置された活性層12は、

化学式 $Al_xIn_yGa_{1-x-y}N$ 、

30

ここでx及びyは $0 \leq x < 1$ 、

$0 \leq y < 1$ 、を満足する数値、

で示される窒化物半導体から成ることが望ましい。なお、図1では活性層12が1つの層で概略的に示されているが、実際には周知の多重量子井戸構造を有している。勿論、活性層12を1つの層で構成することもできる。また、この実施例では活性層12に導電型決定不純物がドーピングされていないが、p型又はn型不純物をドーピングすることができる。

【0016】

活性層12の上に配置されたp型半導体層13は、

化学式 $Al_xIn_yGa_{1-x-y}N$ 、

40

ここでx及びyは $0 \leq x < 1$ 、

$0 \leq y < 1$ 、を満足する数値、

で示される窒化物半導体にp型不純物をドーピングしたものから成ることが望ましい。この実施例では、p型半導体層13が厚さ500nmのp型GaNで形成されている。

【0017】

主半導体領域2は、第1の主面14から第2の主面15に貫通する孔16をそのほぼ中央に有している。この孔16はシリコン半導体基板1の凹部9に連続している。孔16及び凹部9は、凹部9を形成する前のシリコン半導体基板1の上に主半導体領域2をエピタキシャル成長させた後にエッチングによって形成される。このため、シリコン半導体基板1と主半導体領域2との間に生じた合金化層は除去され、シリコン半導体基板1の凹部9

50

の表面にシリコンが露出する。また、孔 16 及び凹部 9 の壁面は主半導体領域 2 の第 1 の主面 14 から第 2 の主面 15 に向かって先細になるように傾斜している。なお、シリコン半導体基板 1 の凹部 9 は保護素子形成領域 7 に設けられている。また、孔 16 及び凹部 9 の壁面を覆うように絶縁膜 17 が形成されている。

【0018】

第 1 の電極 3 は、第 1 の部分としての光透過性導電膜 19 と、第 2 の部分としてのボンディングパッド部分 20 とから成る。ボンディングパッド部分 20 は光透過性導電膜 19 に接続されていると共にショットキー接触金属層 18 にも接続されている。従って、第 2 の部分としてのボンディングパッド部分 20 は外部接続機能の他に光透過性導電膜 19 と金属層 18 との相互接続機能を有する。

10

第 1 の電極 3 の第 2 の部分としてのボンディングパッド部分 20 の外周下部を光透過性導電膜 19 を介さないで主半導体領域 2 の第 1 の主面 14 にオーミック接触させ、光透過性導電膜 19 を省くこともできる。このようにボンディングパッド部分 20 を主半導体領域 2 の第 1 の主面 14 にオーミック接触させる場合には、光透過性導電膜 19 を省いても主半導体領域 2 に第 1 の電極 3 から電流を流すことができる。光透過性導電膜 19 が省かれる場合には、ボンディングパッド部分 20 の外周下部が第 1 の電極 3 の第 1 の部分として機能する。光透過性導電膜 19 は主半導体領域 2 の全領域に電流を均一に流すために有効である。しかし、光透過性導電膜 19 の光透過率を 100% にすることは困難又は不可能であり、光透過性導電膜 19 で光の吸収が生じる。また、光透過性導電膜 19 を設けると、必然的に半導体発光素子がコスト高になる。従って、発光効率及びコストを勘案して光透過性導電膜 19 を設けるか否かを決定する。

20

第 1 の電極 3 の第 1 の部分としての光透過性導電膜 19 は発光素子接続部分として機能し、主半導体領域 2 の第 1 の主面 14 即ち p 型半導体層 13 の表面のほぼ全部に配置され、ここにオーミック接触している。従って、既に説明したように光透過性導電膜 19 は主半導体領域 2 に電流を均一に流すために寄与し、且つ主半導体領域 2 から放射された光の取り出しを可能にする。光透過性導電膜 19 は厚さ 100 nm 程度の ITO 即ち酸化インジウムと酸化錫との混合物からなる。なお、光透過性導電膜 19 を Ni、Pt、Pd、Rh、Ru、Os、Ir、Au から選択された 1 種の金属膜、又はこれらから選択された 2 種の合金膜によっても形成できる。

ショットキー電極として機能する金属層 18 は例えば Ti、Pt、Cr、Al、Sm、PtSi、Pd₂Si 等から成り、絶縁膜 17 の孔 17a を介してシリコン半導体基板 1 の凹部 9 の表面にショットキー接触している。保護素子としてのショットキーダイオードは半導体基板 1 の保護素子形成領域 7 と金属層 18 とによって形成されている。

30

第 1 の電極 3 の第 2 の部分としてのボンディングパッド部分 20 は主半導体領域 2 の表面積よりも小さい表面積を有するように形成され且つ破線で示す Al 又は Au 等から成る外部接続用ワイヤ 21 を結合することができる金属からなり、光透過性導電膜 19 に接続されていると共に金属層 18 にも接続されている。即ち、ボンディングパッド部分 20 は、光透過性導電膜 19 の上面及び主半導体領域 2 の傾斜側面を覆うように形成された光透過性及び絶縁性を有する保護膜 22 の孔 23 を介して光透過性導電膜 19 に接続され、且つ主半導体領域 2 の孔 16 の中に配置されたショットキー電極として機能する金属層 18 に接続されている。ボンディングパッド部分 20 は、平面的に見て、即ち半導体基板 1 の一方の主面に対して垂直な方向から見て、保護素子形成領域 7 の少なくとも一部を覆い且つ主半導体領域 2 の少なくとも一部を覆わないように配置され且つ第 1 の部分としての光透過性導電膜 19 とショットキー電極としての金属層 18 とを電氣的に接続するように形成されている。図 1 の実施例では、ボンディングパッド部分 20 が主半導体領域 2 の孔 16 の外側部分の上にも配置されている。なお、主半導体領域 2 の孔 16 の壁面と第 1 の電極 3 とは絶縁膜 17 で電氣的に分離されている。ボンディングパッド部分 20 の上面は外部接続用ワイヤ 21 を結合できる面積を有し、且つ外部接続用ワイヤ 21 の接続を容易にするために保護膜 22 よりも上に突出している。

40

ボンディングパッド部分 20 は外部接続用ワイヤ 21 のボンディングに耐えることができ

50

る厚み（例えば100nm～100μm）を有する。従って、ボンディングパッド部分20を光が透過することはできない。もし、光がわずかに透過するようにボンディングパッド部分20を形成しても、ボンディングパッド部分20に外部接続用ワイヤ21等が結合されると、ボンディングパッド部分20を介して光を取り出すことは不可能又は困難になる。

この実施例では図2から明らかなようにボンディングパッド部分20の平面形状は円形であるが、これを4角形又は多角形等の別の形状にすることができる。また、半導体基板1の平面形状を円形等に変形することができる。

図1において、主半導体領域2の側面とボンディングパッド部分20との間を絶縁するために主半導体領域2の孔16の中に設けられた絶縁膜17は孔16の外の保護膜22と同時に形成することができる。

保護素子形成領域7は、平面的に見て、即ち主半導体領域2の第1の主面14又はシリコン半導体基板1の一方の主面5に対して垂直な方向から見て、ボンディングパッド部分20の内側に配置されている。保護素子形成領域7が平面的に見てボンディングパッド部分20の外側にはみ出ても保護素子の機能が低下することはない。しかし、平面的に見て保護素子形成領域7の面積が大きくなると、必然的に主半導体領域2の面積が小さくなる。このため、平面的に見て保護素子形成領域7の表面面積の70～100%、より望ましくは全部がボンディングパッド部分20の内側に配置される。

【0019】

第2の電極4は金属層からなり、半導体基板1の他方の主面6の全面に形成されている。即ち、第2の電極4は半導体基板1の保護素子形成領域7及び外周側領域8の両方の下面にオーミック接触している。なお、第2の電極4を図1で点線で示すように半導体基板1の一方の主面5の外周側に配置することもできる。

【0020】

第1の電極3のボンディングパッド部分20は発光素子の外部接続電極としての機能の他にショットキーバリアダイオードの金属層8を発光素子に接続する機能を有する。第2の電極4は発光素子とショットキーバリアダイオードと両方の電極として機能する。従って、図1に示す複合半導体装置は、図4に示す発光素子としての発光ダイオード31と保護素子としてのショットキーバリアダイオード32との逆並列接続回路として機能する。ショットキーバリアダイオード32は、発光ダイオード31に所定値以上の逆方向の過電圧（例えばサージ電圧）が印加された時に導通する。これにより、発光ダイオード31の電圧はショットキーバリアダイオード32の順方向電圧に制限され、発光ダイオード31が静電気等に基づく逆方向の過電圧から保護される。ショットキーバリアダイオード32の順方向の導通開始電圧は発光ダイオード31の許容最大逆方向電圧以下に設定される。即ち、ショットキーバリアダイオード32の順方向の導通開始電圧は、発光ダイオード31が破壊される恐れのある電圧よりも低い値に設定される。なお、ショットキーバリアダイオード32の順方向の導通開始電圧は、正常時に発光ダイオード31に印加される逆方向の電圧よりも高く且つ発光ダイオード31が破壊される恐れのある電圧よりも低いことが望ましい。

【0021】

本実施例1は次の効果を有する。

(1) 保護素子形成領域7が平面的に見てボンディングパッド部分20の下に配置されている。従って、発光素子の光取り出し面積の低減を抑制して保護素子を形成することができ、保護素子内蔵の発光素子の小型化を図ることができる。

(2) ボンディングパッド部分20及び第2の電極4は発光ダイオード31とショットキーバリアダイオード32との相互接続部分として機能していると共に外部接続導体として機能しているので、複合半導体装置の構成が単純化され、小型化及び低コスト化を達成できる。

(3) 保護素子形成領域7が半導体基板1内に設けられているので、保護素子としてのショットキーバリアダイオード32を容易かつ低コストに得ることができる。

10

20

30

40

50

【実施例 2】

【0022】

次に、図 5 に示す実施例 2 に係わる複合半導体装置を説明する。但し、図 5 及び後述する図 6 ~ 図 17 において、図 1 ~ 図 4 と実質的に同一の部分、及び図 5 ~ 図 17 において相互に同一の部分には同一の符号を付してその説明を省略する。

【0023】

図 5 の複合半導体装置は、シリコン半導体基板 1 の保護素子形成領域 7 に p n 接合ダイオードを構成するための n 型半導体領域 40 を形成し且つ図 1 の金属層 18 を省き、この他は図 1 と実質的に同一に形成したものである。

即ち、図 5 の複合半導体装置の保護素子は半導体基板 1 に形成された 1 つの p n 接合を含む保護ダイオードから成る。この保護ダイオードは、第 1 導電型半導体領域としての p 型半導体基板 1 と、この p 型半導体基板 1 の保護素子形成領域 7 の中に島状に形成され且つ半導体基板 1 の一方の主面 5 に露出する表面を有している第 2 導電型半導体領域としての n 型半導体領域 40 とから成る。n 型半導体領域 40 は p 型シリコン半導体基板 1 に n 型不純物を拡散することによって形成されており、p 型シリコン半導体基板 1 との間に p n 接合を形成している。n 型半導体領域 40 は保護素子形成領域 7 の表面の凹部 9 に露出するように配置されている。ボンディングパッド部分 20 の先端部分 18 a は n 型半導体領域 40 にオーミック接触している。なお、オーミック接触を良くするための金属層をボンディングパッド部分 20 と n 型半導体領域 40 との間に配置することができる。n 型半導体領域 40 は、平面的に見て、即ち主半導体領域 2 の一方の主面 14 又はシリコン半導体基板 1 の一方の主面 5 に対して垂直な方向から見て、ボンディングパッド部 20 の内側に配置されている。

10

20

【0024】

第 1 の電極 3 は発光素子及び p n 接合ダイオードの一方の電極として機能し、第 2 の電極 4 は発光素子及び p n 接合ダイオードの他方の電極として機能する。従って、図 5 に示す複合半導体装置は、図 6 に示す発光素子としての発光ダイオード 31 と保護素子としての p n 接合ダイオード 32 a との逆並列接続回路を第 1 の電極 3 と第 2 の電極 4 との間に接続した回路と等価な機能を有する。p n 接合ダイオード 32 a は整流ダイオード又は定電圧ダイオードに構成される。p n 接合ダイオード 32 a は発光ダイオード 31 に所定値以上の逆方向の過電圧が印加された時に導通する。これにより、発光ダイオード 31 に印加される電圧は p n 接合ダイオード 32 a の順方向電圧に制限される。従って、p n 接合ダイオード 32 a によって発光ダイオード 31 を静電気等に基づくサージ電圧等の逆方向の過電圧から保護することができる。p n 接合ダイオード 32 a の順方向の導通開始電圧は発光ダイオード 31 の許容最大逆方向電圧以下に設定される。なお、p n 接合ダイオード 32 a の順方向の導通開始電圧は正常時に発光ダイオード 31 に対して逆方向に印加される電圧よりも高く且つ発光ダイオード 31 が破壊される恐れのある電圧よりも低いことが望ましい。

30

p n 接合ダイオード 32 a がツェナーダイオード等の定電圧ダイオードに構成されている場合には、定電圧ダイオードから成る p n 接合ダイオード 32 a の逆方向降伏電圧が発光ダイオード 31 の正常動作範囲の順方向電圧と許容最大順方向電圧との間に設定される。これにより、定電圧ダイオード成る p n 接合ダイオード 32 a はサージ電圧等の順方向の過電圧から発光ダイオード 31 を保護する。定電圧ダイオードの順方向の導通開始電圧は正常時に発光ダイオード 31 に対して逆方向に印加される電圧よりも高く且つ発光ダイオード 31 が破壊される恐れのある電圧よりも低いことが望ましい。

40

上述から明らかなように、図 5 の実施例 2 によれば、サージ電圧等の過電圧から保護された発光素子を提供することができ、図 1 の実施例 1 と同様な効果を得ることができる。なお、図 5 において、半導体基板 1 の外側領域 8 の一部の不純物濃度を保護素子形成領域 7 よりも高くし、これにより、外側領域 8 の一部の抵抗率を保護素子形成領域 7 よりも低くし、発光素子の動作時の外側領域 8 における電圧降下を低減するように変形することができる。

50

【実施例 3】

【0025】

図 7 に示す実施例 3 に係わる複合半導体装置は、図 1 の p 型シリコン半導体基板 1 の代わりに n 型シリコン半導体基板 1 a を使用し、この n 型シリコン半導体基板 1 a の保護素子形成領域 7 に npn 3 層ダイオード、即ち一般にダイアック (DIAC) と呼ばれている双方向性ダイオードを形成するための n 型半導体領域 40 と p 型半導体領域 41 とを形成し且つ図 1 の金属層 18 を省き、この他は図 1 と実質的に同一に形成したものである。即ち、図 7 に示す実施例 3 に係わる複合半導体装置における保護素子は半導体基板 1 a の保護素子形成領域 7 に形成された npn 3 層ダイオードから成る。この 3 層ダイオードは、第 1 導電型を有する第 1 の半導体領域としての n 型シリコン半導体基板 1 a と、n 型シリコン半導体基板 1 a の中に島状に形成され且つ半導体基板 1 a の一方の主面 5 に露出する表面を有し且つ第 2 導電型を有している第 2 の半導体領域としての p 型半導体領域 41 と、p 型半導体領域 41 の中に島状に形成され且つ半導体基板 1 a の一方の主面 5 に露出する表面を有し且つ第 1 導電型を有している第 3 の半導体領域としての n 型半導体領域 40 とから成る。

10

【0026】

図 7 の n 型半導体領域 40 は図 5 の n 型半導体領域 40 よりも少し小さく形成されている。p 型半導体領域 41 は n 型半導体領域 40 をこの表面を除いて囲むように配置されている。p 型半導体領域 41 は n 型シリコン半導体基板 1 a に p 型不純物を拡散することによって形成されており、n 型シリコン半導体基板 1 a との間に pn 接合を形成している。n 型半導体領域 40 は p 型半導体領域 41 に n 型不純物を拡散することによって形成されており、p 型半導体領域 41 との間に pn 接合を形成している。n 型半導体領域 40 は保護素子形成領域 7 の表面の凹部 9 に露出するように配置されている。第 1 の電極 3 のボンディングパッド部分 20 の先端部分 18 a は n 型半導体領域 40 にオーミック接触している。なお、オーミック接触を良くするための金属層をボンディングパッド部分 20 と n 型半導体領域 40 との間に配置することができる。p 型半導体領域 41 は、平面的に見て、即ち主半導体領域 2 の一方の主面 14 又はシリコン半導体基板 1 の一方の主面 5 に対して垂直な方向から見て、ボンディングパッド部分 20 の内側に配置されている。

20

【0027】

図 7 の第 1 の電極 3 は発光素子及び npn 3 層ダイオードの一方の電極として機能し、第 2 の電極 4 は発光素子及び npn 3 層ダイオードの他方の電極として機能する。従って、図 7 に示す複合半導体装置は図 8 に示す発光素子としての発光ダイオード 31 と保護素子としての npn 3 層ダイオード 32 b との並列接続回路を第 1 の電極 3 と第 2 の電極 4 との間に接続した回路と等価な機能を有する。n pn 3 層ダイオード 32 b は図 8 に示すように逆方向ダイオード D1 と順逆方向ダイオード D2 との直列回路と等価である。なお、n pn 3 層ダイオード 32 b は逆方向ダイオード D1 と順逆方向ダイオード D2 との逆並列回路で示されることもある。n pn 3 層ダイオード 32 b の順方向及び逆方向の降伏電圧は発光ダイオード 31 の正常動作範囲の電圧と許容最大電圧との間であることが望ましい。これにより、許容最大電圧よりも高いサージ電圧等の過電圧から発光ダイオード 31 を保護することができる。

30

40

従って、図 7 の実施例 2 に係わる複合半導体装置は図 1 の実施例 1 と同様な効果を有する。

【実施例 4】

【0028】

図 9 に示す実施例 4 の複合半導体装置は、図 1 の保護素子としてのショットキーバリアダイオードの代わりにコンデンサを設け、この他は図 1 と同一に形成したものである。

【0029】

図 9 の主半導体領域 2 の孔 16 の中に厚膜コンデンサを形成するための誘電体層 50 が配置されている。誘電体層 50 は絶縁膜 17 を形成する SiO₂ の比誘電率よりも大きい比誘電率、例えば 1200 ~ 2000、を有する誘電体磁器材料からなる。この誘電体磁器材

50

料は2族の金属と4族の金属の酸化物である例えばBaTiO₃(チタン酸バリウム)又はSrTiO₃(チタン酸ストロンチウム)等の主成分と、3族又は5族又はこれらの両方から成る副成分(添加成分)とから成る。3族の金属酸化物は、例えばNd₂O₃, La₂O₃, D_a₂O₃, Sm₂O₃, Pr₂O₃, Gd₂O₃, Ho₂O₃から選択された1つ又は複数であり、5族の金属酸化物、例えばNb₂O₅, Ta₂O₅から選択された1つ又は複数である。誘電体層50は有機バインダを伴った誘電体磁器材料のペーストを選択的に塗布して焼成する方法、又は誘電体磁器材料の生シート(グリーンシート)を張り付けて焼成する方法等で形成される。誘電体層50の一方の主面はシリコン基板1に接触し、他方の主面は第1の電極3の第2の部分としてのボンディングパッド部分20に接触している。従って、シリコン基板1と誘電体層50と第1の電極3のボンディングパッド部分20とによってコンデンサが形成されている。

【0030】

図9の複合半導体装置は図10の等価回路から明らかなように、主半導体領域2に基づく発光素子としての発光ダイオード31とここに並列接続された保護素子としてのコンデンサ32cとから成る。誘電体層50に基づくコンデンサ32cは発光ダイオード31の正常動作範囲の電圧よりも高いサージ電圧等の過電圧から発光素子31を保護する。

【0031】

図9の実施例4の複合半導体装置においても、保護用コンデンサ32cを構成するための誘電体層50は第1の電極3のボンディングパッド部分20と導電性シリコン基板1の一方の表面との間に配置され且つ平面的に見てボンディングパッド部分20の内側に配置されされているので、主半導体領域2の第1の主面14の有効光取り出し面積の低減無しに保護素子を配置することができる。また、誘電体層50は主半導体領域2の孔16の中に配置されているので、複合半導体装置の厚みの増大を抑制することができる。従って、実施例4によっても実施例1と同様に小型化、低コスト化の効果を得ることができる。

【0032】

なお、図9において、鎖線51で示すように誘電体層50の一方の主面にコンデンサ電極を設けることができる。また、誘電体層50の他方に主面に鎖線52で示すように、コンデンサ電極を設けることができる。また、誘電体層50の代わりに、チップ状コンデンサ素子を第1の電極3のボンディングパッド部分20とシリコン基板1の一方の主面5との間に配置することができる。

【実施例5】

【0033】

図11に示す実施例5の複合半導体装置は、図1のショットキー接合用金属層18、又は図9の誘電体層50の代わりに保護素子としてチップ状のバリスタ素子60を配置し、この他は図1又は図9と同一に形成したものである。バリスタ素子60は半導体磁器層61とこの一方の主面に配置された一方の電極62とこの他方の主面に配置された他方の電極63とから成る。半導体磁器層61は、BaTiO₃、SrTiO₃、ZnO等から成る主成分にNb₂O₅、Pr₆O₁₁等の周知の副成分を添加した半導体磁器材料から成る。図11では第1の電極3のボンディングパッド部分20と一方の電極62との間の絶縁を確保するために、これらの間に絶縁物64が配置されている。バリスタ素子60の一方の電極62はシリコン基板1の一方の主面5に形成されたオーミック電極65に対して図示が省略された周知の導電性接合材で結合され、他方の電極63はボンディングパッド部分20に接続されている。このバリスタ素子60は例えば10V程度のバリスタ電圧を有する。

【0034】

図11の複合半導体装置は、図12の等価回路から明らかなように主半導体領域2に基づく発光素子としての発光ダイオード31とここに並列接続された保護素子としてのバリスタ32dとから成る。図11のバリスタ素子60に対応する図12のバリスタ32dは図8の3層ダイオードと同様に双方向ダイオードとしての機能を有する。バリスタ32dのバリスタ電圧即ち導通開始電圧は、発光ダイオード31の順方向及び逆方向の正常動作範囲の電圧と許容最大電圧との間であることが望ましい。これにより、許容最大電圧より

も高いサージ電圧等の過電圧から発光素子 3 1 を保護することができる。

なお、半導体磁器層 6 1 は誘電体層としても機能するので、等価的に図 1 2 で点線で示すコンデンサ 3 2 c' が発光素子 3 1 に並列に接続され、このコンデンサ 3 2 c' も過電圧保護し、サージ破壊耐量を向上させるために寄与する。

【 0 0 3 5 】

図 1 1 の実施例 5 の複合半導体装置においても保護素子を形成するバリスタ素子 6 0 が第 1 の電極 3 のボンディングパッド部分 2 0 とシリコン基板 1 の一方の主面 5 との間に配置されているので、実施例 1 と同様に小型化及び低コスト化の効果を得ることができる。

【 0 0 3 6 】

図 1 1 のチップ状バリスタ素子 6 0 の代わりに、電圧非直線特性を有する抵抗体層即ちバリスタ特性を有する半導体磁器層を第 1 の電極 3 のボンディングパッド部分 2 0 とシリコン基板 1 の一方の主面 5 との間に配置することができる。このバリスタ特性を有する半導体磁器層は、バリスタ特性を有する半導体磁器材料のペーストを図 9 の誘電体層 5 0 の形成時と同様に塗布し、焼成することによって形成することができる。この半導体磁器層の一方の主面は第 1 の電極 3 のボンディングパッド部分 2 0 に接触させ、この他方の主面はシリコン基板 1 の一方の主面 5 に接触させる。

【 実施例 6 】

【 0 0 3 7 】

図 1 3 に示す実施例 6 の複合半導体装置は、図 1 の金属層 1 8 の代わりに薄膜半導体即ち n 型半導体薄膜 4 0 a を設け、この他は図 1 と同一に形成したものである。

第 2 導電型半導体領域としての n 型半導体薄膜 4 0 a は、p 型半導体基板 1 とボンディングパッド部分 2 0 との間に配置されている。この n 型半導体薄膜 4 0 a は、蒸着、又は CVD (Chemical Vapor Deposition)、又はスパッタ、又は印刷 (塗布) 等の周知の方法で形成され、例えば 1 nm ~ 1 μ m 程度の厚みを有する。

【 0 0 3 8 】

n 型半導体薄膜 4 0 a の材料として、例えば、アモルファス (非晶質) シリコン、一般に IT0 と呼ばれている酸化インジウム (In_2O_3) と酸化錫 (SnO_2) との混合物、 ZnO 、 SnO_2 、 In_2O_3 、 ZnS 、 ZnSe 、 ZnSb_2O_6 、 CdO 、 CdIn_2O_4 、 MgIn_2O_4 、 ZnGa_2O_4 、 CdGa_2O_4 、 Ga_2O_3 、 GaInO_3 、 CdSnO_4 、 InGaMgO_4 、 InGaZnO_4 、 $\text{Zn}_2\text{In}_2\text{O}_5$ 、 AgSbO_3 、 $\text{Cd}_2\text{Sb}_2\text{O}_7$ 、 Cd_2GeO_4 、 AgInO_2 、 CdS 及び CdSe から選択されたものを使用することができる。

【 0 0 3 9 】

図 1 3 の複合半導体装置の n 型半導体薄膜 4 0 a は図 5 の n 型半導体領域 4 0 と同様に機能し、p 型半導体基板 1 との間に p n 接合を形成する。従って、半導体基板 1 の中央の保護素子形成領域 7 と n 型半導体薄膜 4 0 a とによって図 6 の過電圧保護素子としての p n 接合ダイオード 3 2 a と同様な機能を有するダイオードが形成され、実施例 6 によっても実施例 1 及び 2 と同様な効果を得ることができる。

【 実施例 7 】

【 0 0 4 0 】

図 1 4 の実施例 7 の複合半導体装置は、図 1 の金属層 1 8 の代わりに、第 1 導電型半導体領域としての p 型半導体薄膜 4 1 a と第 2 導電型半導体領域としての n 型半導体薄膜 4 0 a とを設け、この他は図 1 と同一に構成したものである。別の観点から見ると、この図 1 4 の複合半導体装置は、図 1 3 の n 型半導体薄膜 4 0 a と p 型半導体基板 1 との間に p 型半導体薄膜 4 1 a を追加したものに相当する。なお、p 型半導体薄膜 4 1 a を p 型薄膜半導体と呼ぶこともできる。

【 0 0 4 1 】

p 型半導体薄膜 4 1 a は、周知の蒸着、又は CVD、又はスパッタ、又は印刷 (塗布) 法によって形成され、例えば 1 nm ~ 1 μ m 程度の厚さを有する。この p 型半導体薄膜 4 1 a の材料として p 型アモルファスシリコン、 NiO 、 Cu_2O 、 FeO 、 CuAlO_2 、 CuGaO_2 、及び SrCu_2O_2 から選択されたものを使用することができる。

【 0 0 4 2 】

10

20

30

40

50

n型半導体薄膜40aとp型半導体薄膜41aとの間にpn接合が形成され、且つp型半導体薄膜41aはp型半導体基板1にオーミック接触し、n型半導体薄膜40aはボンディングパッド部分20にオーミック接触している。従って、図14のn型半導体薄膜40aとp型半導体薄膜41aとから成る薄膜ダイオードは図6のpn接合ダイオード32aと同一機能を有する過電圧保護素子を提供する。この実施例7によっても図5の実施例2と同様な効果を得ることができる。

【実施例8】

【0043】

図15に示す実施例8の複合半導体装置は、図1のp型半導体基板1を図7と同様にn型(第1導電型)半導体基板1aに置き換え、図1の金属層18の代わりに、第1の半導体領域としてのn型の第1の半導体薄膜71と第2の半導体領域としてのp型(第1導電型)の第2の半導体薄膜72と第3の半導体領域としてのn型の第3の半導体薄膜73とを設け、この他は、図1と同一に構成したものに相当する。

10

【0044】

図15のn型の第1の半導体薄膜71はn型半導体基板7aにオーミック接触し、図13のn型半導体薄膜40aと同様な材料を使用して同様な方法で形成されている。n型の第1の半導体薄膜71の上に配置されたp型の第2の半導体薄膜72は図14のp型半導体薄膜41aと同一の材料を使用して同一の方法で形成される。p型の第2の半導体薄膜72の上に配置されたn型の第3の半導体薄膜73は図13のn型半導体薄膜40aと同様な材料から成り、且つボンディングパッド部分20にオーミック接触している。

20

【0045】

第1の半導体薄膜71と第2の半導体薄膜72と第3の半導体薄膜73とから成る薄膜3層ダイオードは、図8の保護素子としてのnpn3層ダイオード32bと同一の機能を有する。従って、この実施例8によっても図8の実施例3と同様な効果を得ることができる。

【実施例9】

【0046】

図16に示す実施例9の複合半導体装置は、図7のn型半導体領域40の代わりに、n型半導体基板1aの上に第1導電型半導体領域としてのn型半導体薄膜40aを設け、この他は図7と同一に構成したものに相当する。図16のn型半導体薄膜40aは、図13において同一符号で示すものと同じ材料を使用して同一方法で形成される。このn型半導体薄膜40aはp型半導体領域41との間にpn接合を形成し、またボンディングパッド部分20にオーミック接触している。従って、n型半導体基板1aとp型半導体領域41とn型半導体薄膜40aとによって図8のnpn3層ダイオード32bと同一の機能を得ることができる。この実施例9によっても図8の実施例3と同様な効果を得ることができる。

30

【実施例10】

【0047】

図17に一部が示されている実施例10に係わる複合半導体装置は、図1又は図5又は図7又は図9又は図11又は図13~図16のいずれかの光透過性導電膜19の代わりに帯状導体19aを有する第1の電極3'を設け、この他は図1又は図5又は図7又は図9又は図11又は図13~図16と同一に形成したものである。図13の第1の電極3'の第1の部分としての帯状導体19aは、第2の部分としてのボンディングパッド部20に接続され、且つ格子状又は網目状又はストライプ上等のパターンを有して主半導体領域2の一方の主面14即ちp型半導体層13の表面上に配置され、ここにオーミック接触している。即ち、複数の孔19bを伴った帯状導体19aはボンディングパッド部20よりも薄く形成され且つボンディングパッド部20の外周に配置され且つ主半導体領域2の一方の主面14にほぼ均一に分布している。主半導体領域2で発生した光は主半導体領域2の一方の主面14の帯状導体19aが形成されていない部分即ち孔19bから外部に取り出される。なお、第1の電極3'の第1の部分としての帯状導体19aの形状を主半導体領域2から放射された光を取り出すことができる任意の形状に変形することができる。

40

ボンディングパッド部分20は帯状導体19aのほぼ中央に配置されているので、ボンデ

50

ィングパッド部分 20 を通る電流は帯状導体 19 a を介して主半導体領域 2 の外周側に分散される。従って、帯状導体 19 a は光透過性導電膜 19 と同様な機能を有する。

図 17 において、第 1 の電極 3 ' の第 2 の部分としてのボンディングパッド部分 20 の外周下部が主半導体領域 2 の第 1 の主面 14 にオーミック接触している。このため、帯状導体 19 a を省いても主半導体領域 2 に第 1 の電極 3 ' から電流を流すことができる。帯状導体 19 a が省かれた場合には、ボンディングパッド部分 20 の外周部又は外周下部が第 1 の電極 3 ' の第 1 の部分として機能し、前記外周下部よりも内側の中央部分、又は前記外周下部の上の部分と中央部分が第 2 の部分として機能する。帯状導体 19 a を省くと、主半導体領域 2 の全領域に電流を均一に流すことが困難になる。しかし、帯状導体 19 a による光取り出しの妨害が無くなり、光取り出し効率が向上し、且つ帯状導体 19 a の製造工程が不用になる分だけ半導体発光素子のコストが低減される。従って、帯状導体 19 a を設けるか否かは発光効率及びコストを勘案して決定する。

上述から明らかなように、図 17 の実施例 10 に係わる第 1 の電極 3 ' の構造を図 1 又は図 5 又は図 7 又は図 9 又は図 11 又は図 13 ~ 図 16 のいずれかの実施例の複合半導体装置に適用した場合においても、図 1 又は図 5 又は図 7 又は図 9 又は図 11 又は図 13 ~ 図 16 のいずれかの実施例と同様な効果を得ることができる。

【0048】

本発明は上述の実施例に限定されるものではなく、例えば次の変形が可能なものである。

(1) 図 5 及び図 7 及び図 9 及び図 11 及び図 13 ~ 図 17 の実施例においても、第 2 の電極 4 を半導体基板 1 又は 1 a の一方の主面 5 に配置することができる。

(2) シリコン半導体基板 1 又は 1 a を単結晶シリコン以外の多結晶シリコン又は SiC 等のシリコン化合物、又は 3 - 5 族化合物半導体とすることができる。また、図 9 及び図 11 及び図 14 及び図 15 の実施例においては、シリコン半導体基板 1 を金属基板とすることができる。

(3) シリコン半導体基板 1 又は 1 a 及び主半導体領域 2 の各層及び保護素子の各層又は各膜の導電型を実施例と逆にすることができる。

(4) 主半導体領域 3 に、周知の電流拡散用半導体層及びコンタクト用半導体層を設けることができる。

(5) 図 1、図 5、図 7 に示す半導体基板 1 又は 1 a の中の保護素子と図 9、図 11、図 14 及び図 15 の半導体基板 1 の上の保護素子との両方を 1 つの複合半導体装置に設けることができる。

(6) 図 11 の保護素子としての磁器バリスタ素子 60 の代わりにシリコンバリスタ素子、定電圧ダイオード、整流ダイオード、3 層ダイオード等のチップ状保護素子を配置することができる。また、半導体薄膜 40 a、41 a、71、72、73 を半導体厚膜に変形することができる。

(7) ボンディングパッド部分 20 にワイヤ 21 以外の棒状又は板状等の別の導体部材を接続することができる。

(8) 半導体基板 1 又は 1 a の上に主半導体領域 2 を気相成長させる代わりに、半導体基板 1 又は 1 a 又は金属基板に主半導体領域 2 を熱圧着等で貼り合わせることができる。

(9) 主半導体領域 2 から基板 1 又は 1 a 側に放射された光を主半導体領域 2 の第 1 の主面 14 側に反射させる光反射を設けることができる。

【産業上の利用可能性】

【0049】

本発明は、半導体発光素子と保護素子との複合半導体装置に利用可能である。

【図面の簡単な説明】

【0050】

【図 1】本発明の実施例 1 に従う複合半導体装置を概略的に示す中央縦断面図である。

【図 2】図 1 の複合半導体装置を縮小して示す平面図である。

【図 3】図 1 の主半導体領域と半導体基板の一部とを示す断面図である。

【図 4】図 1 の複合半導体装置の電気回路図である。

10

20

30

40

50

- 【図5】実施例2の複合半導体装置を概略的に示す中央縦断面図である
- 【図6】図5の複合半導体装置の電気回路図である。
- 【図7】実施例3の複合半導体装置を概略的に示す中央縦断面図である
- 【図8】図7の複合半導体装置の電気回路図である。
- 【図9】実施例4の複合半導体装置を概略的に示す中央縦断面図である
- 【図10】図9の複合半導体装置の電気回路図である。
- 【図11】実施例5の複合半導体装置を概略的に示す中央縦断面図である
- 【図12】図11の複合半導体装置の電気回路図である。
- 【図13】実施例6の複合半導体装置を概略的に示す中央縦断面図である
- 【図14】実施例7の複合半導体装置を概略的に示す中央縦断面図である。
- 【図15】実施例8の複合半導体装置を概略的に示す中央縦断面図である
- 【図16】実施例9の複合半導体装置を概略的に示す中央縦断面図である
- 【図17】実施例10の複合半導体装置の一部を概略的に示す断面図である
- 【符号の説明】

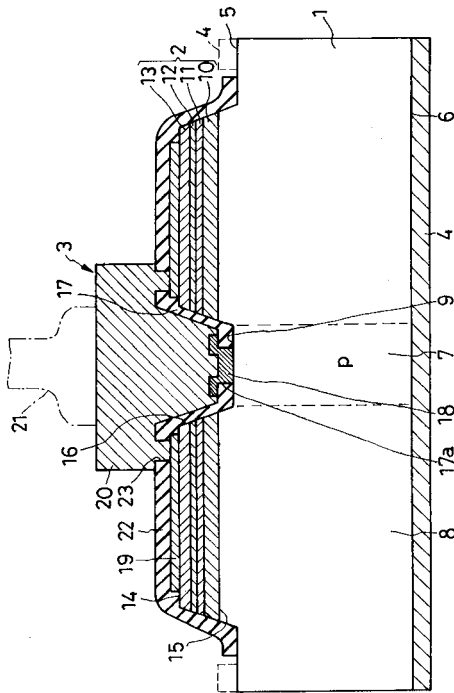
10

【0051】

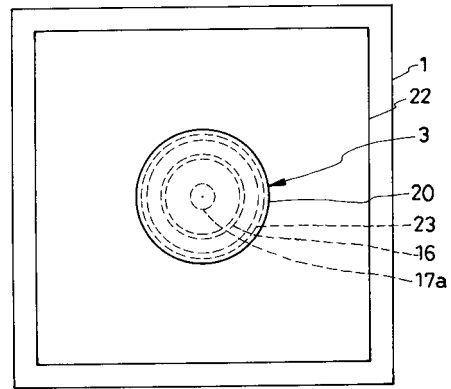
- 1, 1a シリコン半導体基板
- 2 主半導体領域
- 3, 3' 第1の電極
- 4 第2の電極
- 7 保護素子形成領域
- 20 ボンディングパッド部分

20

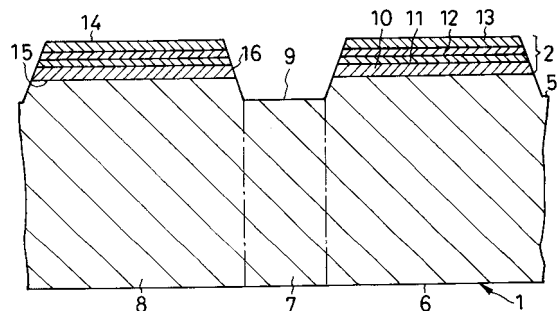
【図1】



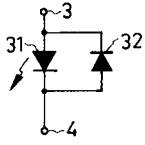
【図2】



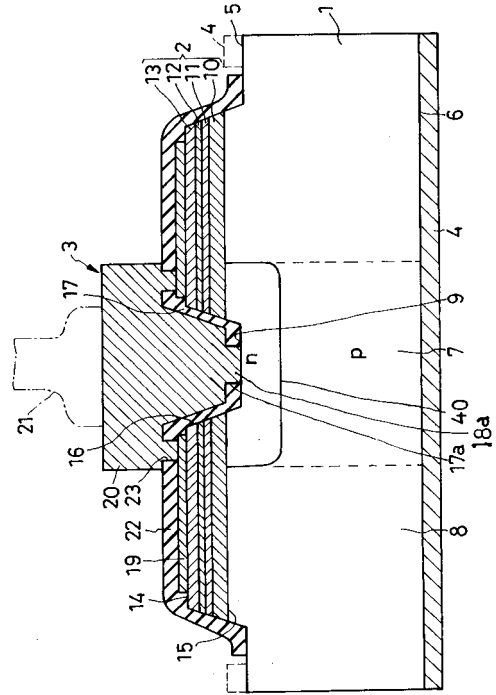
【図3】



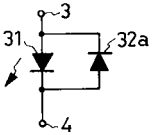
【 図 4 】



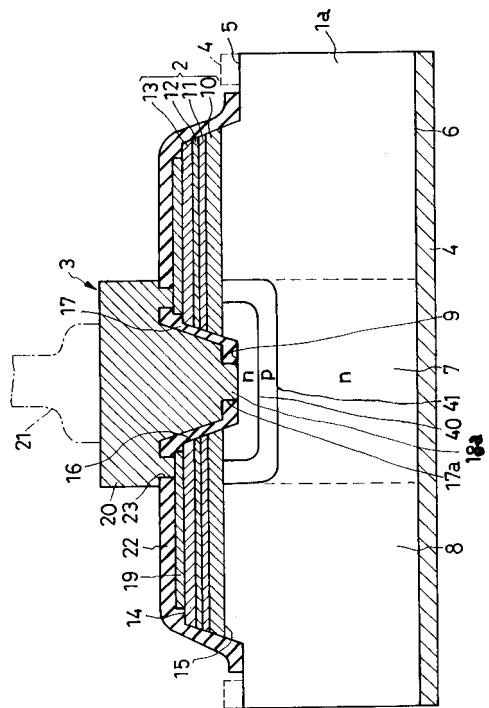
【 図 5 】



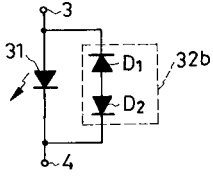
【 図 6 】



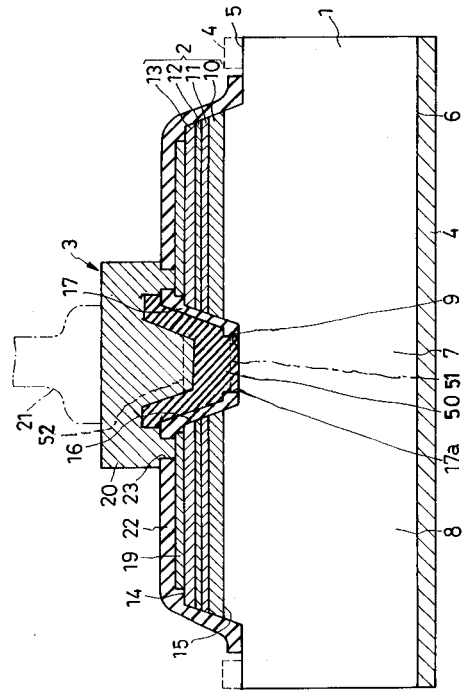
【 図 7 】



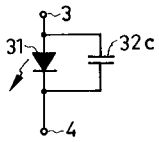
【 図 8 】



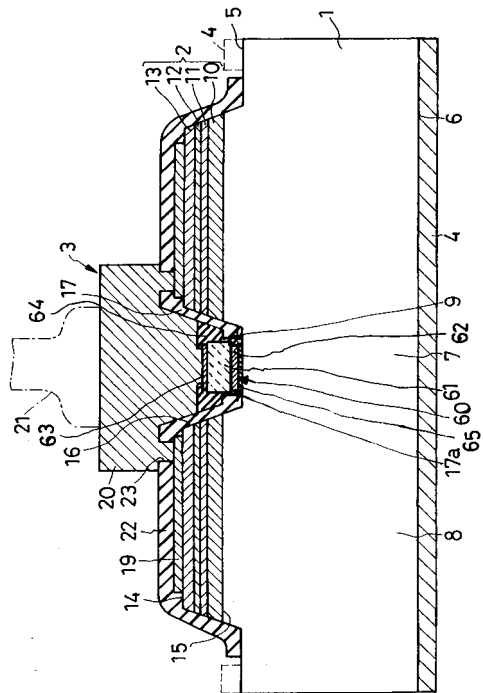
【 図 9 】



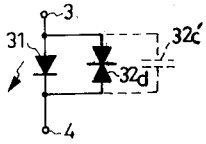
【 図 10 】



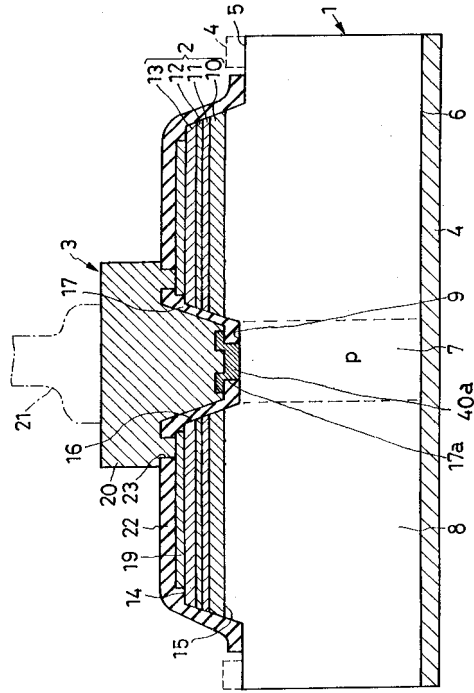
【 図 11 】



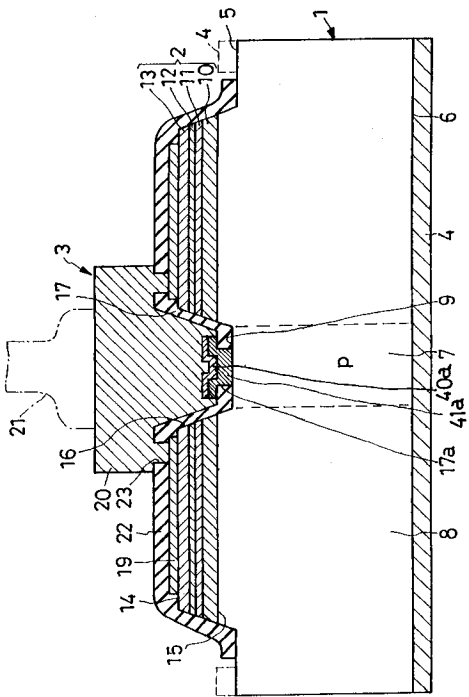
【図 12】



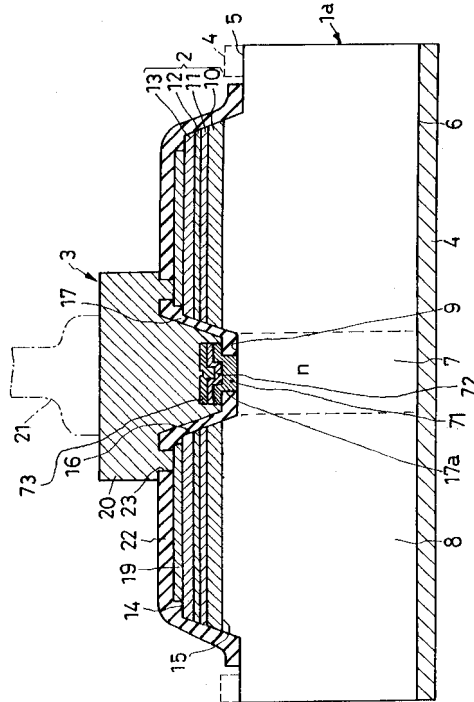
【図 13】



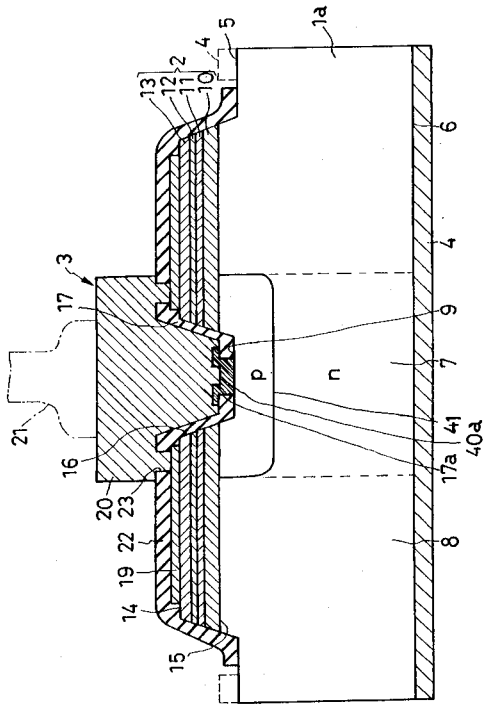
【図 14】



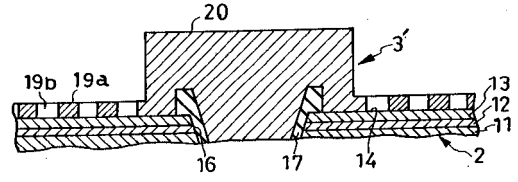
【図 15】



【図 16】



【図 17】



フロントページの続き

- (72)発明者 加藤 隆志
埼玉県新座市北野三丁目6番3号 サンケン電気株式会社内
- (72)発明者 丹羽 愛玲
埼玉県新座市北野三丁目6番3号 サンケン電気株式会社内
- (72)発明者 神井 康宏
埼玉県新座市北野三丁目6番3号 サンケン電気株式会社内
- Fターム(参考) 5F041 AA47 CA40 CB33