

發明專利說明書

FP14327A

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 9413792

※ 申請日期： 94.9.22

※IPC 分類： G11C16/04

一、發明名稱：(中文/英文)

永久性記憶體元件

NON-VOLATILE MEMORY-ELEMENT

二、申請人：(共1人)

姓名或名稱：(中文/英文)(簽章) ID：

奧地利微系統股份有限公司

AUSTRIAMICROSYSTEMS AG

代表人：(中文/英文)(簽章)

馬丁瑞斯契

RESCH, MARTIN

住居所或營業所地址：(中文/英文)

奧地利安特普瑞姆史塔坦 A-8141 史寇羅比普瑞姆史塔坦

Schloss Premstaetten A-8141 Unterpremstaetten, Austria

國 籍：(中文/英文)

奧地利

Austria

三、發明人：(共 1 人)

姓 名：(中文/英文) ID：

喬治史卡茲伯格

SCHATZBERGER, GREGOR

國 籍：(中文/英文)

奧地利

Austria

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

德國，2004 年 09 月 27 日，10 2004 046 793.5

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

三、發明人：(共 1 人)

姓 名：(中文/英文) ID：

喬治史卡茲伯格

SCHATZBERGER, GREGOR

國 籍：(中文/英文)

奧地利

Austria

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

德國，2004 年 09 月 27 日，10 2004 046 793.5

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明涉及一種永久性記憶體元件。

本發明中所描述的記憶體元件通常稱為”閃鎖(latch)”，其是一種可再寫入的永久性記憶體元件且用來儲存較少的資料量，其所處理的資料量通常是 1 位元至 100 位元。當記憶體元件之電源中斷時，資料仍保留著。在積體電路中通常使用很多此種記憶體元件。一記憶體元件所使用的面積因此應儘可能小。

【先前技術】

永久性記憶體已為人所知，在永久性標準記憶體中使用昂貴之電路元件來進行複雜的定址。此外，需要一種讀出放大器，以便由永久性記憶體中讀出資料。因此，使用永久性標準記憶體較昂貴且需要大的面積。

由 US 6,411,545 中已知一種永久性閃鎖記憶體，其中設有一源極-耦合之記憶體元件，二個位於高壓側的寫入輸入端以及一隔離之資料輸出端。

US 5,648,930 揭示一種永久性閃鎖-記憶體，其具有汲極-耦合的記憶體元件，如通常在 RAM 中所設置者。閃鎖-記憶體元件具有一資料輸入端和一資料輸出端，其經由多條導線而被程式化。

US 5,523,971 揭示一種由 8 個電晶體所構成的永久性閃鎖-記憶體。在程式化過程期間，此永久性閃鎖-記憶體與電源電壓相隔開。

US 4,132,904 揭示一種永久性閃鎖-記憶體，其缺點是：

需重新讀出的資料相對於先前已寫入的資料而言只能以反相的形式存在著。

US 4,348,745 揭示一種永久性閃鎖-記憶體，其需要 12 個電晶體和 17 伏之程式化電壓，因此該閃鎖-記憶體較昂貴。

【發明內容】

本發明的目的是提供一種永久性記憶體元件，其構造簡單且所需空間較少。

上述目的以申請專利範圍第 1 項所述的永久性記憶體元件來達成。

本發明的永久性記憶體元件使用一種第一對電晶體，其具有浮動閘極-MOS 電晶體，其中此浮動閘極以電容方式而與此對電晶體之另一電晶體之汲極端相連接。浮動閘極-電晶體之源極端是與同一導電型式之第二對電晶體相連接。各對電晶體之閘極端互相連接。在寫入模式時，須對閘極端進行控制，使二個電晶體成為高歐姆狀態且使各浮動閘極-電晶體由標準-低壓電源隔開。為了確保可與標準-低壓電源相隔開，則第二對電晶體之井(well)端在寫入期間須處於最高的電位處。在讀出模式時，須控制二個電晶體，使其成為低歐姆。此對電晶體之井端於是與低電壓源相連接。各浮動閘極-電晶體之汲極端是與第三對電晶體之汲極端相連接，其中第三對電晶體之電晶體具有相反之導電型。第三對電晶體之閘極端是與另一電晶體之汲極端形成交叉耦合。本發明的記憶體元件只需較少的電晶體且可簡單地受控制，此乃因只需一種電壓條件來進行寫入，以使一浮動閘極充電或使另一浮動閘極放電。

在本發明的第一形式中，浮動閘極-電晶體之汲極端是與同一導電型之第四對電晶體相連接。第四對電晶體連接在第一對電晶體和第三對電晶體之間。第四對電晶體之各電晶體的閘極互相連接。第三和第四對電晶體之各電晶體之間設有資料端，其形成資料輸出端。在寫入模式時須控制各閘極端，使二個電晶體成為高歐姆且因此使各浮動閘極-電晶體由資料輸出端隔開。在寫入模式期間此對電晶體之井端於是連接至最高的電位。在讀出模式時須控制二個電晶體，使其通道成為低歐姆。此對電晶體的井端因此與標準-低電壓源相連接。第二和第四對電晶體之各電晶體以相同的信號來控制。因此，可確保各輸出端和標準-低電壓源是與一種在寫入模式時施加至輸入端上的高電壓相隔開。

在本發明的第二形成中，相同導電型式之其它電晶體並聯至第三對電晶體之每一電晶體。在寫入模式時須控制各電晶體，使此記憶體元件之各輸出端相對於一參考電位而成為短路。在讀出模式時，須控制二個電晶體，使其不導通。此二個電晶體之閘極端互相連接。

在寫入模式時，各浮動閘極-電晶體藉由第二和第四對電晶體之高歐姆的電晶體而與標準-低電壓源和各輸出端都互相隔開。資料可寫入至此記憶體元件中，此時一種適當的高電壓施加至第一浮動閘極-電晶體之汲極端，源極端和基板且亦施加至第二浮動閘極-電晶體之閘極端。第二浮動閘極-電晶體中汲極端，源極端和基板都接地，第一浮動閘極-電晶體之閘極端接地。上述之電壓特性一方面可使電子由汲極區，源極區和基板區穿隧至第二浮動閘極-電晶體之浮

動閘極且一方面在第一浮動閘極-電晶體上可使電子由浮動閘極穿隧至汲極區，源極區和基板區。此種電流會在第一電晶體的浮動閘極上造成正電荷且在第二電晶體之浮動閘極上造成負電荷。此記憶體元件之輸出端此時被短路。

在讀出模式時，第二和第四對電晶體接通，此時各閘極端與接地相連接。在寫入模式時，第五對電晶體(其使輸出端對接地形成短路)斷開。當上述全部之電壓條件都已存在時，上述結構形成二個回授(feedback)式反相器，其依據浮動閘極上的電荷而具有不同的反應點。一浮動閘極-電晶體在另一浮動閘極-電晶體之前開始導通，其結果是：回授式反相器進入一種狀態中，其中一輸出端處於高位準且另一輸出端處於低位準。

一種以時間來自我控制之配置可以本發明之第二形式之記憶體元件藉由使用另一或(OR)閘來實現，此或閘是與記憶體元件之資料輸出端相連接。如上所述，在寫入模式時各輸出端接地，使或閘之輸出端同樣亦接地。在讀出模式時，對應於第一和第二浮動閘極-電晶體之浮動閘極上的電荷使一輸出端之電壓處於操作電壓(高)之位準且另一輸出端處於接地(低)位準。記憶體元件之各輸出端上的切換因此會使或閘之輸出端由接地(低)切換至操作電壓(高)之電位。

利用該或閘之輸出信號和另外數個邏輯模組，則該永久性記憶體元件可達成一種自動化之省電流模式。省電流模式相對於一般之讀出模式所具有之優點是：該永久性記憶體元件可具有一種較佳的資料獲取特性。此種自動化之省電流模式將依據一實施例來詳述。

本發明的記憶體元件形成一種永久性之記憶體元件，其在記憶體元件之各輸出端已進入程式化之後在寫入模式-，省電流模式-和讀出模式中都只消耗一種漏電流。

本發明的記憶體元件在其各種不同的形式中都具有一系列的優點。第一種優點是：在其輸出端接通之後可對應於浮動閘極-電晶體上的電荷而施加一種邏輯信號。第二種優點是：在寫入模式時該記憶體元件完全與一般之低電壓電源-及資料輸出端相隔開。第三種優點是：各記憶胞之讀出以一種時間上的自我控制來進行。這表示：當須進行一種邏輯上的決定時，記憶體元件須自我進行此種決定。另一優點是：本發明之永久性記憶體元件之輸出電壓在寫入模式-和讀出模式時通常都在低電源電壓之範圍中。在讀出模式時不會發生電壓降 V_{th} 。在寫入模式時在該永久性記憶體元件之資料輸出端上不會發生高電壓（其用來進行程式化），於是在此該記憶體元件之各輸出端上可使用一般的標準-邏輯元件。

本發明其它有利的形成描述在申請專利範圍各附屬項中。本發明以下將依據實施例來詳述。

【實施方式】

本發明以下將依據各實施例來描述，但這些實施例不是對本發明的一限制。本發明的其它實施形式亦是可能的且包含在申請專利範圍各項中。

第 1，2 圖顯示本發明之記憶體元件之二種電路圖。此電路之一對電晶體具有 p-通道-電晶體 40 和 50，其分別具有浮動閘極 44 和 54。各電晶體 40 和 50 具有控制-閘極 45 和

55，其電容性地與浮動閘極 44 和 54 相連接。第一浮動閘極 - 電晶體 40 之控制 - 閘極 45 是與另一浮動閘極 - 電晶體 50 之汲極端相連接，電晶體 50 之控制 - 閘極 55 是與電晶體 40 之汲極端相連接，因此形成一種相交之耦合配置。浮動閘極 - 電晶體 40 和 50 之源極端是與其各自的 n-基板相連接。

第三和第四電晶體 20 和 30 形成第二對電晶體，其汲極端是與電晶體 40 和 50 之源極端相連接。第二對電晶體之源極是與電源電壓端 12 相連接且因此被施加一種電源電壓 VCC。各閘極端互相連接且連接至第一控制信號線 14 上，各閘極端因此被施加以第一控制信號 WE。爲了產生此第一控制信號 WE，則須設有一種(未顯示之)外部控制單元。

各井端互相連接且連接至第三控制信號線 5。在寫入模式時一種適當的高電壓施加至井端，此適當的高電壓亦用來對各浮動閘極 - 電晶體進行程式化。在讀出模式時各井端是與該標準 - 低電壓源 VCC 相連接。爲了產生一控制信號 VWELL，則須使用一種未顯示之外部控制單元。

電晶體 40 和 50 之汲極端是與第三對電晶體(其具有第五電晶體 60 和第六電晶體 70)之汲極端相連接。第一和第五電晶體 40 和 60 之汲極端以及第六電晶體 70 之閘極端是與第一資料端 I1/O1 相連接，此第一資料端 I1/O1 形成資料輸入端和資料輸出端。同樣，第二和第六電晶體 50 和 70 之汲極端以及第五電晶體 60 之閘極端是與第二資料端 I2/O2 相連接，此第二資料端 I2/O2 亦形成資料輸入端和資料輸出端。第三對電晶體之源極端是與該參考電位端 10 相連接。

在第 1，2 圖之實施例中，在寫入模式時依據所期望的程

式化使程式化電壓施加至第一資料端 I1/O1 或第二資料端 I2/O2。在讀出模式時，第一資料端 I1/O1 上的輸出信號由電晶體 40 和 60 之汲極端來決定，第二資料端 I2/O2 上的信號由電晶體 50 和 70 之汲極端來決定

在寫入模式時，以電源電壓 VCC 施加至第一電源電壓端 12，此電源電壓 VCC 對應於所使用之技術之標準操作電壓。第一控制端 14 上的控制信號 WE 和第三控制信號線 5 上的控制信號 VWELL 由一種程式化電壓 VPP 所形成，使第三電晶體 20 和第四電晶體 30 不導通。依據浮動閘極和控制-閘極之間的耦合因數以及隧道-氧化物層之厚度，該程式化電壓 VPP 之值是在 10V 至 14V 之間。爲了使資料信號儲存至記憶體元件中，則第一資料端 I1/O1 上的電壓必須處於該程式化電壓 VPP 之位準。若情況如此，則 n-通道-電晶體 70 導通，浮動閘極-電晶體 50 不導通且第二資料端 I2/O2 處於接地位準。藉由處於接地位準之第二資料端 I2/O2 使第一浮動閘極-電晶體 40 導通，n-通道-電晶體 60 則不導通。因此，直流電流不會流經此記憶體元件-配置。浮動閘極-電晶體 40 之控制-閘極 45 被導引至接地電位，但此電壓亦可由外部經由第二資料端 I2/O2 而饋入。第二浮動閘極-電晶體 50 之控制-閘極 55 此時處於該程式化電壓 VPP 之位準。此電位差促使電子由浮動閘極 44 穿隧至電晶體 40 之通道中，該浮動閘極因此充電成正電位。

在同一時間中第二浮動閘極-電晶體 50 之控制-閘極 55 被施加該程式化電壓 VPP 且汲極端被導引至接地電位。此控制-閘極 55 和浮動閘極 54 之間的電位差使電子由汲極區

穿隧至浮動閘極 54 且因此以負電荷來進行充電。

由於電路的對稱性，因此只需描述一種電壓條件，以使一浮動閘極充電以及使另一浮動閘極放電。

在第 2 圖之實施例中，設有另二個資料端 I3 和 I4，其形成資料輸入端且因此以下亦稱為輸入端。在寫入模式時，資料端 I3 是與資料端 I1/O1 以低歐姆相連接，資料端 I4 則以低歐姆而與資料端 I2/O2 相連接。因此，二個基板具有寫入模式所需之電位。在上述情況中當資料寫入記憶體元件中時，一種穿隧電流由一電晶體之通道流至所屬的浮動閘極且由另一電晶體之浮動閘極流至其所屬的通道。

在寫入過程結束時，依據上述的例子第一電晶體 40 之浮動閘極 44 充電成正電位，且第二電晶體 50 之浮動閘極 54 充電成負電位。

在讀出模式時，此控制信號 VWELL 切換至電源電壓 VCC，此控制信號 WE 處於接地電位且第二對電晶體導通，第二對電晶體中的電晶體 20 和 30 是與第一電源電壓端 12 相連接。此電晶體(其浮動閘極充電成正電位)未導通，此電晶體(其浮動閘極充電成負電位)則導通。在上述之例子中，當控制信號 WE 處於接地電位且控制信號 VWELL 是與電源電壓 VCC 相連接時，則電晶體 20 和 30 導通。第二電晶體 50 導通且第一電晶體 40 未導通。流經第二電晶體 50 之電流使第二資料端 I2/O2 上的節點 16 充電成正電位，第五電晶體 60 因此導通。電晶體 50 之控制-閘極 55 因此被導引至接地位準，此乃因電晶體 40 未導通。當控制-閘極 55 處於接地位準時，電晶體 70 未導通，且第一電源端 12 上之整個

電壓 VCC 施加至控制 - 閘極 45。

若該浮動閘極另外來回充電，此時資料端 I1/O1 和 I2/O2 上的輸入信號須切換，則在讀出模式時亦會產生相反之信號狀態而成爲資料端 I1/O1 和 I2/O2 上的輸出信號。

第 3，4 圖是本發明的電路配置的另一形式。第一和第二資料端 I1/O1 和 I2/O2 在依據第 1，2 圖之形式而形成時具有資料輸入和輸出的功能，在第 3，4 圖中設有其它相隔開的資料端。各資料端(其與浮動閘極 - 電晶體 40 和 50 之資料端相連接且在第 1，2 圖中是以 I1/O1 和 I2/O2 來表示)在下述之記憶體元件中只具有資料輸入的功能且因此在本實施例中亦稱爲輸入端以及以參考符號 I1 和 I2 來表示，另設有各別的資料端 O1 和 O2，其形成資料輸出端且以下亦稱爲輸出端。因此，各輸出端 O1 和 O2 可與程式化電壓 VPP 相分離。

在以上二種電路配置中，設有另一第四電晶體，其由 p-通道 - 電晶體 80 和 90 構成。在與第二對電晶體(其具有電晶體 20 和 30，其使浮動閘極 - 電晶體 40 和 50 由第一電源電壓端 12 上的電源電壓隔開)相比較時，電晶體 80 和 90 以類似的方式配置著。電晶體 80 和 90 之閘極端互相連接且同樣由該控制信號 WE(其經由控制信號線 14 而傳送)來控制。此二個電晶體的井端互相連接且同樣由控制信號 VWELL(其經由控制信號線來傳送)來控制。此二個電晶體的源極端是與交叉耦合之浮動閘極 - 電晶體 40 和 50 之汲極端相連接。電晶體 80 和 90 之汲極端是與交叉耦合之 n-通道 - 電晶體 60 和 70 之汲極端相連接。

在寫入模式時，各控制信號 WE 和 VWELL 處於程式化電壓 VPP 之位準且具有電晶體 20，30，80 和 90 之第二對和第四對電晶體未導通。交叉耦合之浮動閘極-電晶體 40 和 50 完全與第一電源電壓節點 12 上的電源電壓 VCC 相隔開。此外，電晶體 40 和 50 亦與輸出信號端 O1 和 O2 相隔開。此二個輸入端 I1 和 I2 上的電壓須由外部來決定，已如上所述。利用該程式化電壓 VPP 所隔開的各輸出端，則可使交叉耦合之 n-通道-電晶體 60 和 70 以標準-低電壓電晶體來實現，這些電晶體因此能以一種基本製程來製成。輸出端 O1 和 O2 上的輸出位準通常位於接地和電源電壓之間之低電壓範圍中。連接至記憶體元件之各輸出端上的邏輯模組因此能以標準-邏輯閘來實現，其同樣亦能以基本製程來製成。

第 4 圖中增加二個輸入端 I3 和 I4。在寫入模式時此輸入端 I3 以低歐姆與輸入端 I1 相連接且此輸入端 I4 亦以低歐姆而與輸入端 I2 相連接。在讀出模式時二個輸入端處於一種浮動電位中。

第 5 圖是本發明另一永久性記憶體元件之電路圖，其具有一預充電裝置，以形成本發明的記憶體元件。在與第 4 圖之電路相比較下，第 5 圖中設有另一 n-通道電晶體 100。此電晶體之汲極端是與輸出端 O2 相連接且源極端是與輸出端 O1 相連接。閘極經由第二控制信號線 9 而被施加一種第二控制信號 WE_LV，其同樣由外部控制單元所產生。各控制信號 WE 和 WE_LV 以及輸出端 O1 和 O2 上之各信號之時間曲線顯示在第 6 圖中。

在寫入模式時，此控制信號 WE_LV 處於電源電壓 VCC

之位準，電晶體 100 導通且各輸出端 O1 和 O2 以低歐姆而互相連接。因此，此二個輸出端 O1 和 O2 具有相同的電位。如第 4 圖所示，資料儲存在永久性記憶體中。爲了由寫入模式切換至讀出模式中，則信號 WE 須處於接地電位，該控制信號 VWELL 須處於電源電壓 VCC 之位準且第二對和第四對電晶體之電晶體 20，30，80 和 90 導通。浮動閘極-電晶體 40 充電成正電位且電晶體 50 充電成負電位。浮動閘極-電晶體 50 因此導通且各輸出端 O1 和 O2 上的電位上升。具有電晶體 60 和 70 之此對交叉耦合之電晶體因此會導通。第二控制信號 WE_LV 在小量的延遲時間下被導引至接地位準。n-通道-電晶體 60 之閘極以 VCC 來控制且輸出端 O1 因此成爲接地電位。藉由此成爲接地電位之輸出端 O1，則 n-通道-電晶體 70 不會導通且第二輸出端 O2 上升至 VCC。

利用上述之電路配置，則電晶體 40 和 50 之浮動閘極上很小的電荷差可被算出。因此，依據本實施形式以形成一記憶體元件時可使讀出速率提高。

第 7 圖是本發明之電路配置的一實施例，其具有一種時間上可自我控制之配件以形成一記憶體元件，其能以很簡單的方式來決定信號在其輸出端上的變化。在與第 4 圖相比較時，第 7 圖之永久性記憶體元件同樣對浮動閘極上小的電荷差具有敏感性。第 5 圖和第 7 圖之電路配置之間的比較結果顯示：第 7 圖中另設有二個 n-通道-電晶體 110 和 120。未設置第九電晶體 100。電晶體 120 之汲極端是與輸出端 O1 相連接且源極端是與接地相連接。電晶體 110 之汲極端是與輸出端 O2 相連接且源極端是與接地相連接。此二

個電晶體 110 和 120 之閘極端經由第二控制信號線 9 而被施加第二控制信號 WE_LV。

在寫入模式時，此控制信號 WE_LV 處於電源電壓 VCC 之位準，此二個電晶體 110 和 120 導通且各輸出端處於接地位準。資料以第 4 圖所述之方式寫入至記憶體元件中。在上述之例子中，浮動閘極-電晶體 50 充電成負電位且電晶體 40 之浮動閘極充電成正電位。

在一寫入脈波結束時，信號 WE 處於接地電位之位準，信號 VWELL 處於電源電位之位準。具有電晶體 20，30，80 和 90 之第二對和第四對電晶體導通。當第二控制信號 WE_LV 處於 VCC 時，浮動閘極-電晶體 40 和 50 之各別之汲極端和閘極端上的電位處於接地電位。電晶體 50 導通且電晶體 40 未導通。

第 8 圖是一種在時間上可形成自我控制之電路。永久性記憶體元件之二個輸出信號連接至單一的或閘 200。當二個輸入信號是 0 時，此或閘 200 之輸出信號是 0。

在一寫入脈波結束時當第一控制信號 WE 成為接地電位且第三控制信號處於電源電壓之位準之後，在短暫的延遲之後第二控制信號 WE_LV 亦處於接地電位。時間上的曲線顯示在第 9 圖中。第二輸出端 O2 上的電壓因此上升至 VCC，第一輸出端 O1 上的電壓則下降至接地位準。這樣會使該或閘之輸出信號由 0 切換至 1，此乃因其中一輸出信號位於 1 且另一輸出信號位於 0。因此，上述記憶體元件之輸出端上的信號變化即可確定。

在已儲存的資料已傳送至一種與記憶體元件相連接之標

準-正反器 210 之後，可使用上述事實使永久性記憶體元件切換至省電流模式。例如，或閘 200 之輸出信號觸發一種正反器 210，其接管此永久性記憶體元件之資料，如第 8 圖所示。

爲了說明上述之作用方式，假設第一輸出端 O1 之位準位於 0 且第二輸出端 O2 之位準位於 1。對應於已連接的輸出端 O2 而施加 1 至正反器 210 之 D-輸入端 211。此記憶體元件之二個輸出信號藉由或閘 200 而相結合，使得記憶體元件之二個輸出信號藉由或閘 200 而改變時可產生一種邊緣上升之信號，其被導引至正反器 210 之時脈輸入端以作爲時脈信號。由於或閘 200 之切換上的延遲，時脈信號在時間上是在輸入端 211 上的資料信號之後才到達時脈輸入端 212。正反器 210 因此可明確地設定。

在正反器 210 之輸出端 213 上是 1 時，在輸入端 I1 和 I3 上存在著 1，各輸入端 I2 和 I4 則獲得 0。這對應於原來的程式化情況，使記憶體元件之狀態保持著。

在資料儲存在正反器 210 中之後，永久性記憶體元件進入省電流模式中。此時第一控制信號 WE 和第三控制信號 VWELL 處於電源電壓 VCC 之位準，各電晶體 20，30，80 和 90 因此未導通且各浮動閘極-電晶體 40 和 50 是與電源電壓 VCC 相隔開。此外，各電晶體 40 和 50 是與輸出端 O1 和 O2 相隔開。當第二控制信號 WE_LV 來到 VCC 位準時，二個 n-通道-電晶體 110 和 120 導通且各輸出端 O1 和 O2 上的電位處於接地電位。控制信號 WE 和控制信號 WE_LV 之位準因此對應於寫入模式時之位準。

正反器 210 之輸出端 213 是與輸入端 I1 和 I3 相連接。正反器 210 之互補之輸出端 214 是與輸入端 I2 和 I4 相連接。第 8 圖所示的開關 220 和 230 因此閉合。在上述的省電流模式中，永久性記憶體元件只消耗一種漏電流。

當已改變的資料應寫入記憶體元件中時，則省電流模式結束。於是，開關 220 和 230 首先斷開，以防止一種寫入用的高電壓(其施加至記憶體元件之各輸入端 I1, I2, I3 或 I4)到達正反器 210 之輸出端 213 和 214。然後，寫入新的資料，如上所述。

開關 220 和 230 用的控制信號就像各控制信號 WE, VWELL, WE_LV 一樣是由外部控制單元所提供。

除了上述之正反器 210 之設計方式之外，另一方式是當然亦可使第三資料端 O1 與正反器 210 之資料輸出端 211 相連接。此時輸出端 213 和 214 之連接須互換。

爲了明白該省電流模式之其它優點，則在正規之讀出模式中和省電流模式中觀察該電壓比(ratio)是重要的。在省電流模式中，電晶體 50 之控制-閘極 55(其與節點 18 相連接)處於電源電壓 VCC 之位準，且通道區是與接地相連接。浮動閘極 54 之電荷對應於其上述例子的程式化情況下保持著負電荷，甚至當浮動閘極由於一種閘極-通道-漏電流在一種長的時段放電至 VCC 時亦如此。電晶體 40 之控制-閘極(其與節點 16 相連接)處於接地電位且通道區處於 VCC 之位準。電晶體 40 之浮動閘極 44 上的電荷仍爲正電荷，當此浮動閘極在一長的時段之後藉由漏電流而放電至接地位準時。原來的程式化資料在省電流模式中儘管有漏電流和溫

度負載仍可保持著。

在正規的讀出模式時，電晶體 50 之控制-閘極 55 處於接地位準且通道區處於 VCC 位準。電晶體 50 之浮動閘極上的電荷由於閘極和通道之間的漏電流而在一長的時段之後成為正電荷。但此浮動閘極 54 在上述例子中原來是以負電荷來進行程式化。電晶體 40 之控制-閘極 45 處於 VCC 位準且通道區處於接地位準。浮動閘極 44 之電荷在一段長的時段之後由於閘極-通道-漏電流而成為負電荷，但其原來是以正電荷來進行程式化。這樣會由於閘極-通道-漏電流和溫度負載而使原來的程式化狀態反轉，所儲存的資料因此會丟失。

相對於正規化的讀出模式而言，省電流模式中對資料保持一段長的時間因此不會有問題。

本發明的各實施例和應用已針對標準-CMOS-n-基板-製程來描述。但亦可以 p-基板-CMOS 製程來製造記憶體元件而成為 n-通道-浮動閘極-電晶體。本發明的全部之實施例可簡單地調整，以便在 p-基板製程中獲得同樣的功能。

【圖式簡單說明】

第 1，2 圖本發明之永久性記憶體元件之電路圖，其浮動閘極-電晶體是與正電源電壓相隔開。

第 3，4 圖本發明另一永久性記憶體元件之電路圖，其浮動閘極-電晶體另外與資料輸出端相隔開。

第 5 圖本發明另一永久性記憶體元件之電路圖，其具有一預充電裝置。

第 6 圖一種信號圖，其中顯示第 5 圖之電路之各信號的形式。

第 7 圖本發明另一永久性記憶體元件之電路圖，其具有一種在寫入模式時輸出位準用的控制端。

第 8 圖一種在時間上可形成自我控制之配置，其具有或閘，正反器和第 7 圖之記憶體元件。

第 9 圖一種信號圖，其中顯示第 8 圖之電路之各信號的形式。

【主要元件符號說明】

5	第三控制信號線
9	第二控制信號線
10	第二電源電壓端
12	第一電源電壓端
14	第一控制信號線
16，18	節點
20，30，40，50，60，70，80，90，100，110，120	電晶體
44，54	浮動閘極
200	邏輯閘
201	邏輯閘之第一輸入端
202	邏輯閘之第二輸入端
203	邏輯閘之輸出端
210	正反器
211	正反器之資料輸入端
212	正反器之時脈輸入端
213	正反器之第一輸出端
214	正反器之第二輸出端

I281162

220 , 230	開 關
I1 / 01 , I2 / 02	資 料 端
I1 ... I4	資 料 端
01 , 02	資 料 端
WE	第 一 控 制 信 號
WE_LV	第 二 控 制 信 號
VWELL	第 三 控 制 信 號

五、中文發明摘要：

本發明涉及一種永久性記憶體元件，包括：資料端(I1/O1, I2/O2/)，第一導電型之二個 MOS-電晶體(60, 70)，其源極端是與第二電源電壓端(10)相連接，MOS-電晶體(60)之汲極端是與資料端(I1/O1)相連接且 MOS-電晶體(70)之汲極端是與資料端(I2/O2)相連接，其中 MOS-電晶體(60, 70)形成交叉耦合。此外，設有二個交叉耦合之第二導電型之浮動閘極-MOS-電晶體(40, 50)，其中 MOS-電晶體(40)之汲極端是與資料端(I1/O1)相連接且 MOS-電晶體(50)之汲極端是與資料端(I2/O2)相連接。又，設有二個第二導電型之 MOS-電晶體(20, 30)，其源極端是與第一電源電壓端(12)相連接，其閘極端是與第一共同連接線(14)相連接，其井端是與第三共同控制線(5)相連接，其中 MOS-電晶體(20)之汲極端是與 MOS-電晶體(50)之源極端相連接，MOS-電晶體(30)之汲極端是與 MOS-電晶體(50)之源極端相連接。

六、英文發明摘要：

This invention relates to a non-volatile memory-element including data-terminals (I1/O1, I2/O2), two MOS-transistors (60, 70) of a first conductive type, whose source terminals are connected with a second voltage-supply terminal (10), where a drain-terminal of the MOS-transistor (60) is connected with the data-terminal (I1/O1) and a drain-terminal of the MOS-transistor (70) is connected with the data-terminal (I2/O2), and where the MOS-transistors (60, 70) are cross-coupled. In addition, two cross-coupled floating-gate MOS-transistors (40, 50) of the second conductive type are provided, where a drain-terminal of the MOS-transistor (40) is connected with the data-terminal (I1/O1) and a drain-terminal of the MOS-transistor (50) is connected with the data-terminal (I2/O2). In addition, two MOS-transistors (20, 30) of the second conductive type are provided, whose source terminals are connected with a first voltage-supply terminal (12), whose gate terminals are connected with a first common connection-line (14) and whose well-terminals are connected with a third common control-line (5), where a drain terminal of the MOS-transistor (20) is connected with the source terminal of the MOS-transistor (50), and a drain terminal of the MOS-transistor (30) is connected with the source terminal of the MOS-transistor (50).

十、申請專利範圍：

1. 一種永久性記憶體元件，包括：

- 第一和第二資料端(I1/O1, I2/O2; I1, I2)，
- 第一導電型之第一和第二 MOS-電晶體(60, 70)，
 - 其源極端是與第二電源電壓端(10)相連接，
 - 第一 MOS-電晶體(60)之汲極端是與第一資料端(I1/O1; I1)相連接且第二 MOS-電晶體(70)之汲極端是與第二資料端(I2/O2; I2)相連接，以及
 - 第一和第二 MOS-電晶體(60, 70)具有交叉耦合之至另一 MOS-電晶體(70, 60)之汲極端之閘極端，
- 第二導電型之第三和第四浮動閘極-MOS-電晶體(40, 50)，
 - 第三 MOS-電晶體(40)之汲極端是與第一資料端(I1/O1; I1)相連接且第四 MOS-電晶體(50)之汲極端是與第二資料端(I2/O2; I2)相連接，
 - 第三和第四 MOS-電晶體(40, 50)具有控制-閘極端(45, 55)，其交叉耦合至另一 MOS-電晶體(50, 40)之汲極端，
- 第二導電型之第五和第六 MOS-電晶體(20, 30)，
 - 其源極端是與第一電源電壓端(12)相連接，以及
 - 其閘極端是與第一共同連接線(14)相連接，
 - 其井端是與第三共同控制線(5)相連接，
 - 其中第五 MOS-電晶體(20)之汲極端是與第三 MOS-電晶體(50)之源極端相連接，第六 MOS-電晶體(30)之汲極端是與第四 MOS-電晶體(50)之源極端相連接。

2.如申請專利範圍第 1 項之永久性記憶體元件，其中

- 設有第二導電型之第七和第八 MOS-電晶體(80，90)，其閘極端是與第一共同連接線(14)相連接，其井端是與第三共同控制線(5)相連接，
- 第七 MOS-電晶體(80)以其負載端連接在第一資料端(I1)和第一 MOS-電晶體(60)之汲極端之間，
- 第八 MOS-電晶體(90)以其負載端連接在第二資料端(I2)和第二 MOS-電晶體(70)之汲極端之間，
- 第一 MOS-電晶體(60)之汲極端是與第三資料端(O1)相連接，第三資料端(O1)形成資料輸出端，
- 第二 MOS-電晶體(70)之汲極端是與第四資料端(O2)相連接，第四資料端(O2)形成資料輸出端。

3.如申請專利範圍第 1 或 2 項之永久性記憶體元件，其中第三 MOS-電晶體(40)之源極端是與第五資料端(I3)相連接且第四 MOS-電晶體(50)之源極端是與第六資料端(I4)相連接。

4.如申請專利範圍第 2 項之永久性記憶體元件，其中設有第一導電型之第九 MOS-電晶體(100)，其汲極端是與第三資料端(O1)相連接，其源汲端是與第四資料端(O2)相連接且其閘極端是與第二共同連接線(9)相連接。

5.如申請專利範圍第 2 項之永久性記憶體元件，其中設有第一導電型之第十和第十一 MOS-電晶體(120，110)，

- 其源極端是與第一電源電壓端(10)相連接，
- 其閘極端是與第二共同連接線(9)相連接，

-第十 MOS-電晶體(120)之汲極端是與第三資料端(O1)相連接，第十一 MOS-電晶體(110)之汲極端是與第四資料端(O2)相連接。

6.一種具有如申請專利範圍第 2 或 5 項之永久性記憶體元件和一邏輯閘(200)之配置，此邏輯閘(200)之輸入端是與第三和第四資料端(O1，O2)相連接，其中藉由此邏輯閘(200)可確定第三和第四資料端(O1，O2)上之輸出信號的變化。

7.一種具有如申請專利範圍第 3 項之永久性記憶體元件和一邏輯閘(200)之配置，此邏輯閘(200)之輸入端是與第三和第四資料端(O1，O2)相連接，其中藉由此邏輯閘(200)可確定第三和第四資料端(O1，O2)上之輸出信號的變化。

8.如申請專利範圍第 6 項之配置，其中

-設有正反器(210)，

-第四資料端(O2)是與正反器(210)之一資料輸入端(211)相連接，

-邏輯閘(200)之輸出端(203)是與正反器(210)之時脈輸入端(212)相連接，

-正反器(210)之第一輸出端(213)經由第一開關(220)而與此永久性記憶體元件之第一和第五資料端(I1，I3)相連接，

-正反器(210)之互補之第二輸出端(214)經由第二開關(230)而與此永久性記憶體元件之第二和第六資料端(I2，I4)相連接。

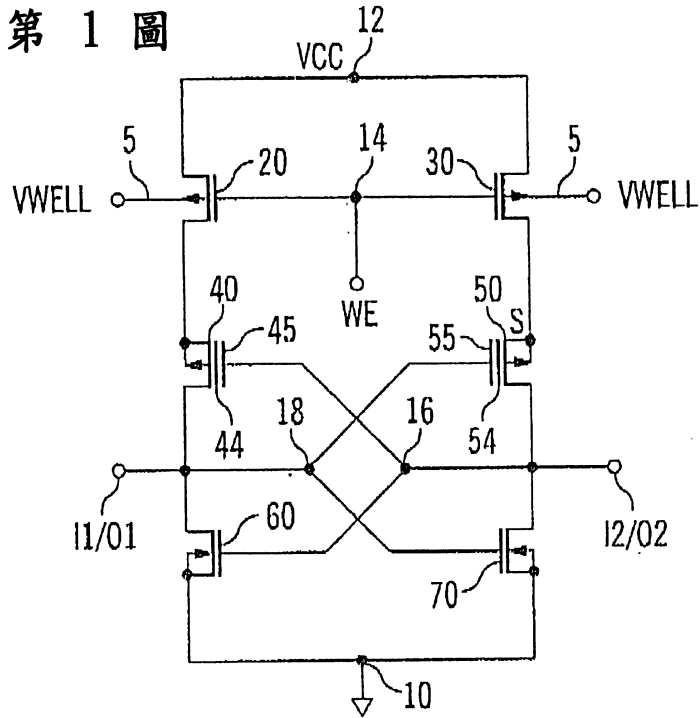
9.如申請專利範圍第 7 項之配置，其中

-設有正反器(210)，

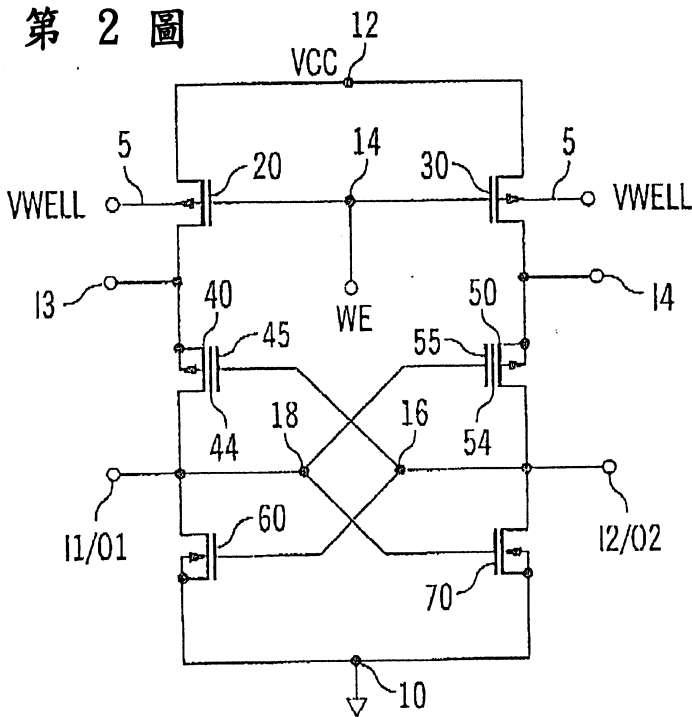
- 第四資料端(O2)是與正反器(210)之一資料輸入端(211)相連接，
- 邏輯閘(200)之輸出端(203)是與正反器(210)之時脈輸入端(212)相連接，
- 正反器(210)之第一輸出端(213)經由第一開關(220)而與此永久性記憶體元件之第一和第五資料端(I1, I3)相連接，
- 正反器(210)之互補之第二輸出端(214)經由第二開關(230)而與此永久性記憶元件之第二和第六資料端(I2, I4)相連接。

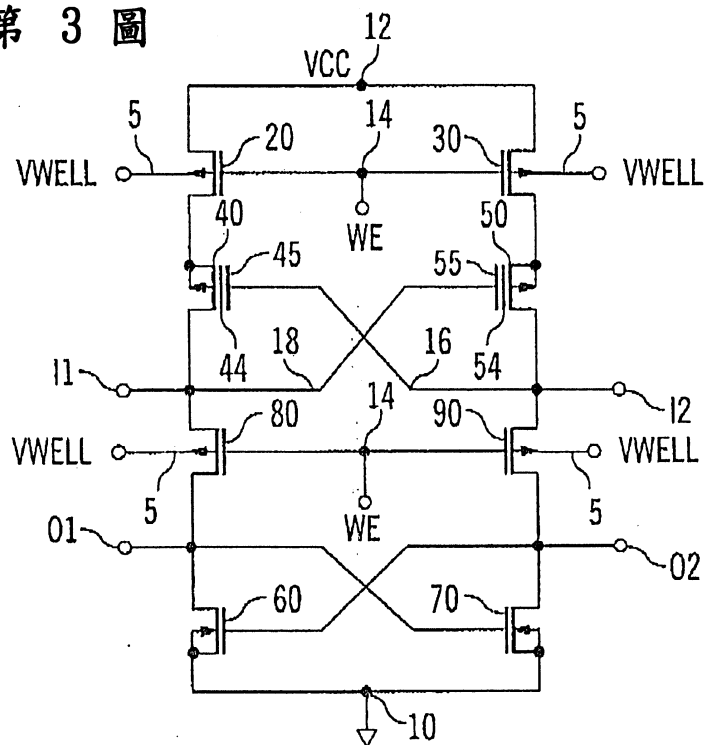
1/6

第 1 圖

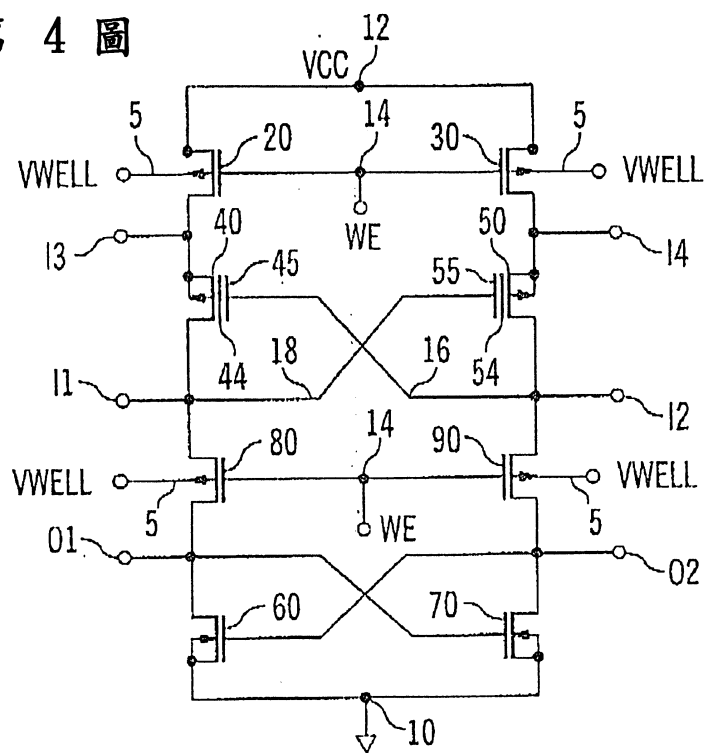


第 2 圖

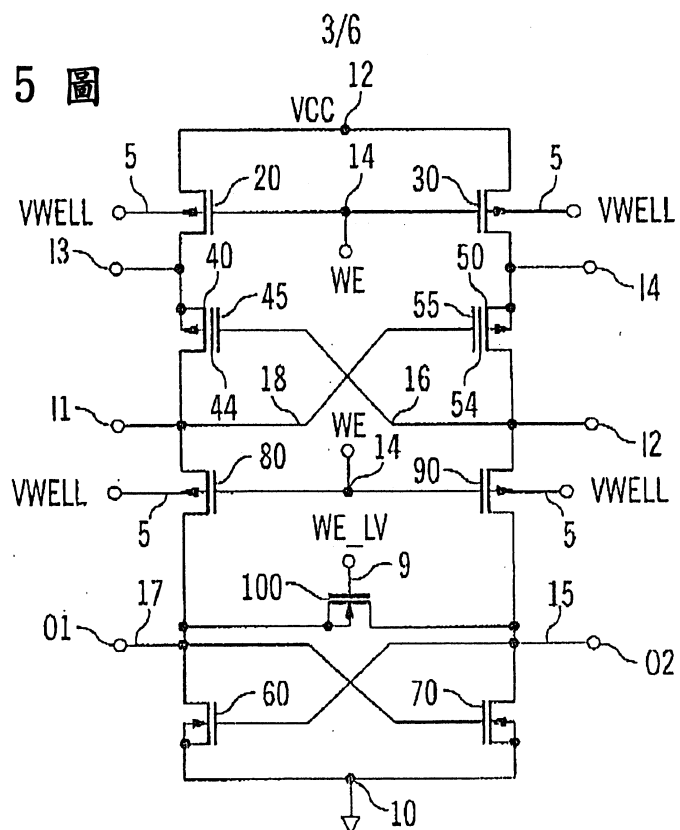




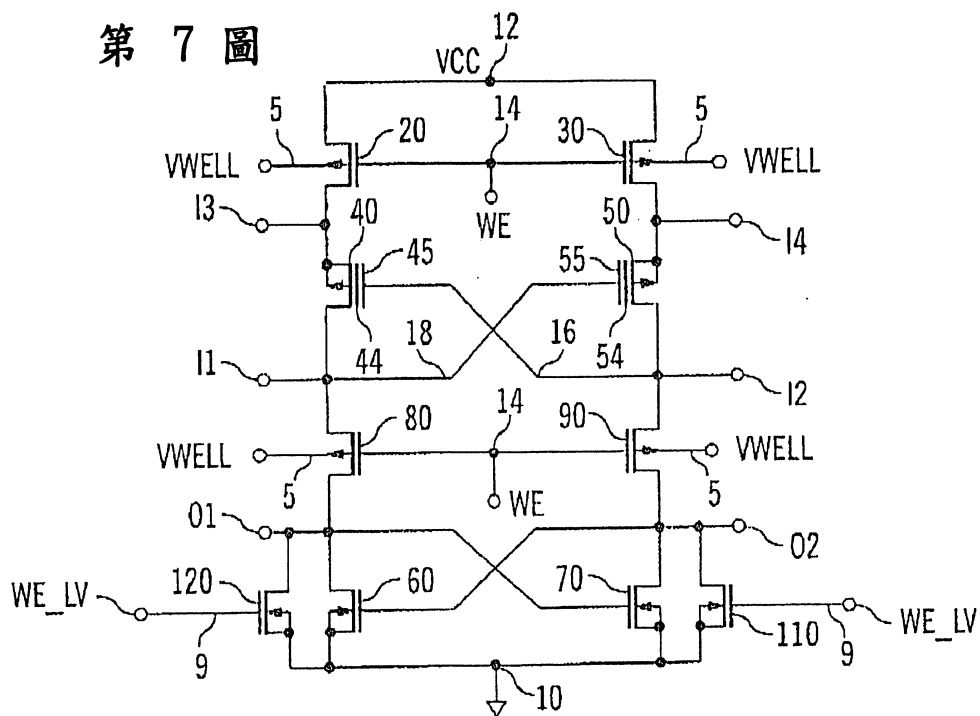
第 4 圖



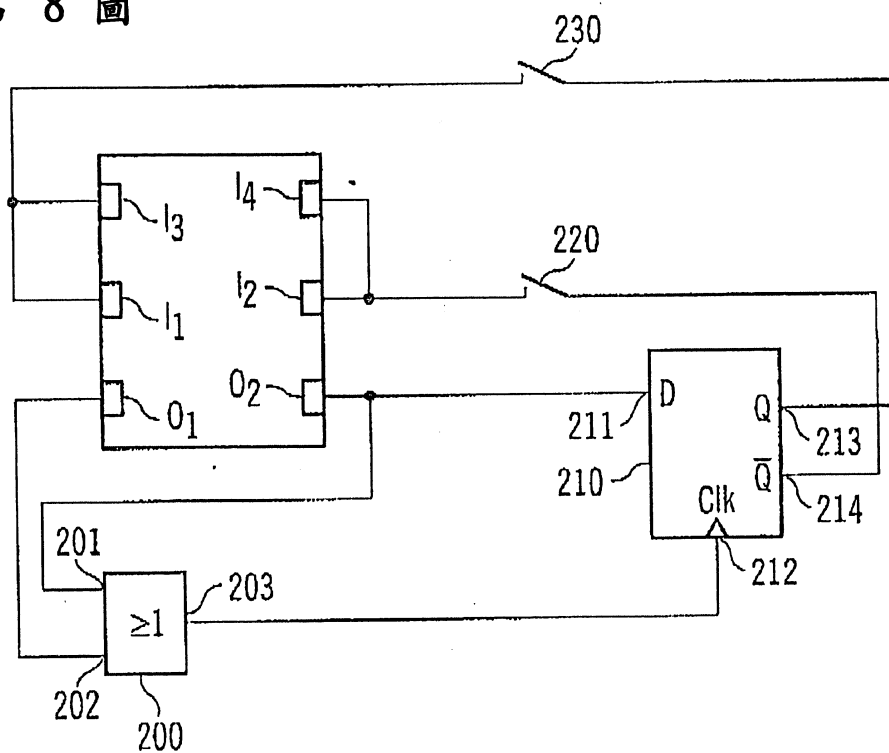
第 5 圖



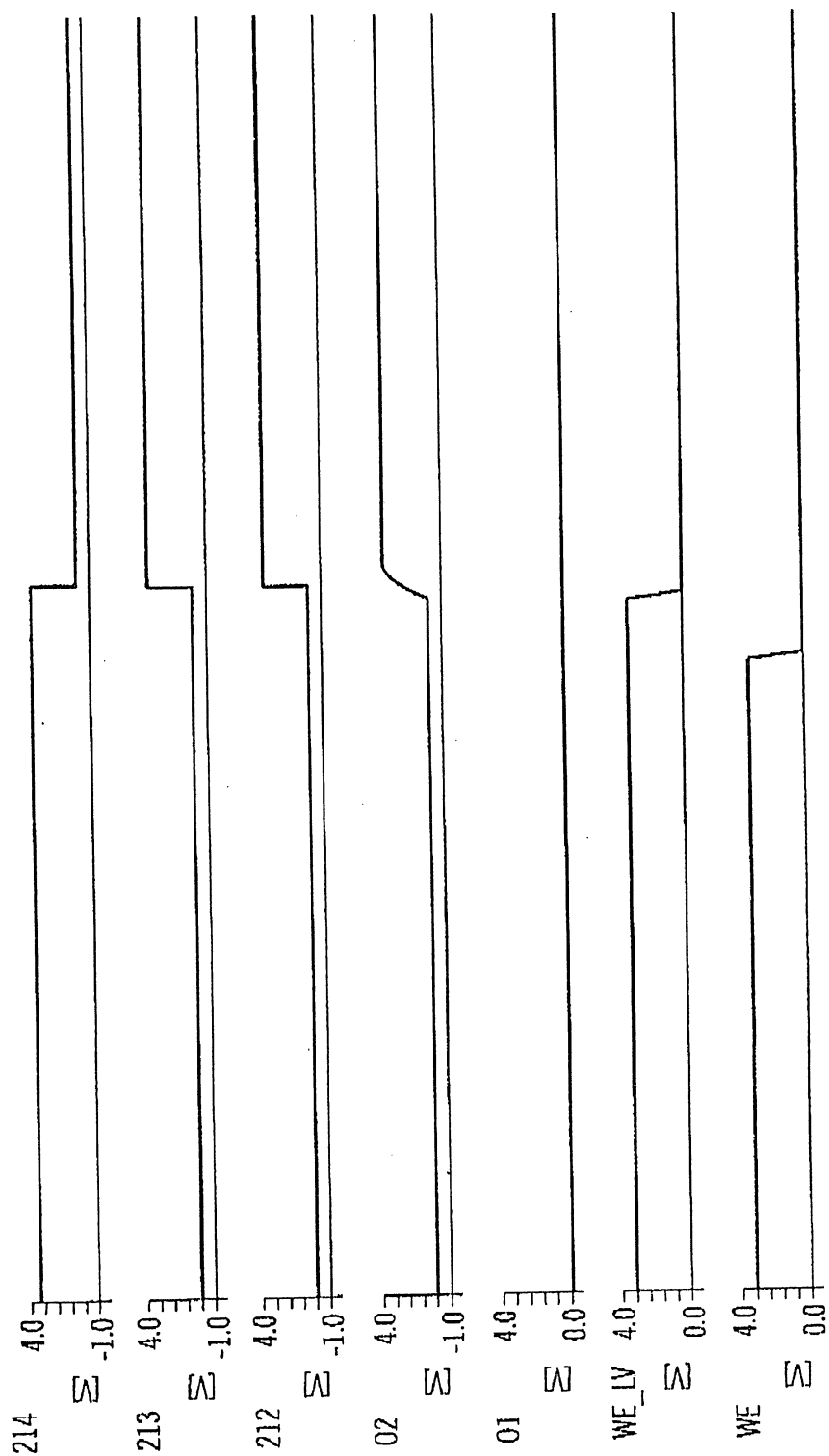
第 7 圖



第 8 圖



第 9 圖



七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

5	第三控制信號線
10	第二電源電壓端
12	第一電源電壓端
14	第一控制信號線
16，18	節點
20，30，40，50，60，70	電晶體
44，54	浮動閘極
I1/O1,I2/O2	資料端
WE	第一控制信號
VWELL	第三控制信號

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

第 6 圖

