



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I791105 B

(45) 公告日：中華民國 112 (2023) 年 02 月 01 日

(21) 申請案號：108112653

(22) 申請日：中華民國 105 (2016) 年 03 月 11 日

(51) Int. Cl. : G11C16/06 (2006.01)

G11C7/12 (2006.01)

(30) 優先權：2015/10/29 日本

2015-213299

(71) 申請人：日商鎧俠股份有限公司 (日本) KIOXIA CORPORATION (JP)

日本

(72) 發明人：平嶋康伯 HIRASHIMA, YASUHIRO (JP) ; 小柳勝 KOYANAGI, MASARU (JP)

(74) 代理人：陳長文

(56) 參考文獻：

US 6026016

US 2015/0109869A1

審查人員：李京叡

申請專利範圍項數：10 項 圖式數：28 共 76 頁

(54) 名稱

記憶體系統

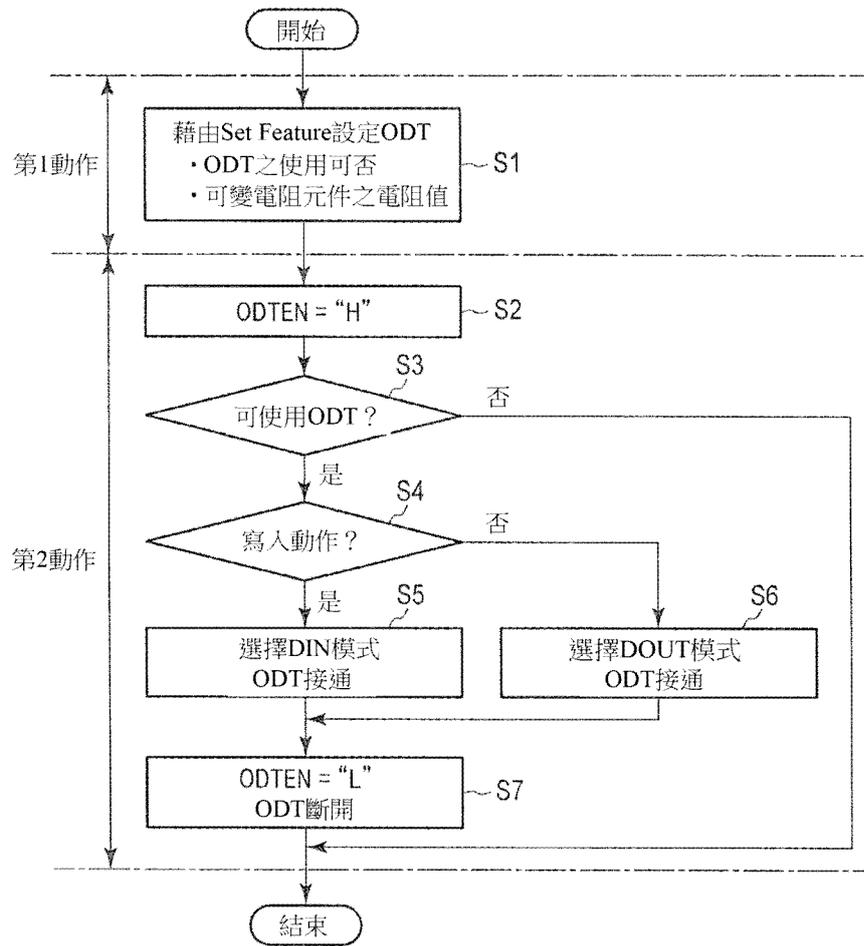
(57) 摘要

本發明之實施形態提供一種可提高處理能力之非揮發性半導體記憶裝置及記憶體系統。實施形態之記憶體系統 1 包括第 1 非揮發性半導體記憶裝置 10 與控制器 100。第 1 非揮發性半導體記憶裝置 10 包含：第 1 電路 60，其連接於接收第 2 信號 REn 之第 1 端子；及第 2 電路 52，其根據第 1 信號 ODTEN 而控制第 1 電路 60。第 2 電路 52 於當切換第 1 信號 ODTEN 之邏輯位準之際，於第 2 信號 REn 為第 1 邏輯(“H”)位準之情形時，將第 1 及第 2 開關元件 61 及 62 斷開，且於第 2 信號 REn 為第 2 邏輯(“L”)位準之情形時，將第 1 及第 2 開關元件 61 及 62 接通。

指定代表圖：

符號簡單說明：

S1~S7 . . . 步驟



【圖6】



I791105

## 【發明摘要】

### 【中文發明名稱】

記憶體系統

### 【中文】

本發明之實施形態提供一種可提高處理能力之非揮發性半導體記憶裝置及記憶體系統。實施形態之記憶體系統1包括第1非揮發性半導體記憶裝置10與控制器100。第1非揮發性半導體記憶裝置10包含：第1電路60，其連接於接收第2信號REn之第1端子；及第2電路52，其根據第1信號ODTEN而控制第1電路60。第2電路52於當切換第1信號ODTEN之邏輯位準之際，於第2信號REn為第1邏輯(“H”)位準之情形時，將第1及第2開關元件61及62斷開，且於第2信號REn為第2邏輯(“L”)位準之情形時，將第1及第2開關元件61及62接通。

### 【指定代表圖】

圖6

### 【代表圖之符號簡單說明】

S1～S7 步驟

## 【發明說明書】

### 【中文發明名稱】

記憶體系統

### 【技術領域】

本發明之實施形態係關於一種非揮發性半導體記憶裝置及記憶體系統。

### 【先前技術】

作為非揮發性半導體記憶裝置，已知有NAND(Not AND，與非)型快閃記憶體。

### 【發明內容】

本發明之實施形態提供一種可提高處理能力之非揮發性半導體記憶裝置及記憶體系統。

實施形態之記憶體系統包括第1非揮發性半導體記憶裝置與控制器。控制器可將第1信號及控制讀出動作中讀出資訊之時序之第2信號發送至第1非揮發性半導體記憶裝置。第1非揮發性半導體記憶裝置包含：第1端子，其連接於控制器，且接收第2信號；第1電路，其包含連接於第1端子之第1及第2電阻元件、將第1電阻元件與電源電壓線電性連接之第1開關元件、及將第2電阻元件與接地電壓線電性連接之第2開關元件；及第2電路，其使用第1信號控制第1電路。第2電路於當切換第1信號之邏輯位準之際，於第2信號處於第1邏輯位準之情形時，將第1及第2開關元件斷開，且於第2信號處於第2邏輯位準之情形時，將第1及第2開關元件接通。

### 【圖式簡單說明】

圖1係第1實施形態之記憶體系統之框圖。

圖2係第1實施形態之非揮發性半導體記憶裝置之剖視圖。

圖3係第1實施形態之非揮發性半導體記憶裝置之框圖。

圖4係模式性地表示第1實施形態之非揮發性半導體記憶裝置中之輸入輸出端子與輸入輸出控制電路之連接之電路圖。

圖5係模式性地表示第1實施形態之非揮發性半導體記憶裝置中之輸入輸出端子與邏輯電路之連接之電路圖。

圖6係表示第1實施形態之記憶體系統中之ODT電路之控制之流程圖。

圖7係表示第1實施形態之記憶體系統中之ODT電路之控制模式與各種控制信號之邏輯狀態之關係之圖。

圖8係第1實施形態之記憶體系統中之Set Feature時之各種信號之時序圖。

圖9係第1實施形態之記憶體系統中之寫入動作時之各種信號之時序圖。

圖10係第1實施形態之記憶體系統中之讀出動作時之各種信號之時序圖。

圖11係表示第1實施形態之記憶體系統中之各種控制信號與ODT電路之動作時序之關係之時序圖。

圖12係第2實施形態之非揮發性半導體記憶裝置之剖視圖。

圖13係第2實施形態之非揮發性半導體記憶裝置中之記憶體晶片之框圖。

圖14係表示第3實施形態之記憶體系統中之ODT電路之控制模式與各

種控制信號之邏輯狀態之關係之圖。

圖15係第3實施形態之記憶體系統中之寫入動作時之各種信號之時序圖。

圖16係第3實施形態之記憶體系統中之讀出動作時之各種信號之時序圖。

圖17係表示第3實施形態之記憶體系統中之各種控制信號與ODT電路之動作時序之關係之時序圖。

圖18係表示第4實施形態之記憶體系統中之ODT電路之控制模式與各種控制信號之邏輯狀態之關係之圖。

圖19係表示第4實施形態之記憶體系統中之各種控制信號與ODT電路之動作時序之關係之時序圖。

圖20係表示第5實施形態之第1例之非揮發性半導體記憶裝置之動作狀態與寫入保護信號之關係之表格。

圖21係表示第5實施形態之第2例之記憶體系統中之ODT電路之控制模式與各種控制信號之邏輯狀態之關係之圖。

圖22係第5實施形態之第2例之記憶體系統中之寫入動作時之各種信號之時序圖。

圖23係第5實施形態之第2例之記憶體系統中之讀出動作時之各種信號之時序圖。

圖24係表示第5實施形態之第2例之記憶體系統中之各種控制信號與ODT電路之動作時序之關係之時序圖。

圖25係表示第6實施形態之記憶體系統中之ODT電路之控制模式與各種控制信號之邏輯狀態之關係之圖。

圖26係第6實施形態之自記憶體系統中之ODT電路斷開後至轉變為寫入保護狀態為止之時序圖。

圖27係表示第7實施形態之記憶體系統中之第1動作與第2動作之關係之圖。

圖28係表示第8實施形態之記憶體系統中之ODT之動作對象之說明圖。

### 【實施方式】

#### [相關申請案]

本申請案享有以日本專利申請案2015-213299號(申請日：2015年10月29日)為基礎申請案之優先權。本申請案藉由參照該基礎申請案而包含基礎申請案之全部內容。

以下，參照附圖對實施形態進行說明。於該說明時，於所有圖中對共通之部分標註共通之參照符號。

#### 1.第1實施形態

對第1實施形態之非揮發性半導體記憶裝置及記憶體系統進行說明。以下，作為非揮發性半導體記憶裝置，列舉NAND型快閃記憶體為例進行說明。

##### 1.1關於構成

###### 1.1.1關於記憶體系統之整體構成

首先，利用圖1對本實施形態之記憶體系統之整體構成進行說明。

如圖1所示，記憶體系統1包括例如複數個記憶體10(10\_0、10\_1、10\_2、...)、及1個控制器100。

複數個記憶體10經由NAND匯流排而連接於控制器100。記憶體10為

非揮發性半導體記憶裝置，例如為NAND型快閃記憶體。記憶體10分別可包括複數個記憶體晶片。此處，記憶體10可使用任意之記憶體晶片，更具體而言，例如，可使用所有類型之NAND型快閃記憶體晶片。再者，於圖1中，記憶體10配置有3個，但並不限定於3個，可適當進行變更。再者，於本實施形態中，使用NAND型快閃記憶體作為非揮發性半導體記憶裝置，但並不限定於此。

控制器100連接於主機機器200。控制器100係根據例如來自主機機器200之指令而進行各記憶體10之控制或資訊之接收發送等。

### 1.1.2關於記憶體之構成

其次，利用圖2及圖3對記憶體10之構成進行說明。以下，對記憶體10\_0進行說明，但其他記憶體10(10\_1、10\_2、...)亦為相同之構成。

首先，對記憶體10\_0之剖面構成進行說明。

如圖2所示，記憶體10\_0包括封裝基板40、介面晶片20、及複數個(例如8個)記憶體晶片30(30a~30f)。例如介面晶片20及複數個記憶體晶片30利用塑模樹脂(未圖示)而密封於封裝基板40上。

封裝基板40安裝介面晶片20及記憶體晶片30。封裝基板40對記憶體晶片30及介面晶片20供給例如電源電壓VCC及接地電壓VSS。再者，封裝基板40於控制器100與介面晶片20之間傳輸資訊等。

介面晶片20於封裝基板40與各記憶體晶片30之間傳輸資訊等。

記憶體晶片30記憶來自控制器100之資訊等。再者，於圖2中，記憶體晶片30(30a~30f)積層有8個，但並不限定於8個，可適當進行變更。

其次，對記憶體10\_0之剖面構成更具體地進行說明。

於封裝基板(半導體基板)40之下表面設置有凸塊41。於非揮發性半

導體記憶裝置為BGA(Ball Grid Array，球柵陣列)封裝之情形時，凸塊41為焊球。封裝基板40經由凸塊41而與控制器100電性連接。

於封裝基板40之上表面設置有介面晶片(半導體晶片)20。

於介面晶片20及封裝基板40之上表面之上方設置有8個記憶體晶片30(30a~30f)。8個記憶體晶片30a~30h自下方側依次積層。於除最上層之記憶體晶片30h以外之各記憶體晶片30a~30g之各者設置有自其上表面到達至下表面之貫通電極(TSV：through silicon via，矽穿孔)31。而且，於鄰接之2個記憶體晶片30之間，用以將各記憶體晶片30之TSV31電性連接而設置有凸塊32。再者，最上層之記憶體晶片30h亦可包含TSV31。

於最下層之記憶體晶片30a之下表面上設置有配線33。於該配線33與介面晶片20之間設置有凸塊21。於配線33與封裝基板40之間設置有凸塊42。

其次，對介面晶片20及記憶體晶片30之構成進行說明。

如圖3所示，介面晶片20及各記憶體晶片30經由TSV31而連接。而且，各記憶體晶片30經由介面晶片20而與控制器接收發送資訊等。

記憶體晶片30包含用來記憶資訊等之記憶胞陣列53。例如，記憶體晶片30可為包含將記憶胞二維地配置於半導體基板上而成之記憶胞陣列53之平面型NAND型快閃記憶體，亦可為包含將記憶胞三維地配置於半導體基板上而成之記憶胞陣列53之三維積層型NAND型快閃記憶體。

再者，關於三維積層型NAND型快閃記憶體中之記憶胞陣列53之構成，例如記載於題為「三維積層非揮發性半導體記憶體(THREE DIMENSIONAL STACKED NONVOLATILE SEMICONDUCTOR MEMORY)」之於2009年3月19日提出申請之美國專利申請案12/407,403

號。再者，記載於題為「三維積層非揮發性半導體記憶體 (THREE DIMENSIONAL STACKED NONVOLATILE SEMICONDUCTOR MEMORY)」之於2009年3月18日提出申請之美國專利申請案12/406,524號、題為「非揮發性半導體記憶裝置及其製造方法 (NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE AND METHOD OF MANUFACTURING THE SAME)」之於2010年3月25日提出申請之美國專利申請案 12/679,991 號、題為「半導體記憶體及其製造方法 (SEMICONDUCTOR MEMORY AND METHOD FOR MANUFACTURING SAME)」之於2009年3月23日提出申請之美國專利申請案12/532,030號。該些專利申請案之全部內容藉由參照而引用於本申請案之說明書中。

介面晶片20包含輸入輸出控制電路50、邏輯電路51、及ODT(on die termination，片內終結器)控制電路52。再者，介面晶片20係用以與外部(控制器100)進行包含資訊之各信號之接收發送而包含與8位元之資料線DQ[7:0]、時鐘信號DQS、DQSn、讀出賦能信號RE、REn、晶片賦能信號CEn、指令鎖存賦能信號CLE、位址鎖存賦能信號ALE、寫入賦能信號WEn、寫入保護信號WPn、及ODT賦能信號ODTEN對應之複數個端子。

邏輯電路51自控制器100接收各控制信號、例如讀出賦能信號RE及REn、晶片賦能信號CEn、指令鎖存賦能信號CLE、位址鎖存賦能信號ALE、寫入賦能信號WEn、寫入保護信號WPn、以及ODT賦能信號ODTEN。邏輯電路51連接於與複數個控制信號對應之複數個端子。邏輯電路51包含連接於接收例如讀出賦能信號RE及REn之端子之未圖示之

ODT電路(詳細情形將於下文進行敘述)。ODT電路係於信號之輸入輸出中使於與外部(控制器100)之間產生之信號之反射終結之電路。再者，邏輯電路51將接收到之信號傳輸至ODT控制電路52。

晶片賦能信號CEn係用來對記憶體10賦能之信號，且以低(“L”)位準被斷言。指令鎖存賦能信號CLE係表示輸入輸出信號I/O為指令之信號，且以高(“H”)位準被斷言。位址鎖存賦能信號ALE係表示輸入輸出信號I/O為位址之信號，且以“H”位準被斷言。寫入賦能信號WEn係用來將接收到之信號擷取至記憶體10內之信號，且每當自控制器100接收到指令、位址、及資訊等時以“L”位準被斷言。由此，每當觸發WEn時，信號被擷取至記憶體10。讀出賦能信號RE及REn係用來使控制器100自記憶體10讀出各資訊之信號。讀出賦能信號REn係信號RE之反轉信號。例如，讀出賦能信號REn以“L”位準被斷言。寫入保護信號WPn係用來命令寫入動作之禁止之信號，且以“L”位準被斷言。ODT賦能信號ODTEN係控制記憶體10內之ODT電路之接通/斷開(ON/OFF)狀態之信號，且以“H”位準被斷言。

輸入輸出控制電路50和與資料線DQ[7：0]、以及時鐘信號DQS及DQSn對應之端子連接。輸入輸出控制電路50包含和與資料線DQ[7：0]、以及時鐘信號DQS及DQSn對應之端子連接之ODT電路。輸入輸出控制電路50係對於控制器100與記憶體10之間經由資料線DQ[7：0]接收發送之8位元之輸入輸出資料信號IO[7：0]、以及時鐘信號DQS及DQSn之輸入輸出進行控制。輸入輸出資訊信號IO[7：0]係8位元之資訊信號，包含各種指令、位址、資訊等。再者，輸入輸出資訊信號IO並不限定於8位元，可適當進行設定。時鐘信號DQS及DQSn係資訊之輸入輸出時所使用之時鐘

信號，時鐘信號DQSn係時鐘信號DQS之反轉信號。

以下，只要不特別限定，則各種信號係經由將控制器100與各記憶體10共通地連接之信號線(以下，稱為“共通信號線”)而接收發送。

再者，於本實施形態中，關於晶片賦能信號CE<sub>n</sub>、指令鎖存賦能信號CLE、位址鎖存賦能信號ALE、寫入賦能信號WE<sub>n</sub>、及ODT賦能信號ODTEN，既可使用共通信號線，亦可使用將控制器100與各記憶體10個別地連接之信號線(以下，稱為“個別信號線”)。

ODT控制電路52包含參數記憶部54。ODT控制電路52係根據記憶於參數記憶部54之參數之設定、及自邏輯電路51發送之ODT賦能信號及其他信號，而對輸入輸出控制電路50及邏輯電路51所包含之ODT電路進行控制。

參數記憶部54記憶與ODT電路相關之參數。再者，ODT控制電路52亦可不包含記憶區域，亦可將參數保存於其他記憶區域。

### 1.1.3關於ODT電路之構成

其次，利用圖4及圖5對ODT電路之構成進行說明。

首先，對輸入輸出控制電路50中所包含之ODT電路進行說明。

如圖4所示，輸入輸出控制電路50係針對所對應之每一端子而包含ODT電路60、輸入接收器64、及輸出驅動器65。

輸入接收器64係作為例如緩衝器發揮功能，將來自控制器100之輸入信號轉換為例如用來於記憶體10內進行處理之恰當之電壓位準而傳輸至介面晶片20內之其他電路、及記憶體晶片30。

輸出驅動器65係作為例如緩衝器發揮功能，將自記憶體晶片30傳輸之信號轉換為恰當之電壓位準而輸出至控制器100。

ODT電路60設置於端子與輸入接收器64之間。ODT電路60包含p通道MOS(Metal Oxide Semiconductor, 金屬氧化物半導體)電晶體61、n通道MOS電晶體62、以及可變電阻元件63a及63b。

p通道MOS電晶體61係閘極被輸入信號ODTSn，源極被施加電源電壓VCC，且汲極連接於可變電阻元件63a之一端。p通道MOS電晶體61係作為用來將被施加電源電壓VCC之電壓線(電源電壓線)與可變電阻元件63a連接之第1開關元件發揮功能。

可變電阻元件63a之另一端連接於將端子與輸入接收器連接之配線、及可變電阻元件63b之一端。ODT控制電路52係根據設置特徵(Set Feature)時所寫入之參數而設定可變電阻元件63a及63b之電阻值。

n通道MOS電晶體62係閘極被輸入信號ODTS，汲極連接於可變電阻元件63b之另一端，且源極被施加接地電壓VSS。n通道MOS電晶體62係作為用來將被施加接地電壓VSS之電壓線(接地電壓線)與可變電阻元件63b連接之第2開關元件發揮功能。

信號ODTS及信號ODTSn係用以控制ODT電路60而自ODT控制電路52賦予之信號。信號ODTSn係信號ODTS之反轉信號。ODT控制電路52係於將ODT電路60接通之情形時，使信號ODTS為“H”位準，且使信號ODTSn為“L”位準。

其次，對邏輯電路51中所包含之ODT電路60進行說明。

如圖5所示，邏輯電路51係針對所對應之每一端子(圖5之參照符號“PAD”)而包含輸入接收器64。而且，於與讀出賦能信號REn及RE對應之端子與輸入接收器64之間設置有ODT電路60。

再者，亦可不設置和與讀出賦能信號REn及RE對應之端子連接之

ODT 電路 60，亦可設置連接於其他端子之 ODT 電路 60，可任意進行設定。

## 1.2 關於 ODT 電路之動作

其次，對 ODT 電路 60 之動作進行說明。ODT 控制電路 52 具有稱為“DIN 模式”與“DOUT 模式”之 2 種控制模式。ODT 控制電路 52 根據各控制模式而選擇接通之 ODT 電路 60。DIN 模式係於任一記憶體 10 進行資訊之寫入動作時控制器 100 輸出資訊之情形時選擇之模式。另一方面，DOUT 模式係於任一記憶體 10 進行資訊之讀出動作時成為對象之記憶體 10 輸出資訊之情形時選擇之模式。以下，於本實施形態中，對如下情形進行說明，即，於 DIN 模式時，將與資料線 DQ[7:0]、以及時鐘信號 DQS 及 DQSn 對應之 ODT 電路 60 接通，於 DOUT 模式時，將與資料線 DQ[7:0]、時鐘信號 DQS 及 DQSn、以及讀出賦能信號 REn 及 RE 對應之 ODT 電路 60 接通。

### 1.2.1 關於 ODT 電路之控制流程

首先，利用圖 6 對 ODT 電路 60 之控制流程進行說明。

如圖 6 所示，對於 ODT 電路 60 之控制，若大致劃分則存於 2 個動作。首先，於第 1 動作中，控制器 100 設定 ODT 電路 60 之參數(步驟 S1)。以下，將參數之寫入動作稱為“Set Feature”。於 Set Feature 時，亦進行 ODT 電路 60 以外之各種參數之寫入。

更具體而言，控制器 100 例如於電源接通後，於第 1 動作中執行 Set Feature 而設定各種參數。此時，控制器 100 對係否於各記憶體 10 之介面晶片 20 使用 ODT 電路 60 進行設定。例如，設定為如下，即，僅將控制器 100 與記憶體 10 連接之信號線(NAND 匯流排)之長度最長之記憶體 10 之介面晶片 20 使用 ODT 電路 60，而其他記憶體 10 之介面晶片 20 不使用 ODT 電路

60。然後，控制器100對使用ODT電路60之介面晶片20分別設定DIN模式及DOUT模式時之可變電阻元件63a及63b之電阻值。各介面晶片20之ODT控制電路52將與ODT電路60之使用可否、及可變電阻元件63a及63b之電阻值相關之參數信息保存於參數記憶部54。

其次，於第2動作中，控制器100發送ODT賦能信號ODTEN。各記憶體10之介面晶片20之ODT控制電路52係根據利用第1動作所設定之參數信息、及ODT賦能信號ODTEN，而控制ODT電路60之接通/斷開。

更具體而言，首先，控制器100將ODT賦能信號ODTEN設為“H”位準而發送至各記憶體10(步驟S2)。

接收到ODT賦能信號之各記憶體10之ODT控制電路52於在步驟S1中設為可使用ODT電路60之情形時(步驟S3\_是(Yes))，選擇ODT電路60之控制模式。另一方面，於設為不可使用ODT電路60之情形時(步驟S3\_否(No))，省略步驟S3之後之ODT電路60之控制動作。

ODT控制電路52係於任一記憶體10執行寫入動作之情形時(步驟S4\_是)選擇DIN模式。

其次，ODT控制電路52將與資料線DQ[7:0]、以及時鐘信號DQS及DQSn對應之ODT電路60接通(步驟S5)。更具體而言，ODT控制電路52係使對應之ODT電路60之信號ODTS為“H”位準且使信號ODTSn為“L”位準。由此，電晶體61及62接通，且ODT電路60接通。

另一方面，ODT控制電路52係於任一記憶體10均不執行寫入動作之情形時，即，於讀出動作之情形時，選擇DOUT模式，並將與資料線DQ[7:0]、時鐘信號DQS及DQSn、以及讀出賦能信號REn及RE對應之ODT電路60接通(步驟S6)。

其次，控制器100使ODT賦能信號ODTEN為“L”位準。對應於此，ODT控制電路52將ODT電路60斷開(步驟S7)。

控制器100係於無須變更參數之情形時，對應於寫入及讀出動作而重複第2動作，對ODT電路60進行控制。

### 1.2.2關於ODT電路之控制模式選擇

其次，利用圖7對ODT電路60之控制模式之選擇進行說明。

如圖7所示，記憶體10(ODT控制電路52)係於ODT賦能信號ODTEN自“L”切換為“H”位準之時序，將讀出賦能信號REn鎖存。然後，於讀出賦能信號REn為“H”位準之情形時，記憶體10選擇DIN模式並將對應之ODT電路60接通。另一方面，於讀出賦能信號REn為“L”位準之情形時，記憶體10選擇DOOUT模式並將對應之ODT電路60接通。即，控制器100係於寫入動作之情形時，使讀出賦能信號REn為“H”位準，並將ODT賦能信號ODTEN自“L”切換為“H”位準，於讀出動作之情形時，將讀出賦能信號REn設為“L”位準，並將ODT賦能信號ODTEN自“L”切換為“H”位準。

再者，於ODT賦能信號ODTEN為“L”位準之期間，記憶體10將ODT電路60斷開。

### 1.2.3關於Set Feature

其次，利用圖8對Set Feature時之控制器100與各記憶體10之間之信號之接收發送進行說明。

如圖8所示，首先，控制器100斷言晶片賦能信號CEn(“L”位準)。

其次，控制器100發行通知執行Set Feature之指令、例如“D5h”，並且斷言指令鎖存賦能信號CLE(“H”位準)。

其次，控制器100發行位址資料“xxh”及“yyh”，並且斷言位址鎖存賦

能信號ALE(“H”位準)。例如，位址資料“xxh”係與Set Feature之設定相關之位址資料，“yyh”係表示對應之記憶體10之位址資料。再者，位址資料之詳細情形及循環數並無特別限定。

該些指令及位址係每當觸發寫入賦能信號WEn時，分別記憶於對應之記憶體10。

其次，控制器100發送時鐘信號DQS及DQSn，並且發行資料“W-B0”~“W-B3”。例如，“W-B0”表示與ODT電路60之使用可否及可變電阻元件63a及63b之設定相關之資訊，資訊“W-B1”~“W-B3”表示與其他參數相關之資訊。再者，資訊之循環數可根據必須設定之參數而任意地設定。

記憶體10開始參數之寫入而成為忙碌狀態。記憶體10係於忙碌狀態之期間，使通知處於不受理各種信號之狀態之就緒/忙碌信號R/Bn為“L”位準而發送至控制器100。

當記憶體10完成寫入動作時，就緒/忙碌信號R/Bn恢復為“H”位準。

#### 1.2.4關於寫入動作時之ODT電路之控制

其次，針對寫入動作時之控制器100與各記憶體10之間之信號之接收發送，尤其著眼於非選擇記憶體10中之ODT電路60之控制而利用圖9進行說明。於圖9中，省略指令鎖存賦能信號CLE、位址鎖存賦能信號ALE等。

如圖9所示，首先，控制器100斷言晶片賦能信號CEn(“L”位準)。再者，控制器100係於寫入動作時，將讀出賦能信號REn維持為“H”位準。

其次，控制器100發行通知執行寫入動作之指令、例如“80h”及位址資料“AD1”、“AD2”、“AD3”、“AD4”、及“AD5”。例如，位址資料“AD1”及“AD2”表示記憶體晶片30中之行位址，位址資料“AD3”、

“AD4”、及“AD5”表示列位址。於選擇記憶體10，每當觸發寫入賦能信號WEn時，將指令及位址資料保持於記憶體10內。

再者，位址資料之循環數並不限定於5循環，可任意地進行設定。進而，位址資料亦可包含指定記憶體10之位址、指定記憶體10內之記憶體晶片30之晶片位址(CADD)。進而，列位址亦可包含區塊位址、頁面位址。進而，頁面位址亦可包含例如與字元線WL、奇數/偶數位元線(E/O)、串位址、或低位頁面/中間頁面/高位頁面(L/M/U)等相關之信息。

關於頁面位址之構成，例如記載於題為「非揮發性半導體記憶裝置及其控制方法(NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND CONTROL METHOD THEREOF)」之於2013年3月4日提出申請之美國專利申請案13/784,753號。本專利申請案之全部內容藉由參照而引用於本申請案之說明書中。

其次，控制器100使ODT賦能信號ODTEN為“H”位準。此時，於可使用ODT電路60、即利用第1動作(Set Feature)而設定有ODT電路60之參數之非選擇記憶體10，由於讀出賦能信號REn為“H”位準，所以ODT控制電路52選擇DIN模式而將對應之ODT電路60接通。另一方面，於未使用ODT電路60、即未利用第1動作(Set Feature)設定ODT電路60之參數之非選擇記憶體10，ODT控制電路52不管ODT賦能信號ODTEN而均不將ODT電路60接通。

其次，控制器100發送時鐘信號DQS及DQSn，並且發行寫入資料“WD”。

當選擇記憶體10中之寫入動作完成時，控制器100使晶片賦能信號CEn為“H”位準，並使ODT賦能信號ODTEN為“L”位準。可使用ODT電路

60之非選擇記憶體10當使ODT賦能信號ODTEN為“L”位準時將ODT電路60斷開。

### 1.2.5關於讀出動作時之ODT電路之控制

其次，針對讀出動作時之控制器100與各記憶體10之間之信號之接收發送，尤其著眼於非選擇記憶體10中之ODT電路60之控制而利用圖10進行說明。於圖10中，省略指令鎖存賦能信號CLE、位址鎖存賦能信號ALE等。

如圖10所示，控制器100斷言晶片賦能信號CEn(“L”位準)。

其次，控制器100依次發行通知執行讀出動作之指令、例如“05h”、位址資料“AD1”~“AD5”、及執行讀出動作之指令、例如“E0h”。於選擇記憶體10，每當觸發寫入賦能信號WEn時，將指令及位址資料保持於記憶體10內。

其次，控制器100使讀出賦能信號REn於某個期間為“L”位準。而且，控制器100於該期間內使ODT賦能信號ODTEN自“L”為“H”位準。此時，於可使用ODT電路60之非選擇記憶體10，由於讀出賦能信號REn為“L”位準，所以，ODT控制電路52選擇DOUT模式並將對應之ODT電路60接通。另一方面，於未使用ODT電路60之非選擇記憶體10，ODT控制電路52不管ODT賦能信號ODTEN而均不將ODT電路60接通。

其次，於選擇記憶體10執行讀出動作，對應於讀出賦能信號REn及RE之觸發而輸出讀出資料“RD”及時鐘信號DQS及DQSn。

當選擇記憶體10中之讀出動作完成時，控制器100使晶片賦能信號CEn為“H”位準，並使ODT賦能信號ODTEN為“L”位準。可使用ODT電路60之非選擇記憶體10當使ODT賦能信號ODTEN為“L”位準時將ODT電路

60斷開。

### 1.2.6關於ODT電路之動作時序

其次，利用圖11對ODT賦能信號ODTEN與ODT電路60之接通/斷開之切換之時序進行說明。

如圖11所示，記憶體10以如下方式設定，即，於寫入賦能信號WEn自“L”切換為“H”位準之後，於預先所設定之期間不受理包含讀出賦能信號REn之各種信號。或者，控制器100亦能以於該期間不自發地發行各種信號之方式設定。以下，將預先所設定之期間、即自寫入賦能信號WEn自“L”切換為“H”位準後至可受理讀出賦能信號REn為止之待機期間稱為“tWHR”。例如，於寫入動作中，於輸入位址資料“AD5”後(圖9)設定該待機期間tWHR，於讀出動作中，於輸入指令“30h”後(圖10)設定該待機期間tWHR。

經過待機期間tWHR後，記憶體10受理讀出賦能信號REn(讀出賦能信號REn成為有效)。控制器100於自待機期間tWHR結束後25 nsec以上之期間，於寫入動作之情形時以“H”位準維持讀出賦能信號REn，於讀出動作之情形時以“L”位準維持讀出賦能信號REn(以下，將該期間稱為“REn維持期間”)。控制器100於從自REn維持期間開始(即待機期間tWHR結束)經過5 nsec以上後至REn維持期間結束為止之期間(例如20 nsec之期間)，將ODT賦能信號ODTEN自“L”切換為“H”位準。即，控制器100只要自REn維持期間開始後經過5 nsec以上，則可與其他信號不同步地切換ODT賦能信號ODTEN。

ODT控制電路52係於ODT賦能信號ODTEN自“L”切換為“H”位準之時序，將讀出賦能信號REn鎖存，並選擇ODT電路60之控制模式。而且，

ODT控制電路52於ODT賦能信號ODTEN自“L”切換為“H”位準後經過例如25 nsec後，將對應之ODT電路60接通。再者，ODT控制電路52於ODT賦能信號ODTEN自“H”切換為“L”位準後經過例如25 nsec後，將對應之ODT電路60斷開。

### 1.3關於本實施形態之效果

利用本實施形態之構成，可提高處理能力。以下，對本效果進行說明。

於利用匯流排將控制器100與複數個記憶體10共通地連接之記憶體系統1中，來自非選擇記憶體10之信號之反射傳遞至作為信號之輸入目的地之選擇記憶體10或者控制器100，因此，該反射信號成為輸入信號中之雜訊。因此，已知有使用ODT電路60抑制信號之反射之方法。

例如，存於如下方法，即，於非選擇記憶體10控制ODT電路60之接通/斷開動作之情形時，於寫入或讀出動作之前後，對非選擇記憶體10分別發送通知ODT電路60之使用開始與結束之指令(及位址資料)。但係，於該情形時，必須與寫入或讀出動作不同地對非選擇記憶體10進行通知，因此，寫入及讀出動作之處理時間變長，記憶體系統1之處理能力降低。

再者，於寫入動作與讀出動作中，於控制器100與選擇記憶體10間接收發送之信號之狀態不同。更具體而言，例如，於讀出動作中，對應於讀出賦能信號REn之觸發而讀出資訊，與此相對，於寫入動作中，讀出賦能信號REn維持於“H”位準。因此，與讀出賦能信號REn對應之ODT電路60優選於讀出動作時使用而不於寫入動作時使用。必須如此般根據記憶體系統之動作狀態而控制ODT電路60之接通/斷開。

相對於此，於本實施形態之構成中，控制器100可發行用來控制ODT

電路60之信號(ODT賦能信號ODTEN)。而且，控制器100可於寫入及讀出動作中將ODT賦能信號ODTEN發送至各記憶體10。再者，各記憶體10可根據ODT賦能信號ODTEN而控制ODT電路60。由此，控制器100可省略於寫入或讀出動作之前後進行之對非選擇記憶體10之與ODT電路60相關之通知。由此，可縮短寫入及讀出動作之處理時間，從而可提高記憶體系統之處理能力。

進而，於本實施形態之構成中，可根據讀出賦能信號REn而切換ODT之控制模式。更具體而言，記憶體10當ODT賦能信號ODTEN自“L”切換為“H”位準時，於讀出賦能信號REn為“H”位準之情形時，可選擇DIN模式，於讀出賦能信號REn為“L”位準之情形時，可選擇DOUT模式。由此，記憶體10可於寫入及讀出動作中選擇最佳之ODT電路60之控制狀態。由此，可有效地降低由信號之反射所致之雜訊，從而可提高信號之品質。因此，可抑制由信號之劣化所致之誤動作，從而可提高記憶體系統之可靠性。

## 2.第2實施形態

其次，對第2實施形態進行說明。與第1實施形態之不同之處在於，記憶體10之構成不同，且各記憶體晶片包含ODT電路。以下，僅對與第1實施形態不同之方面進行說明。

### 2.1關於記憶體之構成

利用圖12及圖13對本實施形態之記憶體10之構成進行說明。以下，對記憶體10\_0進行說明，但其他記憶體10(10\_1、10\_2、...)亦為相同之構成。

首先，對記憶體10之剖面構成進行說明。

如圖12所示，記憶體10\_0包括封裝基板40、及8個記憶體晶片70(70a~70h)。例如，複數個記憶體晶片70藉由塑模樹脂(未圖示)而密封於封裝基板40上。再者，於本實施形態中之記憶體10\_0，廢除第1實施形態之利用圖2及圖3所說明之介面晶片20。

記憶體晶片70係與第1實施形態之利用圖2及圖3所說明之記憶體晶片30同樣地，記憶來自控制器100之資訊等。再者，記憶體晶片70(70a~60f)積層有8個，但並不限定於8個，可適當進行變更。各記憶體晶片70係於記憶體晶片70之上表面備置用來與外部(控制器100等)接收發送信號之複數個端子71。

記憶體晶片70a~70h係於以端子71露出之方式例如呈階梯狀將中心偏移之狀態下，自下方側依次積層於封裝基板40之上表面上。而且，各記憶體晶片70之端子71利用例如金配線而與封裝基板40電性連接。

其次，對記憶體晶片70之構成進行說明。以下，對記憶體晶片70a進行說明，但其他記憶體晶片70b~70h亦為相同之構成。

如圖13所示，記憶體晶片70a包含第1實施形態之利用圖3所說明之介面晶片20所包含之輸入輸出控制電路50、邏輯電路51、及ODT控制電路52、以及記憶體晶片30所包含之記憶胞陣列53。再者，記憶體晶片70a包含與讀出賦能信號RE及REn、晶片賦能信號CEn、指令鎖存賦能信號CLE、位址鎖存賦能信號ALE、寫入賦能信號WEn、寫入保護信號WPn、以及ODT賦能信號ODTEN分別對應之端子。由此，與第1實施形態同樣地，記憶體晶片70a之輸入輸出控制電路50包含和與資料線DQ[7:0]、以及時鐘信號DQS及DQSn對應之端子連接之ODT電路60，邏輯電路51包含和與讀出賦能信號REn及RE對應之端子連接之ODT電路60。

## 2.2關於ODT電路之動作

其次，對各記憶體晶片70所包含之ODT電路60之動作進行說明。關於ODT電路60之控制之流程，與第1實施形態之圖6相同。但係，於第1動作中，控制器100當執行Set Feature時，於第1實施形態中對每一記憶體10(介面晶片20)設定與ODT電路60相關之參數，與此相對，於本實施形態中，對每一記憶體晶片70設定與ODT電路60相關之參數。而且，於第2動作中，根據與控制器100接收發送之信號，各記憶體晶片70之ODT控制電路52控制ODT電路60之動作。

## 2.3關於本實施形態之效果

若為本實施形態之構成，則可獲得與第1實施形態相同之效果。

進而，於本實施形態之構成中，各記憶體晶片70包含ODT電路60，因此，可於每一記憶體晶片70設定ODT電路60。由此，記憶體系統1可進行用來抑制反射信號之更詳細之設定。由此，可更有效地降低由信號之反射所致之雜訊，從而可提高信號之品質。

## 3.第3實施形態

其次，對第3實施形態進行說明。與第1及第2實施形態之不同之處在於，於決定ODT電路60之控制模式時晶片賦能信號CEn亦用於判定。以下，僅對與第1及第2實施形態不同之方面進行說明。

### 3.1關於記憶體系統之整體構成

首先，對記憶體系統1之整體構成進行說明。於本實施形態中之記憶體系統1，關於晶片賦能信號CEn，控制器100與各記憶體10(10\_0、10\_1、10\_2、...)利用個別信號線而連接。即，控制器100可使用個別信號線對各記憶體10分別發送不同之晶片賦能信號CEn。以下，控制器100

使用個別信號線發送晶片賦能信號CEn之情形、即表示複數個晶片賦能信號CEn之情形稱為晶片賦能信號“CEnx”。

再者，關於指令鎖存賦能信號CLE、位址鎖存賦能信號ALE、寫入賦能信號WEn、及ODT賦能信號ODTEN，既可使用共通信號線，亦可使用個別信號線。

### 3.2關於ODT電路之控制模式選擇

首先，利用圖14對ODT電路60之控制模式之選擇進行說明。

如圖14所示，於本實施形態中，ODT控制電路52於ODT賦能信號ODTEN自“L”位準切換為“H”位準之時序，將晶片賦能信號CEnx及讀出賦能信號REn鎖存。然後，於晶片賦能信號CEnx及讀出賦能信號REn均為“H”位準之情形時，ODT控制電路52選擇DIN模式，並將對應之ODT電路60接通。再者，於晶片賦能信號CEnx為“H”位準且讀出賦能信號REn為“L”位準之情形時，ODT控制電路52選擇DOUT模式，並將對應之ODT電路60接通。再者，於晶片賦能信號CEnx為“L”位準之情形時，不管讀出賦能信號REn，ODT控制電路52均將ODT電路60斷開。

再者，於ODT賦能信號ODTEN為“L”位準之期間，ODT控制電路52將ODT電路60斷開。

### 3.3關於寫入動作時之ODT電路之控制

其次，利用圖15對寫入動作時之控制器100與各記憶體10之間之信號之接收發送進行說明。

如圖15所示，首先，控制器100斷言選擇記憶體10中之晶片賦能信號CEnx(“L”位準)。再者，控制器100於寫入動作之期間將非選擇記憶體10中之晶片賦能信號CEnx維持於“H”位準。

其次，控制器100於發行寫入動作所需之指令及位址資料後，使ODT賦能信號ODTEN為“H”位準。此時，於可使用ODT電路60之非選擇記憶體10，由於晶片賦能信號CEnx及讀出賦能信號REn為“H”位準，所以ODT控制電路52選擇DIN模式，並將對應之ODT電路60接通。

當選擇記憶體10中之寫入動作完成時，控制器100使選擇記憶體10之晶片賦能信號CEn為“H”位準，並使ODT賦能信號ODTEN為“L”位準。可使用ODT電路60之非選擇記憶體10當使ODT賦能信號ODTEN為“L”位準時將ODT電路60斷開。

### 3.4關於讀出動作中之ODT電路之控制

其次，利用圖16對讀出動作時之控制器100與各記憶體10之間之信號之接收發送進行說明。

如圖16所示，首先，控制器100斷言選擇記憶體10中之晶片賦能信號CEnx(“L”位準)。再者，控制器100於讀出期間將非選擇記憶體中之晶片賦能信號CEnx維持於“H”位準。

其次，控制器100於發行讀出動作所需之指令及位址資料後，於REn維持期間之期間使讀出賦能信號REn為“L”位準。而且，控制器100於該期間內使ODT賦能信號ODTEN為“H”位準。於可使用ODT電路60之非選擇記憶體10，由於晶片賦能信號CEnx為“H”位準，而且，讀出賦能信號REn為“L”位準，所以ODT控制電路52選擇DOUT模式並將對應之ODT電路60接通。

當選擇記憶體10中之讀出動作完成時，控制器100使選擇記憶體10之晶片賦能信號CEnx為“H”位準，並使ODT賦能信號ODTEN為“L”位準。可使用ODT電路60之非選擇記憶體10當使ODT賦能信號ODTEN為“L”位

準時將ODT電路60斷開。

### 3.5關於ODT電路之動作時序

其次，利用圖17對ODT賦能信號ODTEN與ODT電路60之接通/斷開之切換之時序進行說明。

如圖17所示，經過例如待機期間 $t_{WHR}$ 後，於晶片賦能信號 $CE_{nx}$ 成為有效之狀態(記憶體10可受理各種信號之狀態)下，控制器100使非選擇記憶體10之晶片賦能信號 $CE_{nx}$ 為“H”位準。然後(例如10 nsec後)，控制器100於寫入動作之情形時，以“H”位準維持讀出賦能信號 $RE_n$ 。另一方面，控制器100於讀出動作之情形時，使讀出賦能信號 $RE_n$ 為“L”位準，且於 $RE_n$ 維持期間(25 nsec以上)，維持“L”位準。

再者，控制器100於自 $RE_n$ 維持期間開始(即待機期間 $t_{WHR}$ 結束)後經過5 nsec以上後至 $RE_n$ 維持期間結束為止之期間，將ODT賦能信號ODTEN自“L”切換為“H”位準。例如，於圖17之例中，於自晶片賦能信號 $CE_{nx}$ 成為有效之狀態後經過10 nsec後成為 $RE_n$ 維持期間，自此經過5 nsec後(晶片賦能信號 $CE_{nx}$ 成為有效之狀態後經過15 nsec後)，使ODT賦能信號ODTEN為“H”位準。

ODT控制電路52係於ODT賦能信號ODTEN自“L”切換為“H”位準之時序，將晶片賦能信號 $CE_{nx}$ 及讀出賦能信號 $RE_n$ 鎖存，選擇ODT電路60之控制模式，於經過例如25 nsec後，將對應之ODT電路60接通。

### 3.6關於本實施形態之效果

本實施形態可應用於第1及第2實施形態。因此，可獲得與第1及第2實施形態相同之效果。

再者，於本實施形態之構成中，控制器100對每一記憶體10發送不同

之晶片賦能信號CEnx。而且，ODT控制電路52可根據晶片賦能信號CEnx與讀出賦能信號REn而選擇ODT電路60之控制模式。因此，ODT控制電路52可僅於對應之記憶體10(或記憶體晶片70)為非選擇狀態(晶片賦能信號CEnx為“H”位準之狀態)之情形時使ODT電路60進行動作。即，記憶體系統1可根據所選擇之記憶體10，而進行更佳之ODT電路60之控制。由此，可更有效地降低由信號之反射所致之雜訊，從而可提高信號之品質。

#### 4.第4實施形態

其次，對第4實施形態進行說明。與第3實施形態之不同之處在於，當ODT賦能信號ODTEN及晶片賦能信號CEnx為“H”位準時，ODT電路60接通。以下，僅對與第3實施形態不同之方面進行說明。

##### 4.1關於ODT電路之控制模式選擇

首先，利用圖18對ODT電路60之控制模式之選擇進行說明。

如圖18所示，當使晶片賦能信號CEnx及ODT賦能信號ODTEN均為“H”位準時，若讀出賦能信號REn為“H”位準，則ODT控制電路52選擇DIN模式，並將對應之ODT電路60接通。另一方面，若讀出賦能信號REn為“L”位準，則ODT控制電路52選擇DOUT模式，並將對應之ODT電路60接通。ODT控制電路52將ODT電路60接通時之讀出賦能信號REn鎖存。由此，即使於ODT電路60接通之期間讀出賦能信號REn自“H”變更為“L”位準或者自“L”變更為“H”位準，ODT控制電路52於將ODT電路60斷開之前亦維持DIN模式或DOUT模式。

再者，於晶片賦能信號CEnx及ODT賦能信號ODTEN之至少一者為“L”位準之情形時，不管讀出賦能信號REn，ODT控制電路52均使ODT電路60斷開。

#### 4.2關於ODT電路之動作時序

其次，利用圖19對ODT賦能信號ODTEN與ODT電路60之接通/斷開之切換之時序進行說明。於圖19之例中，對如下情形進行說明，即，於ODT賦能信號ODTEN為“H”位準之期間，非選擇記憶體10之晶片賦能信號CEnx維持於“H”位準。

如圖19所示，與第3實施形態同樣地，於晶片賦能信號CEnx有效之狀態(記憶體10可受理各種信號之狀態)下，控制器100使非選擇記憶體10之晶片賦能信號CEnx為“H”位準。然後，控制器100於自REn維持期間開始後經過5 nsec以上後至REn維持期間結束為止之期間，將ODT賦能信號自“L”切換為“H”位準。

ODT控制電路52於使晶片賦能信號CEnx及ODT賦能信號ODTEN均為“H”位準之時序，將讀出賦能信號REn鎖存，並選擇ODT電路60之控制模式。而且，於自ODT賦能信號ODTEN自“L”切換為“H”位準後經過例如25 nsec後，ODT控制電路52將對應之ODT電路60接通。

其次，控制器100將ODT賦能信號ODTEN自“H”切換為“L”位準。再者，控制器100於將ODT賦能信號ODTEN自“H”切換為“L”位準後至經過例如15 nsec以上為止，將晶片賦能信號CEnx維持於“H”位準。ODT控制電路52於ODT賦能信號ODTEN自“H”切換為“L”位準後經過例如25 nsec後，將對應之ODT電路60斷開。

再者，控制器100亦可於晶片賦能信號CEnx成為有效之狀態之前將ODT賦能信號ODTEN自“L”切換為“H”位準。進而，控制器100亦可相較ODT賦能信號ODTEN而先將晶片賦能信號CEnx自“H”切換為“L”位準。

#### 4.3關於本實施形態之效果

本實施形態可應用於第1及第2實施形態，因此，可獲得與第1及第2實施形態相同之效果。

再者，若為本實施形態之構成，則可獲得與第3實施形態相同之效果。

進而，於本實施形態之構成中，ODT控制電路52可於晶片賦能信號CEnx及ODT賦能信號ODTEN均為“H”位準之情形時將ODT電路60接通。

## 5.第5實施形態

其次，對第5實施形態進行說明。與第1至第4實施形態之不同之處在於，寫入保護信號WPn具有作為寫入保護之控制信號之功能與作為ODT電路60之控制信號之功能。於本實施形態中，對2個例進行說明。以下，僅對與第1至第4實施形態不同之方面進行說明。

### 5.1第1例

首先，對本實施形態之第1例進行說明。於本例中，對於藉由Set Feature設定參數之前後自端子輸入之信號之作用不同之情形進行說明。

#### 5.1.1關於記憶體系統之整體構成

對記憶體系統1之整體構成進行說明。於本例中之記憶體系統1，控制器100使用個別信號線對各記憶體10(10\_0、10\_1、10\_2、...)分別發送不同之寫入保護信號WPn。以下，將控制器100對每一記憶體10發送之寫入保護信號稱為寫入保護信號“WPnx”，將各記憶體10之與寫入保護信號WPnx對應之端子稱為“WPnx端子”。由此，於本例中，成為如下構成，即，於第1實施形態之圖3及圖5或第2實施形態之圖13中，將寫入保護信號WPn改稱為WPnx，並將與ODT賦能信號ODTEN對應之端子廢除。

再者，關於晶片賦能信號CEn、指令鎖存賦能信號CLE、位址鎖存賦

能信號ALE、寫入賦能信號WEn，既可使用共通信號線，亦可使用個別信號線。

### 5.1.2關於WPnx端子之信號

首先，利用圖20對WPnx端子之信號與記憶體10之關係進行說明。

如圖20所示，WPnx端子之信號(寫入保護信號WPnx)於藉由Set Feature設定與ODT電路60相關之參數之前(第1動作之前)，作為寫入保護控制信號發揮功能，於設定參數後，作為ODT電路60之控制信號(ODT賦能信號ODTEN)發揮功能。

更具體而言，控制器100當記憶體10啟動(通電(Power ON))時，為了防止於電源電壓不穩定之狀態下之寫入動作，而使寫入保護信號WPnx為“L”位準。此時之寫入保護信號WPnx作為寫入保護控制信號而進行處理，記憶體10於寫入保護信號WPnx為“L”位準之期間，禁止寫入動作(可執行寫入保護)。

於電源電壓確定(穩定)後，控制器100使寫入保護信號WPnx為“H”位準。此時之寫入保護信號WPnx作為寫入保護控制信號進行處理，記憶體10將寫入動作之禁止解除。

其次，控制器100執行Set Feature，進行與ODT電路60相關之參數之設定。記憶體10於設定參數(執行Set Feature)後，將寫入保護信號WPnx作為ODT賦能信號ODTEN而進行處理。更具體而言，於寫入保護信號WPnx為“L”位準之情形時，ODT控制電路52以將ODT電路60接通之方式進行控制。另一方面，於寫入保護信號WPnx為“H”位準之情形時，ODT控制電路52以將ODT電路60斷開之方式進行控制。

### 5.1.3關於ODT電路之控制模式選擇

關於本例中之ODT電路60之控制模式，可應用第1、第3、及第4實施形態中所說明之圖7、圖14、及圖18之關係。於該情形時，只要將ODT賦能信號ODTEN替換為寫入保護信號WPnx即可。

## 5.2第2例

其次，對本實施形態之第2例進行說明。第2例為如下例，即，於第1例中，執行Set Feature後，寫入保護信號WPnx亦具有作為寫入保護控制信號之功能。以下，僅對與第1例不同之方面進行說明。

### 5.2.1關於記憶體系統之整體構成

對記憶體系統1之整體構成進行說明。於本例中之記憶體系統1中，控制器100使用個別信號線對各記憶體10(10\_0、10\_1、10\_2、...)分別發送不同之寫入保護信號WPnx與晶片賦能信號CEnx。

再者，關於指令鎖存賦能信號CLE、位址鎖存賦能信號ALE、寫入賦能信號WEn，既可使用共通信號線，亦可使用個別信號線。

### 5.2.2關於ODT電路之控制模式選擇

首先，利用圖21對ODT電路60之控制模式之選擇進行說明。

如圖21所示，ODT控制電路52於寫入保護信號WPnx自“H”切換為“L”之時序，將晶片賦能信號CEnx(對每一記憶體10分別)、指令鎖存賦能信號CLE、位址鎖存賦能信號ALE、寫入賦能信號WEn、及讀出賦能信號REn鎖存。而且，ODT控制電路52於使晶片賦能信號CEnx及寫入賦能信號WEn為“H”位準且使指令鎖存賦能信號CLE及位址鎖存賦能信號ALE為“L”位準之情形時，將寫入保護信號WPnx判定為ODT電路60之控制信號。然後，於讀出賦能信號REn為“H”位準之情形時，ODT控制電路52選擇DIN模式，並將對應之ODT電路60接通。另一方面，於讀出賦能信號

REn為“L”位準之情形時，ODT控制電路52選擇DOUT模式，並將對應之ODT電路60接通。

再者，於晶片賦能信號CEnx、指令鎖存賦能信號CLE、位址鎖存賦能信號ALE、及寫入賦能信號WEn為上述組合以外之情形時，ODT控制電路52將ODT電路60斷開。記憶體10將寫入保護信號WPnx判定為寫入保護控制信號而禁止寫入動作。

再者，於寫入保護信號WPnx為“H”位準之期間，ODT控制電路52將ODT電路60斷開。

### 5.2.3關於寫入動作時之ODT電路之控制

其次，利用圖22對寫入動作時之控制器100與各記憶體10之間之信號之接收發送進行說明。於圖22之例中，對指令鎖存賦能信號CLEx、位址鎖存賦能信號ALEx、寫入賦能信號WEnx於每一記憶體10不同之情形進行說明。

如圖22所示，控制器100於寫入動作之期間，將非選擇記憶體10中之晶片賦能信號CEnx及寫入賦能信號WEnx維持於“H”位準，並將指令鎖存賦能信號CLEx及位址鎖存賦能信號ALEx維持於“L”位準。

控制器100於發行寫入動作所需之指令及位址資料後，使寫入保護信號WPnx為“L”位準。此時，於可使用ODT電路60之非選擇記憶體10，由於使晶片賦能信號CEnx、寫入賦能信號WEn、及讀出賦能信號REn為“H”位準且使指令鎖存賦能信號CLE及位址鎖存賦能信號ALE為“L”位準，所以，ODT控制電路52選擇DIN模式並將對應之ODT電路60接通。

當選擇記憶體10中之寫入動作完成時，控制器100使選擇記憶體10之晶片賦能信號CEn為“H”位準，並使寫入保護信號WPnx為“H”位準。於可

使用ODT電路60之非選擇記憶體10，若使寫入保護信號WP<sub>n</sub>x為“H”位準，則ODT控制電路52將ODT電路60斷開。

#### 5.2.4關於讀出動作時之ODT電路之控制

其次，利用圖23對讀出動作時之控制器100與各記憶體10之間之信號之接收發送進行說明。於圖23之例中，與圖22同樣地，對指令鎖存賦能信號CLE<sub>x</sub>、位址鎖存賦能信號ALE<sub>x</sub>、寫入賦能信號WEN<sub>x</sub>於每一記憶體10不同之情形進行說明。

如圖23所示，控制器100於讀出動作之期間，將非選擇記憶體10中之晶片賦能信號CEN<sub>x</sub>及寫入賦能信號WEN<sub>x</sub>維持為“H”位準，並將指令鎖存賦能信號CLE<sub>x</sub>及位址鎖存賦能信號ALE<sub>x</sub>維持為“L”位準。

控制器100於發行讀出動作所需之指令及位址資料後，於REN維持期間之期間使讀出賦能信號REN為“L”位準。而且，控制器100於該期間內使寫入保護信號WP<sub>n</sub>x為“L”位準。於可使用ODT電路60之非選擇記憶體10，由於使晶片賦能信號CEN<sub>x</sub>及寫入賦能信號WEN<sub>x</sub>為“H”位準且使指令鎖存賦能信號CLE、位址鎖存賦能信號ALE、及讀出賦能信號REN為“L”位準，所以，ODT控制電路52選擇DOUT模式並將對應之ODT電路60接通。

當選擇記憶體10中之讀出動作完成時，控制器100使選擇記憶體10之晶片賦能信號CEN<sub>x</sub>為“H”位準，並使寫入保護信號WP<sub>n</sub>x為“H”位準。於可使用ODT電路60之非選擇記憶體10，若使寫入保護信號WP<sub>n</sub>x為“H”位準，則ODT控制電路52將ODT電路60斷開。

#### 5.2.5關於ODT電路之動作時序

其次，利用圖24對寫入保護信號WP<sub>n</sub>x與ODT電路60之接通/斷開之

切換之時序進行說明。

如圖24所示，於例如待機期間 $t_{WHR}$ 後，於各種信號有效之狀態(記憶體10可受理各種信號之狀態)下，控制器100使非選擇記憶體10之晶片賦能信號 $CE_{nx}$ 、寫入賦能信號 $WE_{nx}$ 、及讀出賦能信號 $RE_{n}$ 為“H”位準，且使指令鎖存賦能信號 $CLE_{x}$ 及位址鎖存賦能信號 $ALE_{x}$ 為“L”位準。然後，控制器100於自 $RE_{n}$ 維持期間開始後經過5 nsec以上後至 $RE_{n}$ 維持期間結束為止之期間，將寫入保護信號 $WP_{nx}$ 自“H”切換為“L”位準。

ODT控制電路52於寫入保護信號 $WP_{nx}$ 切換為“H”位準之時序，將晶片賦能信號 $CE_{nx}$ 、指令鎖存賦能信號 $CLE_{x}$ 、位址鎖存賦能信號 $ALE_{x}$ 、寫入賦能信號 $WE_{nx}$ 、及讀出賦能信號 $RE_{n}$ 鎖存。於圖24之例中，由於使晶片賦能信號 $CE_{nx}$ 及寫入賦能信號 $WE_{nx}$ 為“H”位準，且使指令鎖存賦能信號 $CLE_{x}$ 及位址鎖存賦能信號 $ALE_{x}$ 為“L”位準，所以，ODT控制電路52將寫入保護信號 $WP_{nx}$ 作為ODT電路60之控制信號而進行處理，並根據讀出賦能信號 $RE_{n}$ 之“H”/“L”位準而選擇DIN/DOOUT模式。然後，於 $WP_{nx}$ 端子之信號自“H”切換為“L”位準後經過例如25 nsec後，將對應之ODT電路60接通。

其次，控制器100將寫入保護信號 $WP_{nx}$ 自“L”切換為“H”位準。ODT控制電路52於自寫入保護信號 $WP_{nx}$ 自“L”切換為“H”位準後經過例如25 nsec後，將對應之ODT電路60斷開。

### 5.3關於本實施形態之效果

若為本實施形態之構成，則可獲得與第1至第4實施形態相同之效果。

進而，於本實施形態中，可使寫入保護信號 $WP_{nx}$ 具有作為寫入保護

之控制信號之功能與作為ODT電路60之控制信號之功能。即，可使寫入保護信號WP<sub>n</sub>與ODT賦能信號ODTEN共通。由此，可省略控制器100及記憶體10中之與ODT賦能信號ODTEN對應之端子、用來接收發送ODT賦能信號ODTEN之資料線。由此，可於記憶體系統中抑制端子數及資料線之條數增加而抑制晶片面積增大。

進而，於本實施形態中，於藉由Set Feature設定ODT電路60之參數後，亦針對1個信號使其具有作為寫入保護控制信號之功能與作為ODT電路60之控制信號之功能。更具體而言，記憶體10係於寫入保護信號WP<sub>n</sub>x自“H”位準切換為“L”位準之時序，將晶片賦能信號CE<sub>n</sub>x、指令鎖存賦能信號CLE<sub>x</sub>、位址鎖存賦能信號ALE<sub>x</sub>、寫入賦能信號WE<sub>n</sub>x、及讀出賦能信號RE<sub>n</sub>鎖存。而且，記憶體10可根據各信號之狀態判定寫入保護信號WP<sub>n</sub>x為寫入保護控制信號還係ODT電路60之控制信號。藉由使用晶片賦能信號CE<sub>n</sub>x、指令鎖存賦能信號CLE<sub>x</sub>、位址鎖存賦能信號ALE<sub>x</sub>、寫入賦能信號WE<sub>n</sub>x、及讀出賦能信號RE<sub>n</sub>進行判定，可防止寫入保護或ODT電路60之誤動作。由此，可提高記憶體系統之可靠性。

再者，於本實施形態中，使用晶片賦能信號CE<sub>n</sub>x、指令鎖存賦能信號CLE<sub>x</sub>、位址鎖存賦能信號ALE<sub>x</sub>、及寫入賦能信號WE<sub>n</sub>x來判定WP<sub>n</sub>x端子之信號為寫入保護信號WP<sub>n</sub>x還係ODT賦能信號ODTEN<sub>x</sub>，但用於判定之信號之種類、及信號之邏輯位準之組合並不限定於此。

進而，使寫入保護信號WP<sub>n</sub>x具有作為ODT賦能信號ODTEN之功能，但並不限定於寫入保護信號WP<sub>n</sub>x。

## 6.第6實施形態

其次，對第6實施形態進行說明。第6實施形態與不於第5實施形態之

第2例中將晶片賦能信號 $CEnx$ 、指令鎖存賦能信號 $CLEx$ 、位址鎖存賦能信號 $ALEx$ 、寫入賦能信號 $WEnx$ 鎖存之情形相關。以下，僅對與第5實施形態之第2例不同之方面進行說明。

### 6.1關於記憶體系統之整體構成

首先，對記憶體系統1之整體構成進行說明。於本實施形態中之記憶體系統1，寫入保護信號 $WPnx$ 、指令鎖存賦能信號 $CLEx$ 、位址鎖存賦能信號 $ALEx$ 、寫入賦能信號 $WEnx$ 使用個別信號線自控制器100發送至各記憶體10。

### 6.2關於ODT電路之控制模式選擇

其次，利用圖25對ODT電路60之控制模式之選擇進行說明。

如圖25所示，使晶片賦能信號 $CEnx$ 及寫入賦能信號 $WEnx$ 為“H”位準，且使指令鎖存賦能信號 $CLEx$ 、位址鎖存賦能信號 $ALEx$ 、寫入保護信號 $WPnx$ 為“L”位準時，若讀出賦能信號 $REn$ 為“H”位準，則ODT控制電路52選擇DIN模式並將ODT電路60接通。另一方面，若讀出賦能信號 $REn$ 為“L”位準，則ODT控制電路52選擇DOUT模式並將ODT電路60接通。ODT控制電路52將ODT電路60接通時之讀出賦能信號 $REn$ 鎖存。由此，即使於將ODT電路60接通之期間讀出賦能信號 $REn$ 自“H”變更為“L”位準或者自“L”變更為“H”位準，ODT控制電路52於將ODT電路60斷開之前亦維持DIN模式或DOUT模式。

再者，於晶片賦能信號 $CEnx$ 、指令鎖存賦能信號 $CLEx$ 、位址鎖存賦能信號 $ALEx$ 、及寫入賦能信號 $WEnx$ 之至少一者並非上述邏輯位準之狀態下，於寫入保護信號 $WPnx$ 為“L”位準之情形時，ODT控制電路52將ODT電路60斷開。然後，記憶體10成為寫入保護狀態而寫入被禁止。因

此，於ODT電路60接通之情形時，當晶片賦能信號CEnx、指令鎖存賦能信號CLEx、位址鎖存賦能信號ALEx、及寫入賦能信號WEnx之至少一者之邏輯位準反轉時，記憶體10亦將ODT電路60斷開而轉變為寫入保護狀態。

再者，於寫入保護信號WPnx為“H”位準之情形時，ODT控制電路52將ODT電路60斷開。

### 6.3關於自ODT電路之控制狀態向寫入保護狀態之轉變

其次，利用圖26對自ODT電路60之控制狀態向寫入保護狀態轉變時之時序進行說明。

如圖26所示，於使晶片賦能信號CEnx及寫入賦能信號WEnx為“H”位準且使指令鎖存賦能信號CLEx及位址鎖存賦能信號ALEx為“L”位準之狀態下，若寫入保護信號WPnx自“H”變為“L”位準，則ODT控制電路52將ODT電路60接通。

若於該狀態下例如寫入賦能信號WEnx自“H”變為“L”，則ODT控制電路52將ODT電路60斷開。而且，記憶體10於ODT電路斷開後經過例如100 nsec後轉變為寫入保護狀態。

再者，於圖26之例中，將寫入賦能信號WEnx自“H”切換為“L”位準，但亦可對晶片賦能信號CEnx、指令鎖存賦能信號CLEx、及位址鎖存賦能信號ALEx中之任一信號之邏輯位準進行切換。

### 6.3關於本實施形態之效果

若為本實施形態之構成，則可獲得與第1至第5實施形態相同之效果。

進而，於本實施形態中，藉由於ODT電路60接通之狀態下變更晶片

賦能信號CEnx、指令鎖存賦能信號CLEx、位址鎖存賦能信號ALEx、及寫入賦能信號WEnx中之任一者之邏輯位準，可連續地進行ODT電路60之斷開動作與向寫入保護狀態之轉變。

## 7.第7實施形態

其次，對第7實施形態進行說明。與第1至第6實施形態之不同之處在於，於Set Feature時，將ODT電路60之控制模式設定為DIN模式及DOUT模式中之任一者。以下，僅對與第1至第6實施形態不同之方面進行說明。

### 7.1關於ODT電路之控制之流程

利用圖27對ODT電路60之控制流程進行說明。

如圖27所示，首先，控制器100於執行Set Feature(第1動作)時，選擇DIN模式或DOUT模式中之任一者，並設定參數。

其次，控制器100於寫入或讀出動作時，將ODT賦能信號ODTEN自“L”設為“H”位準。ODT控制電路52於ODT賦能信號ODTEN為“H”位準之期間，於藉由Set Feature預先所設定之DIN模式或DOUT模式下，將對應之ODT電路60接通。

### 7.2關於本實施形態之效果

若為本實施形態之構成，則可獲得與第1至第6實施形態相同之效果。

進而，於本實施形態中，藉由Set Feature預先設定DIN模式或DOUT模式中之任一者，由此，ODT控制電路52可不對ODT電路60之控制模式進行選擇而控制ODT電路60之動作。由此，可簡化ODT控制電路52之構成，從而可減小ODT控制電路52之電路面積。因此，可抑制晶片面積增加。

## 8.第8實施形態

其次，對第8實施形態進行說明。第8實施形態係於第2實施形態中，根據晶片位址資料CADD，對將ODT電路60接通之記憶體晶片70a~70h進行選擇。以下，僅對與第2實施形態不同之方面進行說明。

### 8.1關於記憶體晶片之選擇

利用圖28對記憶體晶片70a~70h之選擇簡單地進行說明。圖28係簡單地表示第2實施形態中之圖12之說明圖。再者，於圖28之例中，選擇最高位之記憶體晶片70h，但並不限定於此。進而，所選擇之記憶體晶片70亦可為複數個。

如圖28所示，各記憶體晶片70(70a~70h)之ODT控制電路52於寫入或讀出動作時，根據自控制器100發送來之晶片位址資料CADD而掌握所搭載之記憶體晶片70於各記憶體10中安裝於哪一位置。而且，於為例如最高位之記憶體晶片70h之情形時，ODT控制電路52根據ODT賦能信號ODTEN將對應之ODT電路60接通。

### 8.2關於本實施形態中之效果

若為本實施形態之構成，則可獲得與第2實施形態相同之效果。

進而，於本實施形態中，可根據晶片位址資料CADD於各記憶體10中僅選擇反射信號有效地降低之記憶體晶片70而使ODT電路60進行動作。由此，可進一步進行最佳之ODT電路60之控制，可更有效地降低由信號之反射所致之雜訊，因此，可提高信號之品質。

進而，於本實施形態中，可根據晶片位址資料CADD掌握成為寫入或讀出動作之對象之記憶體晶片70，因此，可根據成為對象之記憶體晶片70控制ODT電路60之動作。由此，可進行更佳之ODT電路60之控制，從

而可更有效地降低由信號之反射所致之雜訊，因此，可提高信號之品質。

進而，於本實施形態中，即使ODT賦能信號ODTEN於各記憶體晶片70中共通，亦可根據晶片位址資料CADD選擇使ODT電路60接通之記憶體晶片70。由此，可將連接控制器100與各記憶體10之ODT賦能信號之信號線設為共通信號線。由此，可簡化記憶體系統之構成，而可抑制晶片面積增大。

### 9.變化例等

上述實施形態之記憶體系統包括第1非揮發性半導體記憶裝置(圖1中之10)與控制器(圖1中之100)。控制器可將第1信號與控制讀出動作時讀出資訊之時序之第2信號(圖3中之REn)發送至第1非揮發性半導體記憶裝置。第1非揮發性半導體記憶裝置包含：第1端子，連接於控制器，並接收第2信號；第1電路(圖3中之60)，包含連接於第1端子之第1及第2電阻元件(圖4中之63a及63b)、將第1電阻元件與電源電壓線(圖4中之VCC)電性連接之第1開關元件(圖4中之61)、及將第2電阻元件與接地電壓線(圖4中之VSS)電性連接之第2開關元件(圖4中之62)；及第2電路(圖3中之52)，使用第1信號(圖3中之ODTEN)控制第1電路。第2電路於當切換第1信號之邏輯位準時(圖7中之L到H)第2信號處於第1邏輯位準(圖7中之H)之情形時，將第1及第2開關元件斷開，於第2信號處於第2邏輯位準之情形時(圖7中之L)，將第1及第2開關元件接通。

藉由應用上述實施形態，可提供一種能提高處理能力之非揮發性半導體記憶裝置及記憶體系統。

再者，實施形態並不限定於上述所說明之方式，可進行各種變化。進而，各實施形態能於可能之範圍內進行組合。例如，亦可於第2實施形

態之構成中應用第5實施形態之第1例與第8實施形態，省略與ODT賦能信號ODTEN對應之端子，根據晶片位址資料CADD選擇將ODT電路60接通之記憶體晶片70。

進而，於上述實施形態中，控制器100亦可包括ODT電路60。例如，於記憶體10間進行信號之接收發送之情形時，亦可將控制器100之ODT電路60接通。

進而，於上述實施形態中，對ODT電路60和與資料線DQ[7：0]、時鐘信號DQS及DQSn、以及讀出賦能信號REn及RE對應之端子連接之情形進行了說明，但連接ODT電路60之端子並不限定於該些。

進而，於上述實施形態中，對和與讀出賦能信號REn及RE對應之端子連接之ODT電路60於DIN模式下斷開且於DOUT模式下接通之情形進行了說明，但以DIN模式與DOUT模式切換接通與斷開之ODT電路60並不限定於該些。

進而，於上述實施形態中，ODT控制電路52之可變電阻元件63a及63b亦可於DIN模式與DOUT模式下設定不同之電阻值。

進而，於上述實施形態中，使用ODT電路60之介面晶片20(或記憶體晶片70)並不限定於非選擇記憶體10(或記憶體晶片70)。

進而，上述實施形態亦可應用於平面型NAND型快閃記憶體或三維積層型NAND型快閃記憶體中之任一者。

進而，上述實施形態中之“連接”亦包含於中間介置例如電晶體或電阻等其他某個部件而間接地連接之狀態。

對本發明之若干實施形態進行了說明，但該些實施形態係作為例提出者，並不意圖限定發明之範圍。該些實施形態能以其他多種方式實施，

可於不脫離發明之主旨之範圍內進行各種省略、替換、變更。該些實施形態或其變化包含於發明之範圍或主旨中，同樣包含於權利要求書所記載之發明及其均等之範圍內。

再者，於與本發明相關之各實施形態中，亦可如下述般。例如，記憶胞電晶體MT可保持2位(4值)之資訊，當將保持有4值中之某一個時之閾值位準按照自低到高之順序設為E位準(刪除位準)、A位準、B位準、及C位準時，

(1)讀出動作中：

於A位準之讀出動作中施加至所選擇之字元線之電壓為例如0 V～0.55 V之間。並不限定於此，亦可設為0.1 V～0.24 V、0.21 V～0.31 V、0.31 V～0.4 V、0.4 V～0.5 V、及0.5 V～0.55 V中之任一者之間。

於B位準之讀出動作中施加至所選擇之字元線之電壓為例如1.5 V～2.3 V之間。並不限定於此，亦可設為1.65 V～1.8 V、1.8 V～1.95 V、1.95 V～2.1 V、及2.1 V～2.3 V中之任一者之間。

於C位準之讀出動作中施加至所選擇之字元線之電壓為例如3.0 V～4.0 V之間。並不限定於此，亦可設為3.0 V～3.2 V、3.2 V～3.4 V、3.4 V～3.5 V、3.5 V～3.6 V、及3.6 V～4.0 V中之任一者之間。

作為讀出動作之時間(tR)，亦可設為例如25  $\mu\text{s}$ ～38  $\mu\text{s}$ 、38  $\mu\text{s}$ ～70  $\mu\text{s}$ 、或70  $\mu\text{s}$ ～80  $\mu\text{s}$ 之間。

(2)寫入動作如上述般包含編程動作與驗證動作。寫入動作中：

編程動作時最初施加至所選擇之字元線之電壓為例如13.7 V～14.3 V之間。並不限定於此，亦可設為例如13.7 V～14.0 V及14.0 V～14.6 V中之任一者之間。

亦可改變對第奇數條字元線進行寫入時最初施加至所選擇之字元線之電壓、及對第偶數條字元線進行寫入時最初施加至所選擇之字元線之電壓。

當將編程動作設為ISPP方式(Incremental Step Pulse Program，增量階躍脈衝編程)時，作為躍階電壓，可列舉例如0.5 V左右。

作為施加至非選擇字元線之電壓，亦可設為例如6.0 V~7.3 V之間。並不限定於該情形，亦可設為例如7.3 V~8.4 V之間，還可設為6.0 V以下。

亦可根據非選擇字元線為第奇數條字元線還係第偶數條字元線而改變施加之通路電壓。

作為寫入動作之時間(tProg)，亦可設為例如1700  $\mu$ s~1800  $\mu$ s、1800  $\mu$ s~1900  $\mu$ s、或1900  $\mu$ s~2000  $\mu$ s之間。

### (3)刪除動作中：

最初施加至形成於半導體基板上部且於上方配置著上述記憶胞之阱之電壓為例如12 V~13.6 V之間。並不限定於該情形，亦可為例如13.6 V~14.8 V、14.8 V~19.0 V、19.0 V~19.8 V、或19.8 V~21 V之間。

作為刪除動作之時間(tErase)，亦可設為例如3000  $\mu$ s~4000  $\mu$ s、4000  $\mu$ s~5000  $\mu$ s、或4000  $\mu$ s~9000  $\mu$ s之間。

### (4)記憶胞之構造：

具有介隔膜厚為4~10 nm之隧道絕緣膜而配置於半導體基板(矽基板)上之電荷累積層。該電荷累積層可設為膜厚為2~3 nm之SiN或SiON等之絕緣膜與膜厚為3~8 nm之多晶矽之積層構造。再者，亦可對多晶矽添加Ru等金屬。於電荷累積層之上具有絕緣膜。該絕緣膜例如具有隔於膜

厚為3~10 nm之下層High-k膜與膜厚為3~10 nm之上層High-k膜之間之膜厚為4~10 nm之氧化矽膜。High-k膜可列舉HfO等。再者，氧化矽膜之膜厚可厚於High-k膜之膜厚。於絕緣膜上，介隔膜厚為3~10 nm之功能調整用之材料而形成有膜厚為30 nm~70 nm之控制電極。此處，功能調整用之材料為TaO等之金屬氧化膜、TaN等之金屬氮化膜。控制電極可使用W等。

再者，可於記憶胞間形成氣隙。

### 【符號說明】

1	記憶體系統
10	記憶體
10_0	記憶體
10_1	記憶體
10_2	記憶體
20	介面晶片
21	凸塊
30	記憶體晶片
30a	記憶體晶片
30b	記憶體晶片
30c	記憶體晶片
30d	記憶體晶片
30e	記憶體晶片
30f	記憶體晶片
30g	記憶體晶片

30h	記憶體晶片
31	TSV
32	凸塊
33	配線
40	封裝基板
41	凸塊
42	凸塊
50	輸入輸出控制電路
51	邏輯電路
52	ODT控制電路
53	記憶體陣列
54	參數記憶部
60	ODT電路
61	p通道MOS晶體管
62	n通道MOS晶體管
63a、63b	可變電阻元件
64	輸入接收器
65	輸出驅動器
70	記憶體晶片
70a	記憶體晶片
70b	記憶體晶片
70c	記憶體晶片
70d	記憶體晶片

70e	記憶體晶片
70f	記憶體晶片
70g	記憶體晶片
70h	記憶體晶片
71	端子
100	控制器
200	主機機器
ALE	位址鎖存賦能信號
ALE <sub>x</sub>	位址鎖存賦能信號
AD1	位址資料
AD2	位址資料
AD3	位址資料
AD4	位址資料
AD5	位址資料
CADD	晶片位址
Cen	晶片賦能信號
CE <sub>n</sub>	晶片賦能信號
CLE	指令鎖存賦能信號
CLE <sub>x</sub>	指令鎖存賦能信號
DQ[7 : 0]	資料線
DQS	時鐘信號
DQS <sub>n</sub>	時鐘信號
E/O	奇數/偶數位元線

L	低位頁面
M	中間頁面
ODTEN	ODT賦能信號
ODTS	閘極被輸入信號
ODTSn	閘極被輸入信號
RE	讀出賦能信號
REn	讀出賦能信號
R/Bn	就緒/忙碌信號
RD	讀出資料
S1~S7	步驟
U	高位頁面
VCC	電源電壓
VSS	接地電壓
WD	寫入資料
WL	字元線
WEn	寫入賦能信號
WEnx	寫入賦能信號
WPn	寫入保護信號
WPnx	寫入保護信號
W-B0	資料
W-B1	資料
W-B2	資料
W-B3	資料

xxh 位址資料

yyh 位址資料

## 【發明申請專利範圍】

### 【第1項】

一種記憶體系統，其特徵在於包括：

第1非揮發性半導體記憶裝置；及

控制器，其構成為控制上述第1非揮發性半導體記憶裝置；

上述第1非揮發性半導體記憶裝置包含：

第1端子，其與上述控制器連接；及

第1電路，其包含：連接於上述第1端子之第1及第2電阻元件、將該第1電阻元件與電源電壓線電性連接之第1開關元件、及將該第2電阻元件與接地電壓線電性連接之第2開關元件；且

上述第1非揮發性半導體記憶裝置基於自上述控制器接收之第1信號，執行對上述第1非揮發性半導體記憶裝置之寫入動作之防止及上述第1電路之控制之一。

### 【第2項】

如請求項1之記憶體系統，其中

上述第1非揮發性半導體記憶裝置於上述第1電路之參數設定前，基於上述第1信號，防止上述寫入動作，於上述參數設定後，基於上述第1信號控制上述第1電路。

### 【第3項】

如請求項1之記憶體系統，其中

上述第1非揮發性半導體記憶裝置於上述第1非揮發性半導體記憶裝置之啟動時，基於上述第1信號，防止上述寫入動作。

### 【第4項】

如請求項1至3中任一項之記憶體系統，其更具備：

第2電路，其控制上述第1電路；且

上述控制器經由上述第1端子，可將控制讀出動作中讀出資料之順序之第2信號發送至上述第1非揮發性半導體記憶裝置；

於基於上述第1信號控制上述第1電路之情況，上述第2電路在當切換上述第1信號之邏輯位準之際上述第2信號處於第1邏輯位準之情形時，將上述第1及第2開關元件設為斷開狀態，且在切換上述第1信號之邏輯位準之際上述第2信號處於第2邏輯位準之情形時，將上述第1及第2開關元件設為接通狀態。

#### 【第5項】

如請求項1至3中任一項之記憶體系統，其更具備：

第2非揮發性半導體記憶裝置，其共通地連接於上述控制器及上述第1非揮發性半導體記憶裝置；且

上述控制器於選擇上述第2非揮發性半導體記憶裝置作為上述寫入動作或讀出動作之對象之情形時，控制上述第1非揮發性半導體記憶裝置之上述第1及第2開關元件。

#### 【第6項】

如請求項1至3中任一項之記憶體系統，其中

上述第1信號係非同步信號。

#### 【第7項】

如請求項4之記憶體系統，其中

上述控制器於25 nsec以上之第1期間，維持上述第2信號之邏輯位準，自上述第1期間開始經過5 nsec以上至上述第1期間結束為止之期

間，將上述第1信號自上述第2邏輯位準切換為上述第1邏輯位準。

#### 【第8項】

如請求項1之記憶體系統，其中

上述控制器將控制讀出動作中讀出資料之時序之第2信號、控制上述寫入動作中接收資料之時序之第3信號、將上述第1非揮發性半導體記憶裝置設為可使用狀態之第4信號、表示所發送之資料係指令之第5信號、及表示所發送之資料係位址之第6信號發送至上述第1非揮發性半導體記憶裝置；

上述第1非揮發性半導體記憶裝置基於上述第1至第6信號，執行上述寫入動作之防止及上述第1電路之控制之一。

#### 【第9項】

如請求項8之記憶體系統，其中

上述第1非揮發性半導體記憶裝置經由上述第1端子，接收上述第2信號；

在上述第1信號自第1邏輯位準切換為第2邏輯位準之際上述第3及第4信號處於上述第1邏輯位準且上述第5及第6信號處於上述第2邏輯位準之情形時，上述第1非揮發性半導體記憶裝置控制上述第1電路；

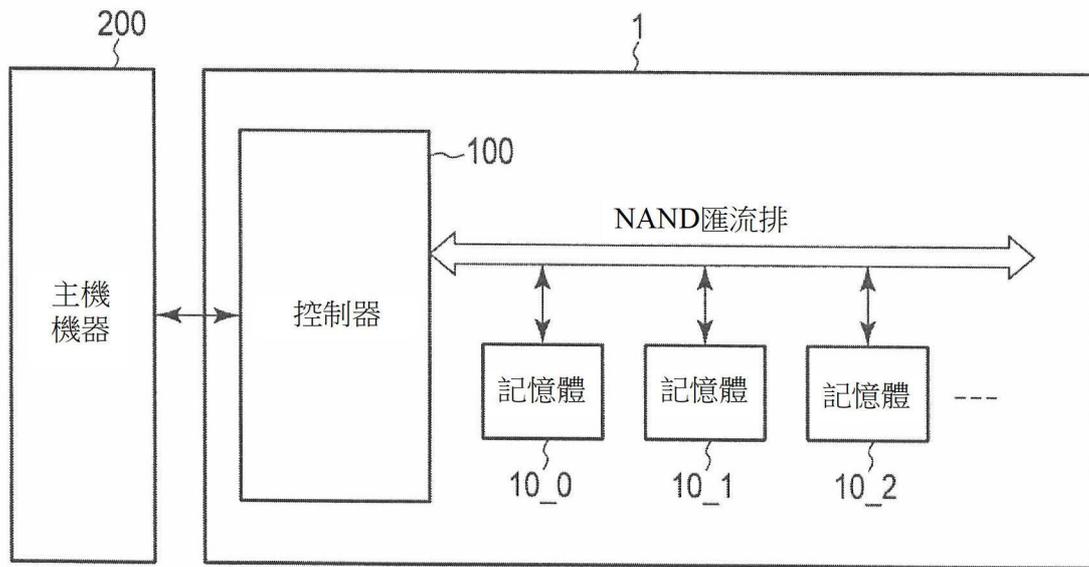
在上述第1信號自上述第1邏輯位準切換為上述第2邏輯位準之際上述第3及第4信號之至少一者非上述第1邏輯位準、及/或上述第5及第6信號之至少一者非上述第2邏輯位準之情形時，上述第1非揮發性半導體記憶裝置防止上述寫入動作。

#### 【第10項】

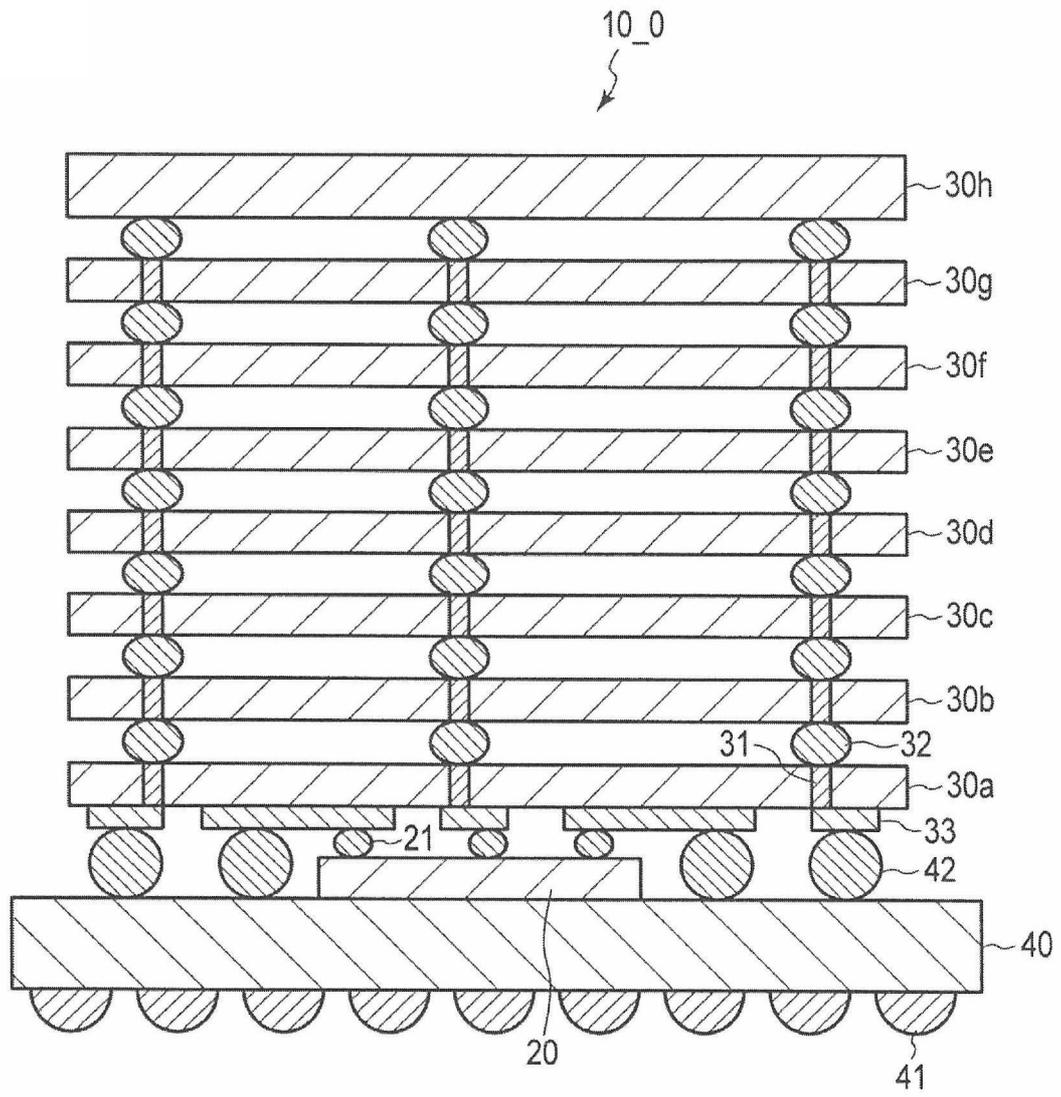
如請求項9之記憶體系統，其中

在上述第1信號自上述第1邏輯位準切換為上述第2邏輯位準之際上述第3及第4信號處於上述第1邏輯位準且上述第5及第6信號處於上述第2邏輯位準之情況，於上述第2信號處於上述第1邏輯位準之情形時，上述第1及第2開關元件設為斷開狀態，且於上述第2信號處於上述第2邏輯位準之情形時，將上述第1及第2開關元件設為接通狀態。

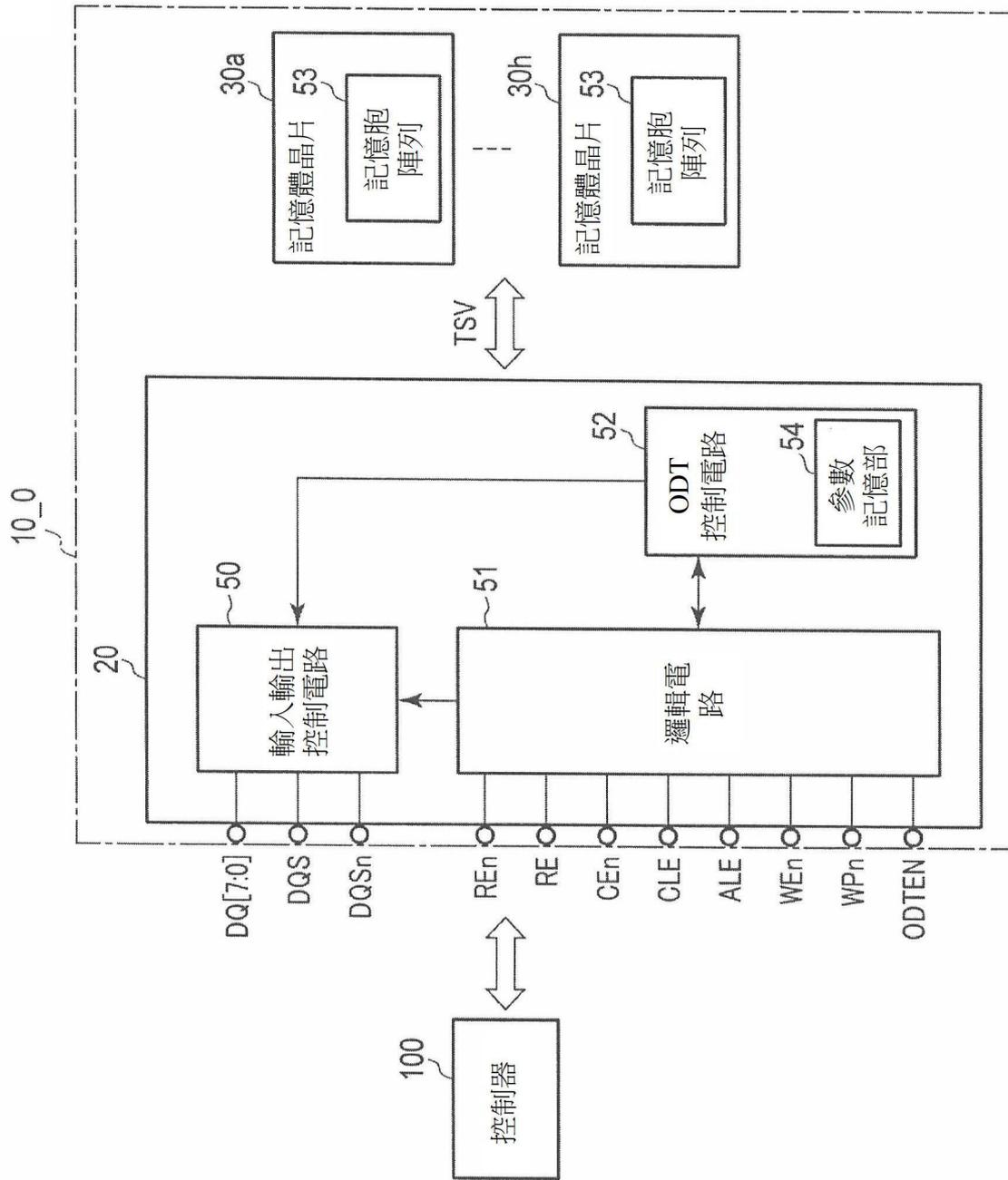
【發明圖式】



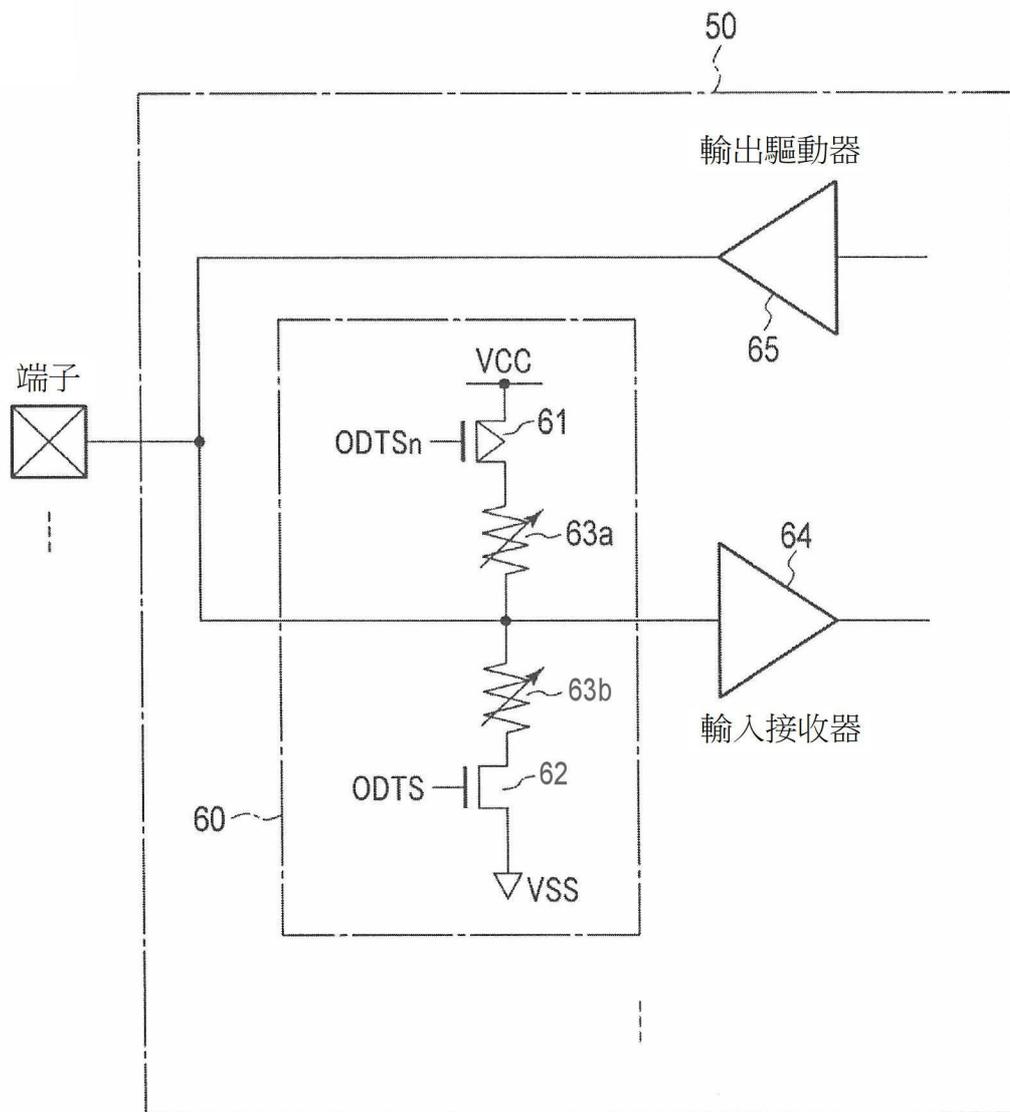
【圖1】



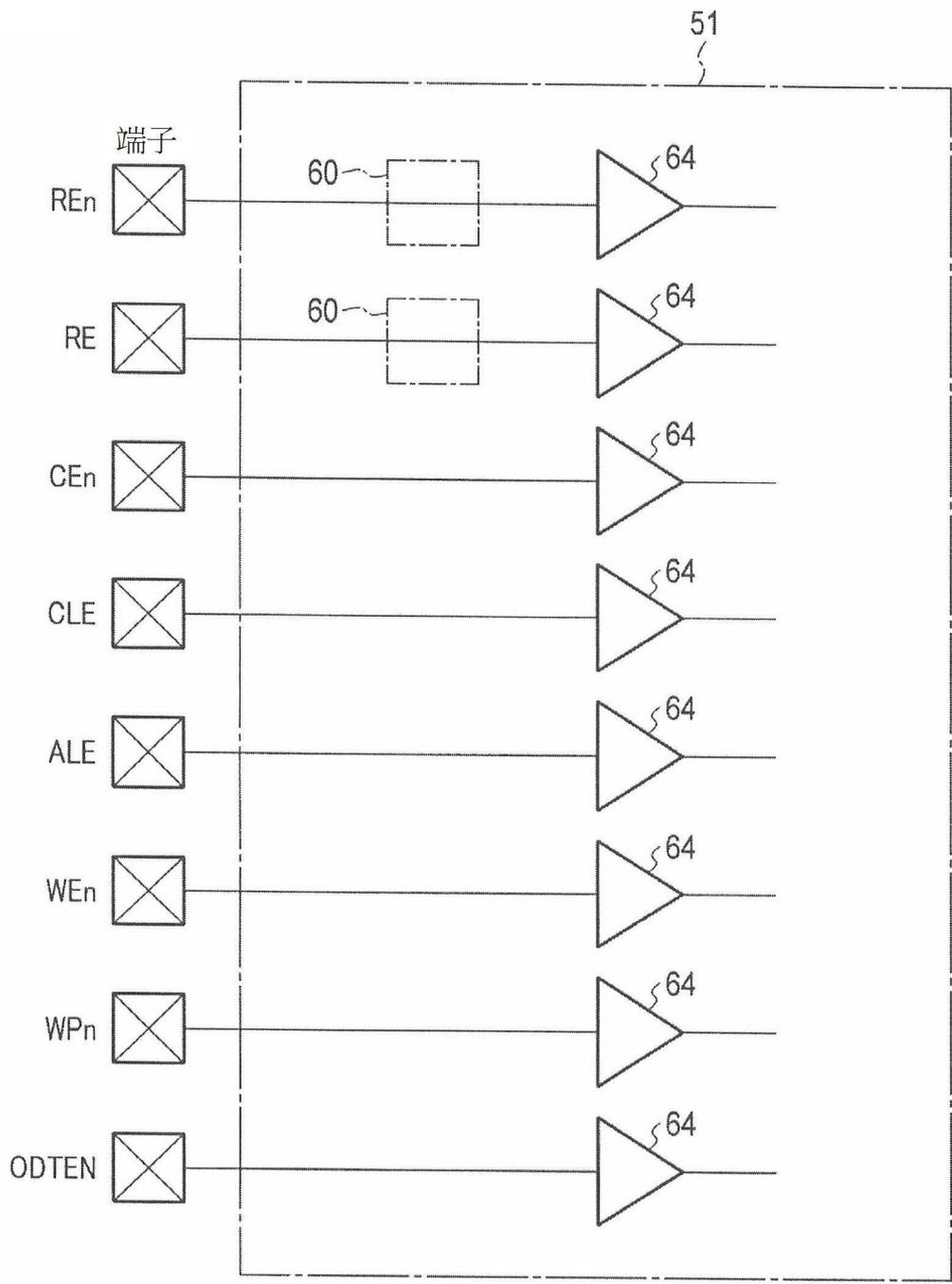
【圖2】



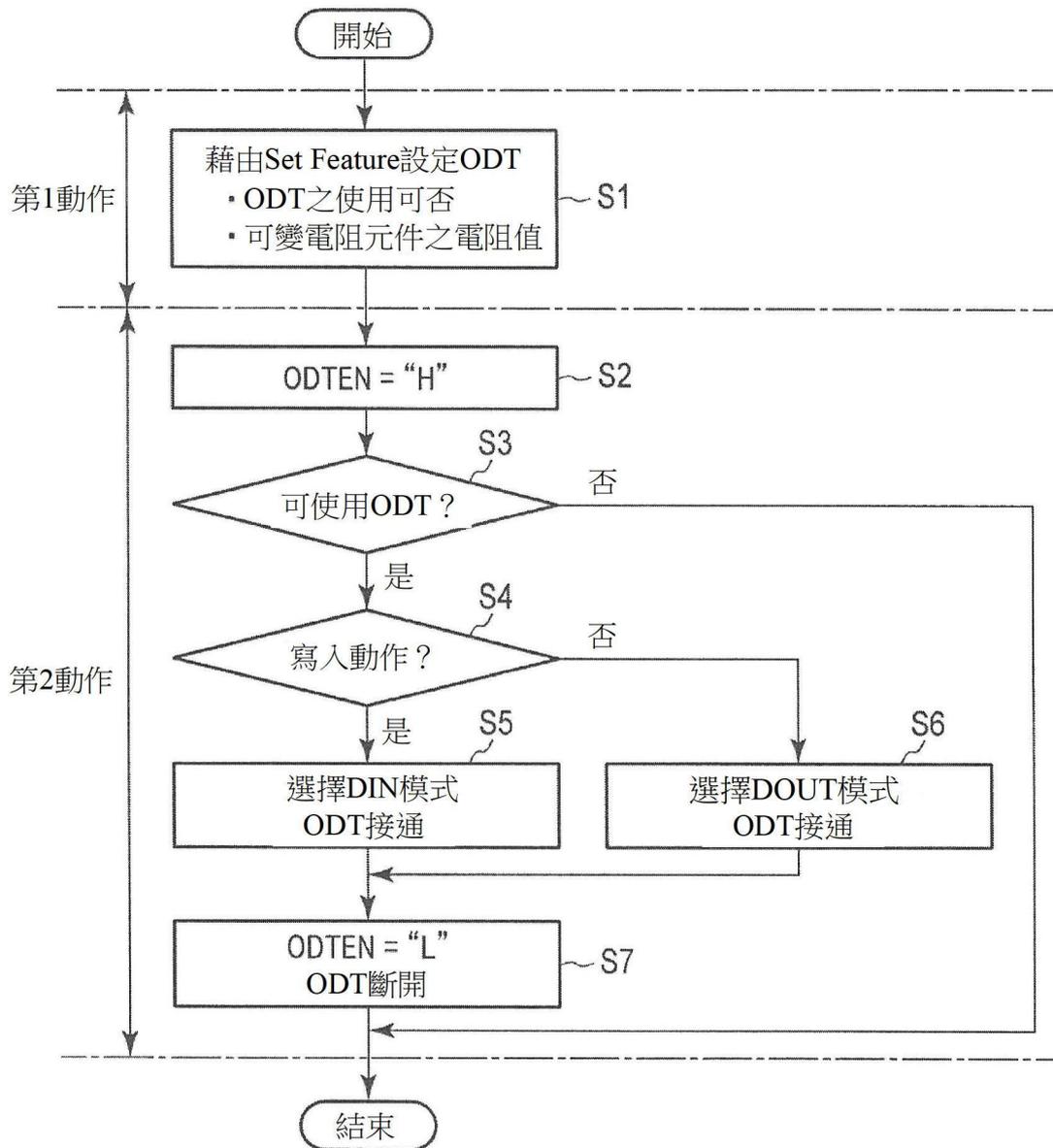
【圖3】



【圖4】



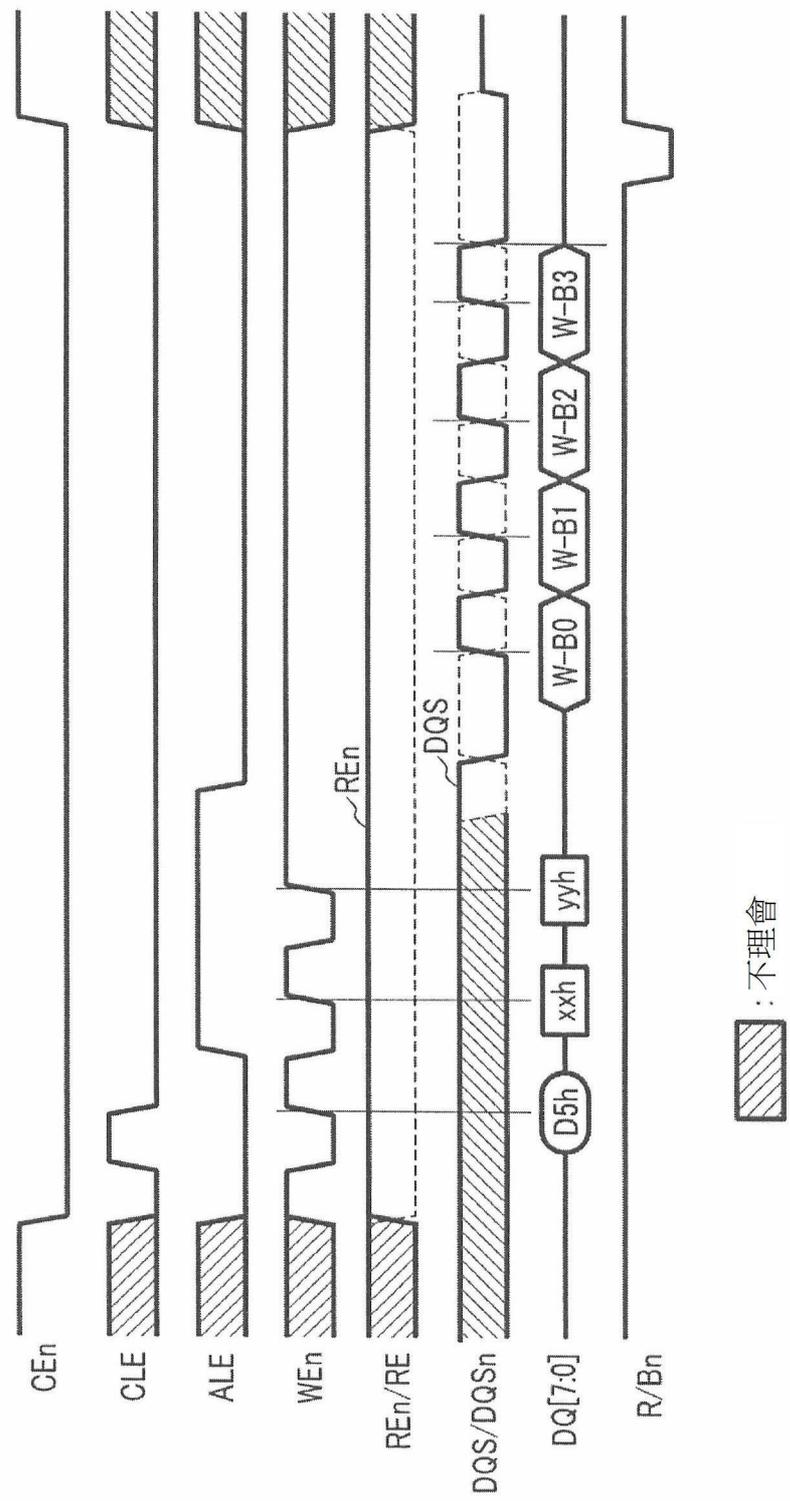
【圖5】



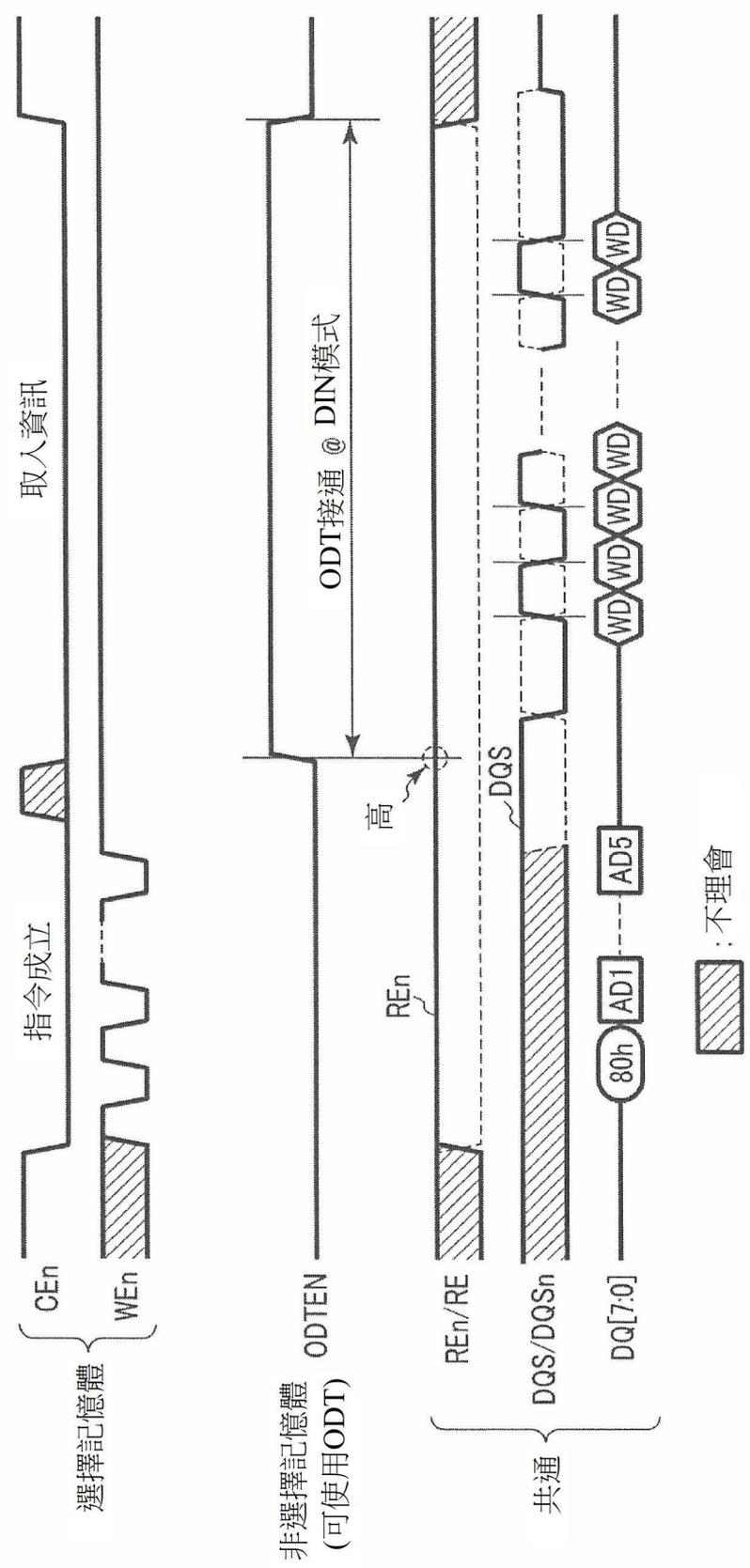
【圖6】

REn	ODTEN	模式
H	$\uparrow$ H	ODT接通 (DIN模式)
L	$\uparrow$ H	ODT接通 (DOUT模式)
X	L	ODT斷開

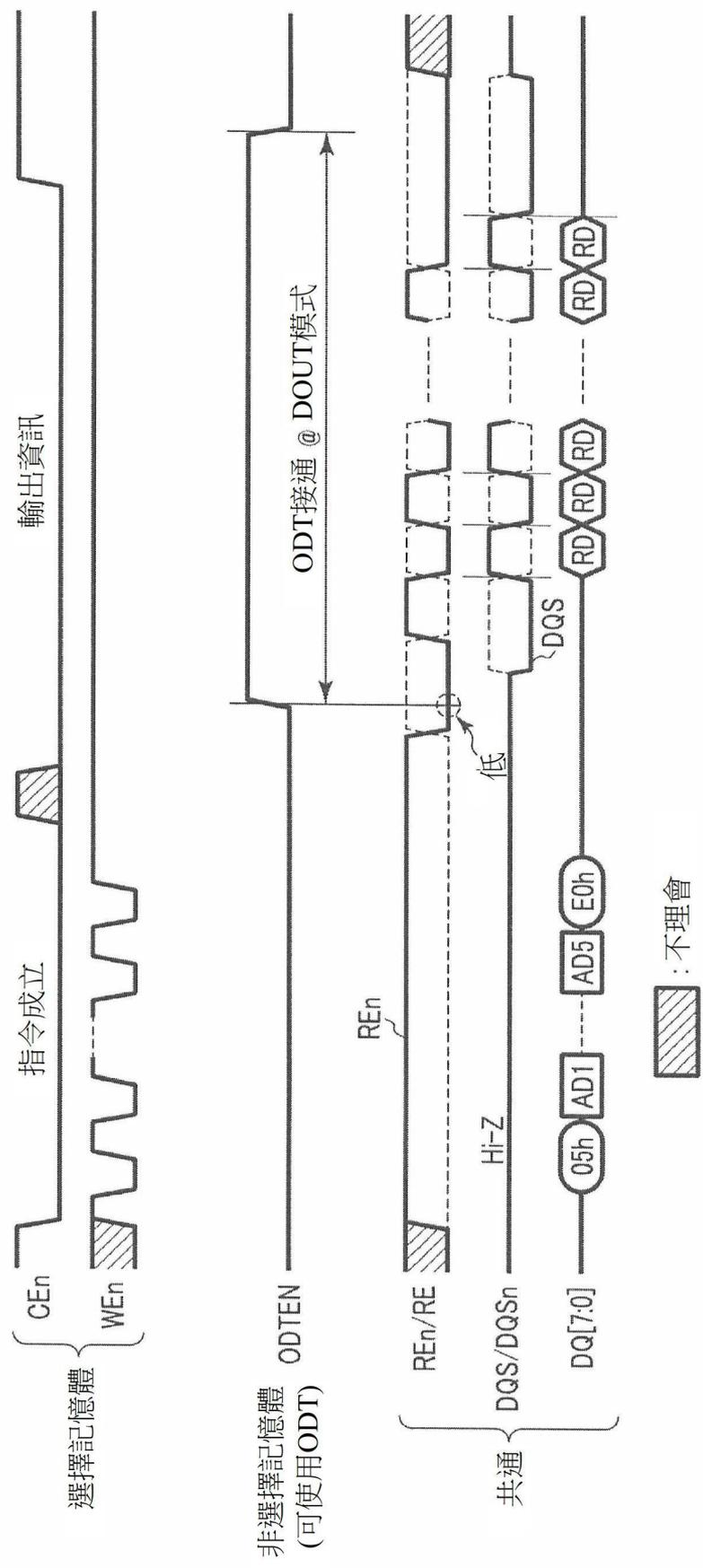
【圖7】



【圖8】

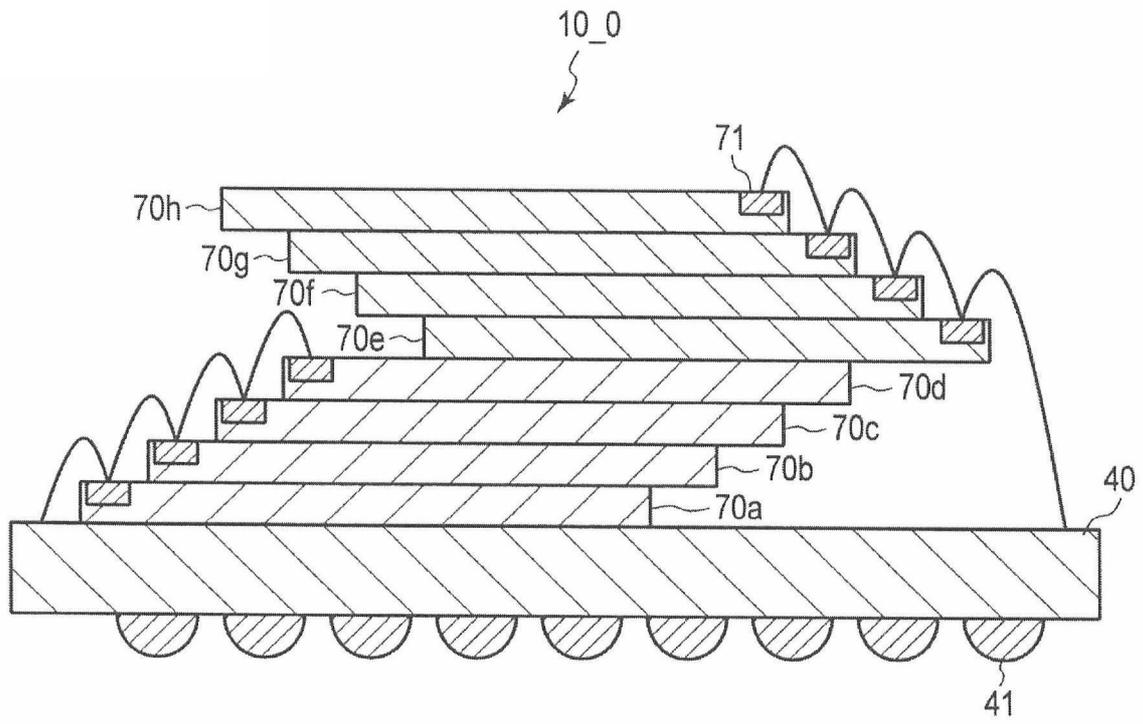


【圖9】

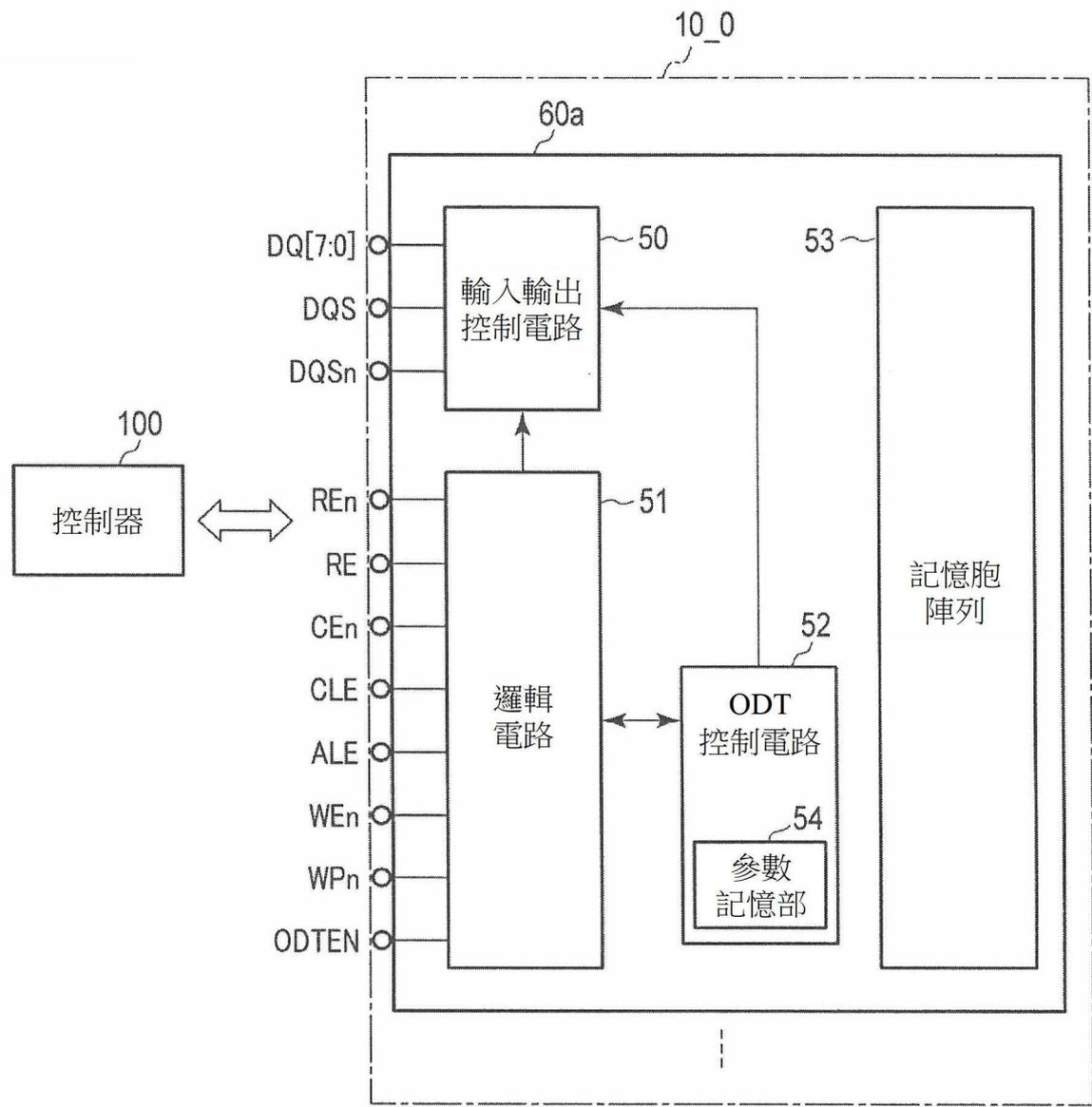


【圖10】





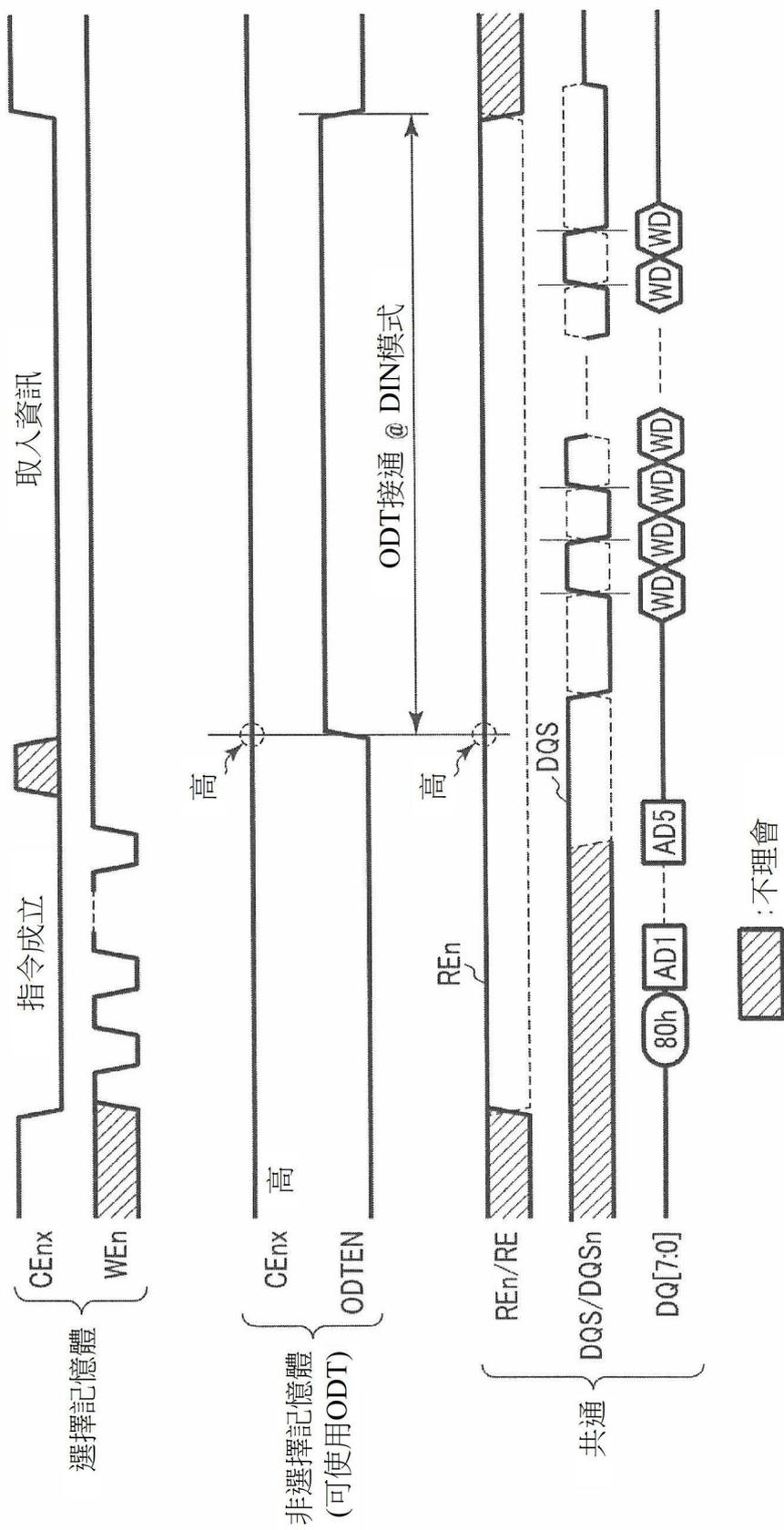
【圖12】



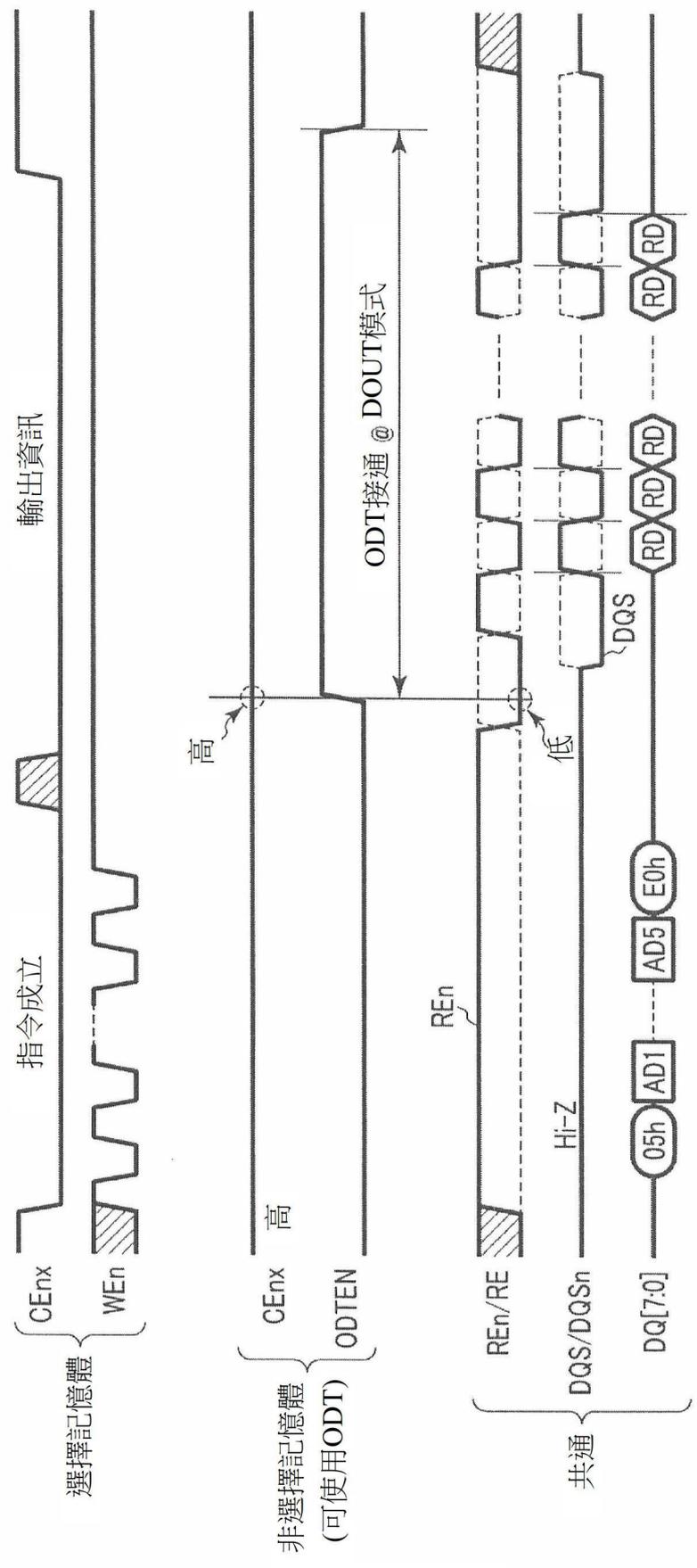
【圖13】

CEnx	REn	ODTEN	模式
H	H	$\uparrow$ H	ODT接通 (DIN模式)
H	L	$\uparrow$ H	ODT接通 (DOUT模式)
L	X	$\uparrow$ H	ODT斷開
X	X	L	ODT斷開

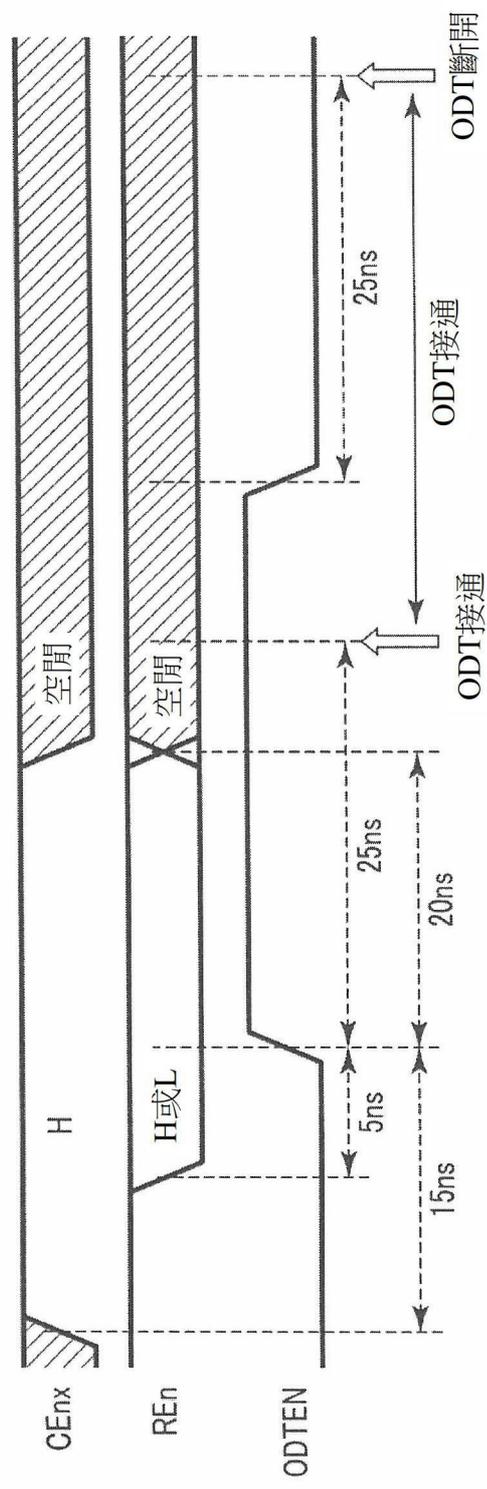
【圖14】



【圖15】



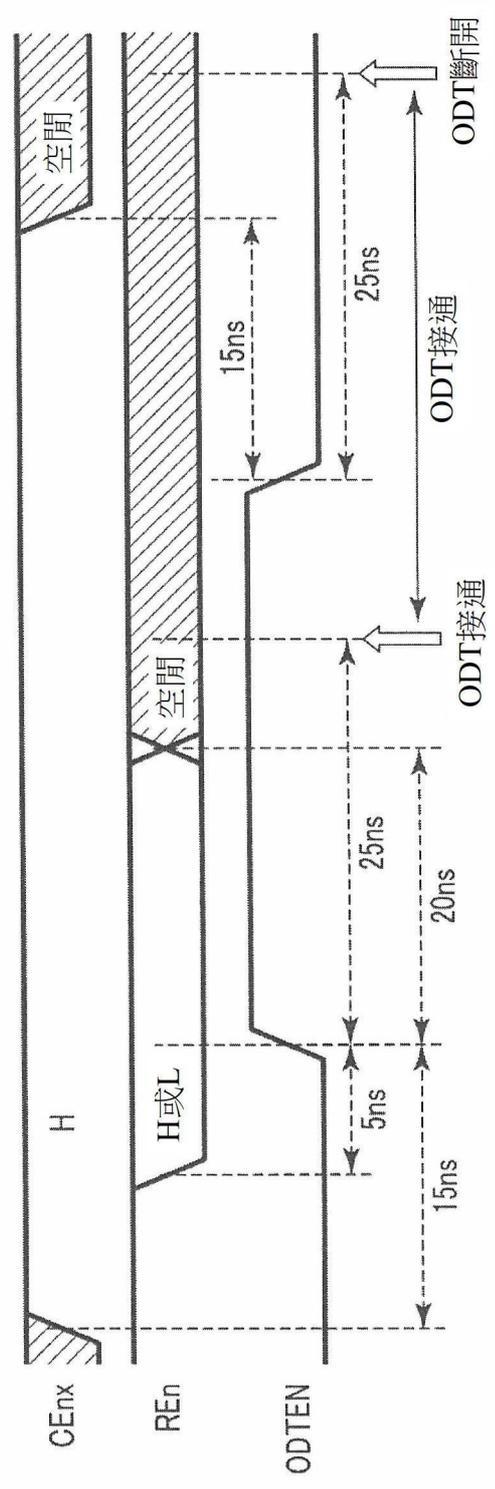
【圖16】



【圖17】

CE <sub>nx</sub>	RE <sub>n</sub>	ODTEN	模式
H	H	H	ODT接通 (DIN模式)
H	H→L	H	ODT接通 (DIN模式)
H	L	H	ODT接通 (DOUT模式)
H	L→H	H	ODT接通 (DOUT模式)
L	X	H	ODT斷開
X	X	L	ODT斷開

【圖18】



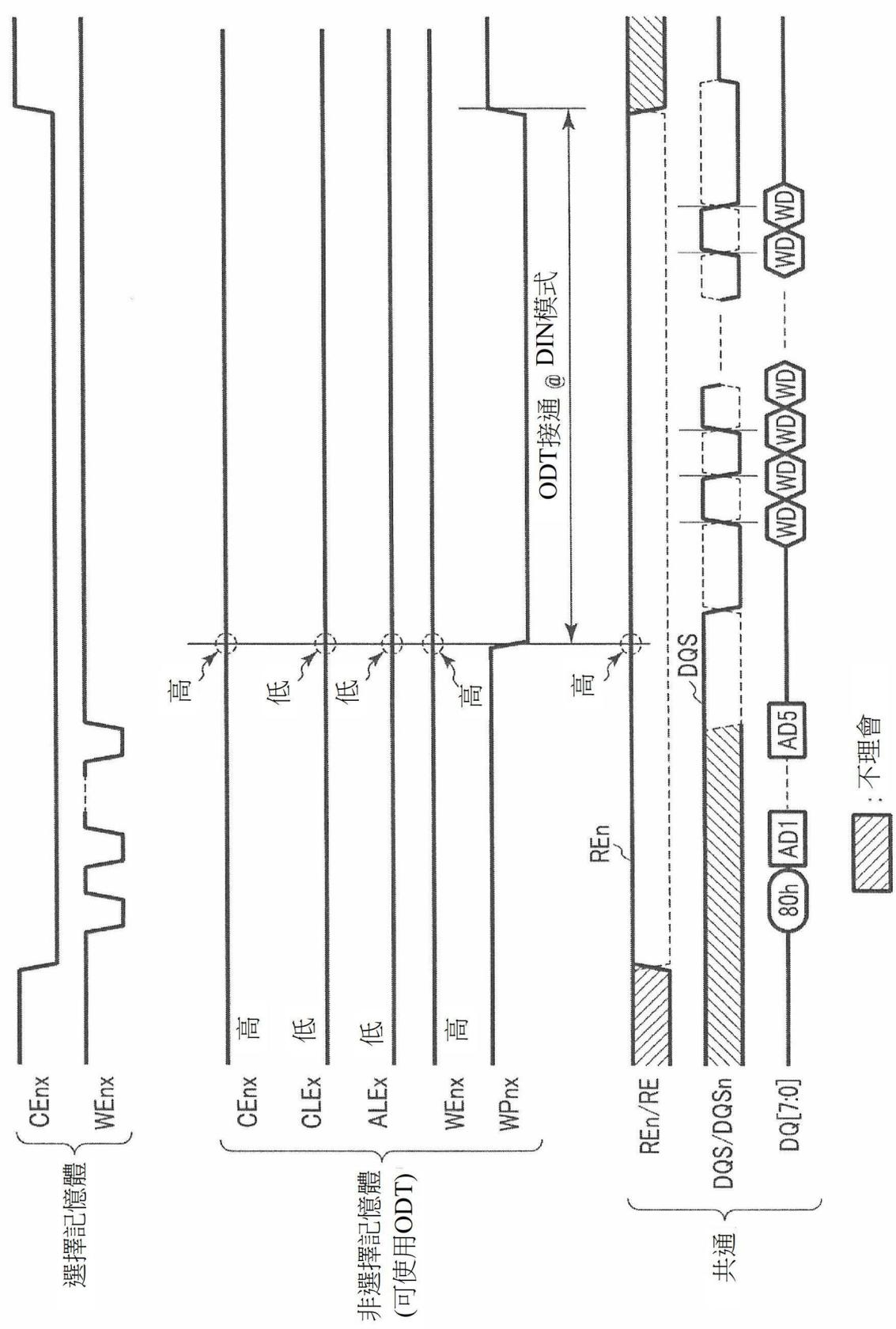
【圖19】

記憶體之狀態	WPnx端子之功能
通電	寫入保護功能 • WPn=L : 可執行WP
電源確定	寫入保護功能 • WPn=H : 禁止WP
藉由Set Feature 設定ODT後	設置ODT作為ODTEN端子 • WPn=L : 使ODT為賦能狀態 • WPn=H : 使ODT為去能狀態

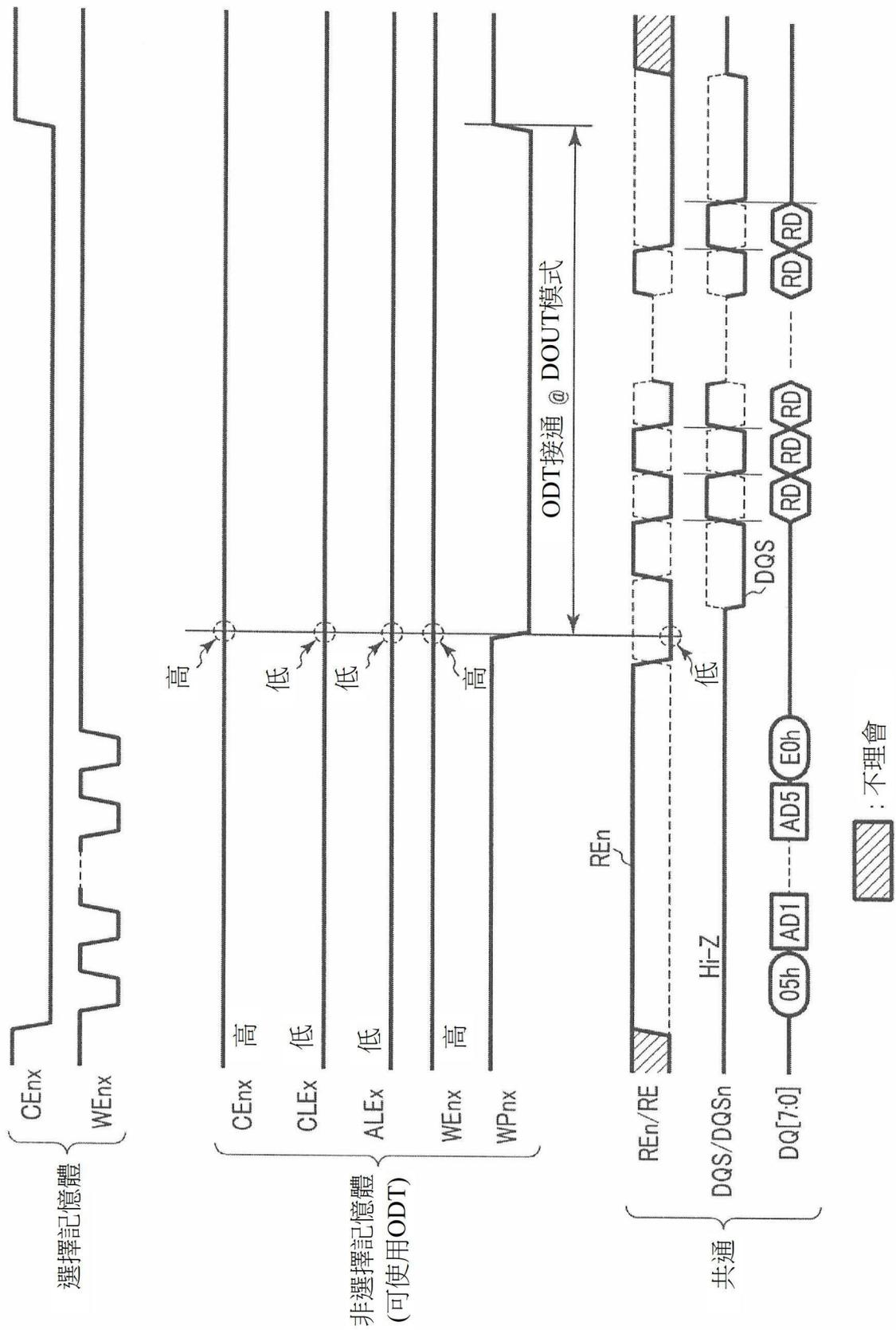
【圖20】

CEnx	CLE	ALE	WEn	REn	WPnx	模式
H	L	L	H	H	 L	ODT接通 (DIN模式)
H	L	L	H	L	 L	ODT接通 (DOUT模式)
其他				X	 L	寫入保護, ODT斷開
X	X	X	X	X	H	ODT斷開

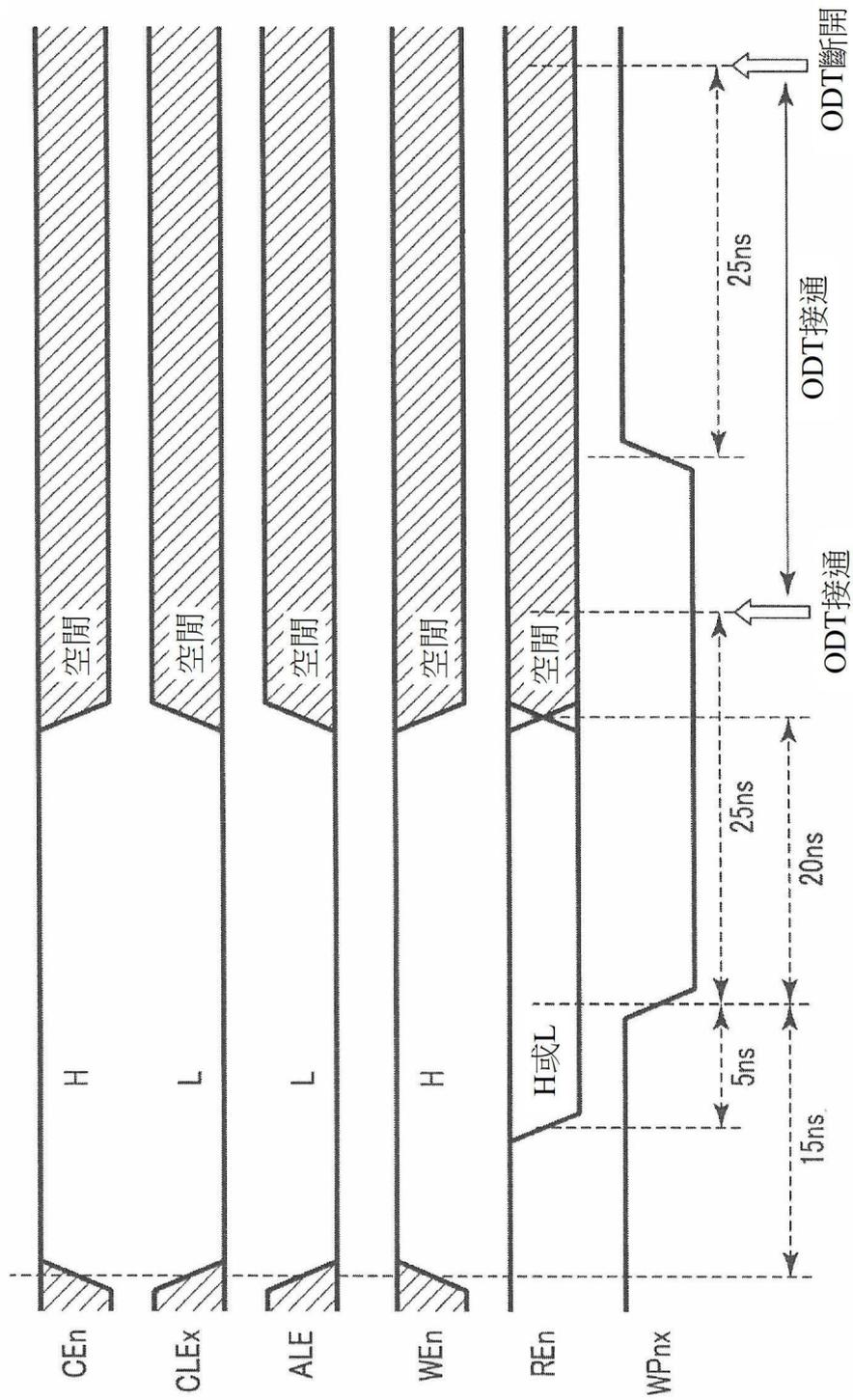
【圖21】



【圖22】



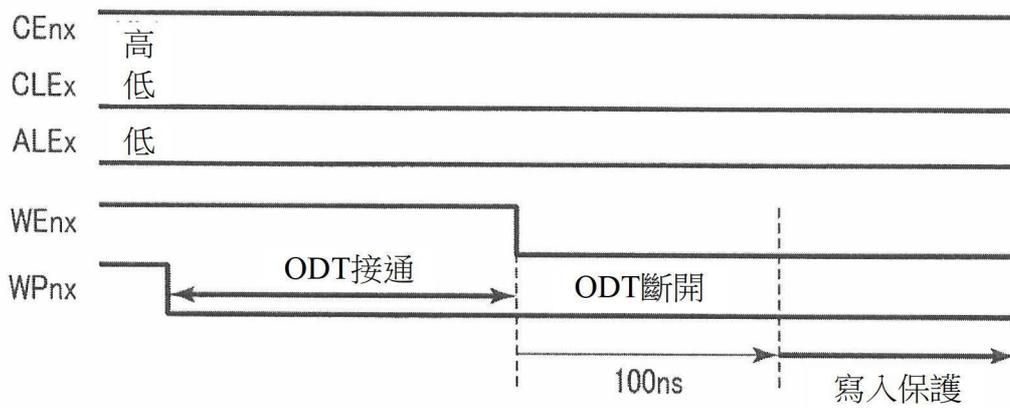
【圖23】



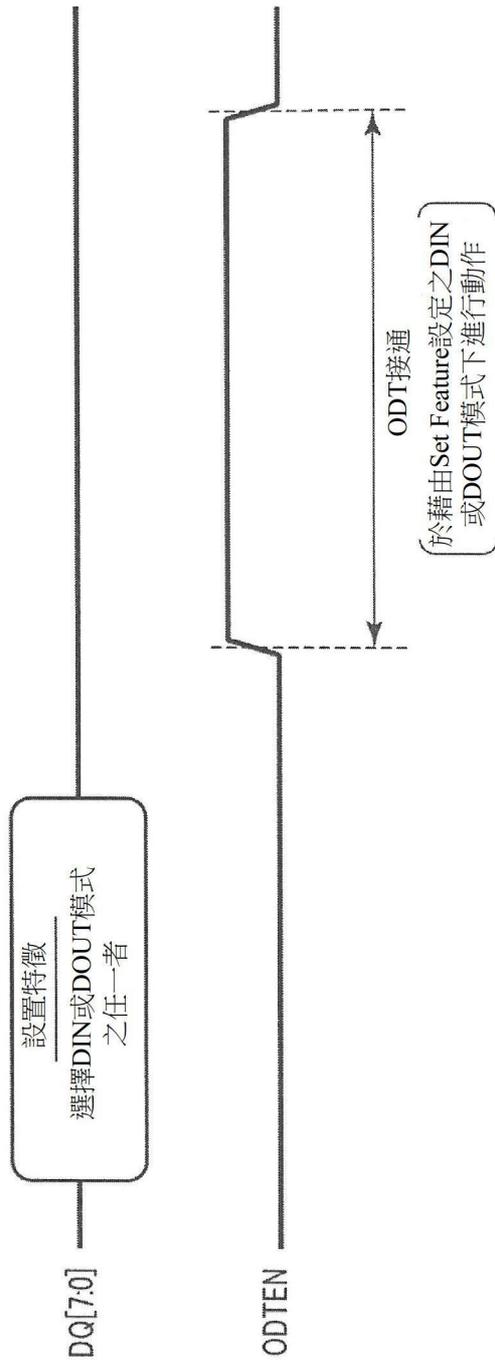
【圖24】

CEnx	CLEx	ALEx	WE <sub>nx</sub>	RE <sub>n</sub>	WP <sub>nx</sub>	模式
H	L	L	H	H	L	ODT接通 (DIN模式)
H	L	L	H	H→L	L	ODT接通 (DIN模式)
H	L	L	H	L	L	ODT接通 (DOOUT模式)
H	L	L	H	L→H	L	ODT接通 (DOOUT模式)
其他				X	L	寫入保護, ODT斷開
X	X	X	X	X	H	ODT斷開

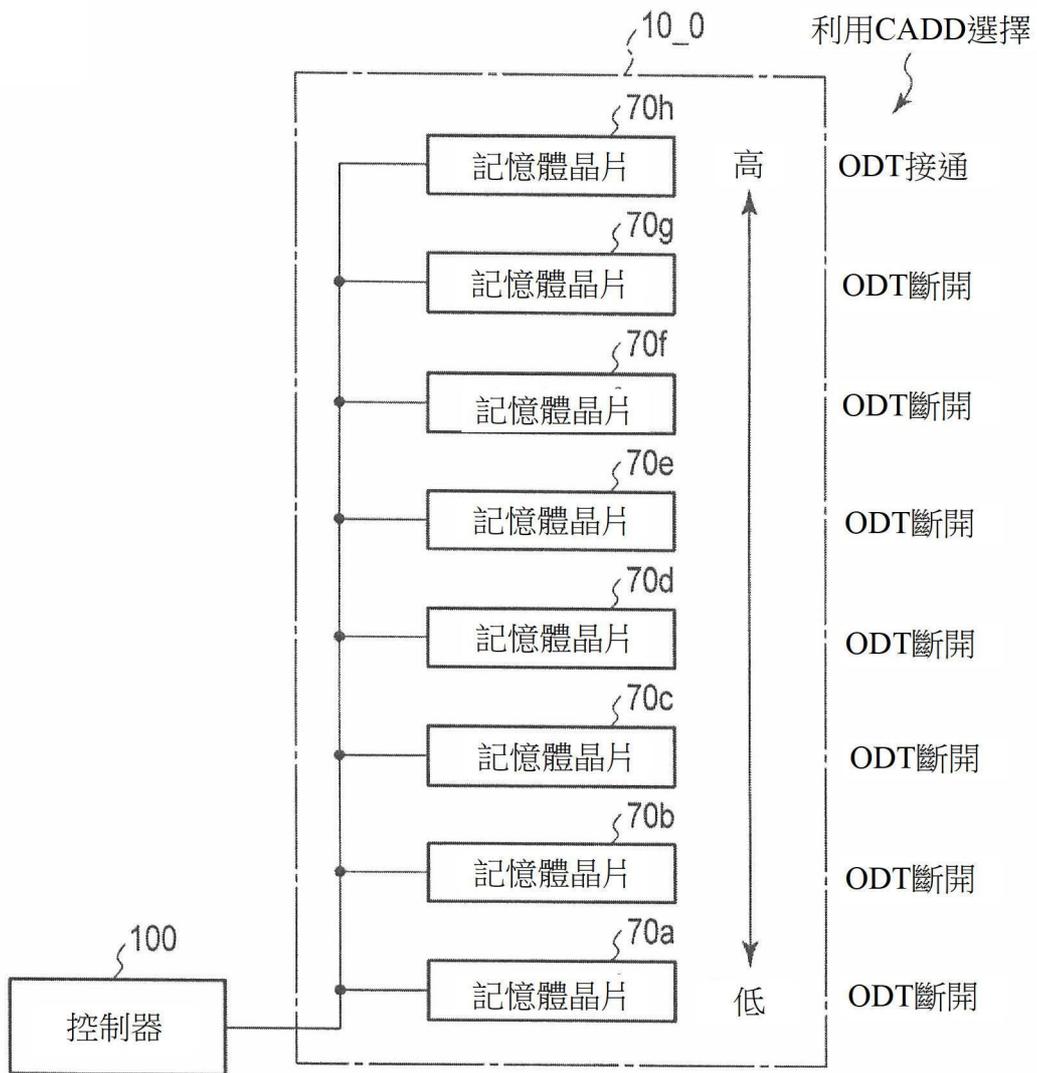
【圖25】



【圖26】



【圖27】



【圖28】