

(21)申請案號：102102471

(22)申請日：中華民國 102 (2013) 年 01 月 23 日

(51)Int. Cl. : **H03K17/687 (2006.01)**

(30)優先權：2012/02/29 日本 2012-044156

(71)申請人：精工電子有限公司 (日本) SEIKO INSTRUMENTS INC. (JP)
日本

(72)發明人：佐藤豐 SATO, YUTAKA (JP)

(74)代理人：林志剛

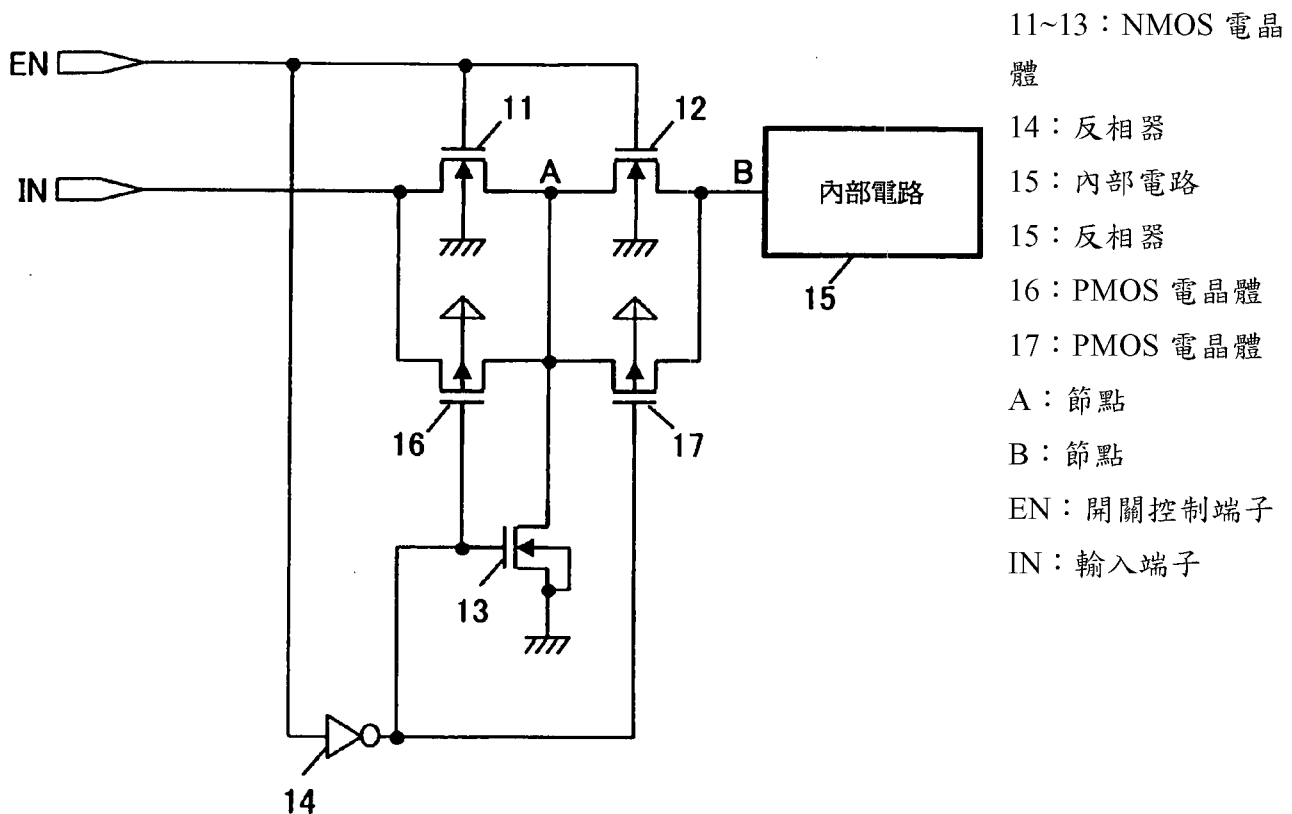
申請實體審查：無 申請專利範圍項數：2 項 圖式數：4 共 19 頁

(54)名稱

開關電路

(57)摘要

本發明是在於提供一種即使在輸入端子被輸入正或負的電壓，還是可對內部電路確實地控制傳達或遮斷 GND~VDD 的電壓之開關電路。在構成開關電路的 NMOS 電晶體追加 PMOS 電晶體，以輸入端子的電壓來控制 PMOS 電晶體的閘極，藉此可確實地控制傳達或遮斷 GND~VDD 的電壓。





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201340602 A

(43)公開日：中華民國 102 (2013) 年 10 月 01 日

(21)申請案號：102102471

(22)申請日：中華民國 102 (2013) 年 01 月 23 日

(51)Int. Cl. : **H03K17/687 (2006.01)**

(30)優先權：2012/02/29 日本

2012-044156

(71)申請人：精工電子有限公司 (日本) SEIKO INSTRUMENTS INC. (JP)

日本

(72)發明人：佐藤豐 SATO, YUTAKA (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：2 項 圖式數：4 共 19 頁

(54)名稱

開關電路

(57)摘要

本發明是在於提供一種即使在輸入端子被輸入正或負的電壓，還是可對內部電路確實地控制傳達或遮斷 GND~VDD 的電壓之開關電路。在構成開關電路的 NMOS 電晶體追加 PMOS 電晶體，以輸入端子的電壓來控制 PMOS 電晶體的閘極，藉此可確實地控制傳達或遮斷 GND~VDD 的電壓。

11~13：NMOS 電晶體

14：反相器

15：內部電路

15：反相器

16：PMOS 電晶體

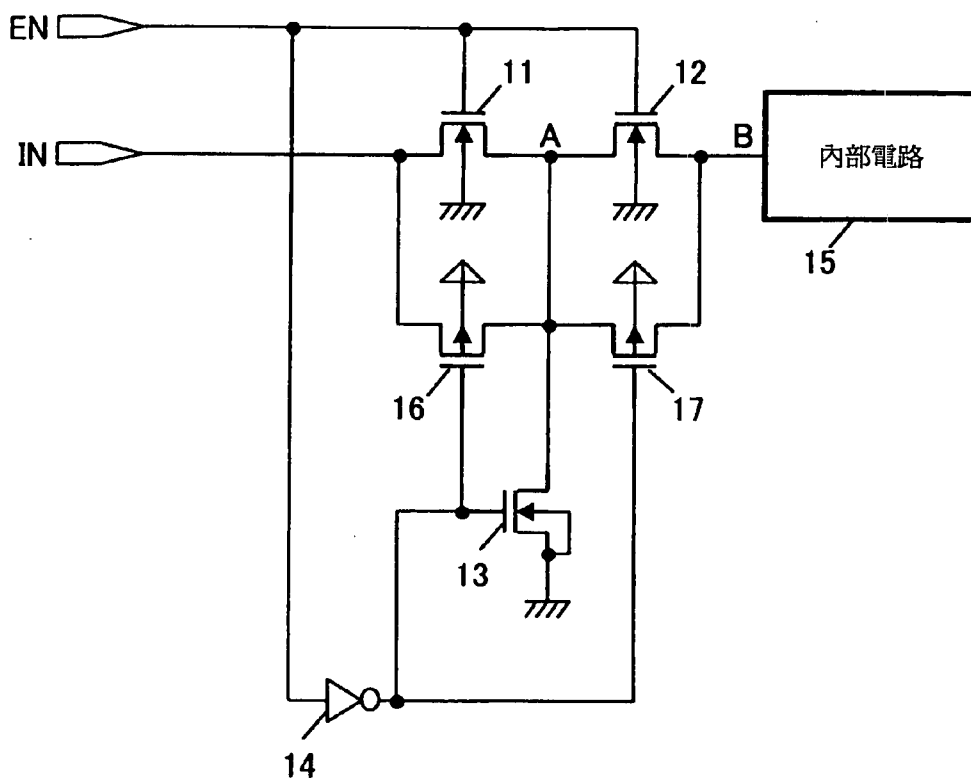
17：PMOS 電晶體

A：節點

B：節點

EN：開關控制端子

IN：輸入端子



發明摘要

※申請案號：102102471

※申請日：102 年 01 月 23 日

※IPC 分類： *H03K 17/687* (2006.01)

【發明名稱】(中文/英文)

開關電路

【中文】

本發明是在於提供一種即使在輸入端子被輸入正或負的電壓，還是可對內部電路確實地控制傳達或遮斷 GND~VDD 的電壓之開關電路。

在構成開關電路的 NMOS 電晶體追加 PMOS 電晶體，以輸入端子的電壓來控制 PMOS 電晶體的閘極，藉此可確實地控制傳達或遮斷 GND~VDD 的電壓。

【英文】

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

11~13：NMOS 電晶體

16、17：PMOS 電晶體

14、15：反相器

15：內部電路

EN：開關控制端子

IN：輸入端子

A、B：節點

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本申請書格式、順序，請勿任意更動)

【發明名稱】（中文/英文）

開關電路

【技術領域】

本發明是有關設在被輸入正或負的電壓的端子之開關電路。

【先前技術】

圖 4 是以往的開關電路的電路。開關電路是按照開關控制端子 EN 的訊號來控制對內部電路 15 傳達或遮斷被輸入至輸入端子 IN 的正或負的電壓。

想像使從輸入端子 IN 輸入的正的電壓 VIN+ 往內部電路 15 的輸入端子之節點 B 傳達的情況。將開關控制端子 EN 的訊號設為主動狀態的 VDD 電壓，開啓（ON）NMOS 電晶體 11 及 12。因此，從輸入端子 IN 輸入的正的電壓 VIN+ 是被傳達至內部電路 15 的輸入之節點 B。此時，NMOS 電晶體 13 是關閉（OFF），所以不對節點 B 的電壓造成影響。

其次，想像不使從輸入端子 IN 輸入的正的電壓 VIN+ 往內部電路 15 的輸入之節點 B 傳達的情況。將開關控制端子 EN 的訊號設為非主動狀態的 GND 電壓。由於 NMOS 電晶體 11 是汲極為電壓 VIN+，閘極為 GND 電

壓，所以關閉（OFF）。NMOS 電晶體 13 為開啓（ON），使節點 A 形成 GND 電壓。由於 NMOS 電晶體 12 是汲極與閘極為 GND 電壓，所以關閉（OFF）。因此，從輸入端子 IN 輸入的正的電壓 V_{IN+} 是未被傳達至內部電路 15 的輸入之節點 B。

其次，想像不使從輸入端子 IN 輸入的負的電壓 V_{IN-} 往內部電路 15 的輸入之節點 B 傳達的情況。將開關控制端子 EN 的訊號設為非主動狀態的 GND 電壓。但，NMOS 電晶體 11 是從輸入端子 IN 施加比 GND 電壓更低的負的電壓 V_{IN-} 至汲極，所以成為弱反轉領域的 ON 狀態。在此，由於 NMOS 電晶體 13 為開啓（ON），因此節點 A 不是被輸入的負的電壓 V_{IN-} ，而是形成 GND 電壓。由於 NMOS 電晶體 12 是汲極與閘極電壓為 GND 電壓，所以關閉（OFF）。因此，從輸入端子 IN 輸入的負的電壓 V_{IN-} 是不被傳達至內部電路 15 的輸入之節點 B。

如此，以往的開關電路是即使從輸入端子 IN 輸入負電壓，還是可防止往內部電路 15 的輸入傳達負電壓，可防止內部電路的誤動作。

〔先行技術文獻〕

〔專利文獻〕

[專利文獻 1]特開 2010-206779 號公報

【發明內容】

（發明所欲解決的課題）

然而，以往的開關電路是若將開關控制端子 EN 的訊號的主動狀態設為 VDD 電壓，則從輸入端子 IN 輸入的正的電壓 V_{IN+} 是電壓 ($V_{DD}-V_{GS}-V_{OV}$) 以上的電壓無法往節點 B 傳達。在此，VDD 是電源電壓，VGS 是 NMOS 電晶體 11 及 12 的臨界值電壓 ($V_{GS}>0V$)，VOV 是爲了使 NMOS 電晶體 11 及 12 確實地開啓 (ON) 而所必要的過驅動電壓 ($V_{OV}>0V$)。

並且，不使電壓 ($V_{DD}-V_{GS}-V_{OV}$) 以上的電壓例如電源電壓 VDD 往節點 B 傳達時，開關控制端子 EN 的主動狀態的訊號是需要電壓 ($V_{DD}+V_{GS}+V_{OV}$) 以上的電壓。因此，需要昇壓電路或準位轉換電路，電路規模會增加，製品的成本提高。

(用以解決課題的手段)

本發明的開關電路是爲了解決上述課題而研發者，係具備：

第一 NMOS 電晶體，其係汲極被連接至半導體裝置的輸入端子，源極被連接至第一節點，閘極被連接至控制端子；

第二 NMOS 電晶體，其係汲極被連接至第一節點，源極被連接至第二節點，閘極被連接至控制端子；

第一 PMOS 電晶體，其係源極被連接至半導體裝置的輸入端子，汲極被連接至第一節點，閘極係經由反相器來連接至控制端子；

第二 PMOS 電晶體，其係源極被連接至第一節點，汲極被連接至第二節點，閘極係經由反相器來連接至控制端子；

第三 NMOS 電晶體，其係源極被連接至接地電壓，汲極被連接至第一節點，閘極係經由前述反相器來連接至控制端子，

第二節點係被連接至內部電路。

〔發明的效果〕

若根據本發明的開關電路，則即使負的電壓從輸入端子 IN 輸入，還是可防止往內部電路 15 的輸入傳達，且正的電壓可將至 VDD 電壓的電壓往內部電路 15 的輸入傳達。

【圖式簡單說明】

圖 1 是表示第一實施形態的開關電路的電路圖。

圖 2 是表示第二實施形態的開關電路的電路圖。

圖 3 是表示第二實施形態的準位轉換電路的一例的電路圖。

圖 4 是表示以往的開關電路的電路圖。

【實施方式】

以下，參照圖面來說明本發明的開關電路的實施形態。開關電路是按照開關控制端子 EN 的訊號來控制對內

部電路 15 傳達或遮斷被輸入至輸入端子 IN 的正或負的電壓。

<第一實施形態>

圖 1 是表示第一實施形態的開關電路的電路圖。

第一實施形態的開關電路是具備：NMOS 電晶體 11、12 及 13、PMOS 電晶體 16 及 17、及反相器（Inverter）14。

NMOS 電晶體 11 是汲極被連接至輸入端子 IN，閘極被連接至開關控制端子 EN，源極被連接至 NMOS 電晶體 12 的汲極，背閘極（back gate）被連接至 GND。NMOS 電晶體 12 是閘極被連接至開關控制端子 EN，源極被連接至內部電路 15 的輸入端子（節點 B），背閘極被連接至 GND。PMOS 電晶體 16 是源極被連接至輸入端子 IN，閘極被連接至反相器 14 的輸出端子，汲極被連接至 PMOS 電晶體 17 的源極，背閘極被連接至 VDD。PMOS 電晶體 17 是閘極被連接至反相器 14 的輸出，汲極被連接至節點 B，背閘極被連接至 VDD。反相器 14 是輸入端子被連接至開關控制 EN。NMOS 電晶體 13 是閘極被連接至反相器 14 的輸出端子，源極被接地至 GND，汲極被連接至 NMOS 電晶體 11 的源極、NMOS 電晶體 12 的汲極、PMOS 電晶體 16 的汲極、PMOS 電晶體 17 的源極，背閘極被連接至 GND。

NMOS 電晶體 11 及 12、PMOS 電晶體 16 及 17 是藉

由開關控制端子 EN 的訊號來控制開啓/關閉。反相器電路 14 是將被輸入的 VDD/GND 電壓的訊號反轉而輸出。NMOS 電晶體 13 是當 NMOS 電晶體 11 及 12、PMOS 電晶體 16 及 17 關閉時，控制成開啓。

其次，說明有關第一實施形態的開關電路的動作。

(1) 不使從輸入端子 IN 輸入之正的電壓 VIN+往節點 B 傳達時

開關控制端子 EN 是被輸入非主動狀態的 GND 電壓的訊號。NMOS 電晶體 11 是汲極為電壓 VIN+，閘極為 GND 電壓，所以關閉 (OFF)。PMOS 電晶體 16 是源極為電壓 VIN+，閘極為 VDD 電壓，所以關閉 (OFF)。NMOS 電晶體 13 是閘極為 VDD 電壓，所以開啓 (ON) 而使節點 A 形成 GND 電壓。NMOS 電晶體 12 是汲極與閘極為 GND 電壓，所以關閉 (OFF)。PMOS 電晶體 17 是源極為 GND 電壓，閘極為 VDD 電壓，所以關閉 (OFF)。因此，從輸入端子 IN 輸入的正的電壓 VIN+是未被傳達至節點 B。

(2) 不使從輸入端子 IN 輸入的負的電壓 VIN-往節點 B 傳達時

開關控制端子 EN 是被輸入非主動狀態的 GND 電壓的訊號。NMOS 電晶體 11 是汲極為負的電壓 VIN-，閘極為 GND 電壓，所以成爲弱反轉領域的 ON 狀態。但，

NMOS 電晶體 13 是閘極為 VDD 電壓，所以開啓（ON）而使節點 A 形成 GND 電壓。NMOS 電晶體 12 是汲極為 GND 電壓，閘極電壓亦為 GND 電壓，所以關閉（OFF）。PMOS 電晶體 16 及 17 是閘極為 VDD 電壓，所以關閉（OFF）。因此，從輸入端子 IN 輸入的負的電壓 V_{IN-} 是未被傳達至節點 B。

（3）使從輸入端子 IN 輸入的正的電壓（VDD 電壓）往節點 B 傳達時

開關控制端子 EN 是被輸入主動狀態的 VDD 電壓的訊號。NMOS 電晶體 11 是汲極與閘極為 VDD 電壓，所以在源極（節點 A）被傳達電壓（ $V_{DD}-V_{GS}-V_{OV}$ ）。在此，VDD 是電源電壓，VGS 是 NMOS 電晶體 11 及 12 的臨界值電壓（ $V_{GS}>0V$ ），VOV 是爲了使 NMOS 電晶體 11 及 12 確實地開啓而所必要的過驅動電壓（ $V_{OV}>0V$ ）。

另一方面，PMOS 電晶體 16 是源極為 VDD 電壓，閘極為 GND 電壓，所以在汲極被傳達 VDD 電壓。在此，PMOS 電晶體 16 是全開，所以節點 A 的電壓是 PMOS 電晶體 16 的汲極的電壓會形成支配性。因此，節點 A 的電壓是形成 VDD 電壓。

NMOS 電晶體 12 與 PMOS 電晶體 17 的關係也是同樣，因此在節點 B 可傳達 VDD 電壓。

如以上說明般，本實施形態的開關電路是可傳達

GND 電壓~VDD 電壓的範圍的輸入電壓。

<第二實施形態>

圖 2 是表示第二實施形態的開關電路的電路圖。

第二實施形態的開關電路是除了圖 1 的電路，還具備準位轉換電路（level shifter circuit）18。準位轉換電路 18 是其電源端子 V 會被連接至輸入端子 IN，輸出端子 O 會被連接至 PMOS 電晶體 16 的閘極，輸入端子 I 會被連接至開關控制端子 EN。並且，PMOS 電晶體 16 的背閘極是被連接至輸入端子 IN。

準位轉換電路 18 是藉由電源端子 V 的電壓來電壓變換輸入端子 I 的訊號，從輸出端子 O 輸出。本實施形態是構成輸入與輸出的邏輯會反轉。當輸入端子 I 的訊號為 VDD 電壓時，從輸出端子 O 輸出 GND 電壓的訊號。當輸入端子 I 的訊號為 GND 電壓時，從輸出端子 O 輸出電源端子 V 的電壓的訊號。

（1）不使從輸入端子 IN 輸入之比 VDD 電壓更高的電壓往節點 B 傳達時

PMOS 電晶體 16 是若背閘極被連接至 VDD，則背閘極電壓會比源極電壓更低。因此，不要的電流會流往輸入端子 IN~PMOS 電晶體 16（源極~背閘極）~VDD。

在第二實施形態的開關電路是 PMOS 電晶體 16 的背閘極及源極會被連接至輸入端子 IN，因此背閘極與源極

間的電位差會變無，往 VDD 的電流路徑不存在。並且，PMOS 電晶體 16 的閘極是從準位轉換電路 18 的輸出端子 O 輸出之輸入端子 IN 的電壓。因此，PMOS 電晶體 16 的閘極爲了關閉（OFF）而被施加必要的電壓。

其他的輸入端子 IN 的電壓與開關電路的控制的組合是與在第一實施形態所述的電路動作同樣。

圖 3 是使用在第二實施形態的開關電路的準位轉換電路構成的一例。具備 PMOS 電晶體 21 及 22、NMOS 電晶體 23 及 24 之一般性且簡單的準位轉換電路的構成即可。

如此，在第二實施形態的開關電路中，即使在開關關閉時從輸入端子 IN 施加比 VDD 電壓更高的電壓，還是可防止不要的電流流至輸入端子 IN，可防止 PMOS 電晶體 16 的破壞。

【符號說明】

11~13、22、23：NMOS 電晶體

16、17、21、22：PMOS 電晶體

14、15：反相器

15：內部電路

18：準位轉換電路

申請專利範圍

1. 一種開關電路，係設在被輸入正或負的電壓的半導體裝置的輸入端子，將前述正或負的電壓傳達至內部電路之開關電路，其特徵係具備：

第一 NMOS 電晶體，其係汲極被連接至前述半導體裝置的輸入端子，源極被連接至第一節點，閘極被連接至控制端子；

第二 NMOS 電晶體，其係汲極被連接至前述第一節點，源極被連接至第二節點，閘極被連接至前述控制端子；

第一 PMOS 電晶體，其係源極被連接至前述半導體裝置的輸入端子，汲極被連接至前述第一節點，閘極係經由反相器來連接至前述控制端子；

第二 PMOS 電晶體，其係源極被連接至前述第一節點，汲極被連接至前述第二節點，閘極係經由前述反相器來連接至前述控制端子；

第三 NMOS 電晶體，其係源極被連接至接地電壓，汲極被連接至前述第一節點，閘極係經由前述反相器來連接至前述控制端子，

前述第二節點係被連接至前述內部電路。

2. 如申請專利範圍第 1 項之開關電路，其中，具備準位轉換電路，其係輸入端子被連接至前述控制端子，輸出端子被連接至前述第一 PMOS 電晶體的閘極，電源端子被連接至前述半導體裝置的輸入端子，

前述第一 PMOS 電晶體的背閘極被連接至前述半導體裝置的輸入端子。

圖 式

圖 1

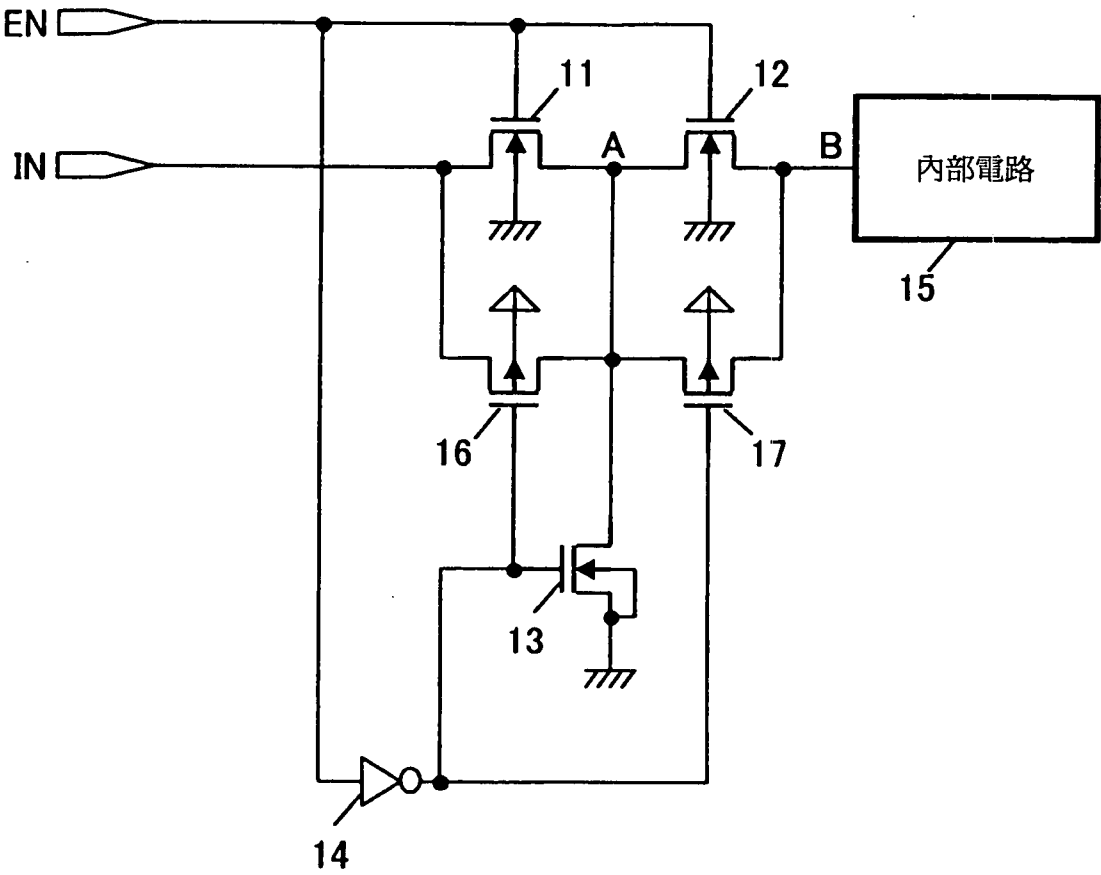


圖 3

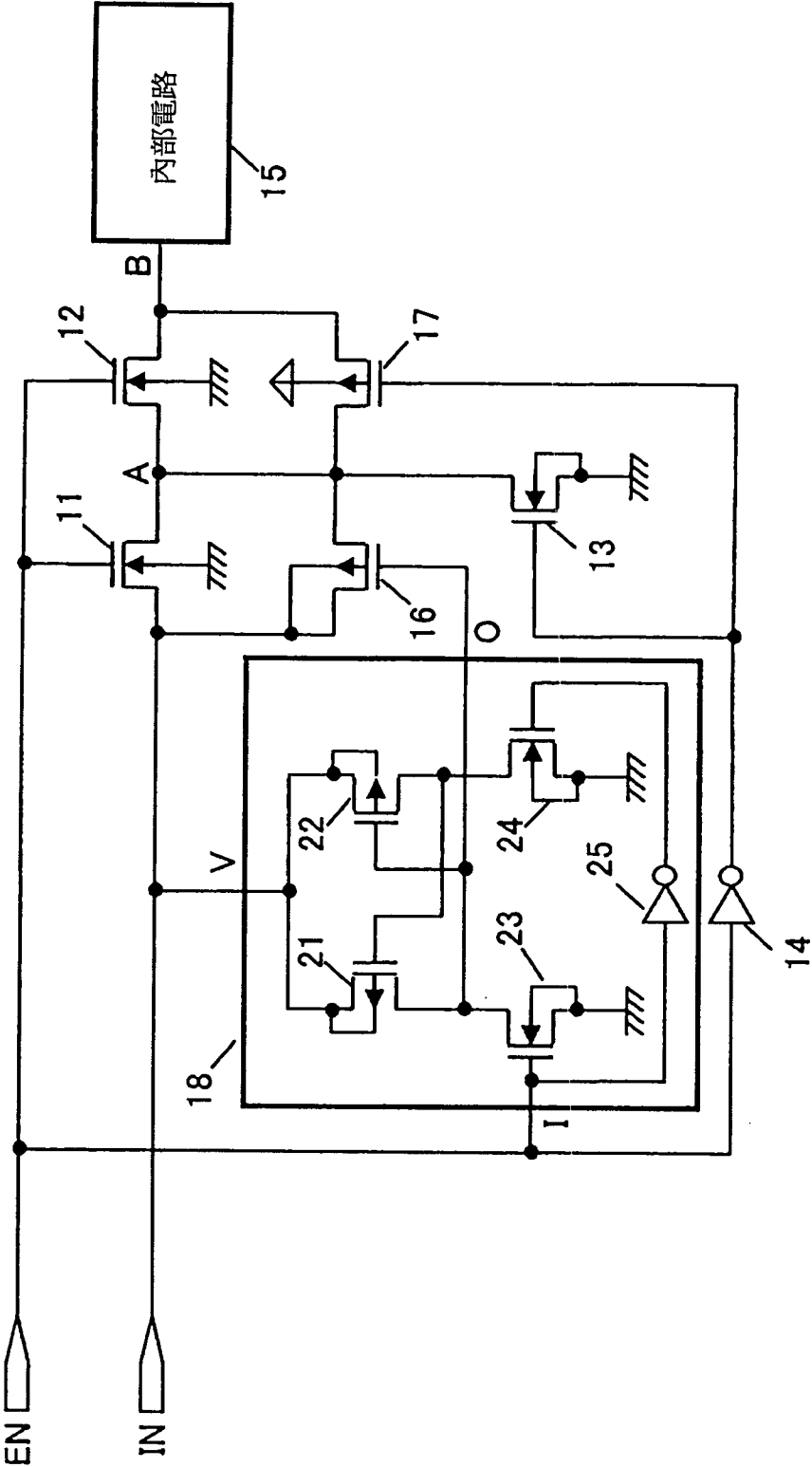


圖 4

