



(12)发明专利

(10)授权公告号 CN 105846670 B

(45)授权公告日 2018.08.03

(21)申请号 201610165791.2

CN 103929174 A,2014.07.16,

(22)申请日 2016.03.22

EP 2894943 A1,2015.07.15,

(65)同一申请的已公布的文献号

US 8902008 B1,2014.12.02,

申请公布号 CN 105846670 A

审查员 王宇

(43)申请公布日 2016.08.10

(73)专利权人 成都芯源系统有限公司

地址 611731 四川省成都市成都高新综合
保税区科新路8号成都芯源系统有限
公司

(72)发明人 李磊

(51)Int.Cl.

H02M 3/07(2006.01)

(56)对比文件

JP 2007129501 A,2007.05.24,

CN 102203872 A,2011.09.28,

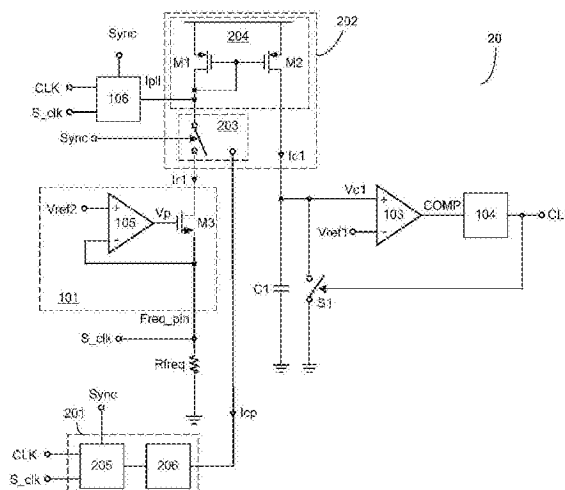
权利要求书3页 说明书6页 附图3页

(54)发明名称

时钟电路及其控制方法

(57)摘要

本发明提出了一种时钟电路,所述时钟电路在其输出的时钟信号同步至外部时钟信号时,通过电流补偿电路提供与外部时钟信号的频率相关的补偿电流信号,用于提供时钟电路的电容的充电电流。从而避免了时钟电路同步瞬间由于电容充电电流的缺失导致的时钟信号的缺失,维持了时钟电路在同步瞬间的时钟信号的稳定。本发明提供的时钟信号用于电压转换电路时,可避免电压转换电路的输出电压在时钟同步瞬间的下降。



1. 一种时钟电路,包括:

电阻控制电流源,具有频率控制端口和输出端,当所述频率控制端口耦接电阻时,所述电阻控制电流源在输出端输出与电阻阻值相关的基准电流信号;

锁相环,具有第一输入端、第二输入端、控制端和输出端,所述第一输入端接收第一时钟信号,所述第二输入端接收第二时钟信号,所述控制端接收同步选择信号,基于同步选择信号、第一时钟信号和第二时钟信号,所述锁相环在输出端输出同步电流信号;

电流补偿电路,具有第一输入端、第二输入端、控制端和输出端,所述第一输入端接收第一时钟信号,所述第二输入端接收第二时钟信号,所述控制端接收同步选择信号,基于同步选择信号、第一时钟信号和第二时钟信号,所述电流补偿电路在输出端输出补偿电流信号;以及

电流控制电路,具有第一输入端、第二输入端、第三输入端和控制端,所述第一输入端耦接至电阻控制电流源的输出端接收基准电流信号,所述第二输入端耦接至锁相环的输出端接收同步电流信号、所述第三输入端耦接至电流补偿电路的输出端接收补偿电流信号,其中,当同步选择信号无效时,所述电流控制电路在输出端输出基准电流信号,当同步选择信号有效时,所述电流控制电路在输出端输出同步电流信号和补偿电流信号的运算信号。

2. 如权利要求1所述的时钟电路,其特征在于,还包括:

电容,具有第一端和第二端,所述第一端耦接电流控制电路的输出端,所述第二端耦接参考地,所述电容接收电流控制电路的输出电流信号作为充电电流;

放电开关,具有第一端、第二端和控制端,所述放电开关与电容并联,并且所述控制端接收第一时钟信号;

比较器,具有第一输入端、第二输入端和输出端,所述第一输入端接收第一基准信号、所述第二输入端耦接至电容的第一端接收电容电压信号,基于电容电压信号和第一基准信号,所述比较器在输出端输出比较信号;以及

脉冲电路,具有输入端和输出端,所述输入端耦接至比较器的输出端接收比较信号,基于所述比较信号,所述脉冲电路在输出端输出第一时钟信号。

3. 如权利要求1所述的时钟电路,其中,所述电流补偿电路包括:

频率选择电路,具有第一输入端、第二输入端、选择控制端和输出端,所述第一输入端接收第一时钟信号,所述第二输入端接收第二时钟信号,所述选择控制端接收同步选择信号,当所述同步选择信号无效时,所述频率选择电路选择第一时钟信号作为输出信号提供给输出端,当所述同步选择信号有效时,所述频率选择电路选择第二时钟信号作为输出信号提供给输出端;以及

频率电流转换电路,具有输入端和输出端,所述输入端耦接至频率选择电路的输出端接收频率选择电路的输出信号,基于该输出信号,所述频率电流转换电路在输出端输出补偿电流信号。

4. 如权利要求1所述的时钟电路,其中,所述电流控制电路包括:

电流选择电路,具有第一输入端、第二输入端、选择控制端和输出端,所述第一输入端耦接至电阻控制电流源的输出端,所述第二输入端耦接至电流补偿电路的输出端,所述选择控制端接收同步选择信号,当同步选择信号无效时,所述电流选择电路在输出端输出基准电流信号,当同步选择信号有效时,所述电流选择电路在输出端输出补偿电流信号;以及

电流镜电路,具有输入端和输出端,所述输入端耦接至电流选择电路的输出端以及锁相环的输出端,所述输出端输出与电流镜电路的输入端的电流信号成正比例的充电电流;

其中,当所述同步选择信号无效时,所述电流镜电路的输入端耦接至电阻控制电流源的输出端接收基准电流信号,当所述同步选择信号有效时,所述电流镜电路的输入端接收同步电流信号和补偿电流信号的叠加信号。

5.如权利要求1所述的时钟电路,其特征在于,所述时钟电路通过频率控制端口耦接电阻,所述电阻为分立元件。

6.如权利要求1所述的时钟电路,其特征在于,所述电阻控制电流源包括:

误差放大器,具有第一输入端、第二输入端和输出端,所述第一输入端接收第二基准信号,所述第二输入端耦接至频率控制端口,基于第二基准信号和频率控制端口的信号,所述误差放大器在输出端输出放大信号;以及

MOS管,具有第一端、第二端和控制端,所述第一端耦接至电阻控制电流源的输出端,所述第二端耦接至频率控制端口,所述控制端耦接至误差放大器的输出端。

7.一种时钟电路的控制方法,用于产生第一时钟信号,所述时钟电路包括频率控制端口,所述频率控制端口既可耦接电阻,也可接收第二时钟信号,所述控制方法包括:

基于第二时钟信号产生同步选择信号,当检测到第二时钟信号时,同步选择信号有效,否则无效;

当同步选择信号无效时,基于第一时钟信号的频率生成补偿电流信号,同时采用与电阻的阻值相关的基准电流信号给时钟电路的电容充电;

当同步选择信号有效时,基于第二时钟信号的频率生成补偿电流信号,同时生成与第一时钟信号和第二时钟信号的相位差相关的同步电流信号,并且采用同步电流信号和补偿电流信号的叠加电流信号给时钟电路的电容充电;

将电容上的电压信号与预设基准信号相比较而生成比较信号;

将比较信号输入至脉冲电路生成第一时钟信号;以及

基于第一时钟信号对电容放电。

8.一种时钟电路,包括:

电阻,具有第一端和第二端,所述第一端耦接参考地;

电阻控制电流源,具有频率控制端口和输出端,所述频率控制端口耦接电阻的第二端,所述电阻控制电流源在输出端输出与电阻阻值相关的基准电流信号;

锁相环,具有第一输入端、第二输入端、控制端和输出端,所述第一输入端接收第一时钟信号,所述第二输入端接收第二时钟信号,所述控制端接收同步选择信号,基于同步选择信号、第一时钟信号和第二时钟信号,所述锁相环在输出端输出同步电流信号;

电流补偿电路,具有第一输入端、第二输入端、控制端和输出端,所述第一输入端接收第一时钟信号,所述第二输入端接收第二时钟信号,所述控制端接收同步选择信号,基于同步选择信号、第一时钟信号和第二时钟信号,所述电流补偿电路在输出端输出补偿电流信号;以及

电流控制电路,具有第一输入端、第二输入端、第三输入端和控制端,所述第一输入端耦接至电阻控制电流源的输出端接收基准电流信号,所述第二输入端耦接至锁相环的输出端接收同步电流信号,所述第三输入端耦接至电流补偿电路接收补偿电流信号,其中,当同

步选择信号无效时,所述电流控制电路在输出端输出基准电流信号,当同步选择信号有效时,所述电流控制电路在输出端输出同步电流信号和补偿电流信号的运算信号。

9. 如权利要求8所述的时钟电路,其特征在于,所述电流补偿电路包括:

频率选择电路,具有第一输入端、第二输入端、选择控制端和输出端,所述第一输入端接收第一时钟信号,所述第二输入端接收第二时钟信号,所述选择控制端接收同步选择信号,当所述同步选择信号无效时,所述频率选择电路选择第一时钟信号作为输出信号提供给输出端,当所述同步选择信号有效时,所述频率选择电路选择第二时钟信号作为输出信号提供给输出端;以及

频率电流转换电路,具有输入端和输出端,所述输入端耦接至频率选择电路的输出端接收频率选择电路的输出信号,基于该输出信号,所述频率电流转换电路在输出端输出补偿电流信号。

时钟电路及其控制方法

技术领域

[0001] 本发明涉及一种电子电路,更具体地说,本发明涉及一种时钟电路及其控制方法。

背景技术

[0002] 电压转换电路通过控制其主开关的占空比将输入电压转换成所需的输出电压。电压转换电路的开关频率通常由时钟电路决定。在一些电压转换电路中,时钟电路所输出的时钟信号既可通过外部的分立电阻调节,也可与外部输入的时钟信号同步。但电压转换电路的时钟信号同步至外部输入的时钟信号的瞬间,其输出电压通常会有瞬时的下降。

[0003] 因此,有需要提出一种时钟电路,在时钟信号切换时保持电压转换电路的输出电压的稳定。

发明内容

[0004] 考虑到现有技术的一个或多个技术问题,提出了一种电流补偿电路,采用该电流补偿电路的时钟电路及其控制方法。

[0005] 根据本技术的实施例,提出了一种时钟电路,包括:电阻控制电流源,具有频率控制端口和输出端,当所述频率控制端口耦接电阻时,所述电阻控制电流源在输出端输出与电阻阻值相关的基准电流信号;锁相环,具有第一输入端、第二输入端、控制端和输出端,所述第一输入端接收第一时钟信号,所述第二输入端接收第二时钟信号,所述控制端接收同步选择信号,基于同步选择信号、第一时钟信号和第二时钟信号,所述锁相环在输出端输出同步电流信号;电流补偿电路,具有第一输入端、第二输入端、控制端和输出端,所述第一输入端接收第一时钟信号,所述第二输入端接收第二时钟信号,所述控制端接收同步选择信号,基于同步选择信号、第一时钟信号和第二时钟信号,所述电流补偿电路在输出端输出补偿电流信号;以及电流控制电路,具有第一输入端、第二输入端、第三输入端和控制端,所述第一输入端耦接至电阻控制电流源的输出端接收基准电流信号,所述第二输入端耦接至锁相环的输出端接收同步电流信号、所述第三输入端耦接至电流补偿电路的输出端接收补偿电流信号,其中,当同步选择信号无效时,所述电流控制电路在输出端输出基准电流信号,当同步选择信号有效时,所述电流控制电路在输出端输出同步电流信号和补偿电流信号的运算信号。

[0006] 根据本技术的实施例,还提出了一种时钟电路的控制方法,用于产生第一时钟信号,所述时钟电路包括频率控制端口,所述频率控制端口既可耦接电阻,也可接收第二时钟信号,所述控制方法包括:基于第二时钟信号产生同步选择信号,当检测到第二时钟信号,同步选择信号有效,否则无效;当同步选择信号无效时,基于第一时钟信号的频率生成补偿电流信号,同时采用与电阻的阻值相关的基准电流信号给时钟电路的电容器充电;当同步选择信号有效时,基于第二时钟信号的频率生成补偿电流信号,同时生成与第一时钟信号和第二时钟信号的相位差相关的同步电流信号,并且采用同步电流信号和补偿电流信号的叠加电流信号给时钟电路的电容器充电;将电容上的电压信号与预设基准信号相比较而生成比

较信号;将比较信号输入至脉冲电路生成第一时钟信号;以及基于第一时钟信号对电容放电。

[0007] 根据本技术的实施例,还提出了一种时钟电路,包括:电阻,具有第一端和第二端,所述第一端耦接参考地;电阻控制电流源,具有频率控制端口和输出端,所述频率控制端口耦接电阻,所述电阻控制电流源在输出端输出与电阻阻值相关的基准电流信号;锁相环,具有第一输入端、第二输入端、控制端和输出端,所述第一输入端接收第一时钟信号,所述第二输入端接收第二时钟信号,所述控制端接收同步选择信号,基于同步选择信号、第一时钟信号和第二时钟信号,所述锁相环在输出端输出同步电流信号;电流补偿电路,具有第一输入端、第二输入端、控制端和输出端,所述第一输入端接收第一时钟信号,所述第二输入端接收第二时钟信号,所述控制端接收同步选择信号,基于同步选择信号、第一时钟信号和第二时钟信号,所述电流补偿电路在输出端输出补偿电流信号;以及电流控制电路,具有第一输入端、第二输入端、第三输入端和控制端,所述第一输入端耦接至电阻控制电流源的输出端接收基准电流信号,所述第二输入端耦接至锁相环的输出端接收同步电流信号,所述第三输入端耦接至电流补偿电路接收补偿电流信号,其中,当同步选择信号无效时,所述电流控制电路在输出端输出基准电流信号,当同步选择信号有效时,所述电流控制电路在输出端输出同步电流信号和补偿电流信号的运算信号。

[0008] 根据本发明上述各方面提供的电流补偿电路,采用该电流补偿电路的时钟电路及其控制方法,在时钟电路的时钟信号与外部时钟信号同步时,采用补偿电流对时钟电路的电容进行充电,预防了电容在同步瞬间的充电电流缺失,进而避免了时钟信号在同步瞬间的延缓输出,最终可在同步瞬间及时地提供开关信号,防止开关电路输出电压的下降。

附图说明

[0009] 为了更好的理解本发明,将根据以下附图对本发明进行详细描述:

[0010] 图1示出了现有的时钟电路10的电路结构示意图;

[0011] 图2示出了根据本发明一实施例的时钟电路20的电路结构示意图;

[0012] 图3示出了根据本发明一实施例的时钟电路的控制方法30的流程示意图。

具体实施方式

[0013] 下面将详细描述本发明的具体实施例,应当注意,这里描述的实施例只用于举例说明,并不用于限制本发明。在以下描述中,为了提供对本发明的透彻理解,阐述了大量特定细节。然而,对于本领域普通技术人员显而易见的是:不必采用这些特定细节来实行本发明。在其他实例中,为了避免混淆本发明,未具体描述公知的电路、材料或方法。

[0014] 在整个说明书中,对“一个实施例”、“实施例”、“一个示例”或“示例”的提及意味着:结合该实施例或示例描述的特定特征、结构或特性被包含在本发明至少一个实施例中。因此,在整个说明书的各个地方出现的短语“在一个实施例中”、“在实施例中”、“一个示例”或“示例”不一定都指同一实施例或示例。此外,可以以任何适当的组合和/或子组合将特定的特征、结构或特性组合在一个或多个实施例或示例中。此外,本领域普通技术人员应当理解,在此提供的附图都是为了说明的目的,并且附图不一定是按比例绘制的。应当理解,当称元件“连接到”或“耦接到”另一元件时,它可以是直接连接或耦接到另一元件或者可以存

在中间元件。相反,当称元件“直接连接到”或“直接耦接到”另一元件时,不存在中间元件。相同的附图标记指示相同的元件。这里使用的术语“和/或”包括一个或多个相关列出的项目的任何和所有组合。

[0015] 图1示出了现有的时钟电路10的电路结构示意图。如图1所示,时钟电路10包括电阻控制电流源101、锁相环106、电流镜电路102、电容C1、与电容C1并联的放电开关S1、比较器103和脉冲电路104。其中,所述电流镜电路102包括MOS管M1和M2。所述电流镜电路102的输入端接收电阻控制电流源101提供的基准电流信号 I_{r1} ,输出端提供与基准电流信号 I_{r1} 成比例的的充电电流 I_{c1} 给电容C1充电。当电容C1上的电容电压 V_{c1} 上升至第一基准信号 V_{ref1} 的值时,所述比较器103翻转,输出比较信号COMP至脉冲电路104。基于比较信号COMP,脉冲电路104输出第一时钟信号CLK。此时所述第一时钟信号CLK导通放电开关S1,从而给电容C1放电,使电容电压 V_{c1} 下降。当电容电压 V_{c1} 下降至第一基准信号 V_{ref1} 时,比较器103再次翻转,即比较信号COMP的脉冲结束。第一时钟信号CLK的脉冲长度由脉冲电路104决定。当第一时钟信号CLK的脉冲结束时,放电开关S1再次关断,因此电容C1继续充电,直至电容电压 V_{c1} 再次达到第一基准信号 V_{ref1} 的值时使得比较器103再次翻转,开始新的时钟周期,如此周而复始。

[0016] 所述电阻控制电流源101具有频率控制端口Freq_pin,在图1所示电路中,电阻控制电流源101包括:误差放大器105,具有第一输入端、第二输入端和输出端,所述第一输入端接收第二基准信号 V_{ref2} ,所述第二输入端耦接至频率控制端口Freq_pin,基于第二基准信号 V_{ref2} 和频率控制端口Freq_pin的信号,所述误差放大器105在输出端输出放大信号 V_p ;以及MOS管M3,具有第一端、第二端和控制端,所述第一端耦接至电阻控制电流源101的输出端,所述第二端耦接至频率控制端口Freq_pin,所述控制端耦接至误差放大器105的输出端。

[0017] 在通常的应用中,所述时钟电路10被集成于芯片上,所述电阻 R_{freq} 为片外电阻,所述频率控制端口Freq_pin耦接至芯片的引脚,将电阻 R_{freq} 耦接至时钟电路10。如图1电路所示,所述基准电流信号 I_{r1} 的值为 V_{ref2}/R_{freq} 。即通过调节电阻 R_{freq} 的阻值,可调节基准电流信号 I_{r1} 的值,从而调节第一时钟信号CLK的频率。时钟电路10亦可通过频率控制端口Freq_pin接收外部时钟输入,从而使第一时钟信号CLK的频率与外部时钟信号 S_{clk} (第二时钟信号)同步。

[0018] 但当第一时钟信号CLK与第二时钟信号 S_{clk} 同步瞬间,基准电流信号 I_{r1} 的值较小,近似为零。锁相环106在同步选择信号Sync的控制下开始工作,其基于第一时钟信号CLK和第二时钟信号 S_{clk} 的相位差输出同步电流信号 I_{p11} 。但由于同步电流信号 I_{p11} 的值通常较小,因而电容C1在时钟同步瞬间的充电电流 I_{c1} 比较小。过小的充电电流 I_{c1} 导致电容C1的充电不及时,第一时钟信号CLK在时钟同步瞬间缺失。当时钟电路10应用于电压转换电路时,第一时钟信号CLK在时钟同步瞬间的缺失将导致电压转换电路的主开关的开关信号的缺失,最终导致电压转换电路的输出电压 V_{out} 的下降。

[0019] 图2示出了根据本发明一实施例的时钟电路20的电路结构示意图。与时钟电路10相比,所述时钟电路20还包括电流补偿电路201。当时钟电路20所输出的第一时钟信号CLK同步至外部输入的第二时钟信号 S_{clk} 时,所述同步选择信号Sync有效,否则,所述同步选择信号Sync无效。所述同步选择信号Sync可通过检测外部输入时钟信号 S_{clk} ,即第二时钟

信号S_clk产生。当所述同步选择信号Sync无效时,所述电阻控制电流源101输出基准电流信号I_{r1}以提供时钟电路20所需的充电电流I_{c1},当所述同步选择信号Sync有效时,所述锁相环106输出同步电流信号I_{p11},并且所述电流补偿电路201输出补偿电流信号I_{cp}以提供时钟电路所需的充电电流I_{c1}。

[0020] 在一个实施例中,所述时钟电路20包括:电阻控制电流源101,具有频率控制端口Freq_pin和输出端,当所述频率控制端口Freq_pin耦接电阻R_{freq}时,所述电阻控制电流源101在输出端输出与电阻R_{freq}的阻值相关的基准电流信号I_{r1};锁相环106,具有第一输入端、第二输入端、控制端和输出端,所述第一输入端接收第一时钟信号CLK,所述第二输入端接收第二时钟信号S_clk,所述控制端接收同步选择信号Sync,基于同步选择信号Sync、第一时钟信号CLK和第二时钟信号S_clk,所述锁相环106在输出端输出同步电流信号I_{p11};电流补偿电路201,具有第一输入端、第二输入端、控制端和输出端,所述第一输入端接收第一时钟信号CLK,所述第二输入端接收第二时钟信号S_clk,所述控制端接收同步选择信号Sync,基于同步选择信号Sync、第一时钟信号CLK和第二时钟信号S_clk,所述电流补偿电路201在输出端输出补偿电流信号I_{cp};以及电流控制电路202,具有第一输入端、第二输入端、第三输入端和控制端,所述第一输入端耦接至电阻控制电流源101的输出端接收基准电流信号I_{r1},所述第二输入端耦接至锁相环106的输出端接收同步电流信号I_{p11}、所述第三输入端耦接至电流补偿电路201的输出端接收补偿电流信号I_{cp},其中,当同步选择信号Sync无效时,所述电流控制电路202在输出端输出与基准电流信号I_{r1}成比例关系的充电电流I_{c1},当同步选择信号Sync有效时,所述电流控制电路202在输出端输出与同步电流信号I_{p11}和补偿电流信号I_{cp}的运算信号成比例关系的充电电流I_{c1}。

[0021] 在一个实施例中,所述电阻R_{freq}为分立元件。

[0022] 在一个实施例中,所述电阻R_{freq}与时钟电路20集成于同一芯片上。

[0023] 在一个实施例中,所述同步电流信号I_{p11}和补偿电流信号I_{cp}的运算信号为两者的叠加信号。

[0024] 在一个实施例中,所述补偿电流信号I_{cp}的电流方向为从电流控制电路202流向电流补偿电路201。

[0025] 在一个实施例中,所述同步电流信号I_{p11}的方向不定。当第一时钟信号CLK的频率低于第二时钟信号S_clk的频率时,所述同步电流信号I_{p11}的电流方向为从电流控制电路202流向锁相环电路106;当第一时钟信号CLK的频率高于第二时钟信号S_clk的频率时,所述同步电流信号I_{p11}的电流方向为从锁相环电路106流向电流控制电路202。

[0026] 在本文描述中,所述同步电流信号I_{p11}和补偿电流信号I_{cp}均以离开电流控制电路202的方向为正,否则为负。

[0027] 在一个实施例中,所述时钟电路20还包括:电容C1,具有第一端和第二端,所述第一端耦接电流控制电路202的输出端,所述第二端耦接参考地,所述电容C1接收电流控制电路的输出电流信号作为充电电流I_{c1};放电开关S1,具有第一端、第二端和控制端,所述放电开关S1与电容C1并联,并且所述控制端接收第一时钟信号CLK;比较器103,具有第一输入端、第二输入端和输出端,所述第一输入端接收第一基准信号V_{ref1}、所述第二输入端耦接至电容C1的第一端接收电容电压信号V_{c1},基于电容电压信号V_{c1}和第一基准信号V_{ref1},所述比较器103在输出端输出比较信号COMP;以及脉冲电路104,具有输入端和输出端,所述输

入端耦接至比较器103的输出端接收比较信号COMP,基于所述比较信号COMP,所述脉冲电路104在输出端输出第一时钟信号CLK。

[0028] 所述时钟电路20的工作原理与时钟电路10的工作原理类似,此处不再展开叙述。

[0029] 在一个实施例中,所述电流控制电路202包括:电流选择电路203,具有第一输入端、第二输入端、选择控制端和输出端,所述第一输入端耦接至电阻控制电流源101的输出端,所述第二输入端耦接至电流补偿电路201的输出端,所述选择控制端接收同步选择信号Sync,当同步选择信号Sync无效时,所述电流选择电路203在输出端输出基准电流信号 I_{r1} ,当同步选择信号Sync有效时,所述电流选择电路203在输出端输出补偿电流信号 I_{cp} ;以及电流镜电路204,具有输入端和输出端,所述输入端耦接至电流选择电路203的输出端以及锁相环106的输出端,所述输出端输出与电流镜电路204的输入端的电流信号成正比例的充电电流 I_{c1} ;其中,当所述同步选择信号Sync无效时,所述电流镜电路204的输入端耦接至电阻控制电流源101的输出端接收基准电流信号 I_{r1} ,当所述同步选择信号Sync有效时,所述电流镜电路204的输入端接收同步电流信号 I_{p11} 和补偿电流信号 I_{cp} 的叠加信号。

[0030] 在一个实施例中,所述电流镜电路204包括MOS管M1和M2。

[0031] 在一个实施例中,所述电流镜电路204的镜像比例为1:1。在同步选择信号Sync无效时,所述充电电流 I_{c1} 的值与基准电流信号 I_{r1} 的值相同。而在同步选择信号Sync有效时,所述充电电流 I_{c1} 的值等于补偿电流信号 I_{cp} 与同步电流信号 I_{p11} 的叠加信号 $I_{cp}+I_{p11}$ 。在一个实施例中,当第一时钟信号CLK的频率低于第二时钟信号S_clk的频率时,所述同步电流信号 I_{p11} 为正,补偿电流信号 I_{cp} 与同步电流信号 I_{p11} 的叠加信号 $I_{cp}+I_{p11}$ 增大,即所述充电电流 I_{c1} 增大;当第一时钟信号CLK的频率高于第二时钟信号S_clk的频率时,所述同步电流信号 I_{p11} 为负,补偿电流信号 I_{cp} 与同步电流信号 I_{p11} 的叠加信号 $I_{cp}+I_{p11}$ 减小,即所述充电电流 I_{c1} 减小。

[0032] 在其他实施例中,所述电流镜电路204也可以根据应用需求具有其他适当的镜像比例值。

[0033] 在一个实施例中,所述电流补偿电路201包括:频率选择电路205,具有第一输入端、第二输入端、选择控制端和输出端,所述第一输入端接收第一时钟信号CLK,所述第二输入端接收第二时钟信号S_clk,所述选择控制端接收同步选择信号Sync,当所述同步选择信号Sync无效时,所述频率选择电路205选择第一时钟信号CLK作为输出信号提供给输出端,当所述同步选择信号Sync有效时,所述频率选择电路205选择第二时钟信号S_clk作为输出信号提供给输出端;以及频率电流转换电路206,具有输入端和输出端,所述输入端耦接至频率选择电路205的输出端接收频率选择电路205的输出信号,基于该输出信号,所述频率电流转换电路206在输出端输出补偿电流信号 I_{cp} 。

[0034] 在一个实施例中,所述补偿电流信号 I_{cp} 与第一时钟信号CLK或者第二时钟信号S_clk的频率成正比例关系。即当输入至频率电流转换电路204的时钟信号(第一时钟信号CLK或者第二时钟信号S_clk)的频率越高,则所述补偿电流信号 I_{cp} 的值越大。

[0035] 图3示出了根据本发明一实施例的时钟电路的控制方法30的流程示意图。所述控制方法30控制时钟电路产生第一时钟信号。所述时钟电路包括频率控制端口,并且所述频率控制端口既可耦接电阻,也可接收第二时钟信号,所述控制方法30包括:步骤301,基于第二时钟信号产生同步选择信号,当检测到第二时钟信号,同步选择信号有效,否则无效;步

骤302,当同步选择信号无效时,基于第一时钟信号的频率生成补偿电流信号,同时采用与电阻的阻值相关的基准电流信号给时钟电路的电容充电;步骤303,当同步选择信号有效时,基于第二时钟信号的频率生成补偿电流信号,同时生成与第一时钟信号和第二时钟信号的相位差相关的同步电流信号,并且采用同步电流信号和补偿电流信号的叠加电流信号给时钟电路的电容充电;步骤304,将电容上的电压信号与预设基准信号相比较而生成比较信号;步骤305,将比较信号输入至脉冲电路生成第一时钟信号;以及步骤306,基于第一时钟信号对电容放电。

[0036] 在一个实施例中,所述基准电流信号的值与电阻的阻值成反比例关系。

[0037] 本发明提供的时钟电路在其输出的时钟信号同步至外部时钟信号时,通过电流补偿电路提供与外部时钟信号的频率相关的补偿电流信号,用于提供时钟电路的电容的充电电流。从而避免了时钟电路同步瞬间由于电容充电电流的缺失导致的时钟信号的缺失,维持了时钟电路在同步瞬间的时钟信号的稳定。本发明提供的时钟信号用于电压转换电路时,可避免电压转换电路的输出电压在时钟同步瞬间的下降。

[0038] 虽然已参照几个典型实施例描述了本发明,但应当理解,所用的术语是说明和示例性、而非限制性的术语。由于本发明能够以多种形式具体实施而不脱离发明的精神或实质,所以应当理解,上述实施例不限于任何前述的细节,而应在随附权利要求所限定的精神和范围内广泛地解释,因此落入权利要求或其等效范围内的全部变化和改型都应为随附权利要求所涵盖。

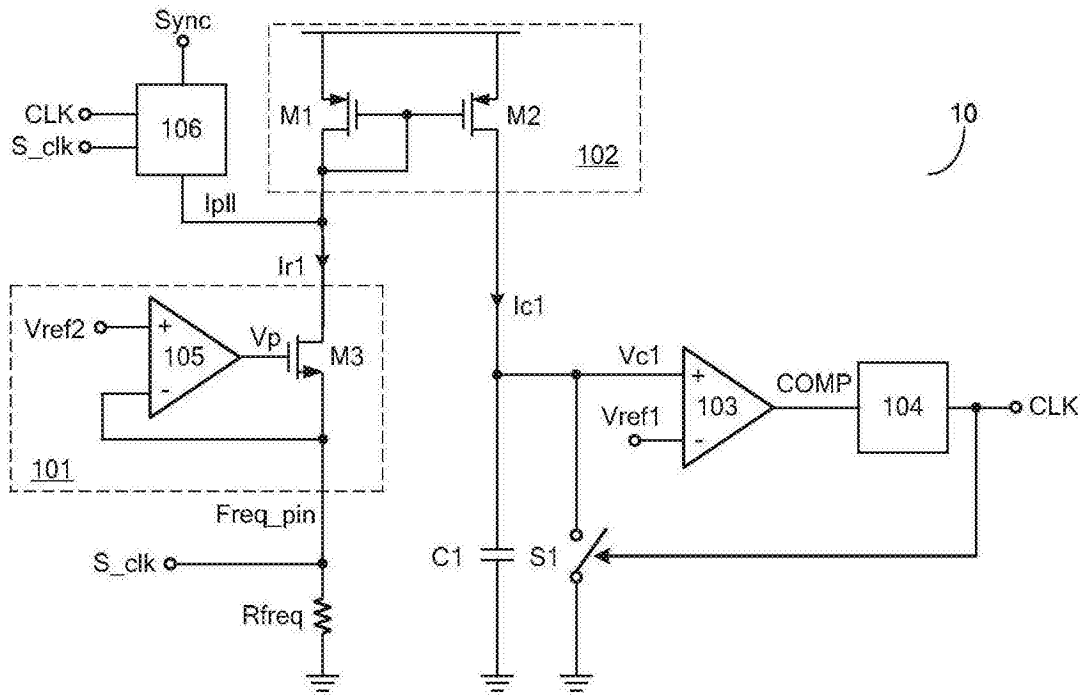


图1

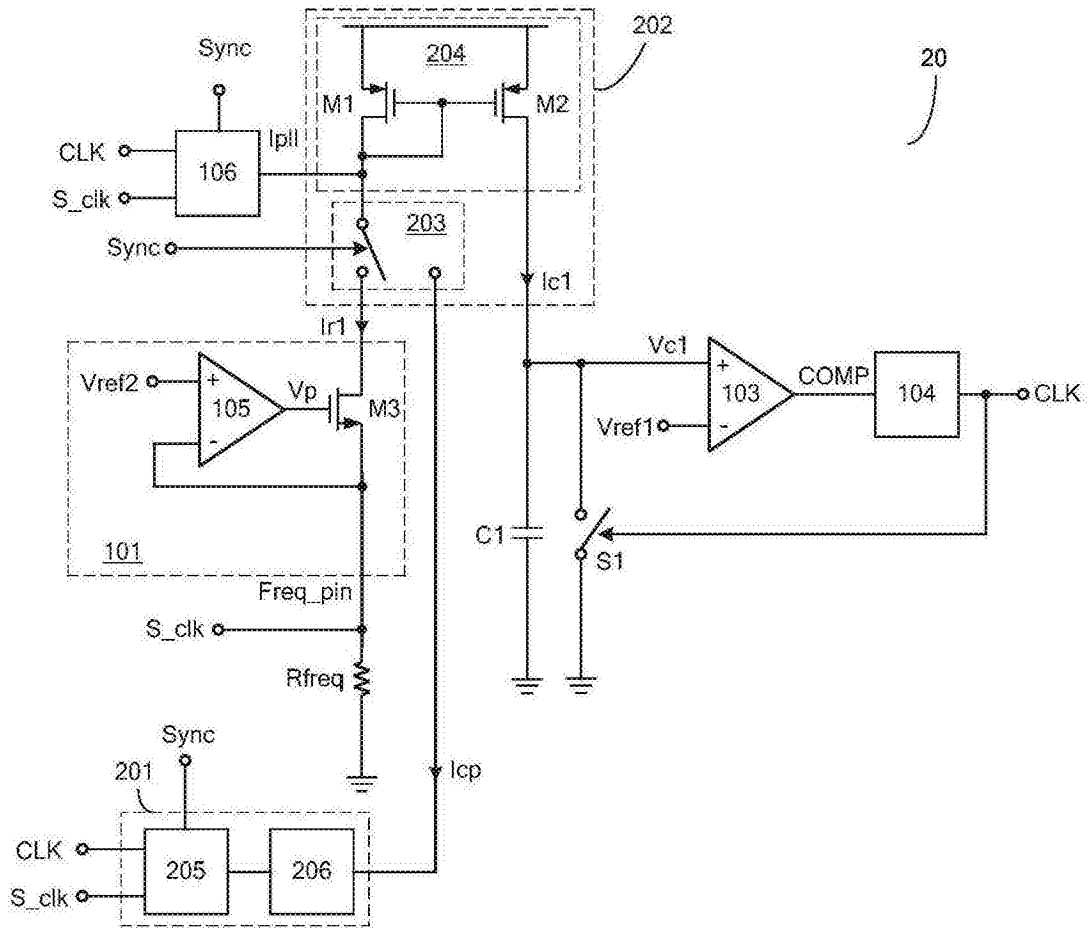


图2

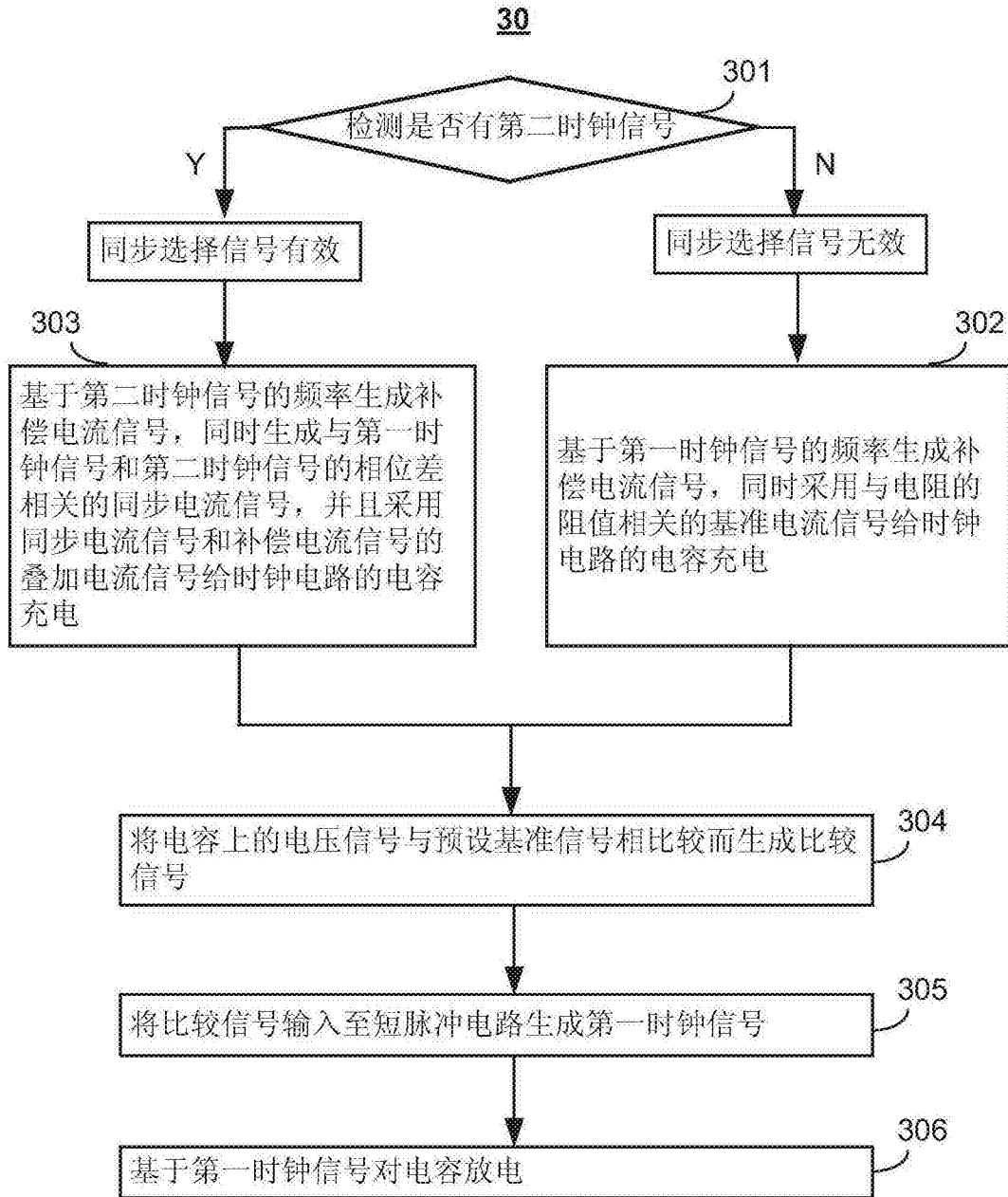


图3