

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4558012号  
(P4558012)

(45) 発行日 平成22年10月6日(2010.10.6)

(24) 登録日 平成22年7月30日(2010.7.30)

(51) Int. Cl. F I  
H O 1 L 23/373 (2006.01) H O 1 L 23/36 M

請求項の数 8 (全 9 頁)

(21) 出願番号	特願2007-177636 (P2007-177636)	(73) 特許権者	000003078
(22) 出願日	平成19年7月5日(2007.7.5)		株式会社東芝
(65) 公開番号	特開2009-16621 (P2009-16621A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成21年1月22日(2009.1.22)	(74) 代理人	100108855
審査請求日	平成21年6月15日(2009.6.15)		弁理士 蔵田 昌俊
前置審査		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100084618
			弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 半導体パッケージ用放熱プレート及び半導体装置

(57) 【特許請求の範囲】

【請求項 1】

銅層、グラファイト層、モリブデン層が同種の層を重ねないように複数積層されると共に、前記モリブデン層を前記グラファイト層に比して積層数を少なく設定した積層体が形成されて、この積層体の両面に層を重ねるように外部銅層が設けられ、且つ、前記積層体の前記両面以外の周縁に銅、または銅とモリブデンを配合した枠部が設けられたことを特徴とする半導体パッケージ用放熱プレート。

【請求項 2】

前記枠部を銅で形成して、該枠部を一方の面の外部銅層と一体的に形成したことを特徴とする請求項 1 記載の半導体パッケージ用放熱プレート。

【請求項 3】

前記両面の外部銅層で挟まれた領域のうち半導体素子を搭載する素子搭載部位が、前記複数の銅層を積層して形成されることを特徴とする請求項 1 又は 2 記載の半導体パッケージ用放熱プレート。

【請求項 4】

前記素子搭載部位は、一方の面の銅層及び前記枠部と一体的に設けられることを特徴とする請求項 3 記載の半導体パッケージ用放熱プレート。

【請求項 5】

前記半導体素子を搭載する素子搭載部位が、前記複数の銅層及び複数のモリブデン層を配合して形成されることを特徴とする請求項 1 又は 2 記載の半導体パッケージ用放熱プレ

ート。

【請求項 6】

前記両面の外部銅層が該両面の外部銅層間に配合される銅層に比して厚く形成されることを特徴とする請求項 1 乃至 5 のいずれか記載の半導体パッケージ用放熱プレート。

【請求項 7】

前記複数の銅層と前記複数のグラファイト層の体積比が同じに設定されていることを特徴とする請求項 1 乃至 6 のいずれか記載の半導体パッケージ用放熱プレート。

【請求項 8】

半導体チップと基板とで形成される半導体素子と、

この半導体素子が収容配置されるものであって、銅層、グラファイト層、モリブデン層が同種の層を重ねないように複数積層されると共に、前記モリブデン層を前記グラファイト層に比して積層数を少なく設定した積層体が形成されて、この積層体の両面に層を重ねるように外部銅層が設けられ、且つ、前記積層体の前記両面以外の周縁に銅、または銅とモリブデンを配合した枠部が設けられるプレート本体上に前記半導体素子を囲んで、該半導体素子と電氣的に接続される外部接続端子の設けられた枠材が配置されて、この枠材の開口に蓋体が被着される半導体パッケージと、

を具備することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、例えば各種の L S I , I C 等の半導体素子を収容配置した半導体パッケージに係り、特にその半導体パッケージ用放熱プレート及び半導体装置に関する。

【背景技術】

【0002】

一般に、半導体パッケージ用放熱プレートにおいては、半導体素子の大容量化等により、発熱量が増大されていることで、半導体素子の性能を維持するために、各種の熱制御方法が採られている。

【0003】

例えば、特許文献 1 には、金属材料に比して熱伝導特性の優れたグラファイトシートを、金属薄板と組み合わせたグラファイトシート積層熱伝導体が開示され、このグラファイトシート積層熱伝導体を用いて電子機器の放熱を行うことが提案されている。

【0004】

ところが、上記グラファイトシート積層熱伝導体では、その高い熱伝導特性を得ることが可能であるが、例えばセラミック基板を搭載した半導体パッケージを構成した場合、その熱膨張係数が、セラミック基板との熱膨張係数と大きく異なるために、熱変形によりセラミック基板との接合部位が損傷したりするという問題を有する。

【0005】

一方、銅層とモリブデン層とを交互に積層して、熱膨張係数を、半導体素子を構成するセラミック基板の熱膨張係数に近付けるようにした放熱基板用材料も提案されている（例えば、特許文献 2 参照）。

【特許文献 1】特開 2001 - 144237 号

【特許文献 2】特許第 3862737 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上記放熱基板用材料では、熱伝導効率が満足の行くものでなく、半導体素子の大容量化が進み、さらに熱量が増加されると、放熱面積を増加させたりしなければ対応が困難となるという不都合を有する。

【0007】

この発明は、上記事情に鑑みてなされたもので、構成簡易にして、高効率な熱伝導効率

10

20

30

40

50

を実現し得、且つ、熱膨張係数の調整を実現し得るようにした半導体パッケージ用放熱プレート及び半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

この発明は、銅層、グラファイト層、モリブデン層が同種の層を重ねないように複数積層されると共に、前記モリブデン層を前記グラファイト層に比して積層数を少なく設定した積層体が形成されて、この積層体の両面に層を重ねるように外部銅層が設けられ、且つ、前記積層体の前記両面以外の周縁に銅、または銅とモリブデンを配合した枠部を設けて半導体パッケージ用放熱プレートを構成した。

【0009】

上記構成によれば、熱膨張係数が、モリブデン層の作用により、半導体素子を構成する例えばセラミック基板等の基板の物性に近付けられており、その一方の面の銅層上に半導体素子が接合されて搭載される。例えば半田等で接合する場合は、接合部を加熱及び冷却するため、温度変化が発生するが、熱膨張係数が半導体素子を構成する基板の熱膨張係数に近付けられていることで、その熱変形が略同じとなるため、温度変化によって半導体素子の基板が割れたりすることなく、高精度な接合が維持される。また、同様な作用で半導体装置の外周囲等に温度変化があっても、半導体素子の基板が割れたりすることなく、高精度な接合が維持される。また、半導体素子の発熱部である半導体チップが発熱して、その熱が熱移送されると、熱膨張係数が半導体素子を構成する基板の熱膨張係数に近付けられていることで、その熱変形が略同じとなるため、温度変化によって半導体素子の基板が割れたりすることなく、高精度な接合が維持される。そして、熱移送された熱は、その銅層及び枠部で面直方向に効率よく伝導され、そのグラファイト層で面方向に効率よく伝導されて、プレート全体に均一的に熱伝導される。

【0010】

これにより、搭載された半導体素子の搭載部位における熱変形による基板の損傷の防止を実現したうえで、優れた熱伝導性能が実現されて、高効率な熱制御が可能となる。

【発明の効果】

【0011】

以上述べたように、この発明によれば、構成簡易にして、高効率な熱伝導効率を実現し得、且つ、熱膨張係数の調整を実現し得るようにした半導体パッケージ用放熱プレート及び半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0012】

以下、この発明の実施の形態に係る半導体パッケージ用放熱プレート及び半導体装置について、図面を参照して詳細に説明する。

【0013】

図1は、この発明の一実施の形態に係る半導体パッケージ用放熱プレートを示すもので、プレート本体10は、その両面に外部銅層11a, 11bを有した平板状のプレート構造に形成される(図2参照)。この両面の外部銅層11a, 11b間には、例えば面方向に熱伝導性の優れたグラファイト層12、モリブデン層13、グラファイト層12、面直方向に熱伝導性の優れた銅層11c、グラファイト層12、銅層11cを順に積層した6層を二段重ねて、その二段目の銅層11cにグラファイト層12、モリブデン層13及びグラファイト層12が順に積層されている。

【0014】

ここで、プレート本体10は、銅層11c、グラファイト層12、モリブデン層13、外部銅層11a, 11bが上述したように積重されて加圧加温処理され、例えば銅層11cが0.2mm、グラファイト層12が0.1mm、モリブデン層13が0.02mm、外部銅層11a, 11bが0.2mmに積層される。これにより、プレート本体10は、その物性が、モリブデン層13の配合量を設定することにより、半導体素子14を構成する例えばセラミック基板141(図3参照)の熱膨張係数に近付けるように設定される。

10

20

30

40

50

例えばこのうち外部銅層 1 1 a , 1 1 b 及び銅層 1 1 c とグラファイト層 1 2 との体積比は、略同一に設定されている。

【 0 0 1 5 】

なお、このプレート本体 1 0 の層構造としては、適用するパッケージ構成に基づいて適宜に設定される。

【 0 0 1 6 】

また、上記プレート本体 1 0 は、その周縁に銅及びモリブデンを加圧加温処理により、層状に配した枠部 1 5 が設けられ、この枠部 1 5 により積層配置されたグラファイト層 1 2 の端部が覆われている。そして、このプレート本体 1 0 は、その外部銅層 1 1 a , 1 1 b 及び枠部 1 5 の周囲面に容易に金メッキ等の処理層を形成して、その処理層上に半導体素子 1 4 を搭載することにより、図 3 及び 4 に示す半導体装置 2 0 を、容易に製造することができる。

10

【 0 0 1 7 】

即ち、上記半導体装置 2 0 を製造する場合には、プレート本体 1 0 の一方の外部銅層 1 1 a 上に半導体パッケージを構成する枠材 2 1 が取付けられ、この枠材 2 1 には、その側壁に外部接続端子 2 2 が突設されている。そして、この枠材 2 1 内のプレート本体 1 0 上には、図 3 に示すように上記半導体素子 1 4 のセラミック基板 1 4 1 及び半導体チップ 1 4 2 が半田等を用いて接合されて搭載され、これらセラミック基板 1 4 1 及び半導体チップ 1 4 2 は、相互間及び上記外部接続端子 2 2 と電気的に接続される。そして、この枠材 2 1 上には、半導体パッケージを構成する蓋体 2 3 が被着されて上記半導体装置 2 0 が形成される(図 4 参照)。

20

【 0 0 1 8 】

ここで、プレート本体 1 0 は、その熱膨張係数が、モリブデン層 1 3 の作用により、半導体素子 1 4 のセラミック基板 1 4 1 の物性に近付けられており、半田等を用いてセラミック基板 1 4 1 を接合する際に発生する温度変化があっても、その熱膨張係数がセラミック基板 1 4 1 に近付けられていることで、該セラミック基板 1 4 1 の熱変形と略同じとなるため、該セラミック基板 1 4 1 が割れたりすることなく、高精度な接合が維持される。また、同様な作用で半導体装置 2 0 の外周囲等に温度変化があっても、半導体素子 1 4 のセラミック基板 1 4 1 が割れたりすることなく、高精度な接合が維持される。さらに、プレート本体 1 0 の一方の外部銅層 1 1 a 上に搭載した半導体チップ 1 4 2 が駆動されて発熱されると、その熱が、先ず、外部銅層 1 1 a に熱移送され、該外部銅層 1 1 a を経由してセラミック基板 1 4 1 に熱移送される。この際、プレート本体 1 0 は、その熱膨張係数がセラミック基板 1 4 1 に近付けられていることで、該セラミック基板 1 4 1 の熱変形と略同じとなるため、該セラミック基板 1 4 1 が割れたりすることなく、高精度な接合が維持される。

30

【 0 0 1 9 】

同時に、プレート本体 1 0 に熱移送された熱は、その外部銅層 1 1 a , 1 1 b 、銅層 1 1 c で面直方向に効率よく伝導されると共に、そのグラファイト層 1 2 で面方向に効率よく伝導されてプレート全体に均一的に熱伝導される。これにより、プレート本体 1 0 上の半導体素子 1 4 は、その外部銅層 1 1 a との間における高精度な搭載が維持された状態で、高効率な熱制御が行われる。

40

【 0 0 2 0 】

このように、上記半導体パッケージ用放熱プレートは、プレート本体 1 0 を、銅層 1 1 c とグラファイト層 1 2 とモリブデン層 1 3 を交互に複数積層して、その両面に外部銅層 1 1 a , 1 1 b を設けて、その周縁に銅とモリブデンを配合した枠部 1 5 を設けて構成した。

【 0 0 2 1 】

これによれば、プレート本体 1 0 は、その熱膨張係数が、モリブデン層 1 3 の作用により半導体素子 1 4 のセラミック基板 1 4 1 の物性に近付けられており、その一方の外部銅層 1 1 a 上に該セラミック基板 1 4 1 及び半導体チップ 1 4 2 が接合されて搭載され、そ

50

の半導体チップ142が発熱して、その熱が熱移送されると、熱変形するがセラミック基板141の熱変形と略同じとなることで、セラミック基板141の割れが防止されて、相互間の高精度な接合が維持される。この状態で、熱移送された熱は、その銅層11c及び枠部15で面直方向に効率よく伝導され、そのグラファイト層12で面方向に効率よく伝導されて、プレート全体に均一的に熱伝導される。

【0022】

この結果、プレート本体10上に搭載された半導体素子14との間の熱変形による損傷の防止が実現され、しかも、優れた熱伝導性能が実現されて、半導体素子14の高効率な熱制御が可能となる

なお、この発明は、上記実施の形態に限ることなく、その他、例えば図5、図6、図7、図8、図9に示すようにプレート本体10a, 10b, 10c, 10d, 10eを構成することも可能で、同様に有効な効果が期待される。但し、この図5乃至図9の実施の形態においては、上記図1乃至4と同一部分について同一符号を付して、その詳細な説明を省略する。

10

【0023】

即ち、図5に示すプレート本体10aは、周縁に設ける枠部15aを銅だけで形成して、その他を、上記図1と同様に外部銅層11a, 11b、銅層11c、グラファイト層12、モリブデン層13を交互に積層して形成するように構成したものである。

【0024】

また、図6に示すプレート本体10bは、図5のプレート本体10aと同様に、周縁に設ける枠部15aを銅だけで形成して、この枠部15aと外部銅層11bを一体的に形成するように構成したものである。

20

【0025】

また、図7に示すプレート本体10cは、半導体素子14を搭載する素子搭載部101の直下部分を、グラファイト層12を設けることなく、銅層11c及びモリブデン層13を積層して形成するように構成したものである。これにより、半導体素子14からの熱は、銅層11c及びモリブデン層13により、さらに効率よく面直方向に熱伝導することが可能となり、さらに良好な効果が期待される。

【0026】

また、図8に示すプレート本体10dは、半導体素子14を搭載する素子搭載部101の直下部分を、グラファイト層12及びモリブデン層13を設けることなく、銅層11cのみを積層して形成するように構成したものである。これにより、半導体素子14からの熱は、素子搭載部101における面直方向への熱伝導性能の向上が図れ、さらに良好な効果が期待される。

30

【0027】

また、図9に示すプレート本体10eでは、上記図6に示すプレート本体10bと同様に、周縁に設ける枠部15aを銅だけで形成すると共に、半導体素子14を搭載する素子搭載部101の直下部分を、上記図8に示すプレート本体10dと同様にグラファイト層12及びモリブデン層13を配することなく、銅層11cのみで形成して、この枠部15a及び素子搭載部101と外部銅層11bとを一体的に形成するように構成したものである。

40

【0028】

なお、上記プレート本体10c, 10d, 10eにおいては、素子搭載部101を一箇所設けるように構成した場合について説明したが、これに限るものでなく、二箇所以上設けるように構成することも可能である。

【0029】

また、上記各実施の形態では、モリブデン層13をグラファイト層12で挟装するように配置して構成した場合について説明したが、これに限ることなく、その他、モリブデン層13を、グラファイト層12と銅層11cとの間や、外部銅層11a(11b)と銅層11cとの間、あるいは銅層11cで挟装するように積層配置するように構成することも

50

可能である。

【0030】

この発明は、上記実施の形態に限ることなく、その他、実施段階ではその要旨を逸脱しない範囲で種々の変形を実施し得ることが可能である。さらに、上記実施の形態には、種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組合せにより種々の発明が抽出され得る。

【0031】

例えば実施の形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

10

【図面の簡単な説明】

【0032】

【図1】この発明の一実施の形態に係る半導体パッケージ用放熱プレートの要部を示した断面図である。

【図2】図1のプレート本体の外観構成を説明するために示した平面図である。

【図3】この発明の一実施の形態に係る半導体装置を分解して示した分解図である。

【図4】図3の半導体装置の外観構成を示した斜視図である。

【図5】この発明の他の実施の形態に係る半導体パッケージ用放熱プレートの要部を示した断面図である。

【図6】この発明の他の実施の形態に係る半導体パッケージ用放熱プレートの要部を示した断面図である。

20

【図7】この発明の他の実施の形態に係る半導体パッケージ用放熱プレートの要部を断面して示した断面図である。

【図8】この発明の他の実施の形態に係る半導体パッケージ用放熱プレートの要部を断面して示した断面図である。

【図9】この発明の他の実施の形態に係る半導体パッケージ用放熱プレートの要部を断面して示した断面図である。

【符号の説明】

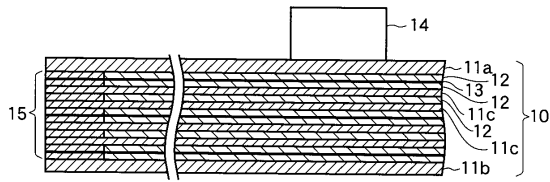
【0033】

10, 10a, 10b, 10c, 10d, 10e...プレート本体、101...素子搭載部、11a, 11b...外部銅層、11c...銅層、12...グラファイト層、13...モリブデン層、14...半導体素子、141...セラミック基板、142...半導体チップ、15, 15a...枠部、20...半導体装置、21...枠材、22...外部接続端子、23...蓋体。

30

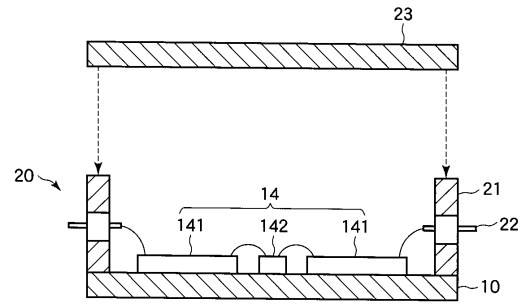
【図 1】

図 1



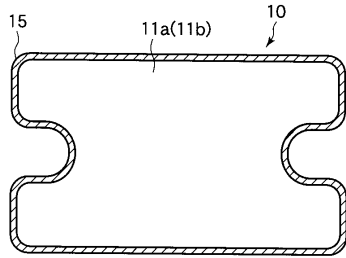
【図 3】

図 3



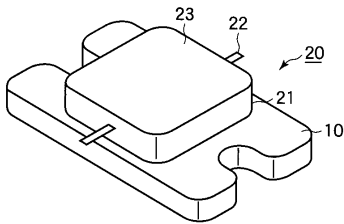
【図 2】

図 2



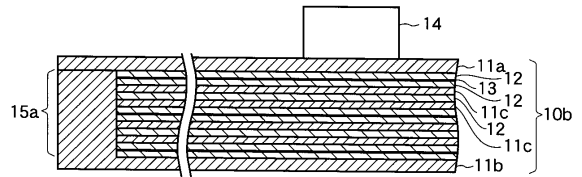
【図 4】

図 4



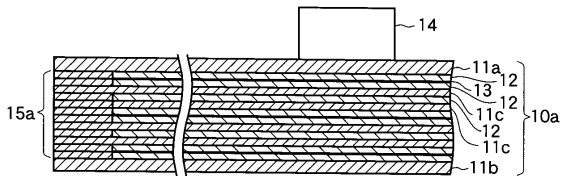
【図 6】

図 6



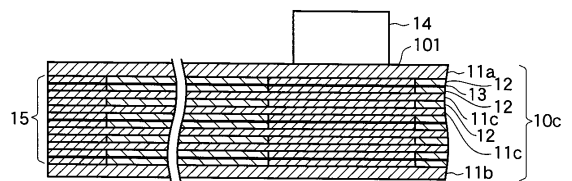
【図 5】

図 5



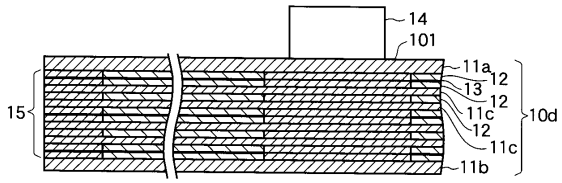
【図 7】

図 7



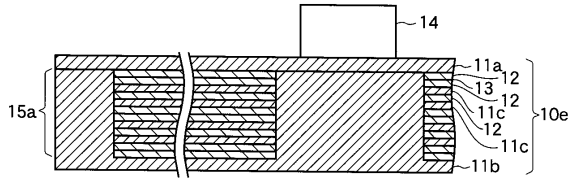
【 8 】

8



【 9 】

9



---

フロントページの続き

(72)発明者 長谷川 剛  
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 長谷部 智寿

(56)参考文献 特開2005-277382(JP,A)  
特開2001-313345(JP,A)  
特開2006-013420(JP,A)  
特開2006-001232(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H01L 23/34 - 23/473  
H01L 23/02 - 23/10