



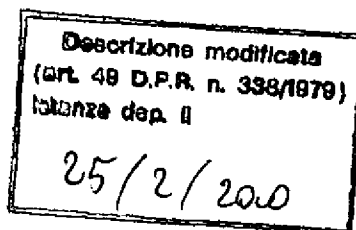
MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA LOTTA ALLA CONTRAFFAZIONE
UFFICIO ITALIANO BREVETTI E MARCHI

DOMANDA NUMERO	101998900688171
Data Deposito	26/06/1998
Data Pubblicazione	26/12/1999

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
G	11	C		

Titolo

METODO DI PROGRAMMAZIONE RAPIDA PER EFFETTO TUNNEL DI MEMORIE A PORTA FLOTTANTE
--



DESCRIZIONE

del brevetto per invenzione industriale

di STMICROELECTRONICS S.R.L.

di nazionalità italiana,

5 con sede a 20041 AGRATE BRIANZA (MILANO) - VIA C. OLIVETTI, 2

Inventore: RICCÒ Bruno

*** ***** **IO 98A 000557**

La presente invenzione è relativa ad un metodo di
programmazione rapida per effetto tunnel di celle di me-
10 moria a porta flottante, in cui con il termine
"programmazione" si intende un'operazione atta a iniet-
tare o estrarre cariche dalla porta flottante delle cel-
le tramite effetto Fowler-Nordheim.

Come è noto, le celle di memoria di tipo EEPROM e
15 flash (fully Fowler-Nordheim) sono programmate per ef-
fetto tunnel e, allo stato attuale delle conoscenze, ciò
rende la programmazione lenta per motivi di affidabili-
tà. Tipicamente, infatti, questa operazione richiede
qualche millisecondo, ovvero un tempo molto più lungo
20 dei colpi di orologio utilizzati negli attuali circuiti
elettronici digitali. Tale lentezza costituisce uno
svantaggio per l'uso di questo tipo di memorie come ROM
(Read Only Memory, programmabili e cancellabili) e ne
impedisce l'impiego come dispositivi a lettura e scrit-
25 tura (RAM-Random Access Memory).

CERBARO Elena
(iscrizione Albo nr 426/BM)

Per applicazioni RAM, un altro parametro importante è dato dall'"endurance" della memoria ovvero dal numero massimo di cicli di programmazione che la memoria è in grado di sopportare (prima di cessare di essere programmabile nei tempi e con le modalità specificate), poiché le memorie RAM debbono normalmente essere scritte e cancellate un numero di volte assai superiore a quello delle ROM (anche se di tipo programmabile).

D'altra parte, il tempo di programmazione (T_{pr}) delle celle a porta flottante è inversamente proporzionale alla corrente utilizzata per iniettare o estrarre elettroni dalla porta flottante che, nel caso di utilizzi l'effetto tunnel, dipende esponenzialmente dal campo elettrico (F_{ox}) applicato alla regione di ossido che separa la regione di porta flottante dalle regioni conduttive della cella. E' quindi evidente che un aumento (anche modesto) di tale campo elettrico consente di aumentare sostanzialmente la corrente di programmazione, fino a ridurre i tempi di programmazione a valori simili a quelli normalmente utilizzati per le memorie RAM (tipicamente dell'ordine di o inferiori a 100 ns).

Attualmente, tuttavia, non è ritenuto possibile aumentare il campo elettrico applicato durante la programmazione in quanto si crede generalmente che il suo aumento comprometterebbe seriamente l'affidabilità dell'ossido di tunnel. Infatti, è noto che l'applicazione

CERBARO Elena
(iscrizione Albo nr 426/BM)

di un forte campo elettrico a strati isolanti di ossido produce cambiamenti irreversibili nelle proprietà elettriche degli strati isolanti stessi; in particolare il fenomeno di maggior interesse, denominato SILC
5 (dall'inglese Stress Induced Leakage Current), determina la crescita della conducibilità dello strato isolante quando vengono applicati campi elettrici di basso valore, dando origine a perdite in grado di compromettere la ritenzione dei dati delle celle a porta flottante.

10 In dettaglio, è noto che il fenomeno del SILC aumenta con il campo elettrico applicato (Fox) e con il tempo di programmazione (Tpr). D'altra parte, poiché nella programmazione delle celle di memoria a porta flottante è necessario ragionare a parità di carica tra-
15 sferita da e verso la porta flottante, Fox e Tpr variano necessariamente in modo opposto, cioè l'aumento dell'uno comporta la riduzione dell'altro. Quindi, per quanto riguarda il SILC conseguente ad operazioni di programmazione in cui si intende utilizzare un forte campo elet-
20 trico per ridurre sostanzialmente il tempo di programmazione, è essenziale sapere se l'effetto negativo dovuto all'aumento del campo prevalga o meno su quello positivo indotto dalla riduzione del tempo di programmazione.

Attualmente, è convinzione generale che l'effetto
25 negativo prevalga e che un aumento di campo elettrico rispetto ai valori attualmente utilizzati (dell'ordine

di 8 MV/cm) porti a caratteristiche di affidabilità insoddisfacenti. Tale convinzione è fondata sui risultati di esperimenti effettuati con tempi di programmazione Tpr fino a 1 μ s che, in effetti, hanno mostrato come il
5 degrado dell'ossido cresca con il campo elettrico di programmazione.

Scopo della presente invenzione è quello di mettere a disposizione un metodo di programmazione rapido, con il quale il livello di degrado possa essere nullo o trascurabile.
10

Inoltre, scopo dell'invenzione consiste nel mettere a disposizione nuove tipologie di memorie a porta flottante.

Secondo la presente invenzione vengono realizzati
15 un metodo di programmazione rapida per effetto tunnel di celle di memoria a porta flottante secondo la rivendicazione 1 e celle di memoria a programmazione rapida, secondo le rivendicazioni 5-7.

L'invenzione si basa su studi effettuati dall'inventore; in tali studi è stato dimostrato che, a parità di carica trasferita, l'andamento del SILC non è monotono: il degrado, infatti, cresce al diminuire del tempo di programmazione (con conseguente aumento del campo elettrico) fino ad un certo valore (cioè nell'intervallo
20 di valori esplorato finora e da cui proviene la convin-

zione circa la impossibilità di aumentare il valore del campo elettrico di programmazione senza degradare definitivamente la cella di memoria) per poi cominciare a diminuire.

5 Dal punto di vista fisico, la diminuzione del degrado dello strato di ossido al ridursi del tempo di programmazione (con contemporaneo aumento del campo elettrico applicato) è probabilmente dovuta ai tempi caratteristici di formazione del degrado permanente che,
10 richiedendo modificazioni di tipo reticolare, non è un fenomeno istantaneo. Di conseguenza, programmando le celle di memoria con impulsi di tensione più brevi o confrontabili con tali tempi caratteristici, il degrado non avrebbe modo di manifestarsi (o avrebbe modo di ma-
15 nifestarsi solo in parte).

In particolare, lo studio dei fenomeni legati alla programmazione rapida su dispositivi largamente rappresentativi dello stato della tecnica, indica che i valori dei tempi di programmazione ai quali si verifica l'in-
20 versione di tendenza sono dell'ordine di alcune decine di nanosecondi, dunque alla portata dei tempi tipici di funzionamento dei moderni circuiti integrati.

Di conseguenza, utilizzando tempi di programmazione inferiori o uguali a 100 ns e campi elettrici sullo
25 strato di ossido di tunnel maggiori o uguali a 10 MV/cm, è possibile programmare celle di memoria a porta flot-

tante evitando che insorga in modo apprezzabile il fenomeno del SILC.

Per una migliore comprensione della presente invenzione ne vengono ora descritte forme di realizzazione preferite, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- la figura 1 illustra uno schema elettrico equivalente di una cella di memoria a porta flottante;

- la figura 2 illustra una sezione trasversale attraverso una fetta di materiale semiconduttore implementate la cella di memoria di fig. 1;

- la figura 3 mostra gli effetti sul SILC degli esperimenti di programmazione a carica costante, al variare del tempo di programmazione; e

- la figura 4 mostra una differente sezione trasversale, presa lungo una linea spezzata, attraverso una fetta di materiale semiconduttore e relativa ad una differente tecnologia di implementazione della cella di fig. 1.

In figura 1, una cella di memoria 1 a porta flottante comprende elettrodi di sorgente S, pozzo D e porta di controllo G, e una regione di porta flottante nella quale viene immagazzinata carica che determina la condizione di conduzione o interdizione della cella di memoria 1 quando questa viene opportunamente polarizzata, in modo di per sé noto.

CERBARO Elana
Iscrizione Albo nr 426/BM

La figura 2 mostra una sezione trasversale attraverso una fetta di materiale semiconduttore alloggiante la cella di memoria 1 secondo una prima forma di realizzazione, comprendente un substrato 2 di tipo P alloggiante regioni 3, 4 di pozzo e, rispettivamente, sorgente, di tipo N^+ , collegate ai rispettivi elettrodi di sorgente S e pozzo D e delimitanti fra loro una regione di canale 10 formata dal substrato 2 stesso. Uno strato di ossido di porta 5 di spessore T_{ox} separa e isola elettricamente il substrato 2 da una regione di porta flottante 6, tipicamente di silicio policristallino; uno strato di dielettrico interpoly 7 separa la regione di porta flottante 6 da una regione di porta di controllo 8, formata in una linea di parola, tipicamente di silicio policristallino. Una regione di ossido 9 copre il substrato 2 e la regione di porta di controllo 8, isolando completamente la regione di porta flottante 6 dall'esterno.

La quantità di carica nelle celle di memoria 1 è modificata tramite un'operazione di scrittura o programmazione della cella di memoria stessa per effetto tunnel, applicando un'elevata tensione fra la regione di porta di controllo 8 e, generalmente, la regione di sorgente 4 (o la regione di canale 10) così da iniettare o estrarre cariche dalla regione di porta flottante 6, accoppiata capacitivamente alla regione di porta di con-

trollo 6.

In particolare, secondo l'invenzione, applicando un'elevata tensione fra la regione di porta di controllo 8 e una delle regioni di pozzo 3 o sorgente 4 (o il substrato 2) in modo da determinare un campo elettrico sullo strato di ossido di porta 5 di almeno 10 MV/cm per un tempo di poche decine di ns (da 20-30 ns fino a 100 ns, preferibilmente circa 50 ns), è possibile programmare la cella di memoria 1 senza che questa subisca un degrado apprezzabile.

Al proposito, si faccia riferimento alla figura 3 che illustra gli effetti misurati sul SILC della variazione della durata W_p dell'impulso di programmazione in presenza di un alto valore del campo elettrico applicato a condensatori in condizioni di costanza di carica iniettata o estratta. Come si nota, il SILC (misurato come incremento di corrente ΔI ad una prefissata tensione di porta) ha un andamento non-monotono che cresce (con il valore del campo elettrico applicato) al diminuire della durata W_p dell'impulso fino ad un valore critico, al di sotto del quale il degrado diminuisce (nonostante l'aumento del valore del campo elettrico applicato).

Quanto sopra è valido per qualunque tipo di cella di memoria a porta flottante, sia di tipo EEPROM, sia di

CERBARO Elena
Iscrizione Albo nr 426/BM

tipo flash e indipendentemente dalla struttura della cella di memoria 1, sia del tipo a doppio strato di polisilicio, sia singolo strato. Ad esempio, in fig. 4 è mostrata una differente struttura di cella di memoria 1, relativa ad una soluzione a singolo strato di polisilicio. In dettaglio, in fig. 3, mostrante una sezione trasversale presa lungo tre piani fra loro non allineati, delimitati reciprocamente in fig. 3 da linee tratteggiate A, B, la cella di memoria 1 comprende un substrato 21 di tipo P, alloggiante regioni di tipo N⁺ includenti una regione di porta di controllo 22, una regione di iniettore tunnel 23, una regione di pozzo 24 e una regione di sorgente 25. Le regioni di pozzo 24 e di sorgente 25 delimitano fra loro una regione di canale 26 formata dal substrato 21. Al di sopra del substrato 21 si estende uno strato di ossido di porta 27, una cui porzione 27a, al di sopra della regione di iniettore tunnel 23, ha spessore inferiore rispetto al resto (e pari a T_{ox}); a sua volta, al di sopra dello strato di ossido 27 si estende una regione polisilicio 28 completamente isolata. La regione di polisilicio 28 comprende una prima porzione 28a (al centro, in figura) estendentesi al di sopra della regione di canale 26 e formante la porta flottante della cella 20; una seconda porzione 28b, a destra, in corrispondenza della porzione di ossido a

CERBARO Elena
Iscrizione Albo nr 426/BM

spessore ridotto 27a, formante una regione di programmazione, per l'iniezione o estrazione cariche per effetto tunnel; ed una terza porzione 28c (a sinistra) estendentesi al di sopra della regione di porta di controllo 22
5 e accoppiata capacitivamente a questa.

Anche per la forma di realizzazione di fig. 4, applicando una elevata tensione fra la regione di porta di controllo 22 e la regione di iniettore tunnel 23 in modo da determinare un campo elettrico sulla porzione di ossido a spessore ridotto 27a di almeno 10 MV/cm per un
10 breve tempo, è possibile programmare la cella di memoria senza che questa subisca un degrado apprezzabile.

Da quanto sopra, nasce la possibilità di utilizzare transistori a porta flottante per realizzare memorie con
15 tempi di accesso in scrittura paragonabili a quelli delle moderne celle DRAM (Dynamic Random Access Memory) per applicazioni sia di tipo ROM a programmazione veloce sia di tipo RAM, di tipo statico o dinamico.

La possibilità di evitare il problema del SILC (e
20 quindi l'aumento progressivo delle perdite nell'ossido) consente di progettare celle di memoria essenzialmente sulla base della conducibilità che si è disposti ad accettare per bassi valori del campo elettrico applicato allo strato di ossido vergine, studiando condizioni di
25 compromesso fra i tempi di ritenzione dei dati, lo spessore dello strato di ossido 5, e la tensione di program-

mazione, che determinano la realizzazione di celle di memoria utilizzabili per celle RAM di tipo statico piuttosto che dinamico oppure per memorie non volatili a programmazione veloce.

5 Fissato il valore del campo elettrico di programmazione, per utilizzare tensioni facilmente gestibili nei circuiti integrati (e nelle memorie non volatili in particolare), sarebbe conveniente utilizzare strati di ossido particolarmente sottili. D'altra parte, la conducibilità dello strato di ossido, in presenza di un basso
10 valore del campo elettrico applicato, cresce al diminuire dello spessore dello strato di ossido stesso.

Perciò, utilizzando strati di ossido relativamente spessi (T_{ox} superiore a 5 nm), ed evitando il SILC mediante programmazione veloce, si può rendere trascurabile la perdita di carica da parte della regione di porta flottante, consentendo di realizzare memorie (operanti anche come RAM) di tipo essenzialmente statico (oltre che di tipo non volatile a programmazione rapida). In
15 tal caso, le tensioni di programmazione sono necessariamente alte (tipicamente 13-15 V sullo strato di ossido di porta, che può richiedere tensioni ancora più alte fra la regione di porta di controllo 8 e le regioni 2, 3 o 4 per effetto dell'accoppiamento capacitivo fra la re-
20 gione di porta flottante 6 e la regione di porta di controllo 8). Viceversa, l'uso di strati di ossido di porta

molto sottili può portare a valori della conducibilità a bassi campi tali da richiedere il rinfresco delle informazioni memorizzate.

In pratica, secondo una forma di realizzazione dell'invenzione e secondo una possibile scelta di compromesso, è possibile implementare una cella di memoria avente uno strato di ossido di porta di spessore pari a circa 5 nm. Una tale cella di memoria richiederebbe un tempo di rinfresco dell'ordine dell'ora, con grossi vantaggi (soprattutto dal punto di vista del consumo) rispetto alle celle DRAM attuali nelle quali sono necessari tempi di rinfresco dell'ordine dei millisecondi.

L'aumento del tempo di ritenzione dati, oltre che poter essere utilizzato in modo diretto per l'allungamento del tempo di rinfresco in memorie DRAM di tipo tradizionale, può consentire di realizzare memorie DRAM multilivello (dunque ad altissima densità), nelle quali il problema di mantenimento della carica memorizzata è di fondamentale importanza.

In pratica, utilizzando il concetto di programmazione veloce ed elevato campo elettrico, in base al compromesso scelto fra tali due grandezze (con tempi di programmazione uguali o inferiori a 100 ns, fino a 20-30 ns, ad esempio di 50 ns, campo elettrico di programmazione di almeno 10 MV/cm, fino a 12-13 MV/cm e oltre, compatibilmente con il circuito associato) nonché sulla

CERBARO Elena
iscrizione Albo nr 426/BM

base dello spessore dello strato di ossido (compreso fra 4 e 8 nm e anche inferiore, qualora la tecnologia e i tempi di ritenzione lo permettano, ad esempio di 5 nm), secondo differenti forme di realizzazione, è possibile
5 ottenere celle di memoria a porta flottante definenti una delle seguenti tipologie:

1) cella di memoria flash Fully Fowler-Nordheim (o EEPROM), eventualmente di tipo multilivello;

2) cella di memoria RAM statica ad alta tensione di
10 programmazione;

3) cella di memoria RAM dinamica a bassa frequenza di rinfresco;

4) cella di memoria DRAM multilivello (con frequenze di rinfresco eventualmente simili a quelle attuali
15 per limitare la perdita di carica).

Risulta infine chiaro che al metodo di programmazione e alla cella di memoria a porta flottante qui descritti ed illustrati possono essere apportate modifiche e varianti possono essere apportate modifiche e varianti
20 senza per questo uscire dall'ambito protettivo della presente invenzione, come definito dalle rivendicazioni. In particolare, si sottolinea che le strutture di celle di memoria mostrate nelle figure 2 e 4 sono solo esempi e l'invenzione è applicabile anche a celle a porta flottante aventi differente geometria.
25

R I V E N D I C A Z I O N I

1. Metodo di programmazione rapida per effetto tunnel di una cella di memoria a porta flottante (1), avente una regione di porta flottante (6) separata da una regione di substrato (2, 3, 4) tramite uno strato di ossido di porta (5), comprendente la fase di applicare un campo elettrico a detto strato di ossido di porta,

caratterizzato dal fatto che detta fase di applicare comprende l'applicazione di un campo elettrico di almeno $\frac{10}{100}$ MV/cm per un tempo di programmazione minore o uguale a 100 ns.

2. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che detto tempo di programmazione è compreso fra 20 e 100 ns, preferibilmente pari a circa 50 ns.

3. Metodo secondo la rivendicazione 1 o 2, caratterizzato dal fatto che detto strato di ossido di porta (5) di detta cella di memoria a porta flottante (1) ha spessore inferiore a 10 nm.

4. Metodo secondo la rivendicazione 3, caratterizzato dal fatto che detto strato di ossido di porta (5) di detta cella di memoria a porta flottante (1) è compreso fra 4 e 8 nm, preferibilmente è pari a circa 5 nm.

5. Cella di memoria (1) RAM dinamica, caratterizzata dal fatto di comprendere una regione di porta flottante (6) scrivibile mediante programmazione rapida.

vnt.

CERBARO Elena
(iscrizione Albo nr 426/BM)

6. Cella di memoria (1) RAM statica, caratterizzata dal fatto di comprendere una regione di porta flottante (6) scrivibile mediante programmazione rapida.

7. Cella di memoria (1) flash a porta flottante, caratterizzata dal fatto di comprendere una regione di porta flottante (6) scrivibile mediante programmazione rapida.

8. Cella di memoria secondo una qualsiasi delle rivendicazioni 5-7, avente una regione di porta flottante (6) separata da una regione di substrato (2-4) tramite uno strato di ossido di porta (5), caratterizzata dal fatto che detto strato di ossido di porta di detta cella di memoria a porta flottante (1) ha spessore di, al massimo, 10 nm.

9. Cella di memoria secondo la rivendicazione 8, caratterizzata dal fatto che detto strato di ossido di porta (5) di detta cella di memoria a porta flottante (1) è compreso fra 4 e 8 nm, preferibilmente è pari a circa 5 nm.

10. Metodo di programmazione rapida per effetto tunnel di una cella di memoria a porta flottante, cella di memoria RAM statica, RAM dinamica o flash, sostanzialmente come descritti con riferimento ai disegni allegati.

p. i.: STMICROELECTRONICS S.R.L.

CERBARO Elena
Iscrizione Albo nr 426/BM



CERBARO Elena
Iscrizione Albo nr 426/BM

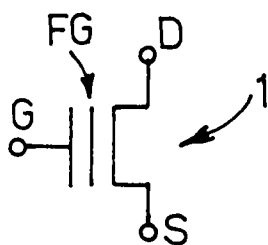


Fig.1

Fig. 2

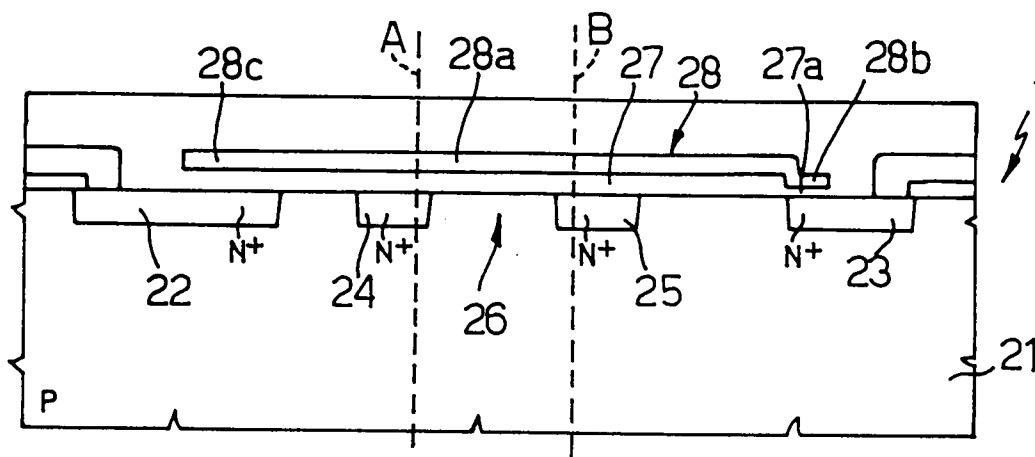
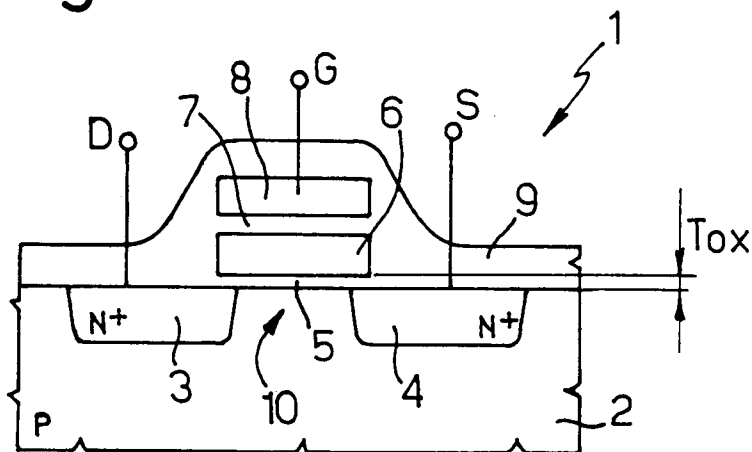


Fig.4

Fig.3

