(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3600311号

(P3600311)

(45)発行日　平成16年12月15日(2004.12.15)　(24)登録日　平成16年9月24日(2004.9.24)

(51)Int.Cl.[7]	F I		
G11B 5/09	G11B	5/09	311Z
G11B 20/10	G11B	5/09	311B
	G11B	20/10	311

請求項の数 6　(全 21 頁)

(21)出願番号　特願平7-128510
(22)出願日　平成7年5月26日(1995.5.26)
(65)公開番号　特開平8-45010
(43)公開日　平成8年2月16日(1996.2.16)
審査請求日　平成14年5月21日(2002.5.21)
(31)優先権主張番号　特願平6-112772
(32)優先日　平成6年5月26日(1994.5.26)
(33)優先権主張国　日本国(JP)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(73)特許権者　000233136
株式会社日立アドバンストデジタル
神奈川県横浜市戸塚区吉田町２９２番地
(74)上記1名の復代理人　100084940
弁理士　丸山　清
(74)復代理人　100087354
弁理士　市村　裕宏
(74)復代理人　100093492
弁理士　鈴木　市郎
(74)復代理人　100099520
弁理士　小林　一夫

最終頁に続く

(54)【発明の名称】磁気記録再生装置

(57)【特許請求の範囲】

【請求項１】

読出し／書込み信号処理回路と読出し／書込みアンプとの間でデータの伝送を行ない、該読出し／書込みアンプにより、該データを磁気記録媒体に記録し再生する磁気記録再生装置において、

前記読出し／書込み信号処理回路に、データパルス信号から互いにインターリーブ関係にあるライトパルス信号を生成するインターリーブライトデータ生成回路を設け、

前記読出し／書込みアンプに、前記ライトパルス信号を合成して元の前記データパルス信号を復元する合成回路を設け、

前記読出し／書込み信号処理回路は、複数の信号線路で前記読出し／書込みアンプと接続され、前記インターリーブ関係にあるライトパルス信号の各々が、前記読出し／書込み信号処理回路から前記読出し／書込みアンプへ、前記複数の信号線路を用いて、伝送され、前記読出し／書込みアンプと前記読出し／書込み信号処理回路との間で伝送される信号は、差動信号であることを特徴とする磁気記録再生装置。

【請求項２】

請求項１において、

前記読出し／書込みアンプと前記読出し／書込み信号処理回路との間で伝送される信号は、ＮＲＺＩ符号形式の信号であることを特徴とする磁気記録再生装置。

【請求項３】

読出し／書込み信号処理回路と読出し／書込みアンプとの間でデータの伝送を行ない、該

読出し／書込みアンプにより、該データを磁気記録媒体に記録し再生する磁気記録再生装置において、
前記読出し／書込み信号処理回路に、ライトデータ生成回路と、該ライトデータ生成回路の出力の周期をｎ倍する回路とを設け、
前記読出し／書込み信号処理回路の前記周期をｎ倍する回路の出力側に差動バッファを設け、
前記読出し／書込みアンプに前記差動バッファの出力を受ける差動レシーバを設け、
前記読出し／書込み信号処理回路と前記読出し／書込みアンプとの間を差動信号で伝送することを特徴とする磁気記録再生装置。
【請求項４】
請求項３において、
前記読出し／書込みアンプと前記読出し／書込み信号処理回路との間で伝送される前記周期をｎ倍する回路の出力は、ＮＲＺＩ符号形式の信号であることを特徴とする磁気記録再生装置。
【請求項５】
読出し／書込み信号処理回路と読出し／書込みアンプとの間でデータの伝送を行ない、該読出し／書込みアンプにより、該データを磁気記録媒体に記録し再生する磁気記録再生装置において、
前記読出し／書込み信号処理回路に、データパルス信号から互いにインターリーブ関係にあるライトパルス信号を生成するインターリーブライトデータ生成回路と、該インターリーブライトデータ生成回路から出力される前記ライトパルス信号の周期をｎ倍する２つの分周回路とを設け、
前記読出し／書込みアンプに、２つの前記周期をｎ倍する回路の出力信号を合成して元のデータパルス信号を復元する合成回路を設け、
前記読出し／書込み信号処理回路は、複数の信号線路で前記読出し／書込みアンプと接続され、２つの前記周期をｎ倍する回路の出力信号の各々が、前記読出し／書込み信号処理回路から前記読出し／書込みアンプへ、前記複数の信号線路を用いて、伝送され、
前記読出し／書込みアンプと前記読出し／書込み信号処理回路との間で伝送される信号は、差動信号であることを特徴とする磁気記録再生装置。
【請求項６】
請求項５において、
前記読出し／書込みアンプと前記読出し／書込み信号処理回路との間で伝送される信号は、ＮＲＺＩ符号形式の信号であることを特徴とする磁気記録再生装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、磁気記録再生装置に係り、特に、記録媒体にデータを記録する際のライトデータ生成回路と読出し／書込みアンプとの間のライトデータ信号及びリードデータ信号の受け渡しに関する。
【０００２】
【従来の技術】
従来の磁気記録再生装置は、一般的に、図２５に示すように、ディスク状の磁気記録媒体１、磁気ヘッド１０、Ｒ／Ｗ（書込み／読出し）アンプ３２、Ｒ／Ｗ信号処理回路３３、コントローラ４、マイコン５、サーボ制御回路６及びＩ／Ｆ（インタフェース）回路７から構成される。また、Ｒ／Ｗ信号処理回路３３はライトデータ生成回路３８とリードデータ再生回路９によって構成されている。
【０００３】
図示しないホストから送られてくる記録データはＩ／Ｆ回路７とコントローラ４を介してＲ／Ｗ信号処理回路３３に送られ、そのライトデータ生成回路３８で磁気記録媒体１に適した記録符号に変換された後、Ｒ／Ｗアンプ３２で磁気ヘッド１０を駆動して磁気記録媒

体１に書き込まれる。また、磁気ヘッド１０によって磁気記録媒体１から読み出されたデータは、Ｒ／Ｗアンプ３２で増幅された後、Ｒ／Ｗ信号処理回路３３のリードデータ再生回路９で復号され、コントローラ４とＩ／Ｆ回路７を介してホストに送られる。

【０００４】

磁気記録媒体１上での磁気ヘッド１０の位置決めや磁気記録媒体１の回転は、サーボ制御回路６とマイコン５によって制御される。データ面サーボ方式では、磁気記録媒体１から読み出されるデータの一部がサーボデータとなっており、リードデータ再生回路９でこのサーボデータ信号Ｈが抽出されて磁気ヘッド１０の位置決め制御に使用される。

【０００５】

図２６は図２５におけるＲ／Ｗアンプ３２とＲ／Ｗ信号処理回路３３の一例を示すブロック図である。

【０００６】

同図において、Ｒ／Ｗアンプ３２はリードアンプライトドライバ１１、２分周回路１２、リード／ライトセレクタ１３、リードバッファアンプ１４及びライト電流源回路１５から構成されている。リードアンプライトドライバ１１は磁気ヘッド１０に接続されており、磁気ヘッドと同数のアンプとドライバとを有している。Ｒ／Ｗ信号処理回路３３はライトデータ生成回路３８とリードデータ再生回路９とから構成されており、ライトデータ生成回路３８は、さらに、書込み補正回路３８ａと符号化回路３８ｂとで構成される。

【０００７】

図２５のＩ／Ｆ回路７及びコントローラ４を介してホストから送られてくる記録データＥは、符号化回路３８ｂにより、１－７ＲＬＬＣや８／９ＧＣＲなど磁気記録媒体への記録に適した図２７（ａ）に示すような記録符号に変換され、磁化干渉などによるピークシフトを低減するため、書込み補正回路３８ａでデータパターン毎にエッジ位相をずらしたデータパルス信号Ｃに加工されて、Ｒ／Ｗアンプ３２に送られる。このデータパルス信号Ｃは、図２７（ｂ）に示すようなシリアルのＲＺ（Ｒｅｔｕｒｎ－ｔｏ－Ｚｅｒｏ）符号である。

【０００８】

Ｒ／Ｗアンプ３２では、このデータパルス信号Ｃが２分周回路１２で図２７（ｃ）に示すようなＮＲＺＩ（Ｎｏｎ－Ｒｅｔｕｒｎ－ｔｏ－Ｚｅｒｏ－Ｉｎｖｅｒｔｅｄ）符号Ｋに変換され、この符号Ｋに応じた電流パルスがライトドライバ１１から磁気ヘッド１０に供給される。これにより、図２５の磁気記録媒体１にデータが記録される。

【０００９】

一般に、Ｒ／Ｗアンプ３２は磁気ヘッド１０の近くに配置されるため、Ｒ／Ｗアンプ３２とＲ／Ｗ信号処理回路３３は別のＩＣ（集積回路）であり、これらＩＣ間はフィルム状のケーブル（以下、フィルムケーブルという）で接続される。

【００１０】

リード／ライトセレクタ１３はリード動作とライト動作の切替回路であって、リード時にはライトドライバを止め、ライト時にはリードアンプを止める。ライト電流源回路１５は、ライトドライバの出力電流を設定するための電流源回路である。

【００１１】

リードバッファアンプ１４は、リードアンプ１１からのアナログの読出しデータ信号を増幅し、これをリードデータ再生回路９に伝送するためのバッファアンプである。リードデータ再生回路９は、リードバッファアンプ１４からの読出し信号Ｄからリードデータを再生し、記録符号からもとのデータに復号して図２５のコントローラ４に出力する回路である。

【００１２】

【発明が解決しようとする課題】

磁気ディスク装置などでは、データ転送の高速化が年々進められているが、今後さらに高速化された場合、上記従来技術では、Ｒ／Ｗ信号処理回路３３のＩＣとＲ／Ｗアンプ３２のＩＣとの間のライトデータ信号の受け渡しが、高速化のネックになる。

【００１３】
これらＩＣ間の接続に使用されるフィルムケーブルは伝送能力が低く、高周波のパルス信号の波形なまりを起しやすい。これは、磁気記録再生装置への実装を容易にするために形状変化し易くすることや、低価格化などの条件から、ケーブルの特性インピーダンスが高くなったり、導体や絶縁体の損失が大きくなったりするためである。
【００１４】
図２８は、従来の磁気ディスク装置のライトデータパルス信号波形を示すものであって、図２８（ａ）に示すような記録符号に変換後の例えば（１，１，０，０，１）のライトデータ列を高速に伝送した場合、その理想的なパルス波形は図２８（ｂ）に示すものであるが、実際には、図２８（ｃ）の実線で示すように、波形がなまったものとなる。このように波形がなまった読出し信号をＲ／Ｗアンプ３２で波形整形すると、図２８（ａ）のもとのデータパターンの疎密（“１”ビットの間隔の変化）により、図２８（ｄ）に示すように、得られるパルス信号の立上り，立下りエッジ間の位相関係にずれが生じることになる。また、振幅も低下してレベルマージンが減少し、データエラーの要因となる。
【００１５】
磁気ディスク装置などでは、データ転送の高速化が年々進められ、１０ＭＢ／ｓｅｃ以上と高くなり、タイミングマージンに対する仕様が厳しくなってきた。現状の磁気ディスク装置では、Ｒ／Ｗ信号処理ＩＣとＲ／ＷアンプＩＣとの間のライトデータ伝送にＲＺ符号形式を用いているため、転送速度１０ＭＢ／ｓｅｃでのライトデータ周波数は、８／９ＧＣＲで９０ＭＨｚ、１－７ＲＬＬＣで６０ＭＨｚとなる。
【００１６】
これに対して、現状の磁気ディスク装置のＲ／Ｗ信号処理ＩＣとＲ／ＷアンプＩＣとの間のライトデータ伝送路は、１００ｍｍ程度の長さのフィルムケーブルと接続コネクタとが介在し、これに基板配線、ＩＣの入出力端子を考慮すると、インダクタンス成分で１００ｎＨ、キャパシタンス成分で２０ｐＦ以上となるため、ＥＣＬレベルでも１００ＭＨｚ程度が伝送周波数限界である。このため、現状の方式では、２０ＭＢ／ｓｅｃ以上の高速データ転送に対応できない。
【００１７】
また、高性能ケーブルを用いた場合でも、ドライブするバッファも高速なものが必要であり、消費電力の増加やコスト高になる。
【００１８】
ところで、従来では、Ｒ／Ｗ信号処理回路３３とＲ／Ｗアンプ３２とのＩＣ間でのライトデータは、ＴＴＬまたはＥＣＬレベルの電圧形式で受け渡しされていた。図２９はＥＣＬレベルでの受け渡しの例を示すものであり、Ｒ／Ｗ信号処理回路８３では、ライトデータ生成回路３８の出力側にＥＣＬ出力回路１００１を設け、Ｒ／Ｗアンプ８２では、その入力側にＥＣＬ入力回路１００２を設けて、フィルムケーブル２０１３上のライトデータ信号Ｃ８２をＥＣＬレベルで伝送する。
【００１９】
なお、図２９において、図２５に対応する部分，信号には同一符号をつけている。また、Ｒ／Ｗ信号処理回路８３は図示しないレジスタを有し、各部の特性を切り替えることができる。このレジスタの内容は、マイコン５からの制御信号Ｓ４でプログラマブルに設定することができる。
【００２０】
また、Ｒ／Ｗ信号処理回路８３とＲ／Ｗアンプ８２の間のリードデータ信号Ｄの受け渡しも、アナログ信号レベルであるが、電圧形式で行なわれていた。
【００２１】
ここで、フィルムケーブル２０１３の伝送能力が低いため、特に、高周波パルス波形のライトデータＣ８２に波形なまりが起き易い。
【００２２】
そこで、高速化を実現するためには、フィルムケーブル２０１３を低インピーダンス化し

、出力バッファの駆動能力を高くする必要があるが、消費電力の増加を招く。例えば、５０Ωのフィルムケーブルを用いてＥＣＬレベル０．８Ｖ振幅で伝送する場合、ＥＣＬ出力回路１００１は、１回路当たり約１００ｍＷの消費電力が必要になる。

【００２３】

しかし、磁気ディスク装置の小型化に伴い、各回路への低消費電力化の要求は年々強まっている。例えば、Ｒ／Ｗ信号処理回路８３全体の消費電力に対するユーザーの要求は約５００ｍＷ以下であり、ＥＣＬ出力回路１００１で１００ｍＷを消費するとこれを達成できない。

【００２４】

また、高速のパルス信号を伝送する場合、駆動能力を高くすると、ノイズ源となって周辺回路へ悪影響を与え、伝送誤りなどの原因となって装置性能が劣化する。

【００２５】

さらに、インピーダンス整合のために、終端抵抗を付加するが、Ｒ／Ｗアンプ８２側は磁気ヘッド１０付近のフィルムケーブル２０１３上に配置されているため、外付け部品を搭載するスペースが少なく、このため、極力部品点数を低減する必要がある。Ｒ／Ｗアンプ８２内に終端抵抗を内蔵する場合でも、抵抗値が限定されるため、最適なインピーダンス整合ができないことがある。

【００２６】

ところで、通信の分野では、従来から電流形式で信号の受け渡しを行なっており、その一例が１９９４年電子情報通信学会秋季大会発表の「低電力バイポーラ電流モードＩ／Ｏ回路」と題する論文に記載されている。

【００２７】

通信の分野では、伝送路となるケーブルの特性は規格化されており、対象とするケーブルを特定することができるが、磁気ディスク装置で使用されるフィルムケーブルは様々な種類があり、装置毎に特性が異なる。上記の論文に記載の技術では、伝送路の特性変化に対しては考慮されていない。

【００２８】

本発明の目的は、かかる問題を解消し、Ｒ／Ｗ信号処理回路とＲ／Ｗアンプとの間のデータの高速化を図り、かつ消費電力を低減してコストの上昇を抑えることができるようにした磁気記録再生装置とこれに用いる回路を提供することにある。

【００２９】

【課題を解決するための手段】

上記目的を達成するために、本発明による磁気記録再生装置は、Ｒ／Ｗ信号処理回路のライトデータ生成回路をインターリーブ形式とし、複数の信号線でＲ／Ｗアンプとの受け渡しを行なう。また、本発明によるＲ／Ｗアンプは、該Ｒ／Ｗ信号処理回路からの該インターリーブ形式のライトデータの合成回路を設け、ＩＣ化する。

【００３０】

ライトデータ生成回路の出力部に２分周回路を設け、ＮＲＺＩ符号でライトデータの受け渡しを行なうことを可能とした。

【００３１】

差動バッファ及びレシーバを設け、ライトデータを差動信号で受け渡し可能とした。

【００３２】

また、上記目的を達成するために、本発明は、Ｒ／Ｗ信号処理回路のライトデータ出力部に電流形式出力回路を、Ｒ／Ｗアンプのライトデータ入力部に電流形式入力回路を夫々設け、Ｒ／Ｗ信号処理回路とＲ／Ｗアンプとの間のライトデータを電流形式で受け渡すことを可能とした。

【００３３】

Ｒ／Ｗアンプのリードデータ出力部に電流形式出力回路を、Ｒ／Ｗ信号処理回路のリードデータ入力部に電流形式入力回路を夫々設け、Ｒ／Ｗ信号処理回路とＲ／Ｗアンプとの間のリードデータを電流形式で受け渡すことを可能とした。

【００３４】
上記電流形式出力回路にバイアス電流調整回路を設け、出力バイアス電流を調整可能にした。
【００３５】
上記電流形式出力回路に電流切替回路を設けて、出力電流を切り替え可能にした。
【００３６】
レジスタを設け、上記電流切替回路をマイコンなどでプログラマブルに設定可能とした。
【００３７】
前記電流形式入力回路に出力振幅制限器を設けた。
【００３８】
【作用】
本発明によると、インターリーブ形式により、複数の信号線を用いてＲ／ＷアンプとＲ／Ｗ信号処理回路とのライトデータ信号の受け渡しを行なうため、１つの信号線で扱う信号の周波数を低下させることができる。
【００３９】
また、ＮＲＺＩ符号でＲ／ＷアンプとＲ／Ｗ信号処理回路とのライトデータ信号の受け渡しを行なうことにより、信号の周波数を低下させることができる。
【００４０】
従って、Ｒ／ＷアンプをＩＣ化してＲ／Ｗ信号処理回路との間を安価な伝送線路で接続しても、伝送されるライトデータ信号に波形歪による立上り，立下りエッジの位相関係のずれが生じない。
【００４１】
また、本発明によると、Ｒ／ＷアンプとＲ／Ｗ信号処理回路と間のライトデータ信号の受け渡しを電流形式で行なうことができるので、信号振幅を小さくでき、Ｒ／Ｗ信号処理回路の出力回路の消費電力を低減できる。
【００４２】
また、Ｒ／ＷアンプとＲ／Ｗ信号処理回路とのリードデータ信号の受け渡しを電流形式で行なうことで、信号振幅を小さくできるため、Ｒ／Ｗアンプの出力回路の消費電力を低減できる。
【００４３】
また、小振幅で駆動するため、ノイズの発生量も低減でき、周辺回路へのノイズ混入を抑えることができる。
【００４４】
また、電流形式入力回路の入力インピーダンスをバイアス電流で調整でき、終端抵抗を付加する必要なくインピーダンス整合をとることができ、部品点数を削減できる。
【００４５】
また、任意の特性インピーダンスに対して整合をとることができるため、各種のフィルムケーブルに対応でき、自由度が高い。
【００４６】
また、電流形式入力回路の出力振幅が制限されるため、大きな電流入力時にも回路が飽和しない。
【００４７】
【実施例】
以下、本発明の実施例を図面を用いて説明する。
図１は本発明による磁気記録再生装置の第１の実施例を示すブロック図であって、２はＲ／Ｗアンプ、３はＲ／Ｗ信号処理回路、８はインターリーブライトデータ生成回路であり、図２５に対応する部分には同一符号を付けて重複する説明を省略する。
【００４８】
同図において、この実施例は、磁気記録媒体１、磁気ヘッド１０、Ｒ／Ｗアンプ２、Ｒ／Ｗ信号処理回路３、コントローラ４、マイコン５、サーボ制御回路６及びＩ／Ｆ回路７か

ら構成される。Ｒ／Ｗ信号処理回路３は、インターリーブライトデータ生成回路８とリードデータ再生回路９とで構成される。

【００４９】

図２は図１でのＲ／Ｗアンプ２の一具体例とＲ／Ｗ信号処理回路３とを示すブロック図であって、１６は合成回路であり、図１及び図２６に対応する部分には同一符号を付けている。

【００５０】

同図において、Ｒ／Ｗアンプ２はリードアンプライトドライバ１１、２分周回路１２、リード／ライトセレクタ１３、リードバッファアンプ１４、ライト電流源回路１５及び合成回路１６から構成される。即ち、図２６に示した従来のＲ／Ｗアンプ３２に合成回路１６が付加された構成をなしており、これは、Ｒ／Ｗ信号処理回路３にインターリーブライトデータ生成回路８が用いられていることによるものである。また、図２６に示した従来のＲ／Ｗアンプ３２と同様、Ｒ／Ｗアンプ２のリードアンプライトドライバ１１は磁気ヘッド１０と接続されるものであって、磁気ヘッドと同数以上のアンプとドライバを有している。

【００５１】

図３は図１，図２におけるインターリーブライトデータ生成回路８の一具体例を示すブロック図であって、この具体例は符号化回路８ｂ、書込み補正回路８ａ及びインターリーブスイッチ８ｃで構成されている。

【００５２】

次に、図２，図３の各部の信号を示す図４を参照しながらこの第１の実施例の動作を説明する。

【００５３】

図１のＩ／Ｆ回路７、コントローラ４を介してホストから送られてくる記録データＥはＲ／Ｗ信号処理回路３に供給され、図３に示す符号化回路８ｂにより、１－７ＲＬＬＣや８／９ＧＣＲなど磁気記録媒体１（図１）への記録に適した記録符号Ｉに変換される。記録データＥはパラレルデータで受け渡してもよく、この場合には、高速化に有利である。この記録符号のデータ列Ｉは書込み補正回路８ａに供給され、磁化干渉などによるピークシフトを低減するため、データパターンによりエッジの位相を前後にずらしたデータパルス信号に加工処理される。このデータパルス信号はインターリーブスイッチ８ｃに供給され、データパルス信号の“１”ビットに対するパルス（以下、“１”パルスという）が１つおきに交互に分配されて、１つおきの“１”パルスをもつインターリーブライトデータパルス信号Ｃ１と他の１つおきの“１”パルスをもつインターリーブライトデータパルス信号Ｃ２に分けられ、夫々Ｒ／Ｗアンプ２に伝送される。これらインターリーブライトデータパルス信号Ｃ１，Ｃ２は、図４に示す“１”パルスが１つおきに交互に間引かれたインターリーブのＲＺ（Ｒｅｔｕｒｎ－ｔｏ－Ｚｅｒｏ）符号である。

【００５４】

図５は図３におけるインターリーブスイッチ８ｃの一具体例を示す回路構成図であって、８ｃ１，８ｃ２はＡＮＤゲート、８ｃ３はＤ型フリップフロップ回路（以下、Ｄ－ＦＦという）、８ｃ４はインバータである。

【００５５】

また、図６は図５の各部の信号を示すタイミング図であって、図５の信号に対応する信号には同一符号を付けている。

【００５６】

図５及び図６において、図３の書込み補正回路８ａからのデータパルス信号Ｃは、ＡＮＤゲート８ｃ１，８ｃ２に供給されるとともに、インバータ８ｃ４で反転され、Ｄ－ＦＦ８ｃ３のクロックｃｋとして供給される。このＤ－ＦＦ８ｃ３は、このクロックｃｋに立上りエッジ、つまり、データパルス信号Ｃの立下りエッジでトリガーされ、このＤ－ＦＦ８ｃ３のＱ出力とはレベルが反転した関係にあるＱＢ出力であるゲートパルスＸ２をＤ入力として取り込む。

【００５７】
そこで、いま、Ｄ－ＦＦ８ｃ３のＱ出力が“Ｌ”（低レベル）、ＱＢ出力が“Ｈ”（高レベル）とすると、このＱＢ出力である“Ｈ”のゲートパルスＸ２がＡＮＤゲート８ｃ１に供給され、Ｑ出力である“Ｌ”のゲートパルスＸ１がＡＮＤゲート８ｃ２に供給されている。従って、ＡＮＤゲート８ｃ１がオン、ＡＮＤゲート８ｃ２がオフとなる。
【００５８】
かかる状態でデータパルス信号Ｃの“１”パルスが供給されると、この“１”パルスはＡＮＤゲート８ｃ１を通過し、この“１”パルスの立下りエッジでＤ－ＦＦ８ｃ３が“Ｈ”のＤ入力を取り込んで、そのＱ出力が“Ｈ”，そのＱＢ出力が“Ｌ”となる。従って、ＡＮＤゲート８ｃ１がオフ、ＡＮＤゲート８ｃ２がオンとなる。
【００５９】
その後、データパルス信号Ｃの“１”パルスが供給されると、この“１”パルスはＡＮＤゲート８ｃ２を通過し、この“１”パルスの立下りエッジでＤ－ＦＦ８ｃ３が“Ｌ”のＤ入力を取り込んで、そのＱ出力が“Ｌ”，そのＱＢ出力が“Ｈ”となる。従って、ＡＮＤゲート８ｃ１がオン、ＡＮＤゲート８ｃ２がオフとなる。
【００６０】
以下、同様に動作し、順次供給されるデータパルス信号Ｃの“１”パルスはＡＮＤゲート８ｃ１，８ｃ２を交互に通過する。従って、ＡＮＤゲート８ｃ１からデータパルス信号Ｃの１つおきの“１”パルスからなるインターリーブライトデータ信号Ｃ１が、ＡＮＤゲート８ｃ２からデータパルス信号Ｃの他の１つおきの“１”パルスからなるインターリーブライトデータ信号Ｃ２が夫々得られることになる。
【００６１】
ここで、インターリーブ方式としては、図７（ａ）に示すようなデータパルス信号を１ビット毎に交互に分配し、図７（ｂ），（ｃ）に示すようなデータパルス信号を形成することも可能であり、１－７ＲＬＬＣなどの“１”ビットが連続しない記録符号では、インターリーブしても最密パターンの周波数が変わらず効果のない場合があるが、８／９ＧＣＲのように“１”ビットが連続する記録符号では、有効である。
【００６２】
この実施例では、インターリーブデータ数が２つの場合を示したが、３つ以上の場合でも、同様の方法で容易に実現できる。
【００６３】
この第１の実施例では、以上のように、インターリーブライトデータ生成回路８がライトデータの“１”パルスを１つおきに交互に間引いた２つ以上のインターリーブライトデータパルス信号を生成するもの、あるいは、ライトデータを１ビットおきに交互に間引いた２つ以上のインターリーブライトデータパルス信号を生成するものである。
【００６４】
Ｒ／Ｗアンプ２においては、合成回路１６でこれら２つのインターリーブライトデータパルス信号Ｃ１，Ｃ２が合成され、元のデータパルス信号Ｊが復元される。この合成回路１６は、例えば、ＯＲ回路で実現できる。このデータパルス信号Ｊは２分周回路１２で分周され、ＮＲＺＩ（Ｎｏｎ－Ｒｅｔｕｒｎ－ｔｏ－Ｚｅｒｏ－Ｉｎｖｅｒｔｅｄ）符号の信号Ｋに変換され、この信号Ｋに対応した電流パルスがライトドライバ１１から磁気ヘッド１０に供給されて磁気記録媒体１にデータが記録される。
【００６５】
図８は図１，図２におけるインターリーブライトデータ生成回路８の他の具体例を示すブロック図である。
【００６６】
この具体例では、符号化回路８ｂの次段にインターリーブスイッチ８ｃを設け、符号化回路８ｂの出力信号をインターリーブスイッチ８ｃで上記のようにインターリーブした後、得られる夫々のインターリーブライトデータパルス信号を書込み補正回路８ａ１，８ａ２で図３での書込み補正回路８ａと同様の補正処理を行なうものである。

【００６７】
かかる構成では、書込み補正回路８ａ１，８ａ２の動作速度を低くできる利点がある。
【００６８】
図９は本発明による磁気記録再生装置の第２の実施例でのＲ／Ｗアンプ４２とＲ／Ｗ信号処理回路４３の具体的構成を示すブロック図であって、図２に対応する部分には同一符号を付けて重複する説明を省略する。
【００６９】
同図において、Ｒ／Ｗアンプ４２はリードアンプライトドライバ１１、リード／ライトセレクタ１３、リードバッファアンプ１４、ライト電流源回路１５及びバッファ１７から構成されており、Ｒ／Ｗ信号処理回路４３は２分周回路１９、ライトデータ生成回路１８及びリードデータ再生回路９から構成されている。
【００７０】
同図において、Ｒ／Ｗ信号処理回路４３のライトデータ生成回路１８は図２６に示したＲ／Ｗ信号処理回路３３でのライトデータ生成回路３８と同様のものであり、そこでの符号化回路（図２６での符号化回路３８ｂに相当する）から得られる記録符号変換後のライトデータ（図１０）が書込み補正回路（図２６での書込み補正回路３８ａに相当する）で上記のように補正されて図１０に示すライトデータパルス信号Ｃが得られる。このライトデータパルス信号Ｃは２分周回路１９で分周され、図１０に示すようにＮＲＺＩ符号のライトデータパルス信号ＫとしてＲ／Ｗアンプ４２に送られる。
【００７１】
このように、Ｒ／Ｗアンプ４２，Ｒ／Ｗ信号処理回路４３間のライトデータパルス信号Ｋの受け渡しをＮＲＺＩ符号で行なうものであるから、ライトデータを低い周波数で伝送することができ、装置の高速化に対応できるし、また、動作周波数が低くなることによって消費電力を低減できる。
【００７２】
図１１は図９におけるライトデータ生成回路１８と２分周回路１９の配列順序を変更したものであり、符号化回路２０と書込み補正回路２１との間に２分周回路１９を配置したものである。
【００７３】
かかる構成によると、コントローラ４（図１）からの記録データＥは、符号化回路２０で記録に適した符号に変換された後、２分周回路１９でＮＲＺＩ符号の信号となり、書込み補正回路２１で図２６での書込み補正回路３８ａのように補正されてＲ／Ｗアンプ４２に伝送される。この構成の利点は、書込み補正回路２１で扱うライトデータパルス信号の周波数を低下させるできることである。
【００７４】
ところで、このライトデータパルス信号Ｋを差動信号とするとさらによいが、図１２はこのための本発明による磁気記録再生装置の第３の他の実施例におけるＲ／Ｗ信号処理回路５３の要部を示すブロック図である。
【００７５】
同図において、Ｒ／Ｗ信号処理回路５３では、２分周回路１９の出力段に差動バッファ２２が設けられ、Ｒ／Ｗアンプ５２の入力段に差動レシーバ２３が設けられる。そして、これら差動バッファ２２と差動レシーバ２３との間で差動ライトデータパルス信号Ｋ１，Ｋ２の受け渡しが行なわれる。
【００７６】
ここで、図１３を用いてライトデータパルス信号Ｋの差動化による効果について説明する。
【００７７】
いま、図示する記録符号に変換後のライトデータ列に対し、図９や図１２の２分周回路１９で生成されるＮＲＺＩ符号のライトデータパルス信号Ｋは、図１３に示すように、ライトデータ列の“１”パルスで反転する信号である。かかるライトデータパルス信号Ｋを、

図９で示すように、そのままＲ／Ｗアンプ４２に伝送する場合、その伝送されたライトデータパルス信号Ｋ０の波形は、図１３に示すように、立上りエッジや立下りエッジがなまったものとなる。このようなシングルの信号線では、かかる波形のなまりにより、かかるライトデータパルス信号Ｋ０をＲ／Ｗアンプ４２のバッファ１７（図９）で波形整形すると、立上り，立下りエッジ間の位相関係がもとのライトデータパルス信号Ｋでの立上り，立下りエッジ間の位相関係からずれたＮＲＺＩ符号Ｌが得られることになる。ＮＲＺＩ符号では、これらエッジをデータとして使用するため、その位相関係のずれがデータエラーの要因となって装置の性能を劣化させることになる。

【００７８】

これに対し、図１２に示すように、ライトデータパルス信号Ｋ０とこれが反転したものとの対である差動ライトデータパルス信号Ｋ１，Ｋ２をＲ／Ｗ信号処理回路５３からＲ／Ｗアンプ５２に伝送する場合には、これら差動ライトデータパルス信号Ｋ１，Ｋ２の波形が上記のようになまっても、Ｒ／Ｗアンプ５２の差動レシーバ２３において、これら差動ライトデータパルス信号Ｋ１，Ｋ２の波形が互いに交差する（即ち、等しくなる）時点で反転する信号Ｍを得ているため、この得られる信号Ｍは、２分周回路１９で生成される理想波形のライトデータパルス信号Ｋに対して全体として位相がずれるものの、立上りエッジと立下りエッジとのタイミング関係はライトデータパルス信号Ｋのそれとほとんど変わりがない。これにより、データエラーなどの発生を防止できる。

【００７９】

かかる差動方式によるライトデータパルス信号の伝送は、図１，図９に示した実施例にも適用することができ、同様の効果を得ることができる。

【００８０】

図１４は本発明による磁気記録再生装置の第４の他の実施例のＲ／Ｗアンプ６２とＲ／Ｗ信号処理回路６３の具体的構成を示すブロック図であって、２４，２５は２分周回路であり、図２に対応する部分には同一符号を付けて重複する説明を省略する。

【００８１】

また、図１５は図１４の各部の信号を示す図であって、図１４の信号に対応する信号には同一符号をつけている。

【００８２】

この実施例も、図１に示した第１の実施例と同様に、Ｒ／Ｗアンプ６２とＲ／Ｗ信号処理回路６３との間のライトデータパルス信号の受け渡しをインターリーブでかつＮＲＺＩ符号として行なうものである。

【００８３】

図１４及び図１５において、インターリーブライトデータ生成回路８では、図３で説明したように、記録符号変換後のライトデータ列からインターリーブライトデータパルス信号Ｃ１，Ｃ２が生成され、夫々２分周回路２４，２５で分周されてＮＲＺＩ符号のインターリーブライトデータ信号Ｃ３，Ｃ４に変換される。これらインターリーブライトデータ信号Ｃ３，Ｃ４はＲ／Ｗアンプ６２に伝送され、その合成回路２６で合成されて信号Ｎとなる。この合成回路２６は、例えば、不一致回路（排他的論理和回路）で実現できる。ライトドライバ１１はこの合成信号Ｎに応じた電流パルスを磁気ヘッドに供給する。

【００８４】

この第４の実施例においても、ライトデータパルス信号Ｃ３，Ｃ４を図１２と図１３で説明したような差動ライトデータパルス信号としてもよい。これにより、これらライトデータパルス信号Ｃ３，Ｃ４の立上りエッジと立下りエッジとのタイミング関係の変動を防止することができる。

【００８５】

以上説明した第１～第４の各実施例においては、Ｒ／ＷアンプとＲ／Ｗ信号処理回路をＩＣ化し、これらのＩＣ間を伝送能力が低い安価な伝送線路で接続してもよく、この場合でも、波形のなまりが生ずることなく、ライトデータパルス信号の高速伝送が可能となる。

【００８６】

図１６は本発明による磁気記録再生装置の第５の実施例を示すブロック図であって、２００１は電流形式出力回路、２００２は電流形式入力回路、２００３は電流形式出力回路、２００４は電流形式入力回路であり、図２９に対応する部分には同一符号を付けて重複する説明を省略する。

【００８７】

同図において、Ｒ／Ｗ信号処理回路７３では、電流形式出力回路２００１と電流形式入力回路２００４とが設けられ、Ｒ／Ｗアンプ７２には、電流形式入力回路２００２と電流形式出力回路２００３とが設けられている。

【００８８】

Ｒ／Ｗ信号処理回路７３からＲ／Ｗアンプ７２へのライトデータ信号Ｃ５の受け渡しの場合には、ライトデータ生成回路３８で生成されたライトデータＣが電流形式出力回路２００１で電流形式のライトデータＣ５に変換されてＲ／Ｗ信号処理回路７３から出力され、フィルムケーブル２０１３を介してＲ／Ｗアンプ７２に送られる。Ｒ／Ｗアンプ７２では、このライトデータＣ５が電流形式入力回路２００２で受けられて電圧形式のライトデータＳ２１に変換されて２分周回路１２に供給される。

【００８９】

Ｒ／Ｗアンプ７２からＲ／Ｗ信号処理回路７３へのリードデータ信号Ｄ２の受け渡しの場合には、リードバッファアンプ１４から出力されるリードデータＳ２２が電流形式出力回路２００３で電流形式のリードデータＤ２に変換されてＲ／Ｗアンプ７２から出力され、フィルムケーブル２０１３を介してＲ／Ｗ信号処理回路７３に送られる。Ｒ／Ｗ信号処理回路７３では、このリードデータＤ２が電流形式入力回路２００４で受けられて電圧形式のリードデータＤに変換されてリードデータ再生回路９に供給される。

【００９０】

図１７はＲ／Ｗ信号処理回路７３での電流形式出力回路２００１とＲ／Ｗアンプ７２での電流形式入力回路２００２の一具体例を示す構成図であって、２１０１はレベル変換器、Ｉ２１０１は電流源、２１０２は電流スイッチ、２１０３は電流電圧変換器、２１０４はレベル変換器、Ｑ２１０１～Ｑ２１０４はトランジスタ、Ｒ２１０１，Ｒ２１０２は抵抗、ＶＢ２１０１は電圧源であり、図１６に対応する部分には同一符号を付けている。

【００９１】

同図において、電流形式出力回路２００１はレベル変換器２１０１と電流スイッチ２１０２とで構成されており、ライトデータ生成回路３８（図１６）からのライトデータＣは、電流形式出力回路２００１内のレベル変換器２１０１でレベル変換された後、トランジスタＱ２１０１，Ｑ２１０２と電流源Ｉ２１０１とからなる電流スイッチ２１０２で電流形式のライトデータＣ５ａ，Ｃ５ｂに変換され、フィルムケーブル２０１３を介してＲ／Ｗアンプ７２の電流形式入力回路２００２に供給される。

【００９２】

電流形式入力回路２００２は、電流電圧変換器２１０３とレベル変換器２１０４とで構成されており、さらに、電流電圧変換器２１０３は、トランジスタＱ２１０３，Ｑ２１０４と抵抗Ｒ２１０１，Ｒ２１０２、電圧源ＶＢ２１０１とで構成されている。

【００９３】

フィルムケーブル２０１３を介してＲ／Ｗアンプ７２に入力された電流形式のライトデータ信号Ｃ５は、トランジスタＱ２１０３またはＱ２１０４のエミッタ端子から入力され、抵抗Ｒ２１０１またはＲ２１０２で電圧形式に変換された後、レベル変換器２１０４で内部回路に合わせた信号レベルに変換される。電流形式入力回路２００２の入力端子となるトランジスタＱ２１０３，Ｑ２１０４のエミッタ端子の電位は、電圧源ＶＢ２１０１にベース端子が接続されているため、数十ｍＶの変化に抑えられる。これにより、小振幅でデータ伝送することができる。

【００９４】

また、入力インピーダンスは交流的なエミッタ抵抗となり、入力電流によって決まる。例えば、フィルムケーブル２０１３の特性インピーダンスを５０Ωとした場合、入力電流を

０．５ｍＡにすることにより、この入力インピーダンスを約５０Ωとすることができ、終端抵抗を付加することなしにインピーダンス整合をとることができる。

【００９５】

図１８は図１６でのＲ／Ｗ信号処理回路７３の電流形式出力回路２００１の他の具体例を図１７に示した電流形式入力回路２００２とともに示す構成図であって、２２０３はレジスタ、Ｉ２２０１は可変電流源であり、図１７に対応する部分には同一符号を付けて重複する説明を省略する。

【００９６】

同図において、この具体例は、電流形式出力回路２２０１において、電流スイッチ２２０２での電流源として可変電流源Ｉ２２０１を用い、さらに、レジスタ２２０３を設けて、このレジスタ２２０３のデータをマイコン５からの制御信号Ｓ４でもって設定することにより、出力電流値をプログラマブルに切り替え可能としたものである。

【００９７】

これにより、介在するフィルムケーブル２０１３の特性インピーダンスに応じてライトデータＣ５の電流値を最適化することができ、終端抵抗を付加することなしにインピーダンス整合を精度良くとることができる。

【００９８】

図１９は図１６でのＲ／Ｗ信号処理回路７３の電流形式出力回路２００１のさらに他の具体例を図１７に示した電流形式入力回路２００２とともに示す構成図であって、Ｒ２４０１，Ｒ２４０２は抵抗、ＶＢ２４０１は電圧源であり、図１７，図１８に対応する部分には同一符号を付けて重複する説明を省略する。

【００９９】

同図において、この具体例は、電流スイッチ２４０２の出力側に、送端抵抗として、抵抗Ｒ２４０１，Ｒ２４０２を付加し、さらに、これら抵抗Ｒ２４０１，Ｒ２４０２に電圧源ＶＢ２４０１に接続したものである。抵抗Ｒ２４０１，Ｒ２４０２の抵抗値を伝送路の特性インピーダンスに合わせることにより、送端側のインピーダンス整合をとることができる。また、電圧源ＶＢ２４０１の電圧によって出力電流のバイアス値を決めることができ、電流形式入力回路２００２の電圧源ＶＢ２１０１に対して、最適なバイアス電流が得られるように調整する。

【０１００】

図２０は図１６でのＲ／Ｗ信号処理回路７３の電流形式出力回路２００１のさらに他の具体例を図１７に示した電流形式入力回路２００２とともに示す構成図であって、２５０３はレジスタ、Ｉ２５０１，Ｉ２５０２は可変電流源、Ｒ２５０１は抵抗であり、図１７，図１８に対応する部分には同一符号を付けて重複する説明を省略する。

【０１０１】

同図において、この具体例は、出力端を送端抵抗としての抵抗Ｒ２５０１を介して短絡し、さらに、出力端に可変電流源Ｉ２５０１，Ｉ２５０２を設けて、可変電流源Ｉ２２０１とともに、レジスタ２５０３の出力で制御するものである。

【０１０２】

この具体例では、抵抗Ｒ２５０１を伝送路の特性インピーダンスに合わせることにより、インピーダンス整合をとることができ、さらに、可変電流源Ｉ２５０１，Ｉ２５０２により、出力バイアス電流を制御することができる。

【０１０３】

図１９に示した具体例では、接続先の電流形式入力回路２００２の電圧源ＶＢ２１０１の電圧に依存して、電圧源ＶＢ２４０１の電圧を調整する必要があるが、図２０に示したこの具体例では、接続先に依存することなく、出力バイアス電流を設定することができる。なお、抵抗Ｒ２５０１は外付けでもよい。

【０１０４】

図２１は図１６における電流形式入力回路２００２の他の具体例を示す構成図であって、Ｒ２６０１，Ｒ２６０２は可変抵抗、２６０３は電流電圧変換器であり、前出図面に対応

する部分には同一符号を付けている。

【０１０５】

同図において、この具体例は、電流電圧変換器２６０３での抵抗Ｒ２６０１、Ｒ２６０２を可変抵抗としたものである。電流形式出力回路２００１（図１６）の出力電流を大きく変化させた場合、電流形式入力回路２００２の抵抗値が適当でないと、回路が飽和するなどの動作不良を起こす。この具体例は、抵抗Ｒ２６０１、Ｒ２６０２の抵抗値を可変とすることにより、この問題点を解消できる。

【０１０６】

また、電流形式入力回路２００２の他の構成として、図２２に示すように、抵抗Ｒ２１０１，Ｒ２１０２に並列にダイオードＤ２７０１，Ｄ２７０２を接続した構成としても、同様の問題を解消できる。かかる構成では、電流電圧変換器２７０３の出力振幅がダイオードＤ２７０１、Ｄ２７０２によって制限され、回路の飽和を防止する。

【０１０７】

なお、この実施例では、ライトデータの符号形式としては、ＲＺ符号でもよいし、ＮＲＺＩ符号でもよく、符号形式には依存しない。

【０１０８】

次に、図１６において、Ｒ／Ｗ信号処理回路７３とＲ／Ｗアンプ７２との間のリードデータの受け渡しに際しての各回路の動作を説明する。

【０１０９】

磁気ヘッド１０によって磁気記録媒体１から読み出されたリードデータＢは、Ｒ／Ｗアンプ７２内のリードバッファアンプ１４で増幅された後、電流形式出力回路２００３で電流形式のリードデータＤ２として出力され、フィルムケーブル２０１３を介してＲ／Ｗ信号処理回路７３に供給される。Ｒ／Ｗ信号処理回路７３では、このリードデータ信号Ｄ２が電流形式入力回路２００４で電流形式から電圧形式に変換されて、リードデータ再生回路９に送られる。

【０１１０】

図２３は図１６での電流形式出力回路２００３と電流形式入力回路２００４との一具体例を示す構成図であって、２３０１はバッファアンプ、２３０２は電流出力アンプ、２３０３は電流電圧変換回路、２３０４はバッファアンプ、Ｑ２３０１～Ｑ２３０４はトランジスタ、Ｒ２３０１～Ｒ２３０３は抵抗、Ｉ２３０１，Ｉ２３０２は電流源、ＶＢ２３０１は電圧源である。

【０１１１】

同図において、電流形式出力回路２００３は、バッファアンプ２３０１と電流出力アンプ２３０２とで構成され、電流出力アンプ２３０２はトランジスタＱ２３０１やトランジスタＱ２３０２、抵抗Ｒ２３０１、電流源Ｉ２３０１，２３０２からなるｇｍアンプで実現することができる。

【０１１２】

電流形式入力回路２００４は、電流電圧変換回路２３０３とバッファアンプ２３０４とで構成されている。電流形式で送られてくるリードデータＤ２ａ，Ｄ２ｂは、電流電圧変換回路２３０３で電圧形式に変換された後、バッファアンプ２３０４を介してリードデータ再生回路９に送られる。電流電圧変換回路２３０３は、図１７に示した電流電圧変換回路２１０３と同様に、ベース接地回路からなり、このため、入力端子の電位変化を数十ｍＶに抑えることができて、Ｒ／Ｗアンプ７２とＲ／Ｗ信号処理回路７３との間のリードデータ信号Ｄ２を小振幅で伝送することができる。

【０１１３】

図２４は図１６での電流形式出力回路２００３及び電流形式入力回路２００４の他の具体例を示す構成図であって、Ｉ２９０１，Ｉ２９０２は可変電流源、Ｒ２９０１は抵抗、Ｒ２９０２，Ｒ２９０３は可変抵抗であり、図２３に対応する部分には同一符号を付けている。

【０１１４】

同図において、電流形式出力回路２９５３では、出力側に送端抵抗としての抵抗Ｒ２９０１が付加され、可変電流源Ｉ２９０１，Ｉ２９０２を用いている。抵抗Ｒ２９０１の抵抗値を伝送路であるフィルムケーブル２０１３の特性インピーダンスに合わせることにより、送端側のインピーダンス整合をとることができる。可変電流源Ｉ２９０１，Ｉ２９０２によって出力電流のバイアス値を切り替えることができ、最適なバイアス電流が得られるように調整できる。

【０１１５】

また、電流形式入力回路２９５４では、電流電圧変換器２９０３の出力負荷抵抗として可変抵抗Ｒ２９０２，Ｒ２９０３を用いている。これにより、電流形式出力回路２９５３の出力電流値に応じて可変抵抗Ｒ２９０２，Ｒ２９０３の抵抗値を最適な値に設定することができ、出力振幅を制限して回路の飽和を防止するなどの振幅調整ができる。

【０１１６】

【発明の効果】

以上説明したように、本発明によれば、ネックとなるＲ／ＷアンプとＲ／Ｗ信号処理回路とのライトデータ信号の受け渡しを低い周波数で行なうことができ、磁気記録再生装置の高速化や消費電力の低減を図ることができる。

【０１１７】

また、本発明によれば、ライトデータ周波数を、現行の方式に対して、インターリーブデータ形式やＮＲＺＩ符号形式とすることにより１／２に、両方式を組み合わせることにより１／４以下にすることができ、２０ＭＢ／ｓｅｃ以上の高速データ転送に充分対応できる。

【０１１８】

さらに、本発明によれば、高速化でネックとなるＲ／ＷアンプとＲ／Ｗ信号処理回路との間のライトデータ信号またはリードデータ信号の受け渡しを小振幅で行なうことができ、回路の低消費電力化を図ることができる。例えば、５０Ωのフィルムケーブルを使用する場合の出力回路の消費電流を比較すると、従来技術のＥＣＬレベル（０．８Ｖ振幅）でライトデータを受け渡す場合の出力回路の消費電力は約１００ｍＷとなるが、本発明では、出力電流を２ｍＡ以下にでき、約５０ｍＶ振幅で消費電力を約２０ｍＷとＥＣＬレベルの１／５に低減することができる。

【０１１９】

さらにまた、本発明によると、小振幅でデータの受け渡しを行なうことにより、ノイズの発生量を低減することができる。

【０１２０】

さらにまた、本発明によると、終端抵抗なしにインピーダンス整合をとることができるため、外付け部品を削減できて低コストにできる。特に、部品取付けスペースの少ないＲ／ＷアンプＩＣの省スペース化を図ることができる。

【０１２１】

さらにまた、本発明によると、プログラマブルに出力電流を設定することができるので、インピーダンス整合を細かく調整できるとともに、使用するフィルムケーブルや接続先回路の自由度が高くて使い勝手が向上する。

【０１２２】

さらにまた、本発明によると、電流形式入力回路の出力振幅を調整または制限できるため、回路の飽和を防止でき、接続先となる電流形式出力回路の出力電流の設定範囲を広くできる。

【０１２３】

さらにまた、以上の効果により、ＩＣ及び磁気記録再生装置の高速化や低消費電力化、小型化などの性能向上と低コスト化を図ることができる。

【図面の簡単な説明】

【図１】本発明による磁気記録再生装置の第１の実施例を示すブロック図である。

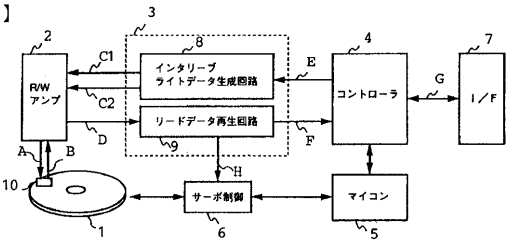
【図２】図１におけるＲ／ＷアンプとＲ／Ｗ信号処理回路の一具体例を示すブロック図で

ある。
【図３】図２におけるインターリーブライトデータ生成回路の一具体例を示すブロック図である。
【図４】図３における各部の信号を示す図である。
【図５】図３におけるインターリーブスイッチの一具体例を示す回路構成図である。
【図６】図５における各部の信号を示す図である。
【図７】図１に示した第１の実施例でのインターリーブ方式の他の具体例を示す図である。
【図８】図２におけるインターリーブライトデータ生成回路の他の具体例を示すブロック図である。
【図９】本発明による磁気記録再生装置の第２の実施例でのＲ／Ｗアンプと Ｒ／Ｗ信号処理回路の構成を示すブロック図である。
【図１０】図９での各部の信号を示す図である。
【図１１】図９に示した第２の実施例の変形例を示すブロック図である。
【図１２】本発明による磁気記録再生装置の第３の実施例でのＲ／Ｗアンプと Ｒ／Ｗ信号処理回路の要部の構成を示すブロック図である。
【図１３】図１２に示した第３の実施例の動作説明図である。
【図１４】本発明による磁気記録再生装置の第４の実施例でのＲ／Ｗアンプと Ｒ／Ｗ信号処理回路の構成を示すブロック図である。
【図１５】図１４の各部の信号を示す図である。
【図１６】本発明による磁気記録再生装置の第５の実施例を示すブロック図である。
【図１７】図１６におけるＲ／Ｗ信号処理回路の電流形式出力回路とＲ／Ｗアンプの電流形式入力回路の一具体例を示す構成図である。
【図１８】図１６におけるＲ／Ｗ信号処理回路の電流形式出力回路の他の具体例を示す構成図である。
【図１９】図１６におけるＲ／Ｗ信号処理回路の電流形式出力回路のさらに他の具体例を示す構成図である。
【図２０】図１６におけるＲ／Ｗ信号処理回路の電流形式出力回路のさらに他の具体例を示す構成図である。
【図２１】図１６におけるＲ／Ｗアンプの電流形式入力回路の他の具体例を示す構成図である。
【図２２】図１６におけるＲ／Ｗアンプの電流形式入力回路のさらに他の具体例を示す構成図である。
【図２３】図１６におけるＲ／Ｗ信号処理回路の電流形式入力回路とＲ／Ｗアンプの電流形式出力回路の一具体例を示す構成図である。
【図２４】図１６におけるＲ／Ｗ信号処理回路の電流形式入力回路とＲ／Ｗアンプの電流形式出力回路の他の具体例を示す構成図である。
【図２５】従来の磁気記録再生装置の一例を示すブロック図である。
【図２６】図２５におけるＲ／Ｗアンプと Ｒ／Ｗ信号処理回路の一例を示すブロック図である。
【図２７】図２６におけるＲ／Ｗ信号処理回路からＲ／Ｗアンプに伝送されるライトデータの理想的な波形を示す図である。
【図２８】図２６におけるＲ／Ｗ信号処理回路からＲ／Ｗアンプに伝送されるライトデータの実際の波形を示す図である。
【図２９】従来の磁気記録再生装置の他の例を示すブロック図である。
【符号の説明】
１　磁気記録媒体
２　Ｒ／Ｗアンプ
３　Ｒ／Ｗ信号処理回路
４　コントローラ

５　マイコン
６　サーボ制御回路
７　Ｉ／Ｆ回路
８　インターリーブライトデータ生成回路
８ａ，８ａ１，８ａ２　書込み補正回路
８ｂ　符号化回路
８ｃ　インターリーブスイッチ
９　リードデータ再生回路
１０　磁気ヘッド
１１　リードアンプライトドライバ
１２　２分周回路
１３　リード／ライトセレクタ
１４　リードバッファアンプ
１５　ライト電流源回路
１６　合成回路
１７　バッファ
１８　ライトデータ生成回路
１９　２分周回路
２０　符号化回路
２１　書込み補正回路
２２　差動バッファ
２３　差動レシーバ
２４，２５　２分周回路
２６　合成回路
２００１，２００３　電流形式出力回路
２００２，２００４　電流形式入力回路
２０１３　フィルムケーブル
２１０１　レベル変換器
２１０２　電流スイッチ
２１０３　電流電圧変換器
２１０４　レベル変換器
２２０３　レジスタ
２３０１　バッファアンプ
２３０２　電流出力アンプ
２３０３　電流電圧変換器
２３０４　バッファアンプ

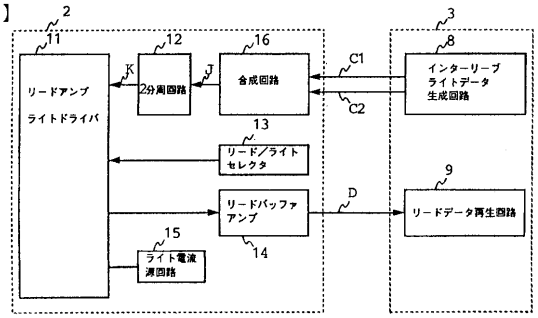
【図１】

【図1】



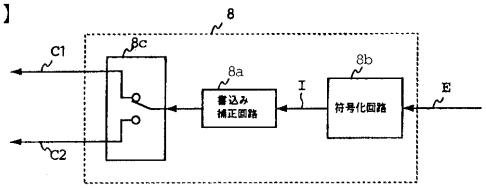
【図２】

【図2】



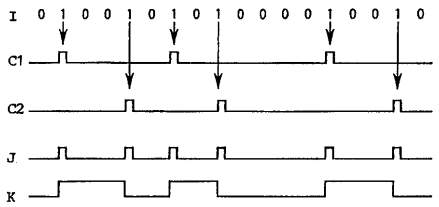
【図３】

【図3】



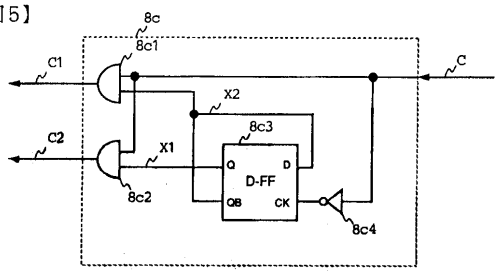
【図４】

【図4】



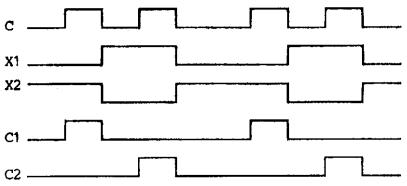
【図５】

【図5】



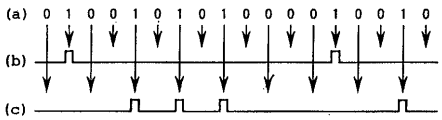
【図６】

【図6】



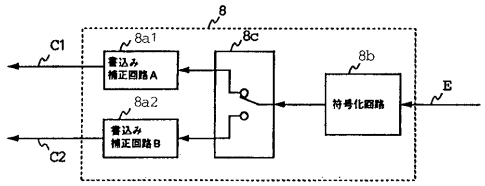
【図７】

【図7】



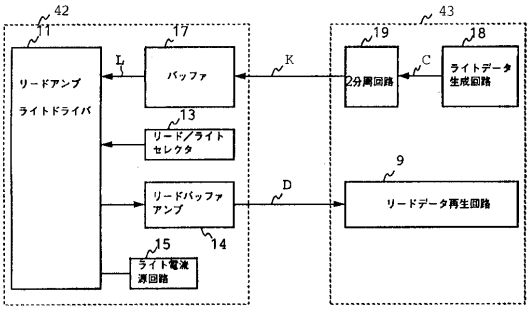
【図８】

【図8】



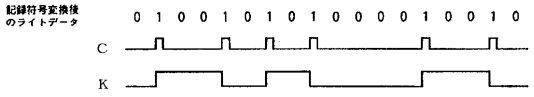
【図９】

【図9】



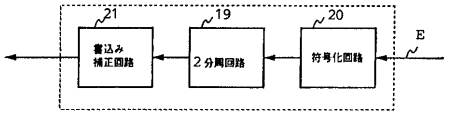
【図１０】

【図10】



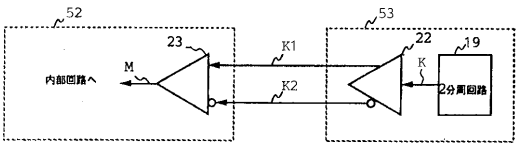
【図１１】

【図11】



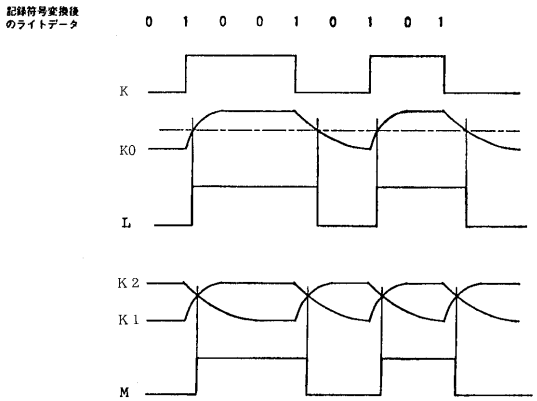
【図１２】

【図12】



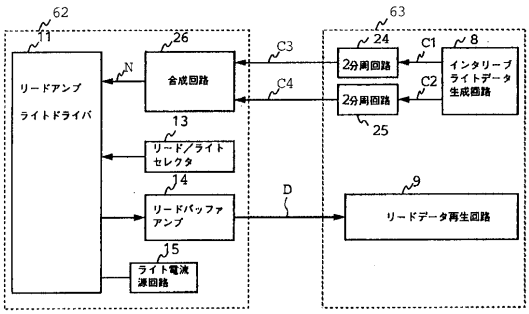
【図１３】

【図13】



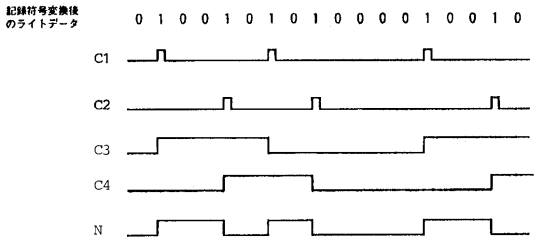
【図１４】

【図14】

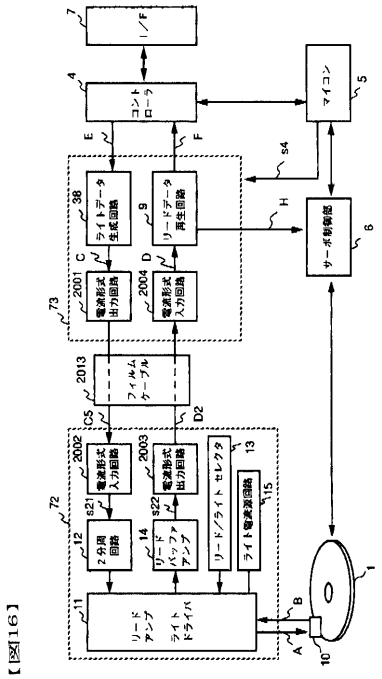


【図１５】

【図15】

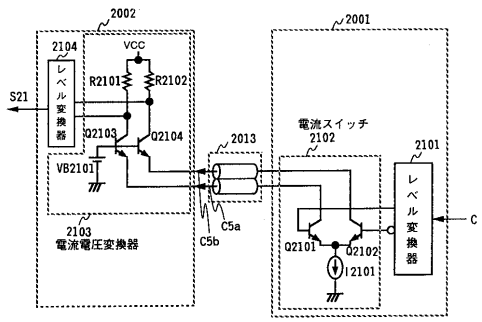


【図１６】

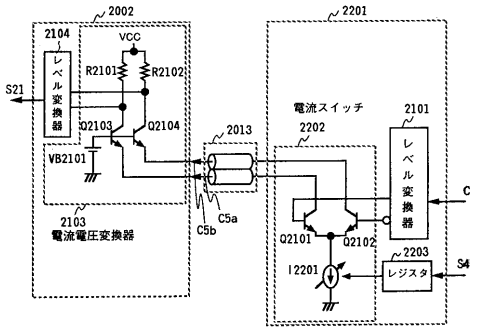


【図１７】

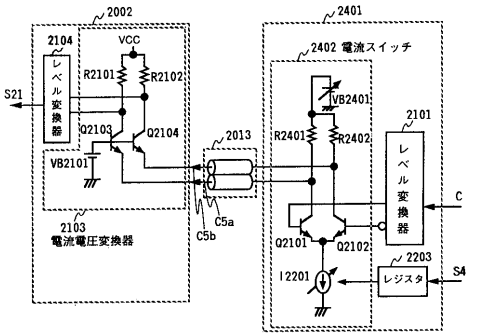
【図17】



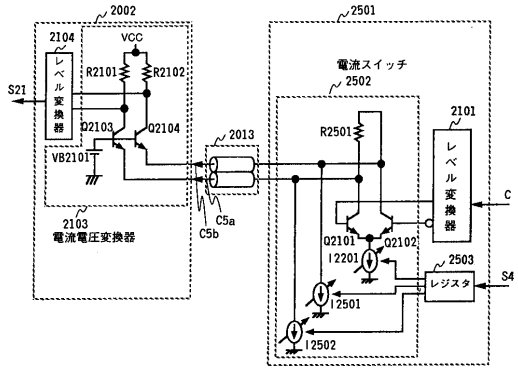
【図１８】
【図18】



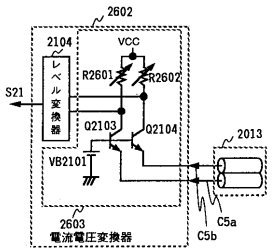
【図１９】
【図19】



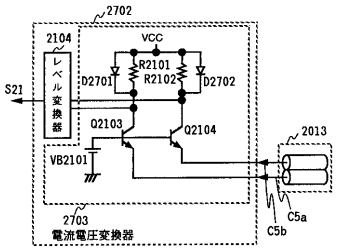
【図２０】
【図20】



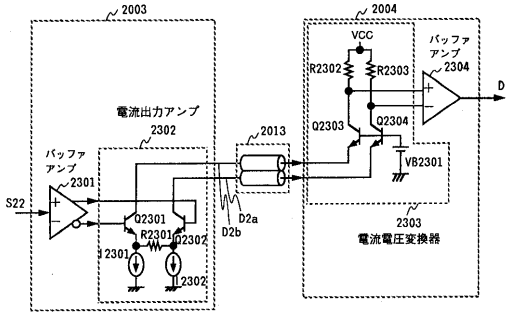
【図２１】
【図21】



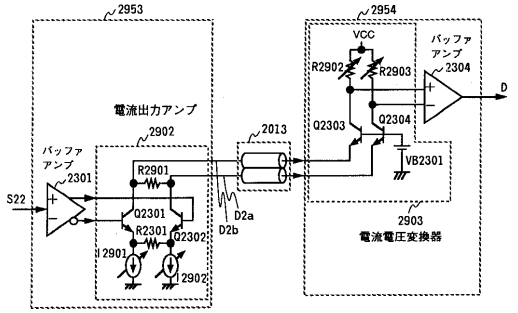
【図２２】
【図22】



【図２３】
【図23】

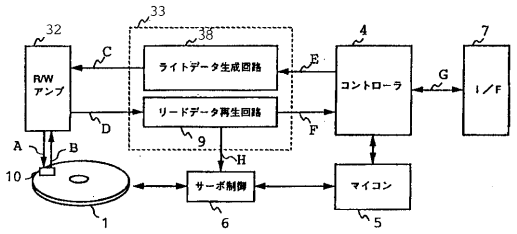


【図２４】
【図24】



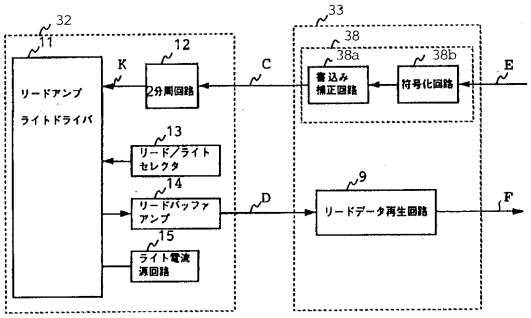
【図２５】

【図25】



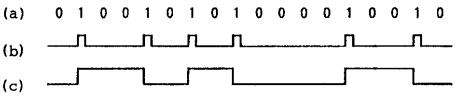
【図２６】

【図26】



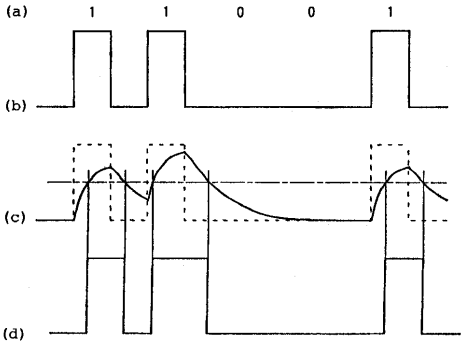
【図２７】

【図27】



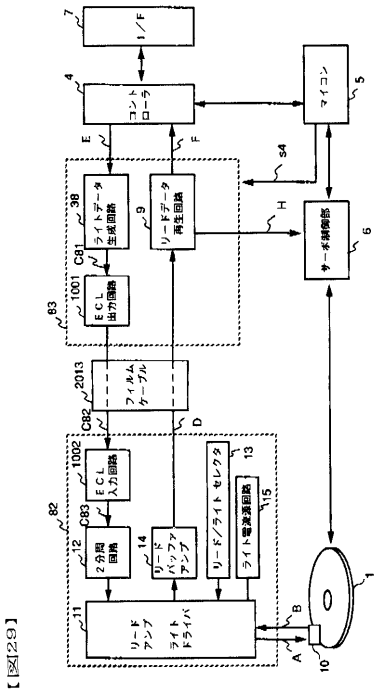
【図２８】

【図28】



【図２９】

【図29】



フロントページの続き

(74)復代理人　100106758
　　弁理士　橘　昭成
(74)代理人　100078134
　　弁理士　武　顕次郎
(72)発明者　斉木　栄作
　　神奈川県横浜市戸塚区吉田町２９２番地　株式会社　日立製作所　システム開発研究所内
(72)発明者　鈴村　伸太郎
　　神奈川県横浜市戸塚区吉田町２９２番地　株式会社　日立画像情報システム内
(72)発明者　高師　輝実
　　神奈川県小田原市国府津２８８０番地　株式会社　日立製作所　ストレージシステム事業部内
(72)発明者　芦川　和俊
　　東京都小平市上水本町５丁目２０番１号　株式会社　日立製作所　半導体事業部内
(72)発明者　広岡　嗣喜
　　神奈川県横浜市戸塚区吉田町２９２番地　株式会社　日立製作所　システム開発研究所内
(72)発明者　宮沢　章一
　　神奈川県横浜市戸塚区吉田町２９２番地　株式会社　日立製作所　システム開発研究所内
(72)発明者　森　雅志
　　神奈川県横浜市戸塚区吉田町２９２番地　株式会社　日立画像情報システム内

審査官　富澤　哲生

(56)参考文献　特開昭５６－０７７９１３（ＪＰ，Ａ）
　　特開昭５０－０６９９０８（ＪＰ，Ａ）
　　特開平０５－２３４２７３（ＪＰ，Ａ）
　　特公平０３－０２８８６２（ＪＰ，Ｂ２）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
　　G11B　5/09
　　G11B 20/10　　- 20/16