



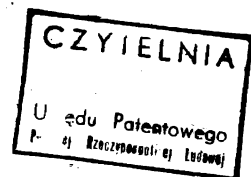
Patent dodatkowy  
do patentu nr \_\_\_\_\_

Zgłoszono: 19.11.75 (P. 184 855)

Pierwszeństwo: \_\_\_\_\_

Zgłoszenie ogłoszono: 23.05.77

Opis patentowy opublikowano: 25.10.1979



Int. Cl.<sup>2</sup>

G01T 1/36  
G21C 17/00

Twórca wynalazku: Ryszard Bayer

Uprawniony z patentu: Instytut Badań Jądrowych, Warszawa (Polska)

### Przetwornik spektrometryczny z fazowaniem i symetryzacją obciążenia rejestru wyniku

1

Przedmiotem wynalazku jest przetwornik spektrometryczny z fazowaniem i symetryzacją obciążenia rejestru wyniku, przeznaczony do pomiarów rozkładów amplitudowych w naukowych i rutynowych badaniach jądrowych. W przetwornikach tego typu bardzo ważnym parametrem jest liniowość różniczkowa. Dla polepszenia tego parametru stosowane są w przetwornikach układy fazowania i układy symetryzacji obciążenia przy rejestrach wyniku.

**Stan techniki.** W znanym przetworniku opisanym w raporcie CEA-R-4319 z 1972 r. (Commissariat a l'Energie Atomique, Centre d'Etudes Nucleaires de Saclay, Francja), sygnał z bramki czasowej poprzez dwa inwertery podawany jest jednocześnie na wejście programujące przerzutnika odblokowującego oraz na pierwsze wejście bramki końca serii. Wyjście przerzutnika odblokowującego połączone jest z pierwszym wejściem bramki serii, której drugie wejście połączone jest z wejściem generatora impulsów zegarowych. Wyjście tej bramki połączone jest z drugim wejściem bramki końca serii oraz poprzez inwerter z wejściem sterującym pierwszego przerzutnika rejestru wyniku. Wyjście bramki końca serii połączone jest z wejściem sterującym pierwszego przerzutnika przeliczającego, którego wyjście połączone jest z wejściem sterującym drugiego przerzutnika przeliczającego, który ma wejście podłączone do drugiego wejścia programującego przerzutnika odblokowu-

2

jącego. Sygnał bramki czasowej przerzuca przerzutnik odblokowujący, który przez bramkę serii przepuszcza impulsy zegarowe do rejestru. Gdy sygnał bramki czasowej kończy się, impulsy zegarowe przez bramkę końca serii przechodzą na przerzutniki przeliczające. Czwarty impuls końca serii przełącza ponownie przerzutnik odblokowany, który tym razem zablokuje drogę do rejestru dla impulsów zegarowych. Tak więc koniec liniowego rozładowania fazowany jest czwartym impulsem po zakończeniu bramki czasowej. Impuls fazujący początek liniowego rozładowania pobierany jest z czwartego przerzutnika rejestru, co wymaga przeliczenia szesnastu impulsów zegarowych. Opisany przetwornik nie posiada symetryzacji obciążenia pierwszego przerzutnika rejestru wyniku, co wymagałoby zastosowanie dodatkowych układów.

**Istota wynalazku.** Sygnał bramki czasowej z układu zamiany podawany jest na jedno z wejść układu sumy logicznej. Wyjście układu sumy logicznej połączone jest z kolei z pierwszym wejściem układu iloczynu logicznego, na którego drugie wejście podawane są z zegara impulsy zegarowe. Wyjście układu iloczynu logicznego połączone jest następnie z wejściem liczącym przerzutnika dzielącego oraz z wejściem liczącym pierwszego przerzutnika rejestru wyniku. Pierwsze wyjście pierwszego przerzutnika rejestru wyniku połączone jest z wejściem liczącym drugiego prze-

3

rzutnika rejestru wyniku natomiast drugie wyjście pierwszego przerzutnika rejestru wyniku połączone jest z pierwszym wejściem układu fazującego, którego drugie wejście połączone jest z wyjściem przerzutnika dzielącego. Na wejście trzecie układu fazującego podawana jest bramka czasowa z układu zamiany. Otrzymany w wyniku takiego połączenia sygnał sfazowany podawany jest na drugie wejście układu sumy logicznej.

Układ fazujący zawiera dwa pracujące równolegle przerzutniki sterowane niezależnie na wejściach liczących, zaś na wejściach programujących sterowane przez wspólny sygnał. Wyjścia tych przerzutników połączone są z wejściami układu sumy logicznej, której wyjście jest wyjściem układu fazującego o sfazowanym impulsie. Pomiedzy wyjście a wejście przerzutnika rejestru wyniku włączona jest pojemność.

**Korzystne skutki techniczne wynalazku.** Zaletą takiego rozwiązania jest uproszczenie urządzenia przez wykorzystanie układu fazującego zarówno do fazowania początku i końca liniowego rozładowania jak i do symetryzacji obciążenia.

**Objaśnienie rysunku.** Przedmiot wynalazku jest pokazany na przykładzie wykonania odtworzonym na rysunku, który przedstawia przetwornik z układem zamiany wraz z układem rejestru, z fazowaniem i z symetryzacją obciążenia.

**Przykład wykonania wynalazku.** Sygnał bramki czasowej z układu zmiany 1, który zawiera układ przetwarzania amplituda — przedział czasu i układ logiki koordynującej, podawany jest na jedno z wejść układu sumy logicznej 1, którego wyjście podłączone jest do pierwszego wejścia układu iloczynu logicznego 3, na którego drugie wejście podawane są impulsy zegarowe z zegara 4, natomiast wyjście układu iloczynu logicznego 3 połączone jest z wejściem liczącym przerzutnika dzielącego 5 oraz z wejściem liczącym pierwszego przerzutnika 7 rejestru wyniku 6, podczas gdy pierwsze wyjście pierwszego przerzutnika 8 rejestru wyniku 6, zaś drugie wyjście pierwszego przerzutnika 7, połączone jest z pierwszym wejściem układu fazującego 9, którego drugie wejście połączone jest z wyjściem przerzutnika dzielącego 5 a na wejście trzecie 10 podawany jest sygnał bramki czasowej z układu zamiany 1, natomiast sfazowany sygnał 11 z wyjścia układu fazującego 9 podawany jest na drugie wejście układu sumy logicznej 2. Działanie układu jest następujące: gdy pojawi się sygnał bramki czasowej z układu zamiany przechodzi on przez układ sumy logicznej 2 na układ iloczynu logicznego 3 i powoduje przepuszczenie serii zegarowej z zegara 4 do przerzutnika dzielącego 5 i rejestru wyniku 6. Częstotliwość serii redukowana jest dwukrotnie, w przerzutniku dzielącym 5 i w pierwszym przerzutniku 7 rejestru wyniku 6. Z odpowiednich wyjść obu tych przerzutników pobierane są zredukowane ciągi impulsów serii przesunięte względem siebie o jeden okres zegara.

Każdy z tych ciągów podawany jest oddzielnie na wejście liczące jednego z przerzutników 12 i 13 typu D. Wejścia programujące tych przerzutników sterowane są przez bramkę czasową 10 przy-

4

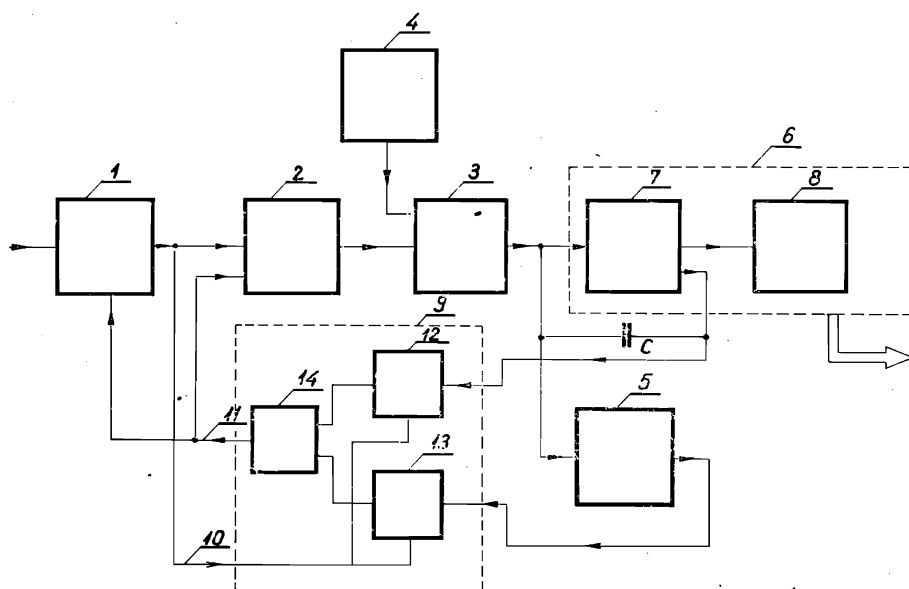
chodzącą z układu zamiany 1. Wskutek takiego sterowania sygnały powstające na wyjściach przerzutników 12 i 13 rozpoczynają się i kończą synchronicznie z serią zegarową, a zatem są sfazowane z serią. Są one jednak przesunięte względem siebie o jeden okres zegara i każdy z nich jest fazowany przez co drugi impuls serii zegarowej. Sygnały te sumowane są następnie w układzie sumy logicznej 14. W wyniku tego sumowania, na wyjściu układu sumy logicznej 14 otrzymuje się sygnał, którego początek i koniec może być sfazowany z każdym impulsem serii. Sygnał ten podawany jest do układu zamiany 1 i swoim początkiem, już odpowiednio sfazowanym z serią rozpoczyna liniowe rozładowanie kondensatora pamiętającego. Podawany jest on również na drugie wejście układu sumy logicznej 2 i swym końcem zamyka drogę serii do przerzutnika dzielącego 5 i rejestru wyniku 6. Symetryzację obciążenia uzyskuje się przez to, że przerzutnik 12 połączony jest z jednym z wyjść pierwszego przerzutnika 7 rejestru wyniku 6. W ten sposób układ fazujący oprócz fazowania symetryzuje również obciążenie pierwszego przerzutnika 7 rejestru wyniku 6.

#### Zastrzeżenia patentowe

1. Przetwornik spektrometryczny z fazowaniem i symetryzacją obciążenia rejestru wyniku zawierający układ zamiany, **znamienny tym**, że sygnał bramki czasowej podawany jest na jedno z wejść układu sumy logicznej (2), którego wyjście połączone jest z pierwszym wejściem układu iloczynu logicznego (3), na którego drugie wejście podawane są impulsy zegarowe z zegara (4), natomiast wyjście układu iloczynu logicznego (3) połączone jest z wejściem liczącym przerzutnika dzielącego (5) oraz wejściem liczącym pierwszego przerzutnika (7) rejestru wyniku (6), podczas gdy pierwsze wyjście pierwszego przerzutnika (7) rejestru wyniku (6) połączone jest z wejściem liczącym drugiego przerzutnika (8) rejestru wyniku (6), natomiast drugie wyjście pierwszego przerzutnika (7) rejestru wyniku (6) połączone jest z pierwszym wejściem układu fazującego (9), którego drugie wejście połączone jest z wyjściem przerzutnika dzielącego (5) zaś na wejście trzecie (10) podawany jest sygnał bramki czasowej z układu zamiany (1), natomiast sfazowany sygnał (11) z wyjścia układu fazującego (9) podawany jest na drugie wejście układu sumy logicznej (2) i do układu zamiany (1).

2. Przetwornik według zastrz. 1, **znamienny tym**, że układ fazujący (9) zawiera dwa pracujące równolegle przerzutniki (12, 13) sterowane niezależnie na wejściach liczących, zaś na wejściach programujących sterowane przez wspólny sygnał, natomiast wyjścia tych przerzutników połączone są z wejściami układu sumy logicznej (14), której wyjście jest wyjściem (11) układu fazującego o sfazowanym impulsie.

3. Przetwornik według zastrz. 1, albo 2, **znamienny tym**, że pomiędzy wyjście a wejście pierwszego przerzutnika (7) rejestru wyniku (6) włączona jest pojemność sprzęgająca (C).



**ERRATA**

- Str. 1, Łam. 1 wiersz 20, jest: ...której drugie wejście jest z wejściem  
powinno być... której drugie wejście jest  
z wyjściem
- Str. 1, Łam. 1 wiersz 29, jest ...czającego, który ma wejście podłączone  
do drugiego  
powinno być ...czającego, który ma wyjście  
podłączone do drugiego
- Str. 2, Łam. 3 wiersz 41, pierwsze wyjście pierwszego przerzutnika  
8 re-  
powinno być ...pierwsze wyjście pierwszego  
przerzutnika 7 połączone jest z wejściem li-  
czącym drugiego przerzutnika 8 re-