



(12) 发明专利

(10) 授权公告号 CN 101589552 B

(45) 授权公告日 2012. 07. 18

(21) 申请号 200880002077. 5

(22) 申请日 2008. 01. 25

(30) 优先权数据

0701709. 8 2007. 01. 30 GB

(85) PCT申请进入国家阶段日

2009. 07. 10

(86) PCT申请的申请数据

PCT/JP2008/051605 2008. 01. 25

(87) PCT申请的公布数据

W02008/093816 EN 2008. 08. 07

(73) 专利权人 夏普株式会社

地址 日本大阪府

(72) 发明人 P·泽贝迪

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 张鑫 钱静芳

(51) Int. Cl.

H03K 5/00 (2006. 01)

(56) 对比文件

CN 1648972 A, 2005. 08. 03, 全文.

CN 1609939 A, 2005. 04. 27, 全文.

US 2005018807 A1, 2005. 01. 27, 全文.

JP 2000236234 A, 2000. 08. 29, 全文.

CN 1514421 A, 2004. 07. 21, 全文.

审查员 李燕东

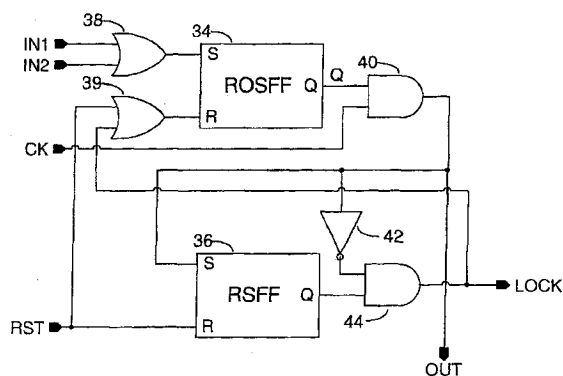
权利要求书 2 页 说明书 6 页 附图 14 页

(54) 发明名称

多相位脉冲发生器

(57) 摘要

一种多相位脉冲发生器包含 n 级, 其中每一级包含第一子级 (34、38、39、40) 和第二子级 (36、42、44)。第一子级具有第一存储元件 (34), 第二子级具有第二存储元件 (36)。每一级的第一存储元件被安排成由前一级置位。第一子级 (34、38、39、40) 被安排成在第一存储元件被置位时提供级输出脉冲 (OUT)。第二存储元件 (36) 被安排成由级输出脉冲 (OUT) 置位。第二子级 (36、42、44) 被安排成在第二存储元件被置位时在级输出脉冲 (OUT) 后保持第一存储元件复位。



1. 一种包含 n 级的多相位脉冲发生器, 其中 n 大于 1, 并且对于满足 $1 \leq i \leq n$ 的所有 i , 每第 i 级包含具有第一存储元件的第一子级和具有第二存储元件的第二子级, 对于满足每个 $1 < j \leq n$ 的所有 j , 每第 j 级的第一存储元件被安排成由第 $(j-1)$ 级或第 $(j+1)$ 置位, 每第 i 级的第一子级包含第一门装置, 所述第一门装置连接至所述第一存储元件和时钟输入, 并且被安排成在所述第一存储元件被置位时将来自所述时钟输入的时钟脉冲作为所述级输出脉冲来传送, 每第 i 级的第二存储元件被安排成由所述级输出脉冲置位, 并且每个第 i 级的第二子级被安排成在所述第二存储元件被置位时在所述级输出脉冲之后保持所述第一存储元件复位。

2. 如权利要求 1 所述的发生器, 其特征在于, n 大于 2。

3. 如权利要求 1 或 2 所述的发生器, 其特征在于, 所述第一存储元件包含复位优先置位触发器。

4. 如权利要求 1 所述的发生器, 其特征在于, 所述第二存储元件包含复位 - 置位触发器。

5. 如权利要求 1 所述的发生器, 其特征在于, 所述第二子级包含第二门装置, 所述第二门装置连接在所述第二存储元件和所述第一存储元件的复位输入之间, 并被安排成禁止在所述级输出脉冲期间复位所述第一存储元件。

6. 如权利要求 1 所述的发生器, 其特征在于, 每第 j 级的第一存储元件的置位输入连接至每第 $(j-1)$ 级的第二子级的输出。

7. 如权利要求 1 所述的发生器, 其特征在于, 每第 j 级的第一存储元件的置位输入连接至或门的输出, 而每第 $(j-1)$ 级的第二子级的输出被输入至该或门。

8. 如权利要求 1 所述的发生器, 其特征在于, 每第 j 级的第一存储元件的置位输入被连接来接收来自第 $(j-1)$ 级的级输出脉冲。

9. 如权利要求 1 所述的发生器, 其特征在于, 每第 j 级的第一存储元件的置位输入被连接至或门的输出, 该或门接收来自第 $(j-1)$ 级的级输出脉冲。

10. 如权利要求 8 或 9 所述的发生器, 其特征在于, 所述 n 级中的交替的级被安排成接收来自时钟脉冲源的交替时钟脉冲。

11. 如权利要求 7 所述的发生器, 其特征在于, 对于满足 $1 \leq k \leq (n-a)$, 其中 $a \geq 1$ 的所有 k , 每第 k 级的第一和第二存储元件被安排成由第 $(k+a)$ 级复位。

12. 如权利要求 9 所述的发生器, 其特征在于, 对于满足 $1 \leq k \leq (n-a)$, 其中 $a \geq 1$ 的所有 k , 每第 k 级的第一和第二存储元件被安排成由第 $(k+a)$ 级复位。

13. 如权利要求 10 所述的发生器, 其特征在于, 对于满足 $1 \leq k \leq (n-a)$, 其中 $a \geq 1$ 的所有 k , 每第 k 级的第一和第二存储元件被安排成由第 $(k+a)$ 级复位。

14. 如权利要求 12 或 13 所述的发生器, 其特征在于, 第 k 级的第一和第二存储元件被安排成由第 $(k+a)$ 级的级输出脉冲复位, 其中 $a \geq 2$ 。

15. 如权利要求 11 所述的发生器, 其特征在于, 每第 k 级的第一和第二存储元件被安排成由第 $(k+a)$ 级的第二子级的输出复位。

16. 如权利要求 1 所述的发生器, 其特征在于, 所述第一级的第一存储元件被安排成由第一启动脉冲来置位。

17. 如权利要求 1 所述的发生器, 其特征在于, 对于满足 $1 \leq l < n$ 的所有 l , 每第 l 级

的第一存储元件被安排成由第 $(1+1)$ 级来置位。

18. 如权利要求 17 所述的发生器,其特征在于,第 n 级的第一元件被安排成由第二起动脉冲来置位。

19. 如权利要求 17 或 18 所述的发生器,其特征在于,每第 1 级的第一存储元件的置位输入连接至每第 $(1+1)$ 级的第二子级的输出。

20. 如权利要求 17 或 18 所述的发生器,其特征在于,每第 1 级的第一存储元件的置位输入连接至或门的输出,而每第 $(1+1)$ 级的第二子级的输出被输入至该或门。

21. 如权利要求 17 或 18 所述的发生器,其特征在于,每第 1 级的第一存储元件的置位输入被连接来接收来自第 $(1+1)$ 级的级输出脉冲。

22. 如权利要求 20 所述的发生器,其特征在于,对于满足 $(b+1) < m \leq n$, 其中 $b \geq 1$ 的所有 m , 每第 m 级的第一和第二存储元件被安排成由第 $(m-b)$ 级来复位。

23. 如权利要求 21 所述的发生器,其特征在于,对于满足 $(b+1) < m \leq n$, 其中 $b \geq 1$ 的所有 m , 每第 m 级的第一和第二存储元件被安排成由第 $(m-b)$ 级来复位。

24. 如权利要求 23 所述的发生器,其特征在于,每第 m 级的第一和第二存储元件被安排成由第 $(m-b)$ 级的级输出脉冲来复位,其中 $b \geq 2$ 。

25. 如权利要求 22 所述的发生器,其特征在于,每第 m 级的第一和第二存储元件被安排成由第 $(m-b)$ 级的第二子级的输出来复位。

26. 如权利要求 1 所述的发生器,其特征在于,所有级的第一和第二存储元件被安排成由一公共复位信号来复位。

27. 一种包括如上述权利要求中任一项所述的发生器的装置。

28. 如权利要求 27 所述的装置,其特征在于,所述装置包含显示器。

29. 如权利要求 27 或 28 所述的装置,其特征在于,所述装置包含有源矩阵装置。

30. 如权利要求 27 或 28 所述的装置,其特征在于,所述装置包含液晶装置。

多相位脉冲发生器

技术领域

[0001] 本发明涉及一种多相位脉冲发生器。该发生器可以在诸如显示器等装置中使用。

背景技术

[0002] 图 1 示出了一个典型的有源矩阵显示器。该显示器由排列成 M 行 N 列的图像元素（像素）的矩阵 2 组成。每一行和列连接至一个电极，其中列电极连接至数据驱动器 4 的 N 个输出，行电极连接到扫描驱动器 6 的 M 个输出。

[0003] 像素被一次一行地寻址。该扫描驱动器包括产生图 2 所示的一系列时钟脉冲的 M 相时钟发生器。每个时钟相位 OUT_i 控制第 i 行的激活。通常该脉冲是非重叠的，因而没有两个脉冲同时为高。

[0004] 一行的所有像素可被同时寻址，或者它们可以按照 b 个像素的 B 个块来寻址，其中 $bB = N$ 。在后一情况中，数据驱动器也可以包括所述类型的 B 相时钟发生器，从而每个时钟脉冲 OUT_i 激活第 i 个块。

[0005] 该显示器的正常工作是使数据从上至下、从左至右地采样到像素，这对应于图 2 所示的时序。然而，通常要求采样的方向可切换，使得数据从下至上、从右至左地采样到像素。这样，可能无需重新排列输入数据而反射或旋转所显示的图像。这样的重新排序要求相当大的附加电路，诸如足够存储整个图像的附加存储器。

[0006] 在这种情况下，时钟发生器必须还能够双向工作，从而产生或如图 2 所示的时钟脉冲，或如图 3 所示类型的时钟脉冲。图 3 中的每个脉冲 OUT_i 仍然激活第 i 行。然而，脉冲 OUT_i 出现在 OUT_{i-1} 之前，而图 2 中脉冲 OUT_i 出现在 OUT_{i-1} 之后。

[0007] 所述类型的时钟发生器可以直接在显示器基板上形成，从而减少显示器所需的连接数。这是有利的，因为这样减少了连接器所占用的面积，且产生机械上更加坚固的显示器。

[0008] 这样的时钟发生器可以由移位寄存器形成。移位寄存器是能够响应于时钟信号将数据序列沿其长度顺序地从一级移到另一级的多级电路。一般而言，移位寄存器可以移动任意数据序列。然而，当移位寄存器用作扫描或数据驱动器中的时钟发生器时，只要求沿其长度移动单个高状态。这样的移位寄存器被称为“滑动 1 (walking one)”移位寄存器，它可以或不可以移动任意数据序列。

[0009] 用于这种应用的一种已知类型的时钟发生器是由时钟信号 CK 控制的 D 型触发器 (DFF) 12 的级联所组成的移位寄存器，如图 4 所示。在 CK 的每个上升沿，将 DFF 12_i 的 Q 输出处的数据采样到 DFF 12_{i+1} 的 D 输入并且传送到其 Q 输出。这样，数据能够沿寄存器一次一级地传送。能够看出，如果单个 ‘1’ 被采样到第一 DFF 12₁ 的 D 输入，则寄存器的输出 Q_i 将具有图 2 所示的通用形状。

[0010] 然而，当要求生成用于扫描驱动器的脉冲时，这种类型的移位寄存器具有两个缺点：第一，该脉冲具有重合的沿（即当 Q_i 下降时 Q_{i+1} 上升），以及第二，没有反转其扫描方向的简单方法。为了控制 Q_i 下降与 Q_{i+1} 上升之间的时间，必需在相应级之间包括一个或多个

附加电路元件。为了控制扫描方向,必需包括开关,以便 Q_i 可以连接到 D_{i-1} 或 D_{i+1} 。这样的附加元件和开关增加了电路所需的面积,且需要附加的控制信号(一般而言,开关由 n 沟道和 p 沟道晶体管构成,并且需要控制信号 UD 及其补码 UDB 来控制其传导)。特别地,由于开关及其相关联的线路比类似数量的逻辑晶体管占用更大的物理面积,去除它们是合乎需要的。

[0011] 这一时钟发生器的一个示例在美国专利 5,282,234 中公开,并在图 5 中示出。这种情况下,移位寄存器由具有防止重合沿的附加元件(模拟开关、带滞后的反相器及电容器)的一系列触发器 14 和用于控制传播方向的一组开关 16-22 组成。

[0012] 这一类型的时钟发生器的另一示例在美国专利 6,377,099 中公开,并在图 6 中示出。在这种情况下,触发器 24 为复位-置位型(RSFF),其具有控制时钟通路的附加门 26。门 26 的输出置位下一 RSFF 24_{i+1} 并复位前一 RSFF 24_{i-1} 。为了使该移位寄存器双向工作,需要开关来将门 26i 的输出连接到 RSFF 24_{i+1} 或 24_{i-1} 的置位输入和 RSFF 24_{i+1} 或 24_{i-1} 的复位输入。

[0013] 一种替换类型的移位寄存器在美国专利申请 2004/015061A1 中公开,并在图 7 中示出。这种类型的寄存器由多个 RSFF 25 的级联组成,但不要求开关双向工作。然而,该寄存器需要至少三个时钟信号,而且由于其输出重叠,因此需要附加逻辑和/或信号来生成非重叠输出脉冲。该附加时钟增加了控制寄存器的电路的复杂性,而且在寄存器形成于显示器基板上的情况下,增加了至显示器的连接数量。

[0014] 所有上述寄存器都由施加到寄存器一端的起动脉冲发生器来起动。其扫描方向由起动点的选择和时钟顺序的组合,或者由一个或多个附加信号来控制。

发明内容

[0015] 根据本发明的第一方面,提供一种包含 n 级的多相位脉冲发生器,其中 n 大于 1,并且对于满足 $1 \leq i \leq n$ 的所有 i,每第 i 级包含具有第一存储元件的第一子级和具有第二存储元件的第二子级,对于满足 $1 < j \leq n$ 的所有 j,每第 j 级的第一存储元件被安排成由第 (j-1) 级置位,每第 i 级的第一子级被安排成在第一存储元件被置位时提供级输出脉冲,每第 i 级的第二存储元件被安排成由该级输出脉冲置位,并且每第 i 级的第二子级被安排成在第二存储元件被置位时在级输出脉冲之后保持第一存储元件复位。

[0016] n 可以大于 2。

[0017] 第一存储元件可以包含复位优先置位(reset-over-set)触发器。

[0018] 第二存储元件可以包含复位-置位触发器。

[0019] 第一子级可以包含第一门装置,该第一门装置连接至第一存储元件和时钟输入,并被安排成在第一存储元件被置位时将来自时钟输入的时钟脉冲作为级输出脉冲来传送。

[0020] 第二子级可以包含第二门装置,该第二门装置连接在第二存储元件和第一存储元件的复位输入之间,并被安排成禁止在级输出脉冲期间复位第一存储元件。

[0021] 每第 j 级的第一存储元件的置位输入可以连接至每第 (j-1) 级的第二子级的输出。作为一替换方案,每第 j 级的第一存储元件的置位输入可以被连接来接收来自第 (j-1) 级的级输出脉冲。各级中的交替的级可以被安排成接收来自时钟脉冲源的交替时钟脉冲。

[0022] 对于满足 $1 \leq k \leq (n-a)$,其中 $a \geq 1$ 的所有 k,每第 k 级的第一和第二存储元件

可以被安排成由第 $(k+a)$ 级复位。第 k 级的第一和第二存储元件可以被安排成由第 $(k+a)$ 级的级输出脉冲复位,其中 $a \geq 2$ 。最为一替换方案,每第 k 级的第一和第二存储元件可以被安排成由第 $(k+a)$ 级的第二子级的输出复位。

[0023] 第一级的第一存储元件可以被安排成由第一起动脉冲置位。

[0024] 对于满足 $1 \leq l < n$ 的每第 l 级的第一存储元件可以被安排成由第 $(l+1)$ 级来置位。第 n 级的第一元件可以被安排成由第二起动脉冲来置位。

[0025] 每第 l 级的第一存储元件的置位输入可以连接至每第 $(l+1)$ 级的第二子级的输出。作为一替换方案,每第 l 级的第一存储元件的置位输入可以被连接来接收来自第 $(l+1)$ 级的级输出脉冲。

[0026] 对于满足 $(b+1) < m \leq n$,其中 $b \geq 1$ 的所有 m ,每第 m 级的第一和第二存储元件可以被安排成由第 $(m-b)$ 级来复位。第 m 级的第一和第二存储元件可以被安排成由第 $(m-b)$ 级的级输出脉冲来复位,其中 $b \geq 2$ 。作为一替换方案,每第 m 级的第一和第二存储元件可以由第 $(m-b)$ 级的第二子级的输出来复位。

[0027] 所有级的第一和第二元件可以被安排成由一公共复位信号来复位。

[0028] 根据本发明的第二方面,提供了一种包括依照本发明的第一方面的发生器的装置。

[0029] 该装置可以包含显示器。

[0030] 该装置可以包含有源矩阵装置。

[0031] 该装置可以包含液晶装置。

[0032] 因此可能提供一种可以使用单个时钟来工作的多相位脉冲发生器。也可能提供一种双向但不需要任何附加信号来控制工作方向的发生器。还可能提供一种提供非重叠输出脉冲的发生器。这使得用于控制发生器的电路相对简单,并且在发生器形成于显示器基板上的实施方式中减少了至基板的连接数量。第二子级可以完全由逻辑电路来实施,而且可能减少各级之间的连接数。从而发生器可以被安排成占用减少了的面积。

附图说明

[0033] 图 1 是示出已知类型的有源矩阵显示器的示意框图。

[0034] 图 2 是示出图 1 的显示器的典型扫描驱动器的输出脉冲的波形图。

[0035] 图 3 是示出在反向工作模式下扫描驱动器输出脉冲的波形图。

[0036] 图 4 至 7 是示出扫描驱动器中所使用的已知类型的移位寄存器的示意框图。

[0037] 图 8 是示出构成本发明的实施方式的多相位脉冲发生器的示意框图。

[0038] 图 9 是图 8 的发生器的其中一级的示意框图。

[0039] 图 10 是示出图 8 的发生器的工作的波形图。

[0040] 图 11 是图 9 的级的电路图。

[0041] 图 12 是构成本发明的另一实施方式的多相位脉冲发生器的示意框图。

[0042] 图 13 是图 12 的发生器的其中一级的示意框图。

[0043] 图 14 是示出图 12 的发生器的工作的波形图。

[0044] 图 15 是图 13 的级的电路图。

[0045] 图 16 是构成本发明的另一实施方式的多相位脉冲发生器的其中一级的示意框

图。

具体实施方式

[0046] 图 8 和 9 中示出了第一实施方式。图 8 示出了相邻级 - 寄存器 28、30 和 32 之间的连接。每一级具有两个输入 IN1 和 IN2、一个时钟输入 CK、一个复位输入 RST、一个“锁定”输出 LOCK 以及主输出 OUT。对于级 n, IN1 和 IN2 连接至相邻级的锁定输出 $LOCK_{n+1}$ 和 $LOCK_{n-1}$, CK 连接至寄存器时钟 CK, RST 连接至全局复位信号 RST, LOCK 连接至两个相邻级的输入 $IN2_{n+1}$ 和 $IN1_{n-1}$, OUT 连接至寄存器的第 n 个输出 OUT_n 。

[0047] 在最左端的级 28 和最右端的级 32 的情况下, 输入中的一个被连接来接收起动脉冲。级 28 的 IN2 被连接来接收左起动脉冲 $START_L$; 级 32 的 IN1 被连接来接收右起动脉冲 $START_R$ 。

[0048] 图 9 示出了图 8 中的一级的组成。第一存储元件被实施为复位优先置位触发器 34 (ROSFF - 复位输入上的有效信号优先于置位输入上的有效信号的一种 RSFF)。第二存储元件被实施为 RSFF 36。输入 IN1 和 IN2 连接至或门 38 的输入, 而或门 38 的输出连接至 ROSFF 34 的置位输入 S。ROSFF 34 的 Q 输出连接至与门 40 的一个输入, 与门 40 的另一个输入连接至时钟输入 CK。与门 40 的输出连接至该级的输出 OUT, 同时也连接至 RSFF 36 的置位输入和反相器 42 的输入。RSFF 36 的 Q 输出和反相器 42 的输出连接至与门 44 的输入。与门 44 的输出形成锁定输出 LOCK, 并连接至或门 39 的第一输入。复位输入 RST 连接至 RSFF 36 的复位输入和或门 39 的第二输入。或门 39 的输出连接至 ROSFF 34 的复位输入 R。

[0049] 图 10 示出了寄存器在从左至右模式下的工作。信号 Q 指图 9 中的节点 Q。Q 和 LOCK 信号的下标指图 8 中标记。

[0050] 在该工作开始时, 所有的 ROSFF 34 和 RSFF 36 处于它们的复位状态, 即它们的 Q 输出为低。这可以通过将复位输入 RST 上升至高状态 (这使或门 39 的输出升高), 从而将高状态施加到 ROSFF 34 和 RSFF 36 的 R 输入来实现。

[0051] 该工作将参考如图 8 中的 30 等第 n 中间级来描述。当输入 IN1 和 IN2 (连接至节点 $LOCK_{n-1}$ 和 $LOCK_{n+1}$) 中的一个变高时, 第 n 级 30 中的或门 38 的输出变高, 并且第 n 级 30 的 ROSFF 34 被置位。这激活了第 n 级 30。当 ROSFF 34 被置位时, 其 Q 输出为高, 且与门 40 的输出与其另一输入 CK 的状态相同。当时钟 CK 升高时, 这通过与门 40 传送到输出 OUT, 从而形成输出脉冲 OUT_n 。当 OUT 为高时, 这驱动反相器 42 的输出为低, 其进而又驱动与门 44 的输出为低, 从而 LOCK 保持为低。另外, 当 OUT 变高时, RSFF 36 被置位, 且其 Q 输出为高。当时钟 CK 下降时, 与门 40 的输出下降, 且 OUT 下降。反相器 42 的输出上升, 且与门 44 的输出 LOCK 上升。LOCK 上的高状态维持至 RST 上升。LOCK 上的高状态复位 ROSFF 34, 并防止其在 IN2 变高时被再一次置位。

[0052] 该工作模式对于所有级且在从左至右和从右至左模式中都是相似的, 不同之处在于在从左至右模式中, 最左边的级 28 由 $START_L$ 激活, 而在从右至左的模式中, 最右边的级 32 由 $START_R$ 激活, 而非由前级的锁定输出激活。

[0053] 能够看到, 只有当该级有效 (即能将时钟脉冲传送到输出) 时第一存储元件 34 才被置位, 而当该级先前已经有效时第二存储元件 36 维持置位。

[0054] 块 34、36、38、39、40、42、44 可以用任何标准方式来实现。另外,图 11 示出了第二实施方式,其中逻辑门 38、39、40、42、44 中的一些的逻辑功能被合并到触发器 34 和 36 中。这减少了所需晶体管的个数。

[0055] 图 11 的电路示出 p 沟道晶体管 46、48、50、52、64、68、74、76、78、84 和 86,n 沟道晶体管 54、56、58、60、62、66、70、72、73、80、82、88 和 90,反相器 92 和 96,以及与非门 94。p 沟道晶体管 46、48、64、76 和 84 的源极连接至高基准电压电源 V_{dd};n 沟道晶体管 56、58、62、66、70、72、80、82、88 和 90 的源极连接至低基准电压电源 V_{ss}。反相器和与非门 92、94、96 具有到相同的电源的内部连接。

[0056] 晶体管 48 和 56 的栅极连接至第一输入 IN1;晶体管 50 和 58 的栅极连接至第二输入 IN2;晶体管 73 和 74 的源极连接至时钟输入 CK;晶体管 64、66、84 和 90 的栅极连接至复位输入 RST;晶体管 72、73 和 74 的漏极与晶体管 76 和 80 的栅极连接至输出 OUT 以及反相器 92 的输入;反相器 96 的输出连接至输出 LOCK。

[0057] 晶体管 46、54、66、68 和 70 的漏极连接在一起,且连接至晶体管 52、60 和 73 的栅极;晶体管 56 和 58 的漏极连接在一起,且连接至晶体管 54 的源极;晶体管 46、54 和 62 的栅极连接在一起,且连接至反相器 96 的输入以及与非门 94 的输出;晶体管 52 和 60 的漏极连接在一起,且连接至晶体管 68、70、72 和 74 的栅极;晶体管 48 的漏极连接至晶体管 50 的源极;晶体管 50 的漏极连接至晶体管 52 的源极;晶体管 62 的漏极连接至晶体管 60 的源极;晶体管 64 的漏极连接至晶体管 68 的源极;晶体管 76 的漏极连接至晶体管 78 的源极;晶体管 84 的漏极连接至晶体管 86 的源极;晶体管 78、80 和 82 的漏极连接在一起,且连接至晶体管 86 和 88 的栅极;晶体管 86、88 和 90 的漏极连接在一起,且连接至与非门 94 的第二输入以及晶体管 78 和 82 的栅极;反相器 92 的输出连接至与非门 94 的第一输入。

[0058] 晶体管 46-70 因此作为第一存储元件来工作,其可由 IN1 或 IN2 上的高状态置位,并由 RST 上的高状态或与与非门 94 的输出上的低状态复位。晶体管 52、60、68 和 70 是一对交叉耦合反相器,并且形成双稳态,从而存储置位或复位状态。晶体管 46-70 因此合并了 ROSFF 34 和或门 38 及 39 的功能。晶体管 73、74 和 72 实现与门 40 的功能。晶体管 76-90 实现 RSFF 36 的功能,其中晶体管 78、82、86 和 88 形成一对双稳态交叉耦合反相器。

[0059] 图 12 示出了依照本发明的第三实施方式的三级寄存器。它包括级 98、100、102,这些级类似于图 8 中的级 28、30、32。连接是相似的,因此只强调图 8 和 12 之间的差别:块 98、100、102 不具有 LOCK 输出,但取而代之的是具有从其 OUT 输出至相邻级的 IN1 和 IN2 输入的连接;有两个时钟 CK1 和 CK2,其中 CK1 连接至奇数级的 CK 输入,而 CK2 连接至偶数级的 CK 输入。在其它方面这些寄存器是相同的。

[0060] 图 13 示出了图 12 的其中一级的组成。该设计除了没有 LOCK 输出外与图 9 相同,因此将不重复其描述。

[0061] 图 14 示出了从左至右模式下的寄存器的工作。该工作与图 10 中所示的工作相似,因此只强调不同点:两个时钟传送交替脉冲,从而 CK1 或 CK2 的逻辑组合与图 10 中的 CK 相等;在前级 OUT 输出而非其 LOCK 输出变高时,每一级的 Q 节点变高:这发生在连接至前级的时钟的上升沿而非下降沿上。

[0062] 图 15 示出第四实施方式,其中反相器 112 和与门 114 的逻辑功能被合并到 ROSFF 104 中。该设计与图 11 中的设计相似,因此只说明不同点:晶体管 118 取代晶体管 46,且晶

晶体管 148 取代晶体管 62 ;逻辑门 92-96 被去除,且晶体管 78 的漏极连接至晶体管 118 和 148 的栅极,而非至与非门 94 的输入 ;附加的晶体管 150 与晶体管 148 并联连接,从而两个晶体管的源极连接在一起,且两个晶体管的漏极连接在一起 ;第二附加晶体管 116 与晶体管 118 串联连接,从而其源极连接至 Vdd 且其漏极连接至晶体管 118 的源极 ;晶体管 116 和 150 的栅极连接至输出 OUT。

[0063] 晶体管 116-154 因此实现图 13 中 ROSFF 104 和逻辑门 108-114 的功能。

[0064] 图 15 所示的级与图 11 所示的级相比具有减少的晶体管数量的优点,但需要附加的时钟信号。

[0065] 本领域的技术人员将清楚所描述的逻辑功能有多种可能的替换实现。

[0066] 图 16 示出了第五实施方式,其中每一级除了全局复位信号 RST 之外,还接收来自相邻级的复位信号 RST1 和 RST2。该级与图 9 所示的级相似,且只说明不同点 :输入 RST1 和 RST2 连接至或门 158 的输入,而或门 158 的输出连接至或门 156 的第二输入 ;全局复位信号输入 RST 连接至或门 156 的第一输入。或门 156 的输出与图 9 中的 RST 输入以相同方式连接。

[0067] 级 n 的输入 RST1 和 RST2 可以连接至级 (n+a) 和 (n-b) 的 OUT 输出,其中 $a, b \geq 2$,或连接至级 (n+c) 和 (n-d) 的 LOCK 输出,其中 $c, d \geq 1$ 。一旦相邻级 (n+1) 和 (n-1) 的有效时段已经结束,级 n 就不再可能被激活,而且其 LOCK 信号可返回至无效状态。该实施方式使移位寄存器的每一级生成两个输出脉冲 :时钟 CK 的单个脉冲的副本 OUT 以及较长脉冲 LOCK。

[0068] 本领域的技术人员将明白两个或门 156 和 158 的逻辑功能可与单个三输入的或门相组合,或如前面所述它们的功能可被集成到触发器中。

[0069] 另外,前面的各实施方式中的任一个可被简化以供单向使用。这种情况下,每一级将省略第二输入 IN2,而且 LOCK 或 OUT 输出将仅连接至下一而非上一级的输入。在图 9 和 13 中,IN1 将直接连接至 ROSFF 34/104 的 S 输入,而且将省略或门 38/108。在图 11 和 15 中,将去除 n 型晶体管 58 和 144,且由开路来替换 ;将省略 p 型晶体管 50 和 122,且由短路来替换。在图 16 中,将省略第二复位输入 RST2,并且去除或门 158 且由 RST1 输入和或门 156 的第二输入之间的短路来替换。

[0070] 构成本发明各实施方式的多相位脉冲发生器可以在图 1 所示类型的有源矩阵装置中,如在液晶装置中使用。例如,该发生器可以用作这些装置的扫描驱动器和 / 或数据驱动器内的多相位时钟发生器。

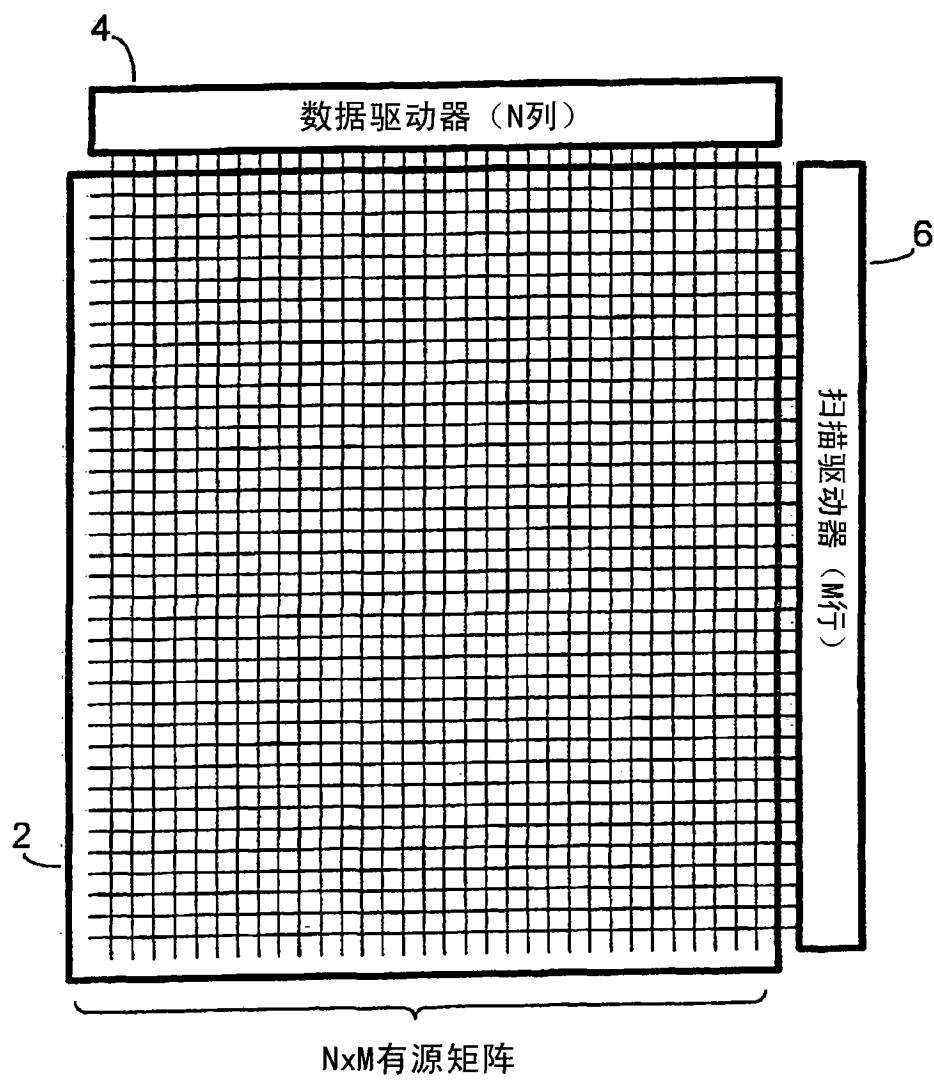


图 1

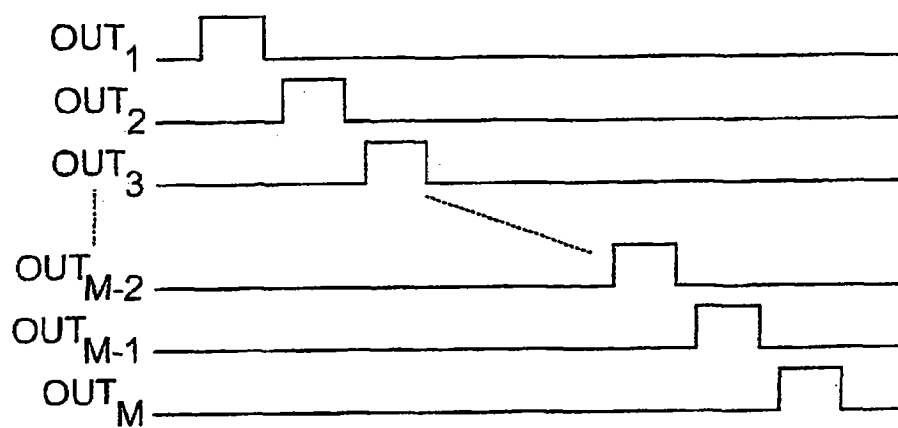


图 2

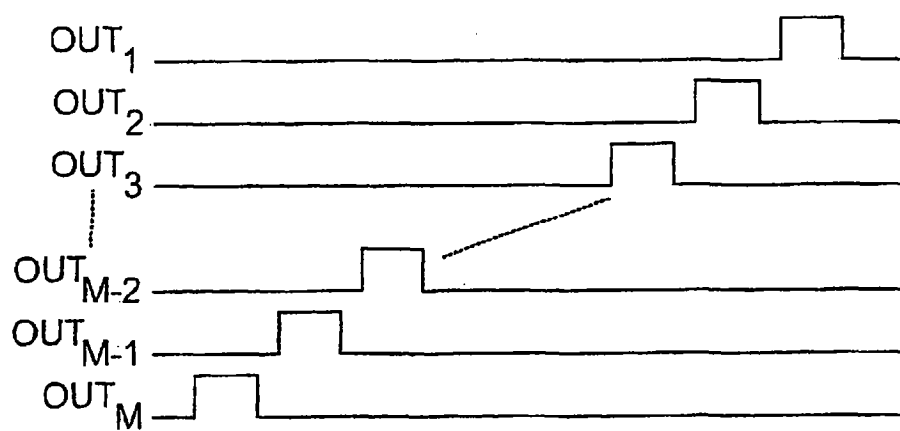


图 3

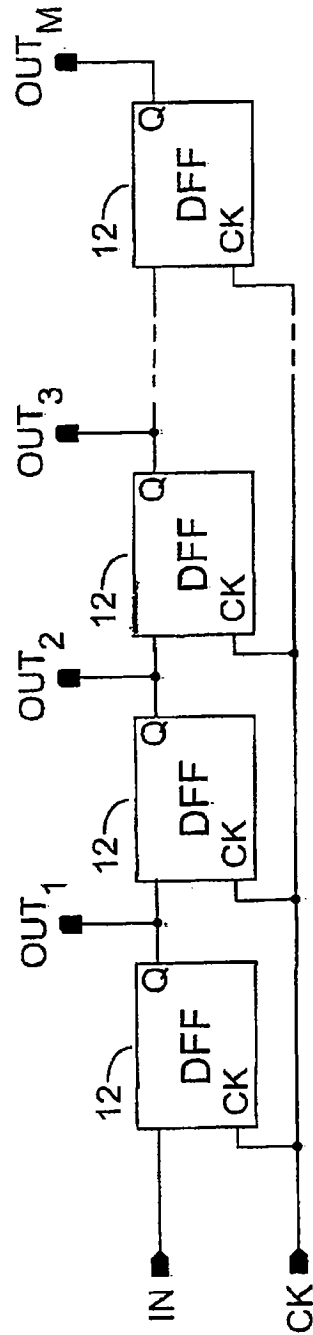


图 4

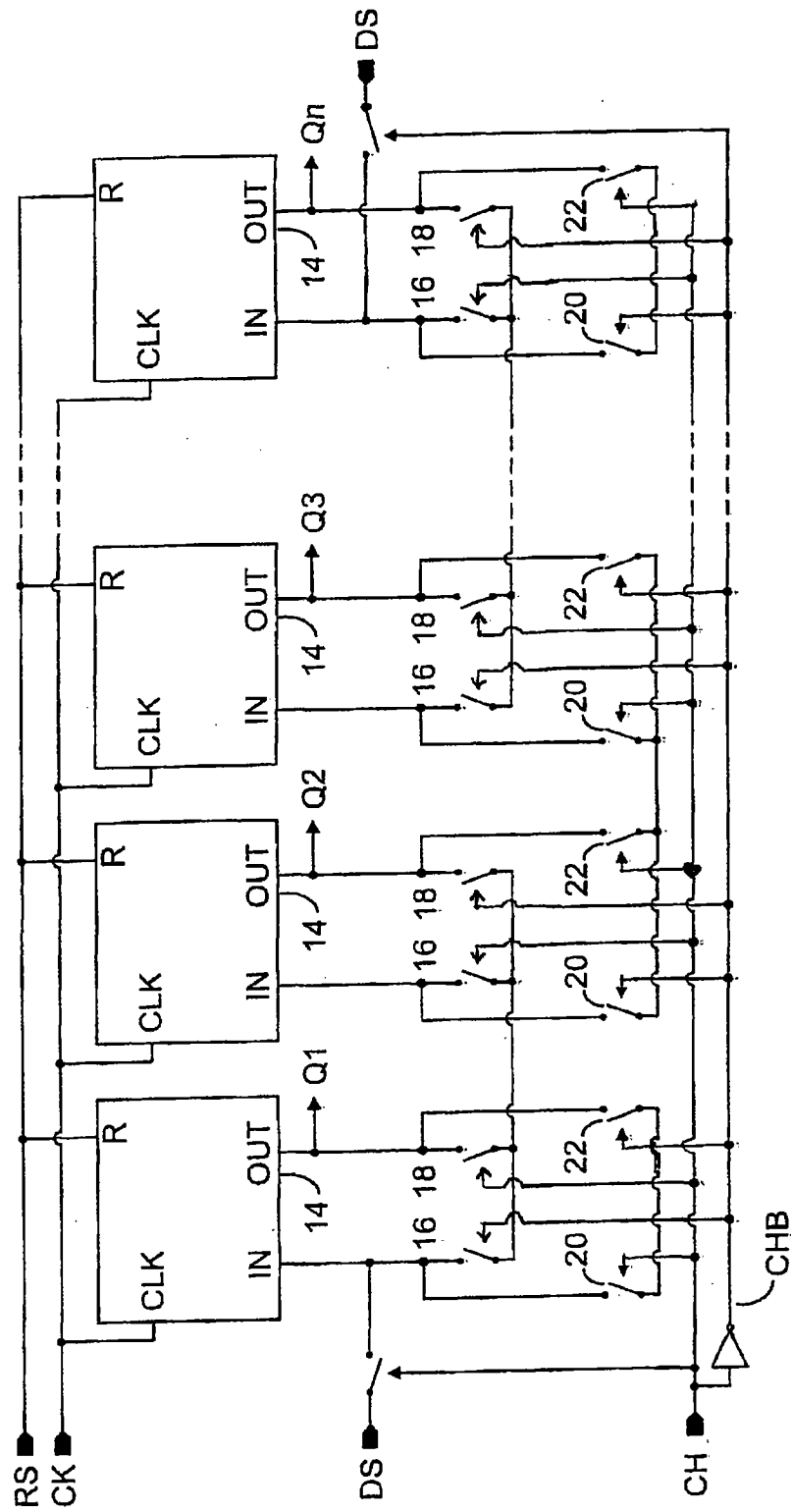


图 5

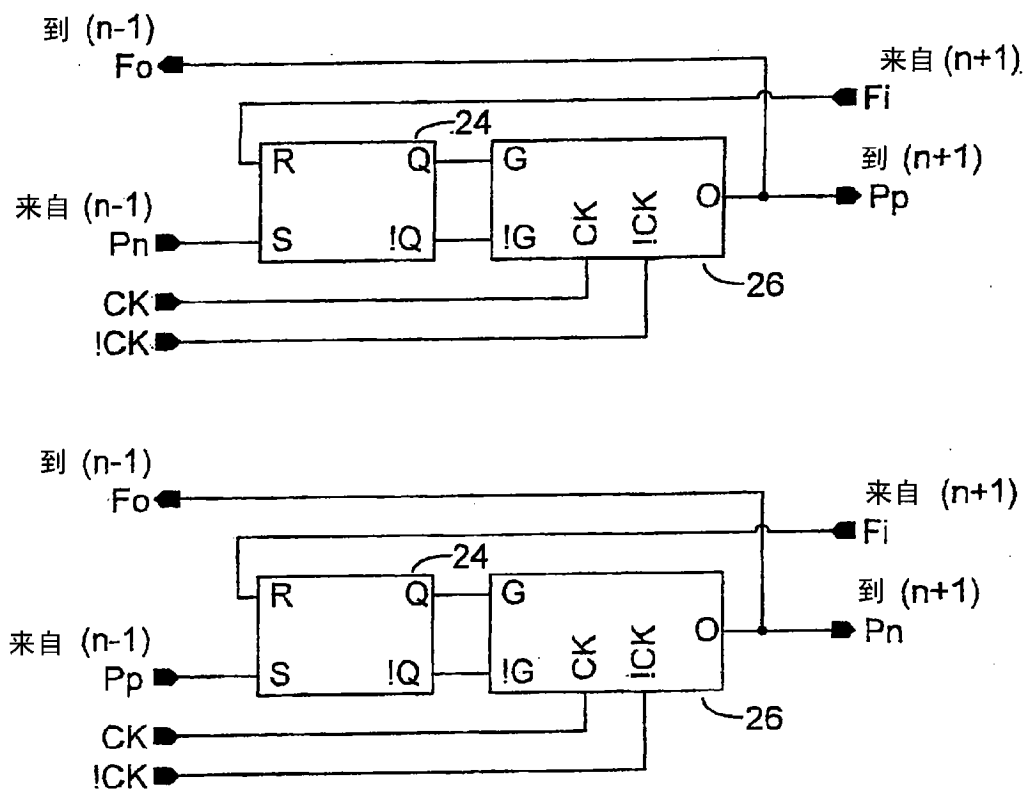


图 6

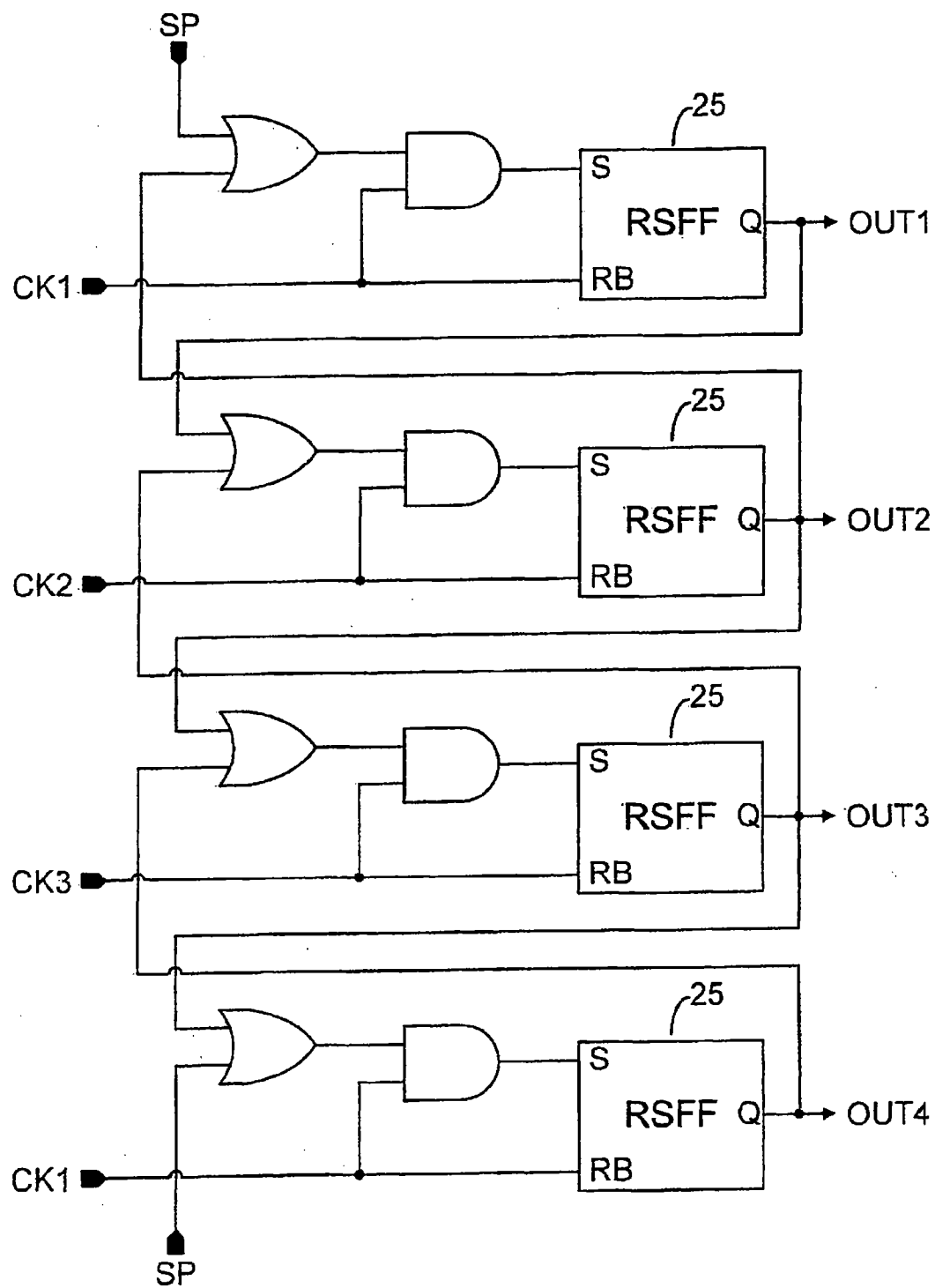


图 7

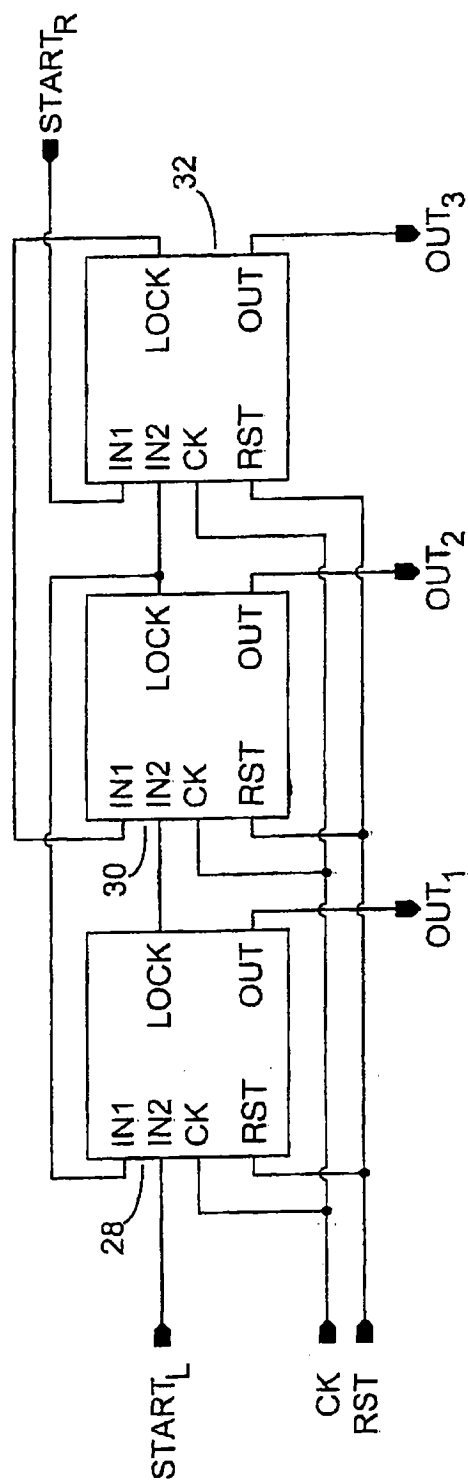


图 8

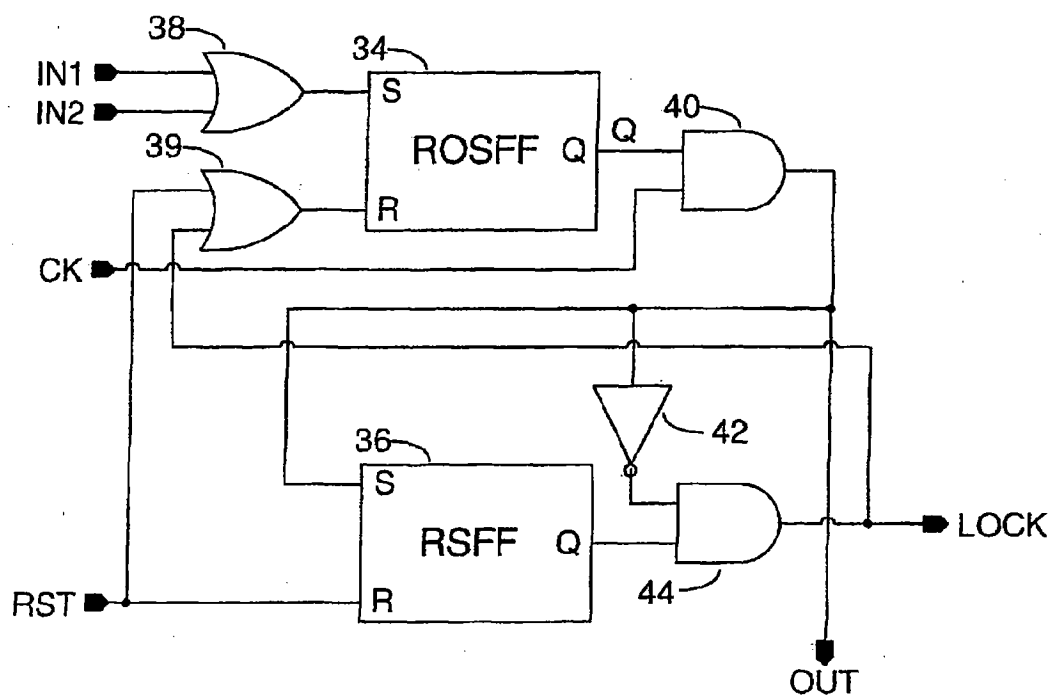


图 9

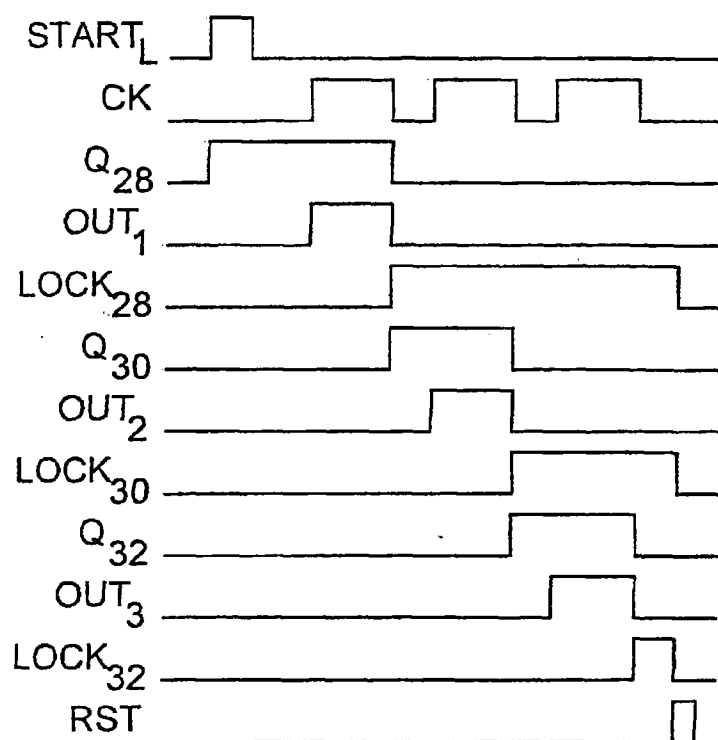


图 10

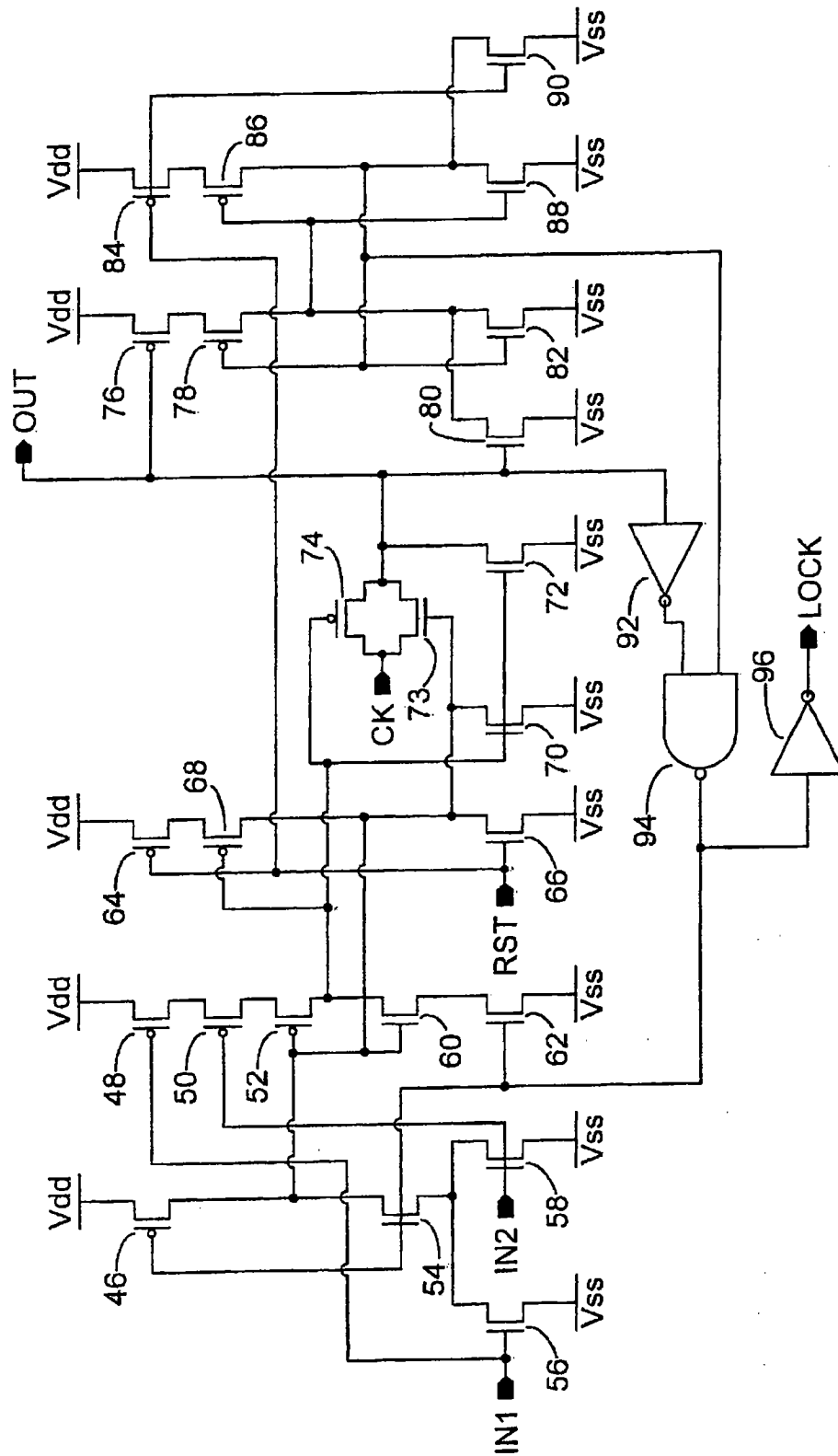


图 11

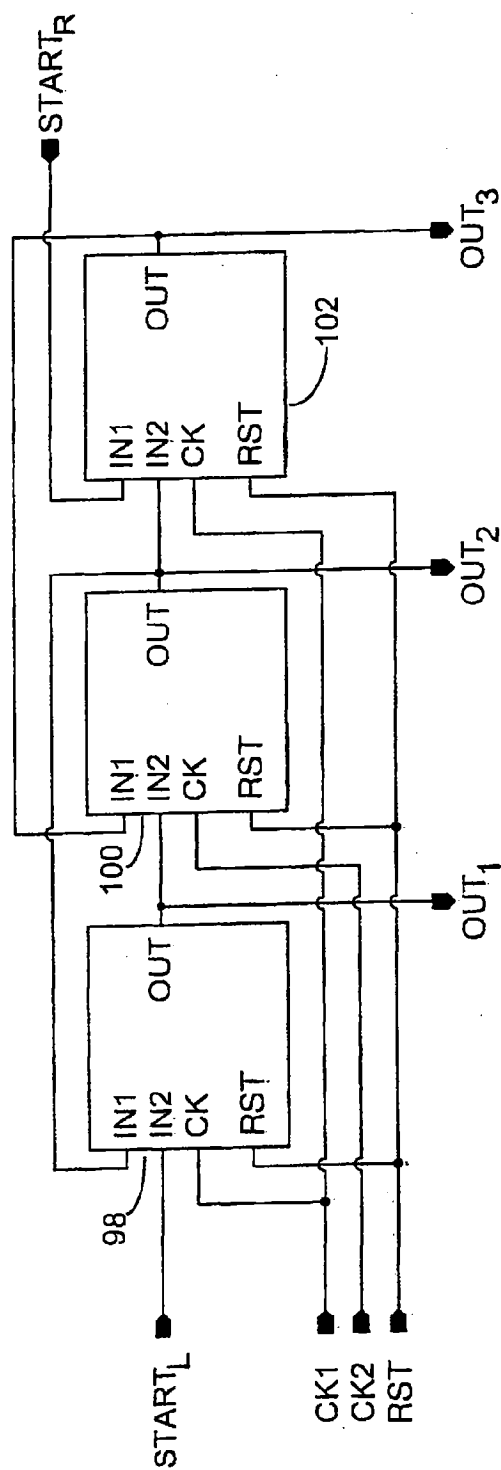


图 12

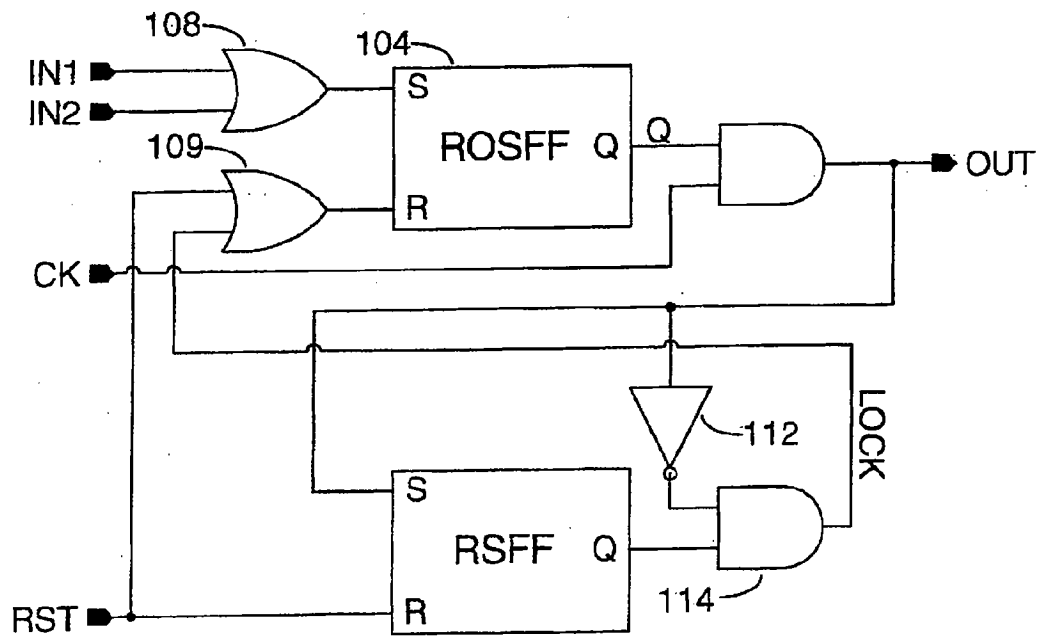


图 13

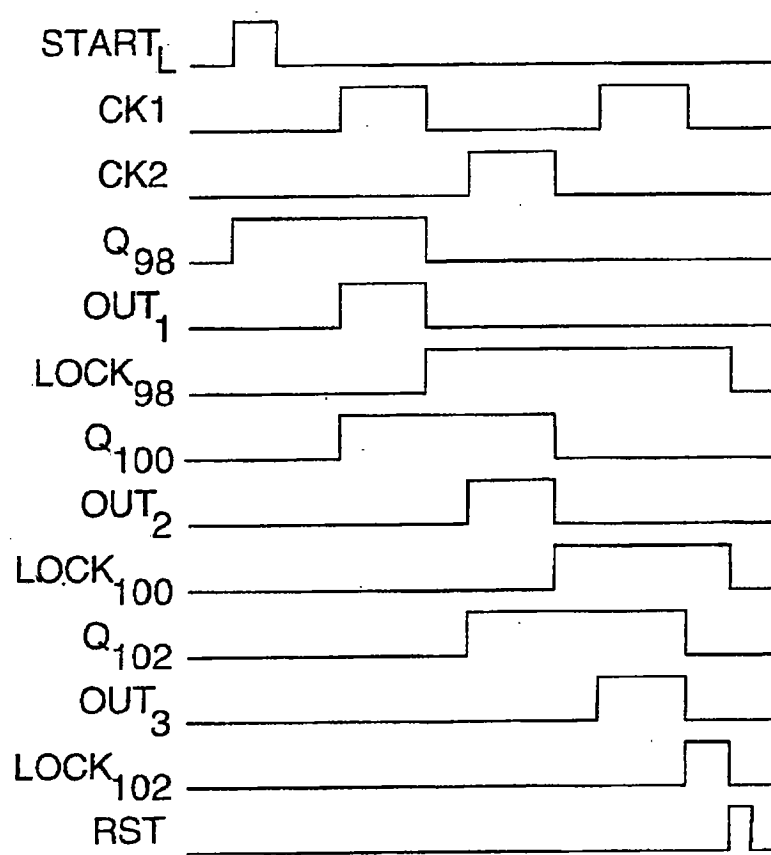


图 14

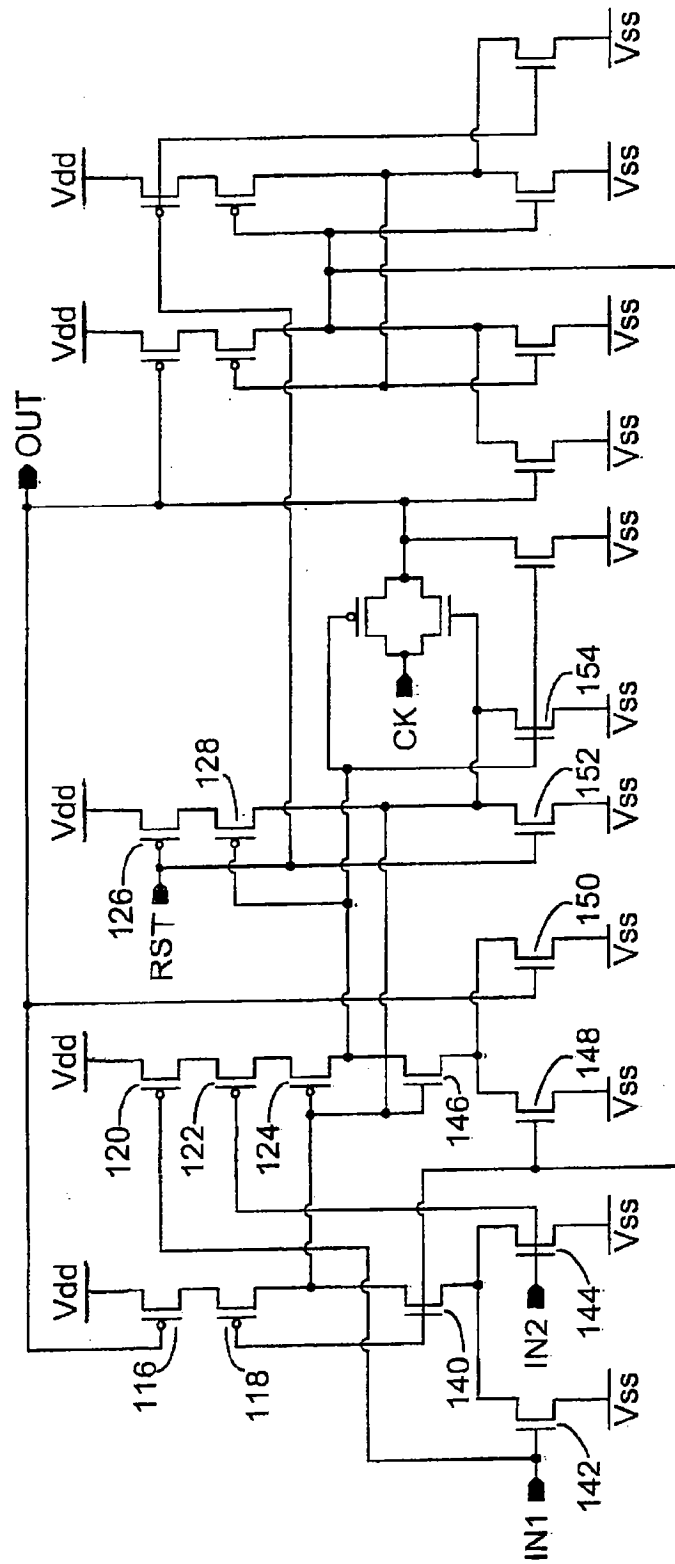


图 15

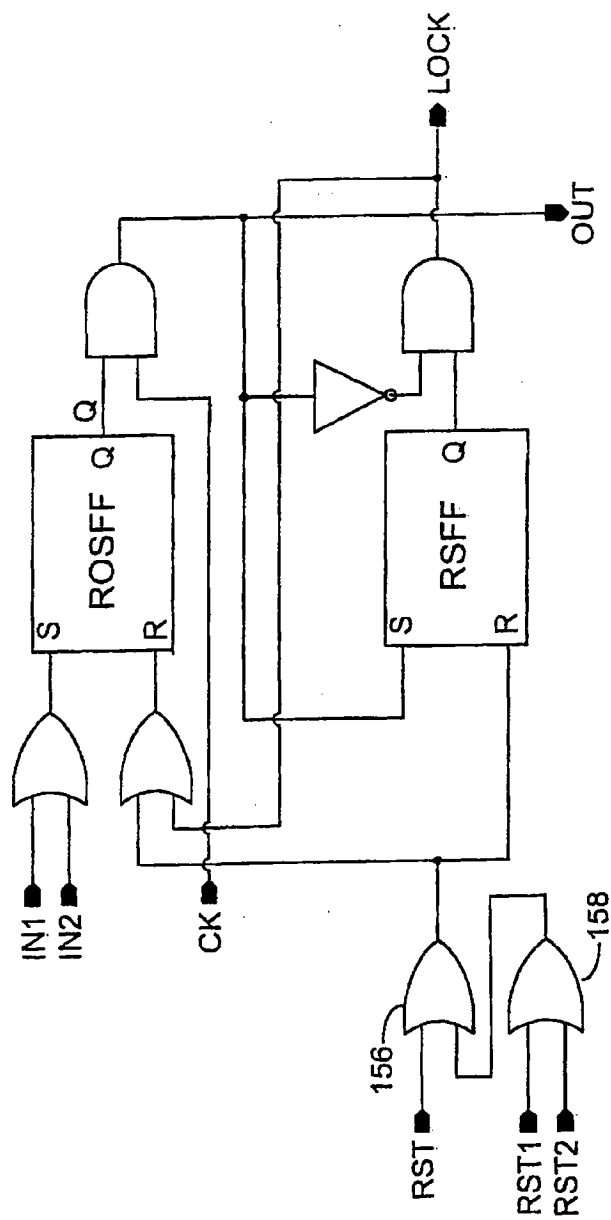


图 16