

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3674982号
(P3674982)

(45) 発行日 平成17年7月27日(2005.7.27)

(24) 登録日 平成17年5月13日(2005.5.13)

(51) Int.Cl.⁷

F I

H03K 5/13
G01R 31/3183
G11C 7/00
H03K 21/00H03K 5/13
G11C 7/00 313
H03K 21/00 G
G01R 31/28 Q

請求項の数 1 (全 5 頁)

(21) 出願番号	特願平7-133509	(73) 特許権者	390005175
(22) 出願日	平成7年5月31日(1995.5.31)		株式会社アドバンテスト
(65) 公開番号	特開平8-330919		東京都練馬区旭町1丁目32番1号
(43) 公開日	平成8年12月13日(1996.12.13)	(74) 代理人	100121706
審査請求日	平成14年4月16日(2002.4.16)		弁理士 中尾 直樹
		(74) 代理人	100128705
			弁理士 中村 幸雄
		(74) 代理人	100066153
			弁理士 草野 卓
		(74) 代理人	100100642
			弁理士 稲垣 稔
		(72) 発明者	小林 稔
			東京都練馬区旭町1丁目32番1号 株式 会社アドバンテスト内

最終頁に続く

(54) 【発明の名称】 可変分周遅延パルス発生回路

(57) 【特許請求の範囲】

【請求項1】

A. パルス列が入力され、能動素子が縦続接続され、その縦続接続の複数の段間の一つから選択的にパルス列を取り出すことにより、複数の遅延時間の一つの遅延を与えた遅延パルスを出力するCMOS型ICによって構成された可変遅延回路と、

B. 上記可変遅延回路から出力されるパルスをカウンタによって計数し、カウンタの計数値が所定値に一致する毎に上記可変遅延回路から出力されるパルスを抽出するレート切替回路と、

によって構成したことを特徴とする可変分周遅延パルス発生回路。

【発明の詳細な説明】

【0001】

この発明は例えば半導体集積回路で構成されるメモリを試験する試験装置等に利用することができる可変分周遅延パルス発生回路に関する。

【0002】

【従来の技術】

メモリを試験する装置では、基準クロックの周期（テストサイクルの周期）と基準クロックの位相から各種遅延時間が異なるタイミング信号を発生させる必要がある。

図3に従来のタイミング信号発生回路の一例を示す。図中10はテスト周期を切替るレート切替回路、20は可変遅延回路を示す。レート切替回路10は一般に可変分周器とも呼ばれ、入力端子11から入力されるクロックを任意の分周比で分周して取出す動作を行な

う。

【0003】

つまり、入力端子11に入力されたクロックCLK(図4A)はカウンタ12に入力され、カウンタ12に入力されるクロック数を計数する。カウンタ12の計数出力を一致検出回路14に入力し、この一致検出回路14で分周数設定器13に設定した分周数と比較し、分周数設定器13に設定した分周数とカウンタ12の計数値とが一致する毎に一致検出回路14から例えばH論理の検出信号を出力させ、この検出信号でアンドゲート15を開に制御し、アンドゲート15からクロックCLKを1個取出す。このようにして取出したパルスCP(図4B)はクロックCLKを分周数設定器13に設定した分周数に従って分周された周期となり、テスト周期Tを規定する。尚、カウンタはアンドゲート15から取出したパルスCPによりリセットされる。

10

【0004】

レート切替回路10から取出されたパルスCPは可変遅延回路20でクロックCLKの周期の範囲内で任意の時間遅延されて取出される。(尚、クロックパルスCLKの周期を単位とする遅延時間は分周器等で構成される他の遅延回路で与えられる)可変遅延回路20は遅延素子として一般にCMOS型ICに形成された能動素子列Aを利用する。図の例ではバッファ増幅素子を縦続接続して、その縦続接続の各段間からパルスCPを取出すことにより、任意の遅延時間 τ が与えられた遅延パルスCCP(図4C)取出すように構成した場合を示す。アンドゲート群Gは能動素子列Aの何段目の段間からパルスCPを取出すかを制御する切替回路を構成している。Jはアンドゲート群Gの中のどのアンドゲートを開に制御するかを決定する制御回路を示す。アンドゲート群Gで取出した遅延パルスCCPはオアゲートORを通じて取出され、出力端子21に入力されたパルスCPの位相から任意の時間 τ だけ遅延されたパルスCCPが取出される。

20

【0005】

遅延素子として従来よりCMOS型ICに形成された能動素子列Aを利用している。CMOS型ICを用いる理由としてはCMOS型ICは静止状態(無信号状態)では電力消費量が極少であるため、回路の発熱量が小さいためである。

CMOS型ICは静止状態では確かに電力消費量は少ない。

然し乍ら、信号が与えられ、オン、オフ動作を繰返すと電力を消費する。従ってパルスCPの供給個数が変動すると電力消費量が変動する。電力消費量が変動すると、回路基板の温度が変動し、この温度変動により能動素子列Aの遅延時間 τ が変動する不都合がある。つまり、レート切替回路10において、分周数を変更し、パルスCPの周期Tを変更すると可変遅延回路20の遅延時間 τ が変動してしまう不都合がある。

30

【0006】

このため従来は遅延素子として利用する能動素子列Aに近接してダミーの能動素子列AAを設け、このダミー能動素子列AAにパルス列、例えばクロックCLKを与え、レート切替回路10からパルスCPが出力される毎に能動素子列AAの入口に設けたゲート22を閉に制御し、ダミー能動素子列AAに供給しているクロックCLKを1個分だけ欠除し、CMOS型ICの全体に供給されるパルスの総数を一定に揃え、CMOS型IC内の温度を一定温度に維持するようにしている。

40

【0007】

【発明が解決しようとする課題】

上述したように、CMOS型IC内の温度を一定温度に維持するために、従来はダミー能動素子群AAを設けている。従って可変遅延回路20の回路規模が大きくなってしまいう不都合がある。

この発明の目的は可変遅延回路の回路規模を小さくすることができる遅延発生回路を提供しようとするものである。

【0008】

【課題を解決するための手段】

この発明では可変遅延回路の後段にレート切替回路を設け、可変遅延回路で入力されるク

50

ロックパルスの全てに対して予め目的とする遅延時間を与え、その遅延したパルス列を任意の周期に分周するように構成したものである。

従ってこの発明の構成によれば遅延回路を構成する能動素子列には常に入力されるクロックパルスの全量が与えられるからこの能動素子列の他に、ダミーの能動素子列を設ける必要がない。従って可変遅延回路の回路規模を半減することができる。

【0009】

【実施例】

図1にこの発明の実施例を示す。図1において図3と対応する部分には同一符号を付して示す。この発明では可変遅延回路20をレート切替回路10の前段に配置した構成とするものである。

10

つまり、可変遅延回路20の入力端子23にクロックパルスCLKを入力し、その入力したクロックパルスCLKの全量を可変遅延回路20の能動素子列Aに供給する。ゲート群Gによって能動素子列Aの任意の段間から遅延したパルスCLKK(図2B)を取出す。この遅延パルスCLKKをオアゲートORを通じて取出し、レート切替回路10に入力する。

【0010】

レート切替回路10ではカウンタ12の計数値が分周数設定器13に設定した数値に達する毎に、一致検出回路14からH論理の一致検出信号を出力させ、そのH論理信号でアンドゲート15を開口制御する。アンドゲート15では、オアゲートORから出力される遅延パルスを、この例ではクロックパルスCLKの3周期毎に取出し、出力端子16に試験周期Tを与えるパルスCCP(図2C)を出力する。出力端子16に出力されるパルスCCPは基準タイミングT₀(クロックパルスCLKの位相)から時間τだけ遅延し、クロックパルスCLKの図の例では3周期分の周期Tのレート周期として規定される。

20

【0011】

【発明の効果】

以上説明したように、この発明によれば、可変遅延回路20をレート切替回路10の前段に設けたから、可変遅延回路20に与えられるクロックパルスCLKの全量が可変遅延回路20の遅延素子を構成する能動素子列Aに入力される。従って能動素子列Aに入力されるパルスの数は、レート切替回路10のレート周期Tを変更しても変化しないから、CMOS型IC内の温度は一定値に維持され、よって遅延時間が変動することではなく、安定したタイミング信号を発生させることができる。

30

【図面の簡単な説明】

【図1】この発明の一実施例を示す接続図。

【図2】図1の動作を説明する波形図。

【図3】従来の技術を説明するための接続図。

【図4】図3の動作を説明するための波形図。

【符号の説明】

- 10 レート切替回路
- 12 カウンタ
- 13 分周数設定器
- 14 一致検出回路
- 15 アンドゲード
- 16 出力端子
- 20 可変遅延回路
- 23 入力端子

40

【図 1】

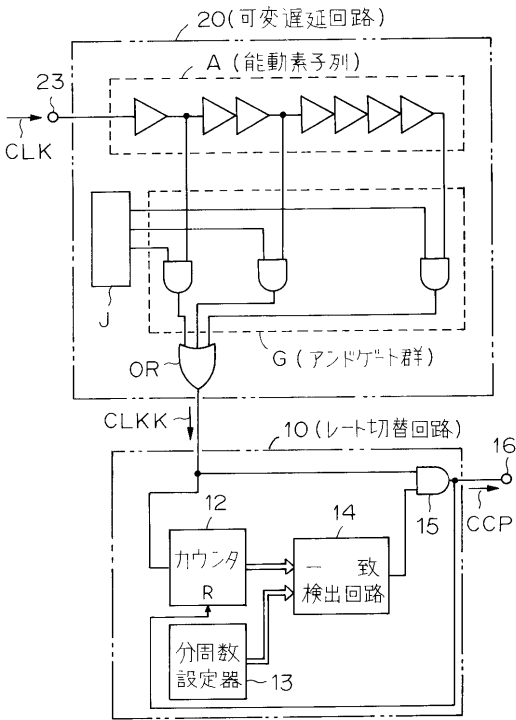


図 1

【図 2】

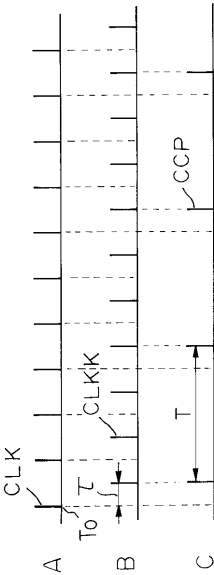


図 2

【図 3】

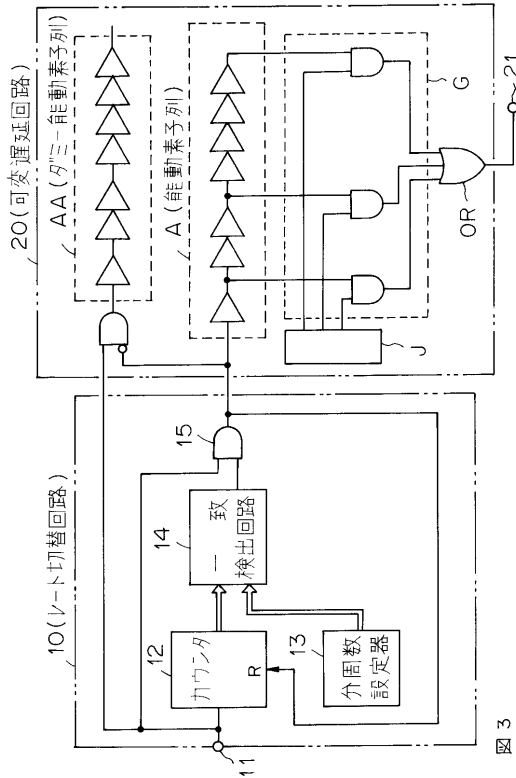


図 3

【図 4】

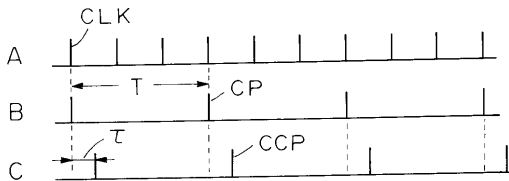


図 4

フロントページの続き

審査官 清水 稔

- (56)参考文献 特開平05-022090 (JP, A)
特開昭63-231516 (JP, A)
特開平04-002217 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H03K 5/13
G01R 31/3183
G11C 7/00 313
H03K 21/00