

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年11月25日 (2010.11.25)

【公開番号】特開2009-147001(P2009-147001A)

【公開日】平成21年7月2日 (2009.7.2)

【年通号数】公開・登録公報2009-026

【出願番号】特願2007-320973(P2007-320973)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 21/82 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/06 (2006.01)

【F I】

H 0 1 L 27/04 H

H 0 1 L 29/78 3 0 1 X

H 0 1 L 27/04 A

H 0 1 L 21/82 P

H 0 1 L 29/78 3 0 1 K

H 0 1 L 27/08 1 0 2 F

H 0 1 L 27/06 3 1 1 C

H 0 1 L 27/08 1 0 2 D

【手続補正書】

【提出日】平成22年10月6日 (2010.10.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板の表面に配置された外部接続端子と、

前記半導体基板の表面に配置された内部回路領域と、

前記内部回路領域に形成された内部素子を E S D による破壊から保護するために、前記外部接続端子と前記内部回路領域との間に配置された、ドレイン領域とグランド電位に固定されたゲート電極を有し、前記ドレイン領域より小さい前記外部端子が前記ドレイン領域の上方に配置されており、チャネル領域を介してソース領域が前記ドレイン領域を取り囲んでいる E S D 保護用の N 型 M O S トランジスタと、

前記外部接続端子と前記 N 型 M O S トランジスタとを接続する第 1 の配線と前記外部端子と前記内部回路領域とを接続する第 2 の配線とを有する半導体装置。

【請求項 2】

さらにシャロートレンチ分離構造を前記 N 型 M O S トランジスタの周囲に有する請求項 1 記載の半導体装置。

【請求項 3】

前記ドレイン領域の平面形状は、角部分が丸められた形状であることを特徴とする請求

項 1 記載の半導体装置。

【請求項 4】

前記ドレイン領域の平面形状は、円形であることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】

前記第 1 の配線は前記 ESD 保護用の N 型 MOS トランジスタのドレイン領域上に積層された複数の配線層により形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】

前記外部接続端子および前記第 2 の配線は高融点金属を含むメタル材料により形成されていることを特徴とする請求項 1 記載の半導体装置。