



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년11월05일
(11) 등록번호 10-0925136
(24) 등록일자 2009년10월29일

(51) Int. Cl.

H01L 21/20 (2006.01) H01L 27/12 (2006.01)

(21) 출원번호 10-2006-7016521
(22) 출원일자 2004년02월19일
심사청구일자 2007년10월12일
(85) 번역문제출일자 2006년08월17일
(65) 공개번호 10-2006-0130177
(43) 공개일자 2006년12월18일
(86) 국제출원번호 PCT/US2004/004888
(87) 국제공개번호 WO 2005/083775
국제공개일자 2005년09월09일
(56) 선행기술조사문헌
JP15332540 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자

인터내셔널 비지네스 머신즈 코퍼레이션
미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자

벤더나겔 로버트 이
미국 뉴욕주 12533 호프웰 정션 크랜베리 드라이브 72

최 광수

미국 뉴욕주 10549 마운트 키스코 폭스우드 씨클 41

(뒷면에 계속)

(74) 대리인

김태홍, 송승필

전체 청구항 수 : 총 9 항

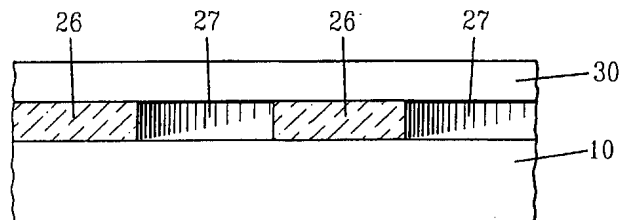
심사관 : 심병로

(54) 다공성 Si 엔지니어링에 의한 패터닝된실리콘-온-인슐레이터(SOI)/실리콘-온-나트싱 (SON)복합 구조물의 형성

(57) 요약

패터닝된 SOI/SON 복합 구조물 및 그 형성 방법이 제공된다. SOI/SON 복합 구조물에서, 패터닝된 SOI/SON 구조물은 Si 오버층과 반도체 기판 사이에 삽입된다. 패터닝된 SOI/SON 복합 구조물을 형성하는 방법은 SOI 및 SON 구조물이 함께 형성되는 공유 프로세싱 단계를 포함한다. 본 발명은 또한 매립 보이드 평면만을 포함하는 복합 구조물을 형성하는 방법뿐만 아니라 매립 도전/SON 구조물을 포함하는 복합 구조물을 형성하는 방법을 제공한다.

대표도 - 도1



(72) 발명자

다바리 바이잔

미국 뉴욕주 10541 마호팩 프렌들리 로드 41

포젤 케이쓰 이

미국 뉴욕주 10547 모히건 레이크 룩스 레인 4

사다나 디엔드라 케이

미국 뉴욕주 10570 플레전트빌 스카이 탐 드라이브
90

샤히디 가밤 쥐

미국 뉴욕주 10576 파운드 리지 베어갯 로드 111

티와리 산딕

미국 뉴욕주 14850 이타카 이스트 업랜드 로드 207

특허청구의 범위

청구항 1

반도체 기판;

서로 옆에 배치되고 상기 반도체 기판 상에 배치되는, 패터닝된 매립 도전 영역과 보이드 평면(void plane)을 갖는 하나 이상의 층; 및

상기 패터닝된 매립 도전 영역과 보이드 평면을 갖는 상기 하나 이상의 층의 상부에 배치되며, 미리결정된 두께를 갖는 Si 오버층(over-layer)

을 포함하고,

상기 매립 도전 영역은 주입된 내화(refractory) 금속 이온을 포함하고,

상기 Si 오버층은 단결정 구조물을 갖는 것을 특징으로 하는, 반도체 복합 구조물.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 Si 오버층은 2 nm 내지 1 μm 의 두께를 갖는 것인, 반도체 복합 구조물.

청구항 4

제1항에 있어서, 상기 주입된 내화 금속 이온은, Si와 합금될 때 1300℃보다 높은 공융 온도를 갖는 것인, 반도체 복합 구조물.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

제1항에 있어서, 상기 Si 오버층 상에 배치된 표면 산화물을 더 포함하는 것인, 반도체 복합 구조물.

청구항 13

제1항에 있어서, 상기 주입된 내화 금속 이온은 Mo, Ta, 및 W로 구성된 그룹으로부터 선택되는 것인, 반도체 복합 구조물.

청구항 14

반도체 복합 구조물을 형성하는 방법으로서,

- (a) 반도체 웨이퍼의 표면 영역에 다공성 Si의 층을 형성하는 단계;
- (b) 상기 다공성 Si의 층 상에 에피-Si(epi-Si) 층을 형성하는 단계로서, 상기 에피-Si 층과 다공성 Si의 층 사이에는 인터페이스가 존재하는 것인, 상기 에피-Si 층을 형성하는 단계;
- (c) 상기 인터페이스 또는 그 부근에 주입 영역을 형성하기 위해 상기 반도체 웨이퍼의 미리결정된 영역에 이온을 선택적으로 주입하는 단계; 및
- (d) 다공성 Si의 주변층과의 반응에 의해 주입 영역을 매립 절연 영역으로 변형시키고 기공 유착(pore coalesce)에 의해 비주입 다공성 Si를 매립 보이드 평면으로 변형시키는 온도와, 산소-포함 환경에서 상기 웨이퍼를 어닐링하는 단계

를 포함하는 반도체 복합 구조물 형성 방법.

청구항 15

제14항에 있어서, 상기 다공성 Si의 층 내의 개구 표면 기공을 실질적으로 제거하기 위해 상기 단계 (a) 및 (b) 사이에 수소 어닐링 단계를 수행하는 단계를 더 포함하는 반도체 복합 구조물 형성 방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

제14항에 있어서, 단계 (d)를 수행하기 전에 단계 (a) 내지 (c)를 임의의 횟수 반복하는 단계를 더 포함하는 반도체 복합 구조물 형성 방법.

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

매립 SON(Silicon-On-Nothing) 구조물을 포함하는 반도체 복합 구조물을 형성하는 방법으로서,

(i) 반도체 웨이퍼 상에 패터닝된 포토레지스트를 형성하는 단계로서, 상기 패터닝된 포토레지스트는 상기 반도체 웨이퍼의 부분을 노출하는 하나 이상의 개구를 갖는 것인, 상기 패터닝된 포토레지스트를 형성하는 단계;

(ii) 상기 반도체 웨이퍼의 상기 노출된 부분의 표면 영역에 다공성 Si를 형성하는 단계;

(iii) 상기 패터닝된 포토레지스트를 제거하는 단계;

(iv) 상기 다공성 Si를 포함하는 웨이퍼 상에 에피 Si를 형성하는 단계; 및

(v) 상기 다공성 Si를 매립 보이드 평면으로 변형시키는 상승된 온도에서 상기 웨이퍼를 어닐링하는 단계를 포함하는 반도체 복합 구조물 형성 방법.

청구항 38

삭제

명세서

기술분야

- <1> 본 발명은 반도체 복합 구조물에 관한 것으로, 특히 얇은 실리콘층, 즉, Si 오버층(over-layer)이 절연 영역에 의해 기판으로부터 분리된 실리콘-온-인슐레이터(SOI; Silicon-on-insulator) 구조물과 Si 오버층이 확장된 보이드 평면(void plane) 또는 에어 갭에 의해 기판으로부터 분리된 실리콘-온-나트싱(SON; silicon-on-nothing) 구조물의 조합을 포함하는 반도체 복합 구조물에 관한 것이다. 본 발명은 또한 상술한 반도체 복합 구조를 형성하는 방법에 관한 것이다.

배경기술

- <2> 마이크로일렉트로닉 집적 회로(IC) 제조에 있어서, SOI 및 SON 웨이퍼는, 특정 IC에서 액티브 디바이스 영역이 하부에 형성된 반도체 기판으로부터 분리되고 격리될 필요가 있는 경우에 사용된다. 물리적 치수와 체적에 있어서 비교적 작은 액티브 디바이스 영역이 체적이 매우 큰 기판과 접촉되면, 디바이스 및 회로 성능에 대한 다양한 악영향이 관찰된다. 예를 들어, 누설 전류 및 접합 용량의 증가, 방사 및 열의 영향에 대한 저항의 감소, 쇼트 채널(short-channel) 영향의 증가, 및 래치업(latch-up)이라 불리는 전기적 분열에 대한 취약성의 증가 등의 악영향이 관찰될 수 있다. 이러한 모든 악영향은 디바이스 및 회로 성능의 손실 및 소비 전력의 증가로 변형된다.
- <3> SOI 및 SON 디바이스 및 회로는 이들 디바이스 및 회로가 설치되는 독특한 반도체 재료 구조물 때문에 본질적으로 상술한 영향을 받지 않고, 따라서, 수요가 많다.
- <4> SOI에서, 산화물과 같은 매립 절연층의 연속층이 Si 오버층과 반도체 기판 사이에 형성된다. 매립 절연 재료는 Si 오버층을 기판으로부터 전기적으로 격리시킨다. BESOI(bond-and-etch-back SOI)로 지칭되는 입증된 방법은, 2개의 개시 반도체 웨이퍼의 표면을 산화하고 2개의 웨이퍼를 산화된 표면에서 본딩하고 하나의 웨이퍼를 후면에서 에칭하여 얇은 오버층으로 변형시키고 에칭된 웨이퍼를 연마하여 디바이스 제조에 적합한 평활한 표면을 제공함으로써 달성된다. 웨이퍼 표면은 본딩 전에 소망의 깊이로 산화되므로, 매우 양호한 매립 산화물 형성의 제어가 유지될 수 있다. 따라서, 결과적인 매립 산화물은 매우 균일하며 거의 임의의 소망 두께를 가질 수 있다. 그러나, 본딩된 인터페이스에서의 불순물의 트래핑(trapping) 및 에치백(etch-back) 프로세스를 통해 얇고 균일한 Si 오버층을 달성하는데 있어서의 어려움은 종래기술의 BESOI 프로세스의 중요한 취약점이다.
- <5> SIMOX (separation by ion implantation of oxygen)라 불리는 또 다른 입증된 방법에서는, 산소 이온이 웨이퍼 표면에 직접 주입된 후 고온의 어닐링시에 주입된 산소 이온이 Si 원자와 반응하여 매립 산화물층을 형성한다. 매립 산화물층의 깊이, 두께 및 균일성은 주로 주입된 산소의 도즈량 및 에너지 및 후속의 어닐링 조건에 의존한다. 일반적으로, SIMOX 프로세스는, 균일하고 고품질의 매립 산화물 및 Si 오버층을 제공한다.
- <6> FIPOS (full isolation by porous oxidized silicon)라 불리는 다른 입증된 방법에서는, 패터닝된 Si 표면이 HF 함유 용액에서 양극 산화 처리(anodized)되어 양극 산화 처리되지 않은 Si 아일랜드(island)를 완전히 둘러싸는 다공성 Si를 형성한다. 이 방법에서는, 용액으로의 삽입 전에 Si 아일랜드가 패터닝되고 양극산화처리에 견디는 형태로 변환된다. 다공성 Si는 매우 증가된 표면적에 의해 벌크 Si보다 빨리 산화하므로, 열산화시 다공성 Si는 Si 아일랜드를 완전히 둘러싸고 격리시킨다. 이 종래 방법은 SOI를 형성하는 매우 저렴한 방법으로 간주된다. 그러나, 일반적으로, 이 종래 방법으로 얇은 고밀도의 열산화물을 형성하는 것이 어렵다. 또한, 둘러싸는 산화된 다공성 Si에 의해 압력이 가해지면, Si 아일랜드는 변위 및 스택 결함을 가질 수 있다.
- <7> SON에서, 확장된 보이드 평면 또는 에어 갭은 Si 오버층 아래에 형성된다. 그러나, 보이드 평면이 반도체 웨이퍼의 전체 직경에 걸쳐 연장하면, Si 오버층 및 그 하부의 반도체 기판이 분리되기 때문에, 매립 보이드 평면이 측면 치수에 있어서 필연적으로 제한된다. 통상, 제한된 크기의 매립 보이드 평면은 웨이퍼 상의 선택 위치에 형성된다.
- <8> ESS(empty space in silicon)라 불리는 종래의 입증된 방법에서, 긴 에치 피트(etch-pit)가 웨이퍼 표면에 형성되고, Si 원자의 표면 이동을 유도하는 상승된 온도에서 수소 분위기에서의 어닐링에 의해 매립 보이드 평면으로 변환된다. 매립 보이드 평면 및 그 위의 Si 오버층의 면적 및 두께는 에치 피트의 수와 피치 뿐만 아니라 에치 피트 각각의 폭과 깊이에 의해 결정된다.

- <9> 또다른 입증된 방법에서, SiGe 층이 선택적 에피택셜 성장에 의해 반도체 웨이퍼 표면 상에 증착되고, Si 브릿지가 SiGe 층 상에 형성되고, 에어 갭을 남겨두고 SiGe 층이 선택적으로 에칭된다. 이 종래의 방법에서는, 전체의 절차가 디바이스 제조 프로세스의 일부로서 병합될 수 있다.
- <10> SOI 및 SON 복합물을 제조하는 공지된 종래 방법들은 서로 다르고 SOI가 매립 산화물을 포함하고 SON이 보이드를 형성하기 때문에, 단일의 반도체 웨이퍼 상에 2개의 복합 구조물을 결합하는 것이 실행되지 않았다. 저전력 디바이스 격리에 있어서, SiO₂ 등의 일반적인 매립 산화물의 유전율이 약 3.9인 반면에, SON 복합물은 보이드의 유전율이 가장 낮은 유전율인 1에 근접하다는 점에서 매우 우수하다.
- <11> 그러나, 디바이스 격리에 더하여, SON은 SiGe 및 GaAs 등의 격자-부정합(lattice-mismatched) 에피택셜층을 위한 기관으로서 사용될 수 있으면서, 매립 절연 영역이, 적절히 패터닝되면, 백게이트 유전체로서 추가의 기능을 수행할 수 있다. 따라서, SOI/SON 복합물 결합은 SOI 및 SON을 개별적으로 이용하는 마이크로일렉트로닉 애플리케이션을 개선할 뿐만 아니라 현재 공지되거나 실현되지 않은 많은 새로운 애플리케이션에서 이용될 수 있다.
- <12> 발명의 개요
- <13> 본 발명은 공유 프로세스에 의해 단일의 반도체 웨이퍼 상에 패터닝된 SOI/SON 복합 구조물을 형성하는 방법을 제공한다. 진보적인 공유 프로세스의 중요한 특징은 HF 함유 용액에서 전해질 양극 산화 처리에 의해 다공성 Si 층을 형성한다는 것이다. 일부의 종래의 SOI 방법에서, 다공성 Si는 희생 에칭 정지, 분할 평면, 필드 산화물 영역 또는 전체 격리 산화물 영역으로서 사용된다. 그러나, 본 발명에서는, 다공성 Si는 매립 절연/보이드 조합을 형성하는데 사용된다.
- <14> 본 발명의 주된 목적은 패터닝된 SOI/SON 구조물을 포함하는 반도체 복합 구조물을 제공하는 것이다. 복합 구조물은 단일 또는 다중 레벨의 SOI 및 SON 구조물을 포함할 수 있다. 본 발명에서, 주어진 층 내의 패터닝된 SOI/SON 구조물들은 SOI 및 SON의 교호 패턴으로 서로 인접한다.
- <15> 본 발명의 다른 목적은 SOI/SON 함유 복합물을 제조하는 방법을 제공하는 것이다.
- <16> 본 발명의 또 다른 목적은, SOI 및 SON 구조물들에 의해 거의 공유되는 프로세싱 단계를 포함하는 SOI/SON 함유 복합물을 제조하는 방법을 제공하는 것이다.
- <17> 본 발명의 또 다른 목적은 SOI/SON 구조적 패턴이 고정되지 않고 임의의 원하는 형상 및 크기로 형성될 수 있도록 하는 것이다.
- <18> 본 발명의 일 형태에 따르면, 패터닝된 SOI 및 SON 구조물의 조합을 포함하는 반도체 복합 구조물이 제공된다. 특히, 진보적인 반도체 복합 구조물은 반도체 기관; 서로 인접하고 상기 반도체 기관 상에 배치된 패터닝된 매립 절연 영역 및 보이드 평면(void plane)을 갖는 하나 이상의 층; 및 상기 패터닝된 매립 절연 영역 및 보이드 평면을 갖는 하나 이상의 층의 상부에 배치된 소정의 두께를 갖는 Si 오버층(over-layer)을 포함한다.
- <19> 본 발명의 일 실시예에서, 진보적인 반도체 복합 구조물의 매립 절연 영역은 매립 도전 영역으로 대체된다. 본 발명의 다른 실시예에서, 진보적인 반도체 복합 구조물은 보이드 평면만을 포함한다. 본 발명의 또 다른 실시예에서, 진보적인 반도체 복합 구조물은 매립 절연 영역, 매립 도전 영역 및 보이드 평면을 포함한다.
- <20> 본 발명의 다른 형태에 있어서, 상술한 반도체 복합 구조물을 형성하는 방법이 제공된다. 특히, 본 발명의 방법은 (a) 반도체 웨이퍼의 표면 영역에 다공성 Si의 층을 형성하는 단계; (b) 다공성 Si의 층 상에 에피-Si(epi-Si) 층을 형성하는 단계 - 상기 에피-Si 층과 다공성 Si의 층 사이에 인터페이스가 존재함 -; (c) 상기 웨이퍼의 소정 영역에 이온을 선택적으로 주입하여 상기 인터페이스 또는 그 부근에 주입 영역을 형성하는 단계; 및 (d) 다공성 Si의 주변층과의 반응에 의해 주입 영역을 매립 절연 영역으로 변형시키는 상승된 온도에서 상기 웨이퍼를 어닐링하고 기공 유착에 의해 주입되지 않은 다공성 Si를 매립 보이드 평면으로 변형시키는 단계를 포함한다.
- <21> 본 발명의 일부의 실시예에서, 수직으로 스택된 매립 절연/보이드 평면의 다수층이 형성되고, 어닐링 단계(d)를 수행하기 전에 단계(a) 내지 (c)가 임의의 횟수 반복된다.
- <22> 본 발명에 따르면, 다공성 Si 층이 HF-함유 용액에서 수행되는 전해질 양극 산화 처리에 의해 형성된다. HF 양극 산화 처리에서, 형성된 다공성 Si의 다공도는 사용된 전류 및 전압, HF 농도 및 반도체 웨이퍼의 도핑 유형 및 농도에 의존한다. 다공성 Si 층의 두께는 양극 산화 처리 프로세스의 시간에 의존한다.

- <23> 상승된 온도에서 수소 분위기에서의 단시간의 어닐링은, 필요하면, 단계(a) 후에 채용되어 다공성 Si 층의 표면 상에서 개구 기공을 제거한다. 다른 실시예에서, 어닐링 단계(d) 이후에 선택적 수소 어닐링이 또한 수행된다.
- <24> 일부의 실시예에서, 실리콘 이산화물, 실리콘 질화물, 포토레지스트 또는 그 조합의 패터닝된 마스크가 채용되어 웨이퍼에 주입 영역을 선택적으로 형성할 수 있다. 이러한 실시예에서, 패터닝된 마스크는 보이드 평면이 형성될 구조물의 영역에 이온이 주입되는 것을 방지하기에 충분한 두께를 갖는다.
- <25> 본 발명의 다른 방법에서, 주입되는 이온은 어닐링시 매립 도전 영역을 형성할 수 있다. 이러한 실시예에서, 금속 이온이 주입되고 매립 도전 영역은 금속 실리콘사이드를 포함한다.
- <26> 본 발명의 다른 실시예에서, 매립 보이드 평면만을 포함하는 복합 구조물이 제공된다. 본 발명의 이 방법은 (i) 반도체 웨이퍼 상에 HF-저항 포토레지스트, 즉, 포토레지스트의 패터닝된 마스크를 형성하는 단계 - 상기 패터닝된 마스크는 상기 반도체 웨이퍼의 부분을 노출하는 하나 이상의 개구를 가짐 -; (ii) 상기 반도체 웨이퍼의 상기 노출된 부분의 표면 영역에 다공성 Si를 형성하는 단계; (iii) 상기 패터닝된 마스크를 제거하는 단계; (iv) 상기 다공성 Si를 포함하는 웨이퍼 상에 에피 Si를 형성하는 단계; 및 (v) 다공성 Si를 매립 보이드 평면으로 변형시키는 상승된 온도에서 상기 웨이퍼를 어닐링하는 단계를 포함한다.
- <27> 본 발명의 다른 방법에서, 나란히 배치된 절연체/보이드 평면 구조물, 나란히 배치된 도전체/보이드 평면 구조물 및 보이드 평면 구조물의 매립층을 포함하는 반도체 복합 구조물이, 상술한 변형을 일으키는 최종의 어닐링 단계를 수행하기 전에 단계 (a) 내지 (c) 및 단계 (i) 내지 (iv)를 임의의 횟수 반복함으로써 제공된다.

발명의 상세한 설명

- <32> 패터닝된 SOI/SON 복합 구조물 및 그 구조물을 제조하는 방법을 제공하는 본 발명은 본 애플리케이션을 수반하는 도면을 참조하여 상세히 설명될 것이다. 수반된 도면에서, 동일한 참조 번호는 동일 및 대응하는 요소에 사용된다.
- <33> 종래 기술의 프로세스 특징에 있어서의 차이 때문에, 단일의 반도체 웨이퍼 상으로의 SOI 및 SON의 집적화는 일반적이지 않다. 본 발명의 이점은 공유된 제조 프로세스에서 단일의 반도체 웨이퍼 상에 SOI 및 SON 구조물들을 임의의 소망의 패턴으로 나란히 배치하는 것이다. "반도체 웨이퍼"라는 용어는 Si, SiGe, SiC, SiGeC, GaAs, GeAs, InAs 및 InP 및 III/V 화합물 반도체 등의 반도체 재료를 포함하는 웨이퍼를 지칭하기 위하여 사용된다. "반도체 웨이퍼"라는 용어는 또한 실리콘-온-인슐레이터 기판을 포함할 수 있다.
- <34> 도 1은 본 발명의 방법들 중의 하나를 사용하여 제조될 수 있는 일반적인 패터닝된 SOI/SON 복합 구조물의 단면도이다. 도 1에 도시된 패터닝된 SOI/SON 복합 구조물은 Si 오버층(30)과 반도체 웨이퍼 또는 기판(10) 사이에 삽입된 매립 절연 영역(26) 및 보이드 평면(27)의 단일층을 포함한다. 매립 절연 영역(26)은 보이드 평면(27)과 나란히 배치된다. 따라서, 진보적인 복합 구조물은 단일 반도체 기판 내에 교호하는 매립 절연 영역(SOI) 및 보이드 평면(SON)의 층을 포함한다.
- <35> 진보적인 패터닝된 SOI/SON 복합 구조물의 다양한 층의 두께는 구조물을 제조하는데 채용되는 프로세스 조건에 따라 변할 수 있다. 일반적으로, 매립 절연 영역 및 보이드 평면의 층은 약 5 nm 내지 약 1 μ m의 두께, 더 바람직하게는 약 5 내지 약 200 nm의 두께를 갖는다. 매립 절연 영역 및 보이드 평면의 층의 두께는 디바이스의 요구사항에 의존하며, 본 발명에서는, 주입된 이온의 도즈량 및 HF 양극 산화 처리 동안 형성된 다공성 Si 층의 수직 깊이를 조절함으로써 제어될 수 있다.
- <36> Si 오버층(30)은 단결정 구조물을 가지며, 층(30)의 두께는 일반적으로 약 2 nm 내지 약 1 μ m, 더 바람직하게는 약 2 내지 약 100 nm의 두께를 갖는다. Si 오버층의 두께는 디바이스 요구사항에 의존하며, 본 발명에서, 열적 어닐링 동안 Si 에피 증착(Si epi deposition) 및 Si 소비량에 의해 제어될 수 있다. 기판(10)의 두께는 본 발명에서는 중요하지 않다. 패터닝된 SOI/SON 구조물의 층은 실질적으로 균일하고 다양한 SOI/SON 구조물은 고품질이다.
- <37> 본 발명의 일부의 실시예에서, 매립 절연 영역(26)은 매립 도전 영역으로 대체된다. 이러한 실시예에서, 패터닝된 매립 도전/SON 복합 구조물이 제공된다. 이러한 복합 구조물은, 매립 절연 영역(26)이 매립 도전 재료로 대체되는 것을 제외하고, 상기의 도 1 또는 하기의 도 2에 도시된 구조물이다.
- <38> 도 2는 매립 절연 영역(26) 및 보이드 평면(27)의 다수층을 포함하는 본 발명의 패터닝된 SOI/SON 복합 구조물을 나타내며, 다수층의 각각은 개별적으로 패터닝될 수 있고 상층 및 하층과 다를 수 있다. 구조물의 최하층은

기관(10)이고, 도시된 구조물의 최상층은 Si 오버층(30')이다. 본 발명은 패터닝된 매립 절연 영역 및 보이드 평면의 일층 또는 이층을 각각 포함하는 패터닝된 SOI/SON 복합 구조물을 나타내지만, 본 발명은 단일 복합 구조물에 이러한 복수의 패터닝된 SOI/SON 층을 형성하는 것을 포함할 수 있다.

- <39> 도 2에서, 2개의 매립 SOI/SON 층(26 및 27)은 정렬될 필요가 없고 동일하게 설계되지 않을 수 있다. 그러나, 명확하게 하기 위하여, 도 2는 동일한 설계 치수를 가지며 정렬된 2개의 매립 SOI/SON 층을 나타낸다. 주어진 예시 외에, 본 발명은 각각의 매립 영역이 자신의 설계 치수를 갖는 미정렬(misaligned) SOI/SON 층을 포함한다.
- <40> 이하, 도 1 및 도 2에 도시된 패터닝된 SOI/SON 복합 구조물을 제조하는데 사용되는 진보적인 프로세싱 단계를 상세히 설명한다. 먼저, 도 3a에 도시된 구조물을 참조한다. 특히, 도 3a에 도시된 구조물은 표면 영역에 다공성 Si(12)의 층을 갖는 반도체 웨이퍼 또는 기관(10)을 포함한다. "웨이퍼" 및 "기관"이라는 용어는 본 애플리케이션에서 상호 교환적으로 사용된다. 반도체 웨이퍼는 일반적으로 임의의 소망 크기를 갖는 Si 함유 반도체 재료이다. 반도체 웨이퍼는, 필수적인 것은 아니지만, 바람직하게 p형 도핑 원자로 도핑된다. 붕소 도핑 p형 웨이퍼가 채용되면, 웨이퍼의 도펀트 농도는 일반적으로 약 $1E15$ 내지 약 $1E19$ atoms/cm³, 더 바람직하게는 약 $5E17$ 내지 $1E19$ atoms/cm³이다.
- <41> 다공성 Si 층(12)은 약 100 nm 내지 약 2 μ m의 두께, 더 바람직하게는 약 500 nm 내지 1 μ m의 두께를 갖는 박층이다. 다공성 Si 층(12)의 다공도는 약 5 내지 약 70%, 바람직하게는 약 10 내지 약 40%이다. 다공성 Si 층은 일반적으로 반도체 웨이퍼(10)의 상부 표면 영역 또는 그 아래에 형성된다.
- <42> 다공성 Si 층(12)은 HF 함유 용액에서 수행되는 양극 산화 처리 기술을 이용하여 형성된다. "HF 함유 용액"이라는 용어는 탄화수소, 알코올 및 물 등의 전해질과 HF의 혼합물을 지칭한다. 본 발명에서 채용되는 바람직한 전해질은 응집된 HF (49 wt% HF + 51 wt% H₂O)이다. 양극 산화 처리 프로세스는, 웨이퍼가 침지되고 양으로 바이어스되는 HF 함유 베스(bath)에서 수행된다. 베스는 또한 음으로 바이어스되는 전극을 포함한다.
- <43> HF 양극 산화 처리는 예를 들어, 다공성 Si 및, 예를 들어, Ge 및 GaAs 등의 다른 다공성 반도체를 형성하는 공지된 기술이다. 다양한 HF 농도, 전류 및 전압 레벨, 웨이퍼의 도핑 유형(n 및 p형) 및 도펀트 농도 및 양극 산화 처리 시간을 포함하는 적절한 실험에 의해, 특정한 소망의 다공성 층 구조물에 적합한 양극 산화 처리 파라미터의 방법을 얻을 수 있다. 본 발명에서는, 웨이퍼의 표면적 전체에 걸쳐 균일한 밀도의 전류의 흐름을 허용하도록 설계되는 한, 임의의 공지된 양극 산화 처리 장치가 다공성 Si 층을 형성하는데 채용될 수 있다.
- <44> 본 발명에 따르면, 상술한 다공도를 달성하기 위하여, HF 양극 산화 처리는 100% 전해질에서 약 25 내지 약 50 wt%의 HF 농도, 더 바람직하게는 100% 전해질에서 약 40 내지 약 50 %의 HF 농도를 이용하여 수행된다. 양극 산화 처리는 전류 흐름에 의해 구동되므로, 전류는 통상 양극 산화 처리 동안 소망의 밀도값에서 일정하게 설정된다. 양극 산화 처리 프로세스 동안 채용된 일정한 전류 밀도는 약 0.1 내지 약 20 mA/cm², 더 바람직하게는 약 1 내지 약 2 mA/cm²이다. Si 웨이퍼의 유형 및 도핑 밀도에 의존하여, 양극 산화 처리 동안 전류 밀도를 구동하는데 필요한 전압은 일반적으로 약 0.1 내지 약 10 볼트, 더 바람직하게는 0.5 내지 5 볼트이다. 양극 산화 처리는 일반적으로 약 실온에서 약 30초 내지 약 10분의 기간동안, 더 바람직하게는 약 1 내지 약 5분의 기간 동안, 수행된다.
- <45> 양극 산화 처리 후에, 다공성 Si 층을 함유하는 구조물은 상승된 온도에서 수소 분위기에서 선택적으로 단시간 어닐링되어 다공성 Si 표면 상에서 실질적으로 개구 기공을 제거할 수 있다. 특히, 선택적 수소 어닐은 약 10 분 내지 약 2 시간의 기간 동안 약 800 °C 내지 약 1100 °C의 온도에서 수행된다. 특히, 선택적 수소 어닐은 약 30 분 내지 약 1 시간의 기간 동안 약 850 °C 내지 900 °C에서 수행된다. 수소 어닐은 통상 순수 100% 수소를 이용하여 수행된다. 그러나, 필요하면, 수소가 He, Ar 또는 Xe 등의 불활성 가스 또는 그 혼합물이 혼합될 수 있다. 가스 혼합물 내의 수소의 양은 일반적으로 약 50 내지 약 100%이다. 이 선택적 사전 어닐링 단계 동안 사용된 수소의 압력은 일반적으로 약 10 내지 약 760 Torr이다.
- <46> 수소 어닐링은 개구 표면 기공을 실질적으로 제거하도록 하는 Si 원자의 표면 이동을 유도하는 것으로 알려져 있다. 그러나, 상승된 온도에서, 벌크 내의 기공은 더 큰 기공으로 유착되어 표면 에너지를 최소화한다. 그러므로, 수소 어닐링 프로세스가 본 발명에 이용되는 경우, 수소 어닐링 프로세스가 너무 높은 온도에서 장기간 수행되지 않아야 한다.
- <47> 다음으로, 도 3b에 도시된 바와 같이, 에피-Si(epi-Si) 층(14)이 저결함 에피-Si 층을 성장시킬 수 있는 증착 방법을 이용하여 다공성 Si 층(12)상에 형성된다. 본 발명에서 채용될 수 있는 적절한 증착 방법의 예는 화학적

기상 증착(CVD), 플라즈마 지원 CVD 및 분자 빔 에피택셜 증착을 포함하지만, 이에 한정되는 것은 아니다. 일반적으로 단결정 구조물을 갖는 에피-Si 층의 두께는 약 100 nm 내지 약 1 μm 이고, 더 바람직하게는 약 400 내지 약 600 nm이다. 인터페이스(13)가 다공성 Si 층 및 에피-Si 층(14) 사이에 존재한다.

<48> 본 발명의 일 실시예에서, 실리콘 산화물, 실리콘 질화물, 포토레지스트 또는 그 임의의 조합의 종래의 마스크 재료가 저온 CVD 및 스핀-온 코팅(spin-on coating) 등의 종래의 증착 프로세스를 이용하여 에피-Si 층(14)의 상면에 도포될 수 있고, 그 후, 종래의 리소그래피가 에피-Si 층(14)의 하부면을 노출하는 하나 이상의 개구(20)를 갖는 패터닝된 마스크(18)에 사용된다. 패터닝된 마스크와 하나 이상의 개구를 포함하는 결과적인 구조물은 예를 들어 도 3c에 도시된다. 본 발명의 이 단계에서 사각 단면 패턴이 형성된다. 실리콘 이산화물 및 실리콘 질화물의 경우, 리소그래피 단계는, 포토레지스트를 증착하고, 방사의 패턴으로 포토레지스트를 노광하고, 종래의 레지스트 현상제를 이용하여 노광된 포토레지스트를 현상하는 것을 포함한다.

<49> 후속의 이온 주입 단계 동안 차단된 영역에 이온이 주입되는 것을 방지(즉, 차단)할 수 있는 한, 패터닝된 마스크의 두께가 변할 수 있다. 일반적으로, 마스크의 두께는 약 500 nm 이상이고, 더 바람직하게는 약 1 내지 약 3 μm 일 수 있다.

<50> 다음으로, 도 3d에 도시된 바와 같이, 산소 이온(22)이 개구(20)를 통해 구조물 내로 균일하게 주입되어 인터페이스(13) 및 그 부근에 산소 주입 영역(24)을 형성한다. 특히, 산소 주입 영역은 에피-Si/다공성 Si 인터페이스 및 그보다 약간 아래에서 주입의 피크 농도가 되도록 형성된다. 패터닝된 마스크가 존재하는 영역에서, 주입된 산소 이온이 패터닝된 마스크 내에서 정지하고 하부의 에피-Si 층으로 침투하지 않는다. 역으로, 마스크가 존재하지 않는 영역에서는 주입된 산소 이온이 구조물로 침투한다.

<51> 산소 주입은 임의의 종래 이온 주입 장치를 이용하여 형성될 수 있고 임의의 종래 이온 주입 조건이 본 발명에서 채용될 수 있다. 예를 들어, 산소 이온 주입은 약 $1\text{E}16$ 내지 약 $2\text{E}18$ atoms/ cm^2 의 산소 이온 도즈량, 약 50 KeV 내지 약 10 MeV의 주입 에너지, 약 0.05 내지 약 500 mA/ cm^2 의 이온 빔 전류 밀도 및 약 480 $^{\circ}\text{C}$ 내지 약 650 $^{\circ}\text{C}$ 의 주입 온도를 이용하여 수행될 수 있다. 더 바람직하게, 산소 이온 주입은 약 $5\text{E}16$ 내지 약 $2\text{E}17$ atoms/ cm^2 의 산소 이온 도즈량, 약 150 내지 약 300 KeV의 주입 에너지, 약 1.0 내지 약 10 mA/ cm^2 의 이온 빔 전류 밀도 및 약 550 $^{\circ}\text{C}$ 내지 약 600 $^{\circ}\text{C}$ 의 주입 온도를 이용하여 수행될 수 있다. 상술한 것 이외의 다른 이온 주입 조건이 또한 고려될 수 있다. 이 고온 주입 단계 후에 참고로 여기에 기재된 미국 특허 제5,930,643, 6,043,166 및 6,090,689 호에 기재된 실온 주입이 수행된다.

<52> 산소 이온은 단일 단계에서 주입되거나 다수의 이온 주입 단계가 채용될 수 있다. 주입은 연속적인 주입이거나 펄스 주입일 수 있다. 본 발명의 다른 실시예에서, 산소 이온은 후속의 고온 어닐링 프로세스를 수행할 때 구조물 내의 매립 절연 영역을 형성할 수 있는 질소 이온 또는 산소 및 질소 이온의 결합으로 대체된다. 질소 이온의 주입은 본 기술에 숙련된 자에게 잘 알려진 주입 조건을 포함하는 임의의 이온 주입 프로세스를 이용하여 수행된다.

<53> 본 발명의 다른 실시예에서, 주입된 이온은 Mo, Ta, W 및 Si와 합금될 때 약 1300 $^{\circ}\text{C}$ 보다 높은 공용 온도를 갖는 내화(refractory) 금속 등의 금속 이온이다. 이들 금속 이온은 이하에서 더 자세히 설명될 후속의 고온 어닐링 프로세스가 수행될 때 매립 도전 영역을 형성할 수 있다. 이 실시예에서, 교호하는 매립 도전 영역 및 보이드 평면을 포함하는 층이 형성될 수 있다.

<54> 주입 단계 후에, 패터닝된 마스크는 일반적으로 본 기술에 숙련된 자에게 잘 알려진 종래의 스트리핑(striping) 프로세스를 이용하여 구조물의 표면으로부터 제거된다. 다른 실시예에서, 패터닝된 마스크는 어닐링 프로세스가 수행된 후까지 제거되지 않는다. 그러나, 본 발명에서, 패터닝된 마스크는 어닐링 단계 이전에 제거되는 것이 바람직하다.

<55> 어닐링은, 예를 들어, 도 1에 도시된 구조물을 제공하도록 수행된다. 특히, 본 발명의 이 시점에 채용되는 어닐링 단계는, 산소 이온을 포함하지 않는 영역을 보이드 평면(26)으로 변형시키면서, 주입된 산소 영역(24)을 매립 산화물 영역(26)으로 변형시킬 수 있는 고온 어닐링이다. 영역(26 및 27) 상의 층은 Si 오버층(30)이다. 산소 이외의 다른 이온이 채용되면, 매립 산화물 영역 대신에 매립 절연 영역이 사용된다. 도전 이온이 채용되면, 매립 산화물 영역 대신에 매립 도전 영역이 형성된다.

<56> 이 매립 산화물/보이드 형성에 있어서, 다공성 Si가 소비되고 에피-Si 층이 표면 산화에 의해 얇게 될 수 있고, 그 결과, 표면 산화물이 제거될 때 본래의 에피-Si 층보다 훨씬 얇은 Si 오버층(30)이 얻어진다. 일부의 실시예에서, 도시되지 않았지만, 표면 산화물이 복합 구조물 상에 잔존한다.

- <57> 본 발명에 따르면, (매립 도전 영역뿐만 아니라) 매립 절연 영역은 주입된 이온과 다공성 Si 사이의 열적 상호 작용에 의해 형성된다. 보이드 평면은 기공 유착에 의해 형성된다. "보이드 평면"이라는 용어는 Si 오버층과 기 관 사이에 공기를 제외하고 어떠한 것도 존재하지 않는 갭을 지칭한다.
- <58> 고온 어닐링은 약 2 시간 이상의 기간 동안 약 1300 °C 이상이며 1415 °C의 Si 용융점 미만의 온도에서 수행된다. 더 바람직하게, 고온 어닐링 단계는 약 5 내지 약 10 시간의 기간 동안 약 1300 °C 내지 약 1350 °C 의 온도에서 수행된다. 고온 어닐링은 100% 순수 산소, 불활성 가스 또는 N₂ 또는 불활성 가스 및 N₂이 혼합된 산소, 불활성 가스 또는 N₂ 또는 그들의 혼합물, 또는 진공에서 수행될 수 있다. 산소 함유 혼합물이 채워지면, 산소는 일반적으로 약 0.25 내지 약 99.75%의 농도, 더 바람직하게는 약 2 내지 약 25%의 농도로 존재한다. 100%까지 이르기 위한 혼합물의 나머지는 불활성 가스, N₂, 또는 불활성가스 및 N₂이다.
- <59> 어닐링 단계는 단일 상승(ramp-up) 레이트 및 냉각(cool down) 레이트가 채용되는 연속적인 가열 방식을 이용하여 형성될 수 있다. 대안으로, 고온 어닐링 단계는 다양한 상승 레이트, 침액(soak) 및 냉각 레이트를 포함할 수 있다.
- <60> 고온 어닐링 단계 동안, 기관(10)에 존재하는 도펀트는 기관(10)으로부터 Si 오버층(30)으로 확산될 수 있다. Si 오버층(30)의 도핑 농도의 레벨이 너무 높으면, 주어진 디바이스 애플리케이션에 대하여, 도 1에 도시된 구조물이 후속 수소 어닐링 처리된다. 후속 수소 어닐링은 상술한 선택적 수소 어닐링과 같은 또는 다른 조건을 포함한다. 본 발명에서 채용될 수 있는 바람직한 후속 수소 어닐링은 1100 내지 1150 °C에서 저압(80 Torr 이하) 수소 분위기에서 0.25 내지 3 시간의 어닐링이다.
- <61> 본 발명의 일부의 실시예에서, 상기의 도 3a 내지 도 3d의 프로세싱 단계는 고온 어닐링을 수행하기 전에 반복 되어 예를 들어 도 2에 도시된 구조물을 제공할 수 있다.
- <62> 본 발명의 다른 실시예에서, 상기에서 제공된 보이드 평면은 본 기술에 숙련된 자에게 잘 알려진 프로세싱 단계를 이용하여 기체, 액체 또는 고체로 충전될 수 있다. 기체는 공기 이외의 기체이다.
- <63> 본 발명의 다른 실시예에서, 마스크를 도포하고 마스크를 패터닝하는 단계가 제거될 수 있다. 이 예에서, 이온 이 구조물의 소정의 면적에만 주입되는 선택적 이온 주입 프로세스가 사용될 수 있다.
- <64> 본 발명의 다른 실시예에서, HF 양극 산화 처리 단계는 기공 대신에 간극 또는 보이드를 형성하는 프로세스로 대체된다.
- <65> 본 발명의 다른 방법에서, 매립 보이드 평면만이 반도체 웨이퍼에 형성된다. 본 발명의 이 방법은 도 4a 내지 도 4d에 도시된다.
- <66> 도 4a는 반도체 웨이퍼(10)의 표면에 HF-저항 포토레지스트(18')의 패터닝된 마스크가 형성된 후의 구조물을 나타낸다. 패터닝된 포토레지스트는 상술한 프로세싱 단계를 이용하여 형성된다. 도식한 바와 같이, 패터닝된 포토레지스트(18')는 반도체 웨이퍼의 부분을 노출하는 하나 이상의 개구(20)를 갖는다.
- <67> 다음으로, 도 4b에 도시한 바와 같이, 다공성 Si 영역(12)이 상술한 HF 양극 산화 처리 프로세스를 이용하여 반도체 웨이퍼의 노출된 부분에 형성되고, 그 후, 패터닝된 포토레지스트가 제거되고, 다공성 Si 영역을 갖는 인터 페이스(13)를 형성하면서 에피-Si(14)가 다공성 Si 영역(12)을 포함하는 전체 구조물 상에 형성된다 (도 4c 참조). 에피-S가 상술한 증착 프로세스 중의 하나를 이용하여 형성된다.
- <68> 그 후, 도 4c에 도시된 구조물이 기공 유착에 의해 다공성 Si를 매립 보이드 평면(27)로 변형시키도록 하는 상승된 온도에서 어닐링된다. 고온 어닐링은 상술한 조건을 포함한다. 그 결과의 구조물은 예를 들어 도 4d에 도시된다. 보이드 평면은 상술한 바와 같이 기체, 액체 또는 고체로 충전될 수 있다. 또한, 어닐링 전에 도 4a 내지 도 4c에 도시된 프로세싱 단계를 반복함으로써 보이드 평면의 다수층이 형성될 수 있다.
- <69> 본 발명의 다른 실시예에서, 고온 어닐링을 수행하기 전에 도 3a 내지 도 3d 및 도 4a 내지 도 4c의 프로세싱 단계가 임의의 횟수 반복되어 매립 절연 영역, 도전 영역 및 보이드 평면을 포함하는 반도체 복합 구조물을 제공할 수 있다.
- <70> 가능하면, 도 2의 매립 절연 영역, 도전 영역 및 보이드 평면은 비어홀을 통해 표면에 접속되고 서로 접속될 수 있다. 비어홀은 절연 재료 또는 도전 재료로 충전되거나 보이드로서 남을 수도 있다. 비어홀을 형성하고 비어홀을 절연 또는 도전 재료로 채우는 방법 및 프로세싱 단계는 본 기술에 숙련된 자에게 자명하다.

<71> 본 발명은 바람직한 실시예를 참조하여 설명하였지만, 본 기술 분야의 통상의 지식을 가진 자라면 본 발명의 사상과 범위를 벗어나지 않는 한도 내에서 다양 변형이 가능하다는 것을 이해할 것이다. 따라서, 본 발명은 상술한 형태 및 세부 사항으로 한정되는 것은 아니며, 본 발명은 첨부된 도면의 사상과 범위 내에 있다.

도면의 간단한 설명

<28> 도 1은 본 발명의 진보적인 패터닝된 SOI/SON 복합 구조물을 나타내는 도면(단면도)이다. 패터닝된 SOI 및 SON의 단일층이 도시된다.

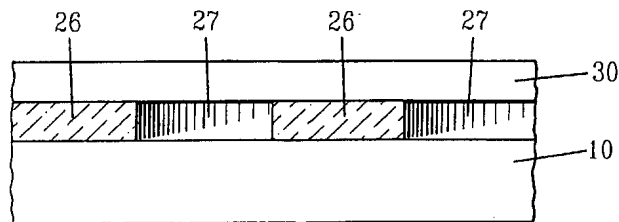
<29> 도 2는 본 발명의 진보적인 패터닝된 SOI/SON 복합 구조물을 나타내는 도면(단면도)이다. 패터닝된 SOI 및 SON의 다수층이 도시된다.

<30> 도 3a 내지 3d는 도 1에 도시된 구조물을 형성하는 데 사용되는 본 발명의 기본 프로세싱 단계를 나타내는 도면(단면도)이다. 이들 도면에서, 포함되지 않지만 어닐링 단계까지의 프로세싱 단계가 도시된다.

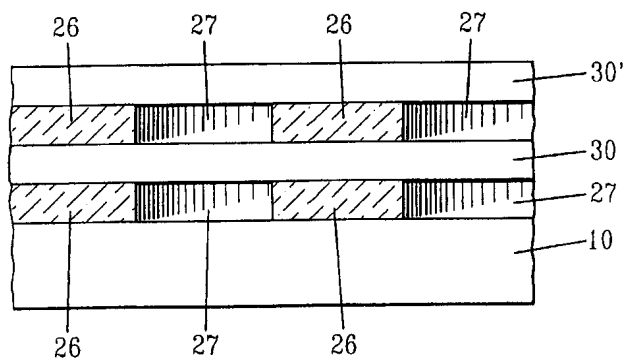
<31> 도 4a 내지 도 4d는 본 발명의 다른 방법을 나타내는 도면(단면도)이다.

도면

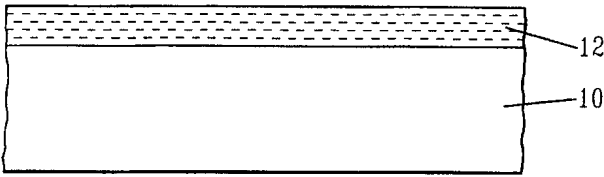
도면1



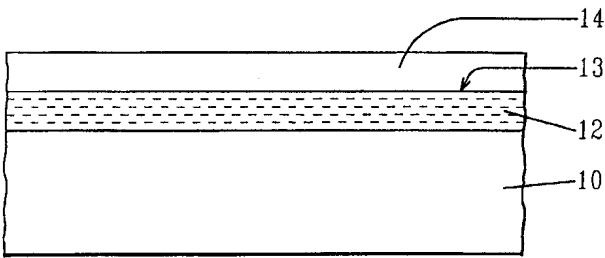
도면2



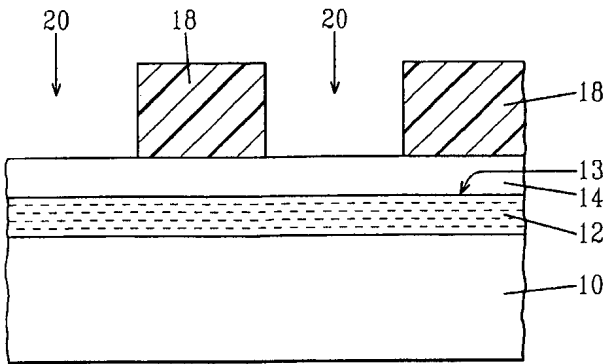
도면3a



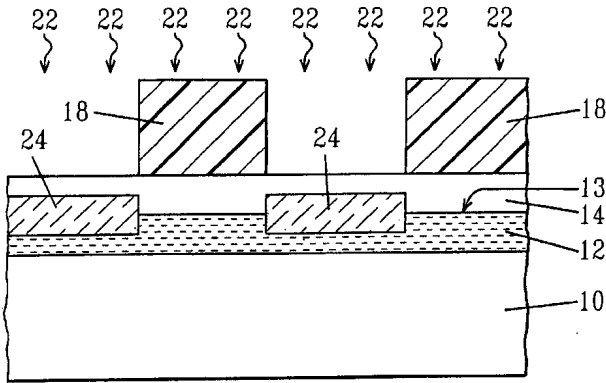
도면3b



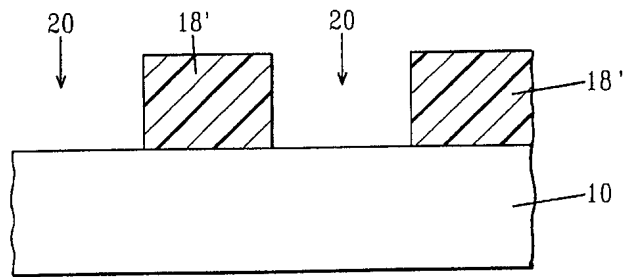
도면3c



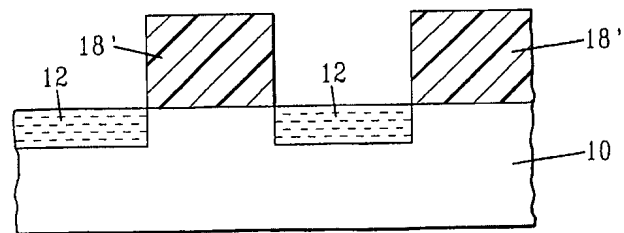
도면3d



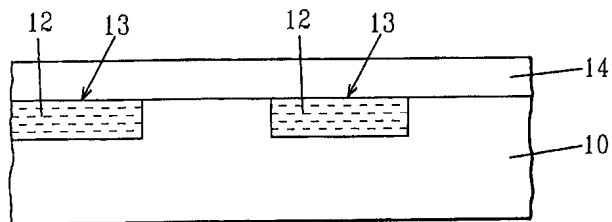
도면4a



도면4b



도면4c



도면4d

