

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(43) 국제공개일
2010년 12월 16일 (16.12.2010)

PCT

(10) 국제공개번호
WO 2010/143770 A1

(51) 국제특허분류:
H01L 27/115 (2006.01)

(21) 국제출원번호: PCT/KR2009/003506

(22) 국제출원일: 2009년 6월 29일 (29.06.2009)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2009-0051660 2009년 6월 10일 (10.06.2009) KR

(71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): **고려대학교 산학 협력단 (KOREA UNIVERSITY INDUSTRIAL & ACADEMIC COLLABORATION FOUNDATION)** [KR/KR]; 서울 성북구 안암동 1-5가, 136-701 Seoul (KR). **안호명 (AN, Ho-Myoung)** [KR/KR]; 서울 송파구 풍납동 277-5, 202호, 138-040 Seoul (KR).

(72) 발명자; 겸

(75) 발명자/출원인 (US 에 한하여): **김태근 (KIM, Tae-Geun)** [KR/KR]; 성남 분당구 이매동 122 금강아파트 103-1301, 463-060 Seoungnam (KR). **서유정 (SEO, Yu-Jeong)** [KR/KR]; 서울 동대문구 제기동 146-25, 1-2호, 130-060 Seoul (KR).

(74) 대리인: **전종일 (JEON, Jong-Il)**; 서울 강남구 역삼동 635-4 한국과학기술회관 703, 135-703 Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

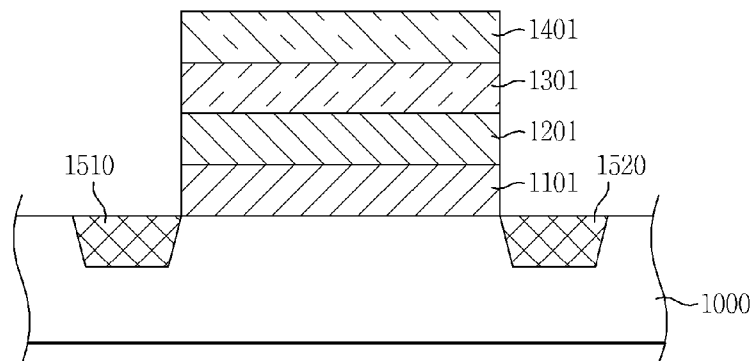
공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: MULTIFUNCTION NONVOLATILE FUSION MEMORY DEVICE AND FABRICATION METHOD THEREOF

(54) 발명의 명칭: 멀티 펄스 비휘발성 퓨전 메모리 소자 및 그의 제조 방법

[Fig. 1]



(57) Abstract: A multifunction nonvolatile fusion memory device according to one embodiment of the present invention comprises: a semiconductor substrate; a first resistance change region which is formed on the semiconductor substrate; an electric charge capture region which is formed on the first resistance change region; a second resistance change region which is formed on the electric charge capture region; a gate which is formed on the second resistance change region; and a source and a drain which are separated from each other within the semiconductor substrate.

(57) 요약서: 본 발명의 일 실시예에 따른 멀티 펄스 비휘발성 퓨전 메모리 소자는 반도체 기판, 반도체 기판 상에 형성된 제 1 저항 변화 영역, 제 1 저항 변화 영역 상에 형성된 전하 포획 영역, 전하 포획 영역 상에 형성된 제 2 저항 변화 영역, 제 2 저항 변화 영역 상에 형성된 게이트 및 반도체 기판 내에 서로 분리되어 형성된 소오스와 드레인을 포함한다.



WO 2010/143770 A1

명세서

멀티 평선 비휘발성 퓨전 메모리 소자 및 그의 제조 방법

기술분야

- [1] 본 발명은 멀티 평선 비휘발성 퓨전 메모리 소자 및 그의 제조 방법에 관한 것으로서, 보다 상세하게는 저항 변화 영역과 전하 포획 영역을 형성함으로써, 우수한 저장 능력과 고속 저장 동작이 가능한 멀티 평선 비휘발성 퓨전 메모리 소자 및 그의 제조 방법에 관한 것이다.

배경기술

- [2] 언제 어디서나 하고 싶은 일을 할 수 있는 유비쿼터스(Ubiquitous) 시대가 도래함에 따라, 다양한 기능을 동시에 구현할 수 있는 디지털 정보 기기에 대한 수요가 폭발적으로 증가되고 있다.
- [3] 이러한 디지털 정보 기기에 이용되는 메모리 또한 다양한 기능을 구현하도록 우수한 저장 능력과 고속 저장 동작이 요구되고 있다.
- [4] 그런데, 종래의 메모리는 우수한 저장 능력을 가지는 경우에는 저장 동작 속도가 느리거나, 고속 저장 동작이 가능한 경우에는 저장 능력이 저하되는 문제점이 있었다.

발명의 상세한 설명

기술적 과제

- [5] 따라서 본 발명은 종래 기술의 문제점을 해결하기 위하여 안출된 것으로, 본 발명이 이루고자 하는 기술적 과제는, 저항 변화 영역과 전하 포획 영역을 형성함으로써, 우수한 저장 능력과 고속 저장 동작이 가능한 멀티 평선 비휘발성 퓨전 메모리 소자를 제공하는 것이다.
- [6] 본 발명이 이루고자 하는 다른 기술적 과제는 상술한 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법을 제공하는 것이다.
- [7] 본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

기술적 해결방법

- [8] 상기와 같은 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 반도체 기판, 상기 반도체 기판 상에 형성된 제 1 저항 변화 영역, 상기 제 1 저항 변화 영역 상에 형성된 전하 포획 영역, 상기 전하 포획 영역 상에 형성된 제 2 저항 변화 영역, 상기 제 2 저항 변화 영역 상에 형성된 게이트 및 상기 반도체 기판 내에 서로 분리되어 형성된 소오스와 드레인을 포함한다.
- [9] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 상기 제 1

- 저항 변화 영역이 페로브스카이트계 산화물로 형성된 것이 바람직하다.
- [10] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 상기 제 1 저항 변화 영역이 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성된 것이 바람직하다.
- [11] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 상기 제 1 저항 변화 영역이 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성된 것이 바람직하다.
- [12] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 상기 전하 포획 영역이 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성된 것이 바람직하다.
- [13] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 상기 전하 포획 영역이 실리콘질화막 또는 비정질 폴리 실리콘으로 형성된 것이 바람직하다.
- [14] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 상기 제 2 저항 변화 영역이 페로브스카이트계 산화물로 형성된 것이 바람직하다.
- [15] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 상기 제 2 저항 변화 영역이 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성된 것이 바람직하다.
- [16] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 상기 제 2 저항 변화 영역이 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성된 것이 바람직하다.
- [17] 상기와 같은 다른 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 반도체 기판 상에 제 1 저항 변화층을 형성하는 단계, 상기 제 1 저항 변화층 상에 전하 포획층을 형성하는 단계, 상기 전하 포획층 상에 제 2 저항 변화층을 형성하는 단계, 상기 제 2 저항 변화층 상에 게이트층을 형성하는 단계, 상기 제 1 저항 변화층, 상기 전하 포획층, 상기 제 2 저항 변화층, 상기 게이트층을 각각 식각하여 제 1 저항 변화 영역, 제 전하 포획 영역, 제 2 저항 변화 영역, 게이트를 형성하는 단계 및 상기 반도체 기판 내에 서로 분리하여 소오스와 드레인을 형성하는 단계를 포함한다.
- [18] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 상기 제 1 저항 변화층을 형성하는 단계에서, 상기 제 1 저항 변화층을 페로브스카이트계 산화물로 형성하는 것이 바람직하다.
- [19] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 상기 제 1 저항 변화층을 형성하는 단계에서, 상기 제 1 저항 변화층을 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성하는 것이 바람직하다.
- [20] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 상기 제 1 저항층 변화층을 형성하는 단계에서, 상기 제 1 저항 변화층을 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성하는 것이 바람직하다.
- [21] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 상기 전하 포획층을 형성하는 단계에서, 상기 전하 포획층을 금속 나노

크리스탈 또는 반도체 나노 크리스탈로 형성하는 것이 바람직하다.

- [22] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 상기 전하 포획층을 형성하는 단계에서, 상기 전하 포획층을 실리콘질화막 또는 비정질 폴리 실리콘으로 형성하는 것이 바람직하다.
- [23] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 상기 제 2 저항 변화층을 형성하는 단계에서, 상기 제 2 저항 변화층을 페로브스카이트계 산화물로 형성하는 것이 바람직하다.
- [24] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 상기 제 2 저항 변화층을 형성하는 단계에서, 상기 제 2 저항 변화층을 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성하는 것이 바람직하다.
- [25] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 상기 제 2 저항층 변화층을 형성하는 단계에서, 상기 제 2 저항 변화층을 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성하는 것이 바람직하다.

유리한 효과

- [26] 본 발명의 실시예들에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 저항 변화 영역과 전하 포획 영역을 형성함으로써, 저장 능력이 우수하면서도 고속 저장 동작이 가능하다.
- [27] 본 발명의 실시예들에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법은 상술한 멀티 평선 비휘발성 퓨전 메모리 소자를 용이하게 제조할 수 있다.

도면의 간단한 설명

- [28] 도 1은 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 단면도.
- [29] 도 2 내지 도 4는 도 1의 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 공정 단면도들.

발명의 실시를 위한 최선의 형태

- [30] 이하 첨부된 도면을 참조로 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다. 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다. 본 발명의 장점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [31] 도 1은 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자의 단면도이다.
- [32] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 도 1에 도시된 것처럼, 반도체 기판(1000), 제 1 저항 변화 영역(1101), 전하 포획 영역(1201), 제 2 저항 변화 영역(1301), 게이트(1401) 및 소오스(1510)와 드레인(1520)을 포함하여 구성될 수 있다.

- [33] 이러한 제 1 저항 변화 영역(1101)은 반도체 기판(1000) 상에 페로브스카이트계 산화물로 형성되며, 구체적으로 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성될 수 있다.
- [34] 한편, 제 1 저항 변화 영역은(1101) 반도체 기판(1000) 상에 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성될 수 있다.
- [35] 또한, 전하 포획 영역(1201)은 제 1 저항 변화 영역(1101) 상에 형성되며, 구체적으로 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성되거나, 실리콘질화막 또는 비정질 폴리 실리콘으로 형성될 수 있다.
- [36] 여기에서, 제 2 저항 변화 영역(1301)은 전하 포획 영역(1201) 상에 페로브스카이트계 산화물로 형성되며, 구체적으로 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성될 수 있다.
- [37] 한편, 제 2 저항 변화 영역은(1301) 전하 포획 영역(1201) 상에 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성될 수 있다.
- [38] 또한, 게이트(1401)는 제 2 저항 변화 영역(1301) 상에 형성되며, 비정질 폴리 실리콘이나 알루미늄 등의 금속 물질로 형성될 수 있다.
- [39] 한편, 소오스(1510)와 드레인(1520)은 반도체 기판(1000) 내에 형성되며 서로 분리되어 형성된다.
- [40] 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 제 1 저항 변화 영역(1101)과 제 2 저항 변화 영역(1301)이 저저항 상태일 경우와 고저항 상태일 경우에 제 1 저항 변화 영역(1101), 전하 포획 영역(1201), 제 2 저항 변화 영역(1301) 및 게이트(1401)를 따라서 흐르는 전류가 현저하게 차이가 있으므로, 이러한 저항 변화 메모리 동작을 이용하면, 데이터를 고속으로 기입하거나 소거할 수 있다.
- [41] 또한, 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 전하 포획 영역(1201)에 전하를 포획시키거나 소거함으로써, 데이터를 기입하거나 소거할 수 있으며, 전하 포획 영역(1201)에 데이터를 저장하는 경우에는 데이터 저장 능력이 매우 우수하다.
- [42] 한편, 본 발명의 일 실시예에 따른 멀티 평선 비휘발성 퓨전 메모리 소자는 제 1 저항 변화 영역(1101)을 통해서 전하 포획 영역(1201)에 전하를 전달할 수 있으므로, 종래의 터널링에 의해서 전하를 포획시키는 경우에 비해서 용이하게 전하를 포획시킬 수 있다.
- [43] 도 2 내지 도 4를 참조하여, 본 발명의 일 실시예에 따른 멀티 평선비휘발성 퓨전 메모리 소자의 제조 방법에 대해서 설명한다.
- [44] 먼저, 도 2에 도시된 것처럼, 반도체 기판(1000) 상에 화학 기상 증착(Chemical Vapor Deposition; CVD) 공정, 원자층 증착(Atomic Layer Deposition; ALD) 공정 또는 펄스 레이저 증착(Pulsed Laser Deposition; PLD) 공정 등으로 제 1 저항 변화층(1100)을 형성한다.
- [45] 이러한 제 1 저항 변화층(1100)은 페로브스카이트계 산화물로 형성되며,

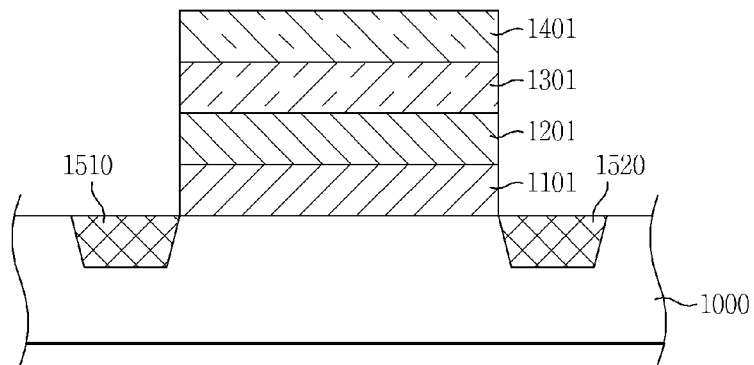
- 구체적으로 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성될 수 있다.
- [46] 한편, 제 1 저항 변화층은(1100) 반도체 기판(1000) 상에 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성될 수 있다.
- [47] 다음으로, 도 2에 도시된 것처럼, 제 1 저항 변화층(1100) 상에 화학 기상 증착(Chemical Vapor Deposition; CVD) 공정, 원자층 증착(Atomic Layer Deposition; ALD) 공정 또는 펄스 레이저 증착(Pulsed Laser Deposition; PLD) 공정 등으로 전하 포획층(1200)을 형성한다.
- [48] 여기에서, 전하 포획층(1200)은 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성되거나, 실리콘질화막 또는 비정질 폴리 실리콘으로 형성될 수 있다.
- [49] 다음으로, 도 2에 도시된 것처럼, 전하 포획층(1200) 상에 화학 기상 증착(Chemical Vapor Deposition; CVD) 공정, 원자층 증착(Atomic Layer Deposition; ALD) 공정 또는 펄스 레이저 증착(Pulsed Laser Deposition; PLD) 공정 등으로 제 2 저항 변화층(1300)을 형성한다.
- [50] 이러한 제 2 저항 변화층(1300)은 페로브스카이트계 산화물로 형성되며, 구체적으로 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성될 수 있다.
- [51] 한편, 제 2 저항 변화층은(1300) 전하 포획층(1200) 상에 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성될 수 있다.
- [52] 다음으로, 도 2에 도시된 것처럼, 제 2 저항 변화층(1300) 상에 화학 기상 증착(Chemical Vapor Deposition; CVD) 공정 등으로 게이트층(1400)을 형성하며, 이러한 게이트층(1400)은 비정질 폴리 실리콘이나 알루미늄 등의 금속 물질로 형성될 수 있다.
- [53] 다음으로, 도 3에 도시된 것처럼, 제 1 저항 변화층(1100), 전하 포획층(1200), 제 2 저항 변화층(1300), 게이트층(1400)을 각각 식각하여 제 1 저항 변화 영역(1101), 제 전하 포획 영역(1201), 제 2 저항 변화 영역(1301), 게이트(1401)를 형성한다.
- [54] 다음으로, 도 4에 도시된 것처럼, 불순물을 이온 주입 공정으로 주입하여 반도체 기판(1000) 내에 서로 분리하여 소오스(1510)와 드레인(1520)을 형성한다.
- [55] 이상, 본 발명을 본 발명의 원리를 예시하기 위한 바람직한 실시예와 관련하여 설명하고 도시하였지만, 본 발명은 그와 같이 도시되고 설명된 그대로의 구성 및 작용으로 한정되는 것이 아니다.
- [56] 오히려, 첨부된 청구범위의 사상 및 범주를 일탈함이 없이 본 발명에 대한 다수의 변경 및 수정이 가능함을 당업자들은 잘 이해할 수 있을 것이다.
- [57] 따라서, 그러한 모든 적절한 변경 및 수정과 균등물들도 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

청구범위

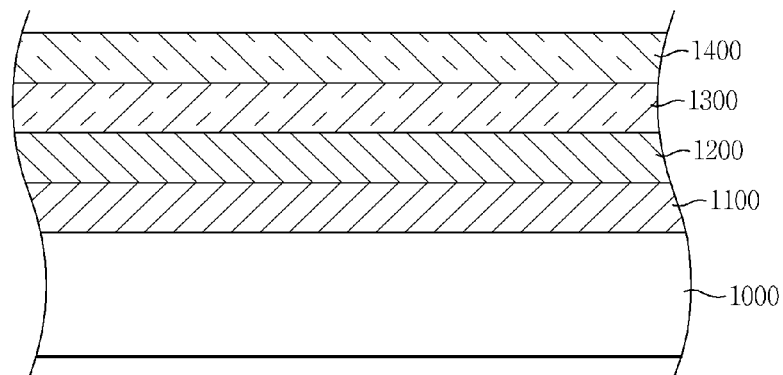
- [1] 반도체 기판;
상기 반도체 기판 상에 형성된 제 1 저항 변화 영역;
상기 제 1 저항 변화 영역 상에 형성된 전하 포획 영역;
상기 전하 포획 영역 상에 형성된 제 2 저항 변화 영역;
상기 제 2 저항 변화 영역 상에 형성된 게이트; 및
상기 반도체 기판 내에 서로 분리되어 형성된 소오스와 드레인을 포함하는
멀티 평선 비휘발성 퓨전 메모리 소자.
- [2] 제 1 항에 있어서, 상기 제 1 저항 변화 영역은 페로브스카이트계 산화물로
형성된 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자.
- [3] 제 2 항에 있어서, 상기 제 1 저항 변화 영역은 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 ,
 SrTiO_3 , 또는 SrZrO_3 로 형성된 것을 특징으로 하는 멀티 평선 비휘발성 퓨전
메모리 소자.
- [4] 제 1 항에 있어서, 상기 제 1 저항 변화 영역은 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3
로 형성된 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자.
- [5] 제 1 항에 있어서, 상기 전하 포획 영역은 금속 나노 크리스탈 또는 반도체
나노 크리스탈로 형성된 것을 특징으로 하는 멀티 평선 비휘발성 퓨전
메모리 소자.
- [6] 제 1 항에 있어서, 상기 전하 포획 영역은 실리콘질화막 또는 비정질 폴리
실리콘으로 형성된 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리
소자.
- [7] 제 1 항에 있어서, 상기 제 2 저항 변화 영역은 페로브스카이트계 산화물로
형성된 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자.
- [8] 제 7 항에 있어서, 상기 제 2 저항 변화 영역은 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 ,
 SrTiO_3 , 또는 SrZrO_3 로 형성된 것을 특징으로 하는 멀티 평선 비휘발성 퓨전
메모리 소자.
- [9] 제 1 항에 있어서, 상기 제 2 저항 변화 영역은 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3
로 형성된 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자.
- [10] 반도체 기판 상에 제 1 저항 변화층을 형성하는 단계;
상기 제 1 저항 변화층 상에 전하 포획층을 형성하는 단계;
상기 전하 포획층 상에 제 2 저항 변화층을 형성하는 단계;
상기 제 2 저항 변화층 상에 게이트층을 형성하는 단계;
상기 제 1 저항 변화층, 상기 전하 포획층, 상기 제 2 저항 변화층, 상기
게이트층을 각각 식각하여 제 1 저항 변화 영역, 제 전하 포획 영역, 제 2
저항 변화 영역, 게이트를 형성하는 단계; 및
상기 반도체 기판 내에 서로 분리하여 소오스와 드레인을 형성하는 단계를
포함하는 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법.

- [11] 제 10 항에 있어서, 상기 제 1 저항 변화층을 형성하는 단계에서, 상기 제 1 저항 변화층을 페로브스카이트계 산화물로 형성하는 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법.
- [12] 제 11 항에 있어서, 상기 제 1 저항 변화층을 형성하는 단계에서, 상기 제 1 저항 변화층을 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성하는 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법.
- [13] 제 10 항에 있어서, 상기 제 1 저항 변화층을 형성하는 단계에서, 상기 제 1 저항 변화층을 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성하는 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법.
- [14] 제 10 항에 있어서, 상기 전하 포획층을 형성하는 단계에서, 상기 전하 포획층을 금속 나노 크리스탈 또는 반도체 나노 크리스탈로 형성하는 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법.
- [15] 제 10 항에 있어서, 상기 전하 포획층을 형성하는 단계에서, 상기 전하 포획층을 실리콘질화막 또는 비정질 폴리 실리콘으로 형성하는 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법.
- [16] 제 10 항에 있어서, 상기 제 2 저항 변화층을 형성하는 단계에서, 상기 제 2 저항 변화층을 페로브스카이트계 산화물로 형성하는 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법.
- [17] 제 16 항에 있어서, 상기 제 2 저항 변화층을 형성하는 단계에서, 상기 제 2 저항 변화층을 PbZrTiO_3 , PrCaMnO_3 , BaTiO_3 , SrTiO_3 , 또는 SrZrO_3 로 형성하는 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법.
- [18] 제 10 항에 있어서, 상기 제 2 저항 변화층을 형성하는 단계에서, 상기 제 2 저항 변화층을 Nb_2O_5 , TiO_2 , NiO 또는 Al_2O_3 로 형성하는 것을 특징으로 하는 멀티 평선 비휘발성 퓨전 메모리 소자의 제조 방법.

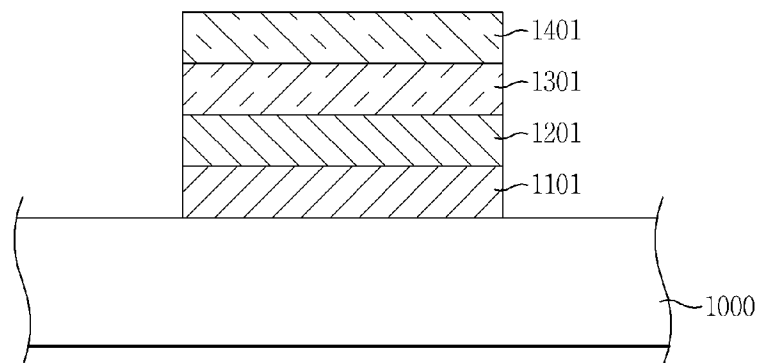
[Fig. 1]



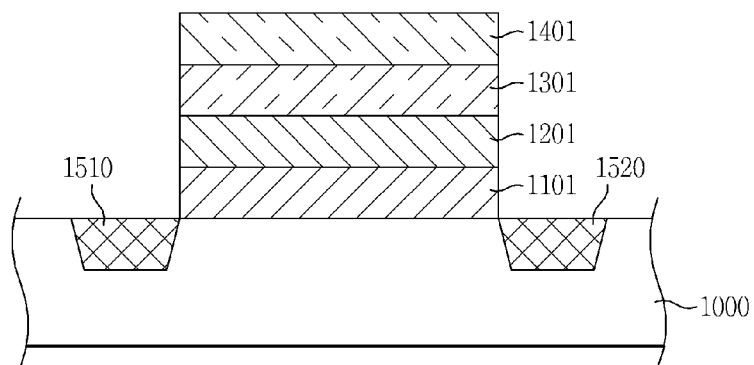
[Fig. 2]



[Fig. 3]



[Fig. 4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2009/003506**A. CLASSIFICATION OF SUBJECT MATTER****H01L 27/115(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/115; G11C 16/04; H01L 21/8247; H01L 27/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: "non-volatile memory", "variable resistance"

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-0890212 B1 (KOREA UNIVERSITY INDUSTRIAL & ACADEMIC COLLABORATION FOUNDATION) 25 March 2009 See abstract, paragraphs [0039]-[0064], claims 1-26 and figures 1-8c.	1-18
A	KR 10-1998-0033143 A (TEXAS INSTRUMENTS INCORPORATED) 25 July 1998 See abstract, claims 1-21 and figures 1-7.	1-18
A	KR 10-0862216 B1 (KOREA ADVANCED INSTITUTE OF SCIENCE AND TECHNOLOGY) 09 October 2008 See abstract, claims 1-16 and figures 1-7.	1-18
A	US 2005-0219901 A1 (TERRY GILTON) 06 October 2005 See abstract, paragraphs [0023]-[0043] and figures 3-7.	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"I" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

07 JULY 2010 (07.07.2010)

Date of mailing of the international search report

08 JULY 2010 (08.07.2010)

Name and mailing address of the ISA/

 Korean Intellectual Property Office
Government Complex-Daejeon, 139 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2009/003506

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
KR 10-0890212 B1	25.03.2009	NONE	
KR 10-1998-0033143 A	25.07.1998	NONE	
KR 10-0862216 B1	09.10.2008	NONE	
US 2005-0219901 A1	06.10.2005	US 2005-0056910 A1	17.03.2005
		US 2005-0059187 A1	17.03.2005
		US 2005-056910 A1	17.03.2005
		US 2005-059187 A1	17.03.2005
		US 2005-219901 A1	06.10.2005
		US 2007-0297231 A1	27.12.2007
		US 2007-297231 A1	27.12.2007
		US 6903361 B2	07.06.2005
		US 6946347 B2	20.09.2005
		US 7276722 B2	02.10.2007
		US 7491963 B2	17.02.2009

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 27/115(2006.01)i																	
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 27/115; G11C 16/04; H01L 21/8247; H01L 27/12 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: "비휘발성 메모리", "가변 저항"																	
C. 관련 문헌 <table border="1"> <thead> <tr> <th>카테고리*</th> <th>인용문헌명 및 관련 구절(해당하는 경우)의 기재</th> <th>관련 청구항</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>KR 10-0890212 B1 (고려대학교 산학협력단) 2009.03.25 요약, 문단 [0039]-[0064], 청구항 1-26 및 도면 1-8c 참조.</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>KR 10-1998-0033143 A (텍사스인스트루먼트인코포레이티드) 1998.07.25 요약, 청구항 1-21 및 도면 1-7 참조.</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>KR 10-0862216 B1 (한국과학기술원) 2008.10.09 요약, 청구항 1-16 및 도면 1-7 참조.</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>US 2005-0219901 A1 (TERRY GILTON) 2005.10.06 요약, 문단 [0023]-[0043] 및 도면 3-7 참조.</td> <td>1-18</td> </tr> </tbody> </table>			카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항	A	KR 10-0890212 B1 (고려대학교 산학협력단) 2009.03.25 요약, 문단 [0039]-[0064], 청구항 1-26 및 도면 1-8c 참조.	1-18	A	KR 10-1998-0033143 A (텍사스인스트루먼트인코포레이티드) 1998.07.25 요약, 청구항 1-21 및 도면 1-7 참조.	1-18	A	KR 10-0862216 B1 (한국과학기술원) 2008.10.09 요약, 청구항 1-16 및 도면 1-7 참조.	1-18	A	US 2005-0219901 A1 (TERRY GILTON) 2005.10.06 요약, 문단 [0023]-[0043] 및 도면 3-7 참조.	1-18
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항															
A	KR 10-0890212 B1 (고려대학교 산학협력단) 2009.03.25 요약, 문단 [0039]-[0064], 청구항 1-26 및 도면 1-8c 참조.	1-18															
A	KR 10-1998-0033143 A (텍사스인스트루먼트인코포레이티드) 1998.07.25 요약, 청구항 1-21 및 도면 1-7 참조.	1-18															
A	KR 10-0862216 B1 (한국과학기술원) 2008.10.09 요약, 청구항 1-16 및 도면 1-7 참조.	1-18															
A	US 2005-0219901 A1 (TERRY GILTON) 2005.10.06 요약, 문단 [0023]-[0043] 및 도면 3-7 참조.	1-18															
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.																	
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌																	
국제조사의 실제 완료일 2010년 07월 07일 (07.07.2010)		국제조사보고서 발송일 2010년 07월 08일 (08.07.2010)															
ISA/KR의 명칭 및 우편주소  대한민국 특허청 (302-701) 대전광역시 서구 선사로 139, 정부대전청사 팩스 번호 82-42-472-7140		심사관 이규재 전화번호 82-42-481-8512 															

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-0890212 B1	2009.03.25	없음	
KR 10-1998-0033143 A	1998.07.25	없음	
KR 10-0862216 B1	2008.10.09	없음	
US 2005-0219901 A1	2005.10.06	US 2005-0056910 A1	2005.03.17
		US 2005-0059187 A1	2005.03.17
		US 2005-056910 A1	2005.03.17
		US 2005-059187 A1	2005.03.17
		US 2005-219901 A1	2005.10.06
		US 2007-0297231 A1	2007.12.27
		US 2007-297231 A1	2007.12.27
		US 6903361 B2	2005.06.07
		US 6946347 B2	2005.09.20
		US 7276722 B2	2007.10.02
		US 7491963 B2	2009.02.17