



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월09일  
(11) 등록번호 10-0828790  
(24) 등록일자 2008년05월02일

(51) Int. Cl.

H01L 29/78 (2006.01)

(21) 출원번호 10-2001-0063328

(22) 출원일자 2001년10월15일

심사청구일자 2006년10월11일

(65) 공개번호 10-2002-0033409

(43) 공개일자 2002년05월06일

(30) 우선권주장

JP-P-2001-00219666 2001년07월19일 일본(JP)

JP-P-2000-00317345 2000년10월18일 일본(JP)

(56) 선행기술조사문헌

JP03171672 A

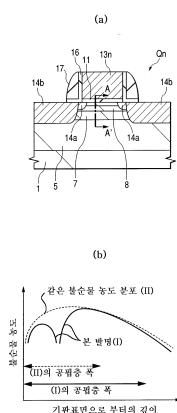
(뒷면에 계속)

전체 청구항 수 : 총 18 항

(54) 반도체장치 및 그 제조방법

**(57) 요 약**

본 발명의 과제는 단채널 MISFET에서, 문턱치전압의 흐트러짐을 억제하고 스위칭속도의 향상을 도모할 수 있는 기술을 제공하는 것이다. MISFET의 채널영역 아래의 기판(1)의 모든 면에 편치스루를 방지하는 기능을 가지는, 불순물농도분포에 제1 피크를 가지는 p형 불순물층(7)과 불순물농도분포에 제2 피크를 가지는 p형 불순물층(8)을 형성한다. 이것에 의해, 포켓구조의 편치스루 스텁퍼층을 형성한 경우에 비하여 문턱치전압의 변동을 억제할 수 있다. 또한, 제어할 수 있는 공핍층의 폭이 상대적으로 커지기 때문에 서브스레쉬홀드 계수가 작게 되어, 문턱치전압의 저하를 방지할 수 있어 MISFET의 스위칭속도를 향상시킬 수 있다.

**대표도 - 도10**

(72) 발명자

**오오니시카즈히로**

일본국도료토치요다쿠마루노우치1초메5반1고신마루  
비루가부시키가이샤히타치세이사쿠쇼치테키자이산  
켄흔부나이

**와카하라쇼우지**

일본국도료토치요다쿠마루노우치1초메5반1고신마루  
비루가부시키가이샤히타치세이사쿠쇼치테키자이산  
켄흔부나이

---

(56) 선행기술조사문현

JP05259449 A

JP10189978 A

JP09121049 A

JP09266248 A

JP09266310 A

**특허청구의 범위**

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

MISFET을 가지는 반도체장치로서,

상기 MISFET는,

- (a) 반도체 기판에 형성된 제1 도전형의 웨파,
- (b) 상기 웨파에 형성된 게이트 절연막파,
- (c) 상기 게이트 절연막상에 형성된 게이트 전극파,
- (d) 상기 게이트 전극의 측벽에 형성된 사이드 월 스페이서와,
- (e) 상기 웨파에 형성된, 상기 제1 도전형과는 반대의 도전형인 제2 도전형의 소스·드레인 확장영역과,
- (f) 상기 웨파에 형성되고, 상기 소스·드레인 확장영역보다도 높은 불순물농도를 가지며, 또, 상기 소스·드레인 확장영역보다도 깊은 위치까지 형성된 상기 제2 도전형의 소스·드레인 확장영역을 가지며,

상기 MISFET는 상기 웨파에 형성된, 상기 제1 도전형의 제1 불순물층 및 상기 제1 도전형의 제2 불순물층을 더 가지며,

상기 제2 불순물층의 불순물 농도의 피크의 위치는, 상기 제1 불순물층의 불순물 농도의 피크의 위치보다도 얕고, 상기 MISFET의 채널영역보다도 깊은 위치에 형성되어 있고,

상기 제2 불순물층의 불순물 농도는, 상기 제1 불순물층의 불순물농도보다도 연하고, 상기 채널 영역의 불순물 농도보다도 진한 것을 특징으로 하는 반도체장치.

청구항 24

삭제

청구항 25

제23항에 있어서,

상기 제1 불순물층은 상기 소스·드레인 확장영역에 접해 있으며,

상기 제2 불순물층은 상기 소스·드레인 확장영역에 접해 있는 것을 특징으로 하는 반도체장치.

## 청구항 26

삭제

## 청구항 27

제23항에 있어서,

상기 제2 불순물층에 포함되는 원소의 질량은, 상기 제1 불순물층에 포함되는 원소의 질량보다도 무거운 것을 특징으로 하는 반도체장치.

## 청구항 28

제23항에 있어서,

상기 제1 도전형은 p형을 나타내는 도전형이며, 상기 제2 도전형은 n형을 나타내는 도전형인 것을 특징으로 하는 반도체장치.

## 청구항 29

제28항에 있어서,

상기 제2 불순물층에는 인듐(In)이 주입되어 있는 것을 특징으로 하는 반도체장치.

## 청구항 30

제23항에 있어서,

상기 제1 도전형은 n형을 나타내는 도전형이며, 상기 제2 도전형은 p형을 나타내는 도전형인 것을 특징으로 하는 반도체장치.

## 청구항 31

제30항에 있어서,

상기 제2 불순물층에는 비소(As)가 주입되어 있는 것을 특징으로 하는 반도체장치.

## 청구항 32

삭제

## 청구항 33

삭제

## 청구항 34

제23항에 있어서,

상기 반도체 기판은, 기판, 단결정 박막 및 상기 기판과 단결정 박막을 분리하는 절연층으로 구성되어 있으며,

상기 MISFET는, 상기 단결정 박막에 형성되어 있는 것을 특징으로 하는 반도체 장치.

## 청구항 35

MISFET를 갖는 반도체장치의 제조방법으로서,

- (a) 반도체기판에 제1 도전형의 웨爾을 형성하는 공정과,
- (b) 상기 웨爾상에 게이트 절연막을 형성하는 공정과,
- (c) 상기 게이트전극을 형성하는 공정과,
- (d) 상기 웨爾에, 상기 제1 도전형과는 반대의 도전형인 제2 도전형의 소스·드레인 확장영역을 형성하는 공정과,

(e) 상기 게이트 전극의 측벽에 사이드월 스페이서를 형성하는 공정과,

(f) 상기 웰에, 상기 소스·드레인 확장영역보다도 높은 불순물농도를 가지며, 상기 소스·드레인 확장영역보다도 깊은 위치에까지 상기 제2 도전형의 소스·드레인 확장영역을 형성하는 공정을 가지며,

상기 반도체장치의 제조방법은,

(g) 상기 웰에 상기 제1 도전형의 제1 불순물층을 형성하는 공정과,

(h) 상기 웰에 상기 제1 도전형의 제2 불순물층을 형성하는 공정을

더 가지며,

상기 제2 불순물층의 불순물 농도의 피크의 위치는, 상기 제1 불순물층의 불순물 농도의 피크의 위치보다도 얕고, MISFET의 채널영역보다도 깊은 위치에 형성되어 있는 것을 특징으로 하는 반도체장치의 제조방법.

### 청구항 36

제35항에 있어서,

상기 제2 불순물층의 농도는, 상기 제1 불순물층의 불순물농도보다도 연하고, 상기 채널영역의 불순물농도보다도 진한 것을 특징으로 하는 반도체장치의 제조방법.

### 청구항 37

제35항에 있어서,

상기 제1 불순물층은 상기 소스·드레인 확장영역에 접해 있으며,

상기 제2 불순물층은 상기 소스·드레인 확장영역에 접해 있는 것을 특징으로 하는 반도체 장치의 제조방법.

### 청구항 38

제35항에 있어서,

상기 제2 불순물층에 포함되는 원소의 질량은, 상기 제1 불순물층에 포함되는 원소의 질량보다도 무거운 것을 특징으로 하는 반도체장치의 제조방법.

### 청구항 39

제35항에 있어서,

상기 제1 도전형은 p형을 나타내는 도전형이며, 상기 제2 도전형은 n형을 나타내는 도전형인 것을 특징으로 하는 반도체장치의 제조방법.

### 청구항 40

제39항에 있어서,

상기 (h)공정에 있어서, 인듐(In)을 이온 주입하는 것을 특징으로 하는 반도체장치의 제조방법.

### 청구항 41

제35항에 있어서,

상기 제1 도전형은 n형을 나타내는 도전형이며, 상기 제2 도전형은 p형을 나타내는 도전형인 것을 특징으로 하는 반도체장치의 제조방법.

### 청구항 42

제41항에 있어서,

상기 (h)공정에 있어서, 비소(As)를 이온 주입하는 것을 특징으로 하는 반도체장치의 제조방법.

### 청구항 43

제35항에 있어서,

상기 (g) 및 (h)공정은, 상기 (a)공정과 상기 (b)공정의 사이에서 행하여지는 것을 특징으로 하는 반도체장치의 제조방법.

#### 청구항 44

삭제

#### 청구항 45

삭제

#### 청구항 46

제35항에 있어서,

상기 반도체 기판은, 기판, 단결정 박막 및 상기 기판과 단결정 박막을 분리하는 절연층으로 구성되어 있으며, 상기 MISFET는, 상기 단결정 박막에 형성되는 것을 특징으로 하는 반도체 장치의 제조방법.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

<50>

본 발명은 반도체장치의 제조기술에 관한 것으로, 특히 게이트 길이가  $0.1\mu m$  이하의 세대의 MISFET(Metal insulator semiconductor field effect transistor)를 가지는 반도체장치에 적용하는 유효한 기술에 관한 것이다.

<51>

단채널효과를 억제하는 MISFET로서, 예를 들면 일본 특개평 제4-58562호 공보에 기재되어 있는 포켓구조의 펀치스루 스톱퍼총(punch through stopper layer)을 가지는 MISFET이 있다.

<52>

이 MISFET에서는, 우선, 제1 도전형 기판 위에 절연막을 통해 형성된 게이트전극을 마스크로 하여 기판표면에 제2 도전형 불순물을 이온주입하여 제1의 확산영역을 형성함과 동시에, 이 제1의 확산영역의 아래쪽에 제1 도전형 불순물을 이온주입하여 제2의 확산영역, 즉 포켓구조의 펀치스루 스톱퍼총이 형성된다. 그 후, 상기 게이트전극의 양측부에 도전성의 측벽막을 형성하고, 이 측벽막 및 상기 게이트전극을 마스크로 하여, 기판표면에 제2 도전형 불순물을 이온주입하여 제3의 확산영역을 형성한다.

<53>

단채널효과의 주된 원인은 MISFET의 드레인으로부터 발생하는 전계가 소스에 도달하여, 소스, 드레인 사이에 전류가 흐르는 것에 있다. 그러나, 상기 MISFET에서는 드레인으로부터 발생하는 전계의 강도가 역전계형의 포켓구조의 펀치스루 스톱퍼총(제2의 확산영역)에 의해 억제되기 때문에 게이트 길이가  $0.2\mu m$  정도이더라도 단채널 효과의 발생을 회피하는 것이 가능하다.

##### 발명이 이루고자 하는 기술적 과제

<54>

그렇지만, 포켓구조의 펀치스루 스톱퍼총을 가지는 MISFET에 관해서 본 발명자가 검토한 바, 이하의 문제점을 발견하였다.

<55>

반도체장치의 고집적화를 도모하기 위해서는, MISFET의 게이트전극의 소스, 드레인 방향의 폭(이하, 게이트 길이로 칭한다)의 미세화가 필요하다. 그러나, 게이트 길이가  $0.1\mu m$  이하의 MISFET에서는, 포켓구조의 펀치스루 스톱퍼총의 넓이가  $0.03\mu m$  이상이면, 게이트전극 아래의 상기 넓이가 게이트 길이의 60% 이상을 차지한다. 이 때문에, 게이트전극의 형상 또는 펀치스루 스톱퍼총 형성시의 이온주입각도의 흐트러짐에 의해 MISFET의 문턱치 전압이 변동한다.

<56>

본 발명의 목적은 단채널 MISFET에서 문턱치전압의 흐트러짐을 억제하고, 또 스위칭속도의 향상을 도모할 수 있는 기술을 제공하는 것에 있다.

<57> 본 발명의 상기 및 그 밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면에서 분명하게 될 것이다.

### 발명의 구성 및 작용

<58> 본원에 있어서 개시되는 발명 중 대표적인 것의 개요를 간단히 설명하면 다음과 같다.

<59> 본 발명의 반도체장치 및 그 제조방법은, 약  $0.1\mu\text{m}$  이하의 게이트 길이를 가지는 MISFET을 형성할 때, 기판에 불순물농도분포에 제1 피크를 가지는 제1 도전형의 불순물층과 불순물농도분포에 제2 피크를 가지는 제1 도전형의 불순물층을 형성하는 공정과, 게이트전극을 형성한 후, 기판에 제2 도전형의 소스, 드레인 확장영역을 형성하는 공정과, 게이트전극의 측벽에 측벽공간을 형성한 후, 기판에 제2 도전형의 소스, 드레인 확산영역을 형성하는 공정을 가지고, 상기 제1 피크가 소스, 드레인 확산영역의 접합깊이보다 얕게 위치하고, 상기 제2 피크가 채널영역보다 깊게 위치하는 것이다. 또, 제2 피크의 불순물농도는 제1 피크의 불순물농도보다 크다. 또, 채널영역의 불순물농도의 총계가  $5\times10^{17}/\text{cm}^3$  이하이다. 또, 제2 피크의 불순물층을 구성하는 원소의 질량이 제1 피크의 불순물층을 구성하는 원소의 질량보다 무거운 원소를 이온주입한다.

<60> 상기한 수단에 의하면, MISFET의 채널영역 아래의 기판의 모든 면에 펀치스루를 방지하는 기능을 가지는 불순물층을 형성함으로써, 포켓구조의 펀치스루 스텁퍼층을 형성한 경우에 비하여 문턱치전압의 변동을 억제할 수 있다. 또한, 상기 불순물층의 불순물 농도분포에 제1 피크 및 제2 피크의 두개의 피크를 마련함으로써 제어할 수 있는 공핍층의 폭이 상대적으로 커져서, 서브스레쉬홀드 계수(sub-threshold coefficient)를 작게 할 수 있다. 이렇게 함으로써, 문턱치전압의 저하를 방지할 수 있고 MISFET의 스위칭속도가 향상된다. 또한, 채널영역의 불순물농도의 총계가  $5\times10^{17}/\text{cm}^3$  이하이기 때문에, 이동도를 증대시킬 수 있다. 또, 제2 피크의 불순물층을 구성하는 원소의 질량이 제1 피크의 불순물층을 구성하는 원소의 질량보다 무거운 원소를 이온주입하고 있기 때문에, 피크농도를 높게 하면서 표면농도를 내릴 수 있으므로, 이동도의 저하를 방지할 수 있다. 또, 드레인전압이 1V 이하에서 온(On)전류를 포켓구조에 비하여 향상할 수 있다. 즉, 본 발명의 MISFET은 1V 이하의 전원전압에서의 동작으로 온전류를 향상할 수 있다.

<61> 이하, 본 발명의 실시형태를 도면에 따라서 상세히 설명한다. 또, 실시형태를 설명하기 위한 모든 도면에 있어서, 동일한 기능을 가지는 부재에는 동일한 부호를 붙이고 그 되풀이 되는 설명은 생략한다.

<62> (실시형태1)

<63> 본 발명의 일실시형태인 CMOS(complementary metal oxide semiconductor) 장치의 제조방법을 도 1 ~ 도 9에 나타내는 기판의 주요단면도를 이용하여 공정순으로 설명한다. 도면 중에서 Qn은 n채널형 MISFET, Qp는 p채널형 MISFET이다.

<64> 우선, 도 1에 도시한 바와 같이, 예를 들면 p형의 단결정 실리콘으로 이루어지는 기판(1)을 준비한다. 다음에, 이 기판(1)을 열산화하고 그 표면에 막두께  $0.01\mu\text{m}$ 정도의 얇은 산화 실리콘막(2)을 형성하고, 이어서 그 상층에 CVD(chemical vapor deposition)법으로 막두께  $0.1\mu\text{m}$ 정도의 질화 실리콘막(3)을 퇴적한 후, 레지스트 패턴을 마스크로 하여 질화 실리콘막(3), 산화 실리콘막(2) 및 기판(1)을 순차 드라이에칭함으로써, 소자분리영역의 기판(1)에 깊이  $0.35\mu\text{m}$  정도의 소자분리구(4a)를 형성한다.

<65> 다음에, 열인산을 이용한 화이트에칭으로 질화실리콘막(3)을 제거한 후, 도 2에 도시한 바와 같이, 기판(1) 상에 CVD법으로 퇴적한 산화실리콘막(4b)을 에치백, 또는 CMP(chemical mechanical polishing)법으로 연마하여, 소자분리구(4a)의 내부에 산화실리콘막(4b)을 납김으로써 소자분리영역을 형성한다. 계속하여, 기판(1)을 약  $1000^\circ\text{C}$ 로 어닐링함으로써 소자분리구(4a)에 매립한 산화실리콘막(4b)을 스며들게(담금질조임)한다.

<66> 이어서, 기판(1)의 n채널형 MISFET(Qn)의 형성영역에 p형 웨(5)을 형성하기 위한 p형 불순물, 예컨대 브롬(B)을 이온주입하고, p채널형 MISFET(Qp)의 형성영역에 n형 웨(6)을 형성하기 위한 n형 불순물, 예를 들면 인(P)을 이온주입한다. 상기 B는, 예컨대 주입에너지  $200\text{ keV}$ , 투여량  $2\times10^{13}\text{ cm}^{-2}$ 로 주입하고, 상기 P는, 예컨대, 주입에너지  $500\text{ keV}$ , 투여량  $3\times10^{13}\text{ cm}^{-2}$ 로 주입한다.

<67> 다음에, 도 3에 도시한 바와 같이, 기판(1)의 n채널형 MISFET(Qn)의 형성영역에 p형 불순물, 예컨대 B를 이온주입하여 불순물 농도분포에 제1 피크를 가지는 p형 불순물층(7)을 형성하고, 계속하여 p형 웨(5)을 구성하는 불순물(B)보다 질량이 무거운 p형 불순물, 예를들면 인듐(In)을 이온주입하여 불순물 농도분포에 제2 피크를 가지

는 p형 불순물층(8)을 형성한다. p형 불순물층(7)의 제1 피크의 기판(1)의 표면에서의 깊이는 p형 불순물층(8)의 제2 피크의 기판(1)의 표면에서의 깊이보다 상대적으로 깊게 위치하고, 후술하는 바와 같이, 불순물농도분포에 제1 피크를 가지는 p형 불순물층(7)은 소스, 드레인 확산영역간의 편치스루를 방지하는 기능을 가지고, 불순물농도분포에 제2 피크를 가지는 p형 불순물층(8)은 소스, 드레인 확장영역 간의 편치스루를 방지하는 기능을 가진다. 상기 B는, 예컨대 주입에너지 30 keV, 투여량  $1 \times 10^{13} \text{ cm}^{-2}$ 로 주입하고, 상기 In은, 예컨대 주입에너지 160 keV, 투여량  $1 \times 10^{13} \text{ cm}^{-2}$ 로 주입한다.

<68> In과 같이 질량이 무거운 원소는 확산계수가 작기 때문에 상기 제2 피크의 농도를 높게 하면서, 기판(1)의 표면에서의 농도를 내릴 수 있다. p형 불순물층(8)은 소스, 드레인 확장영역간의 편치스루를 방지하는 기능을 하기 위해서 그 불순물농도는 높게 설정할 필요가 있다. 한편으로, 확산계수가 작은 질량이 가벼운 원소를 주입한 경우에 있어서는, 기판(1)의 표면에 있어서의 농도가 높게 되기 때문에 불순물 산란에 의한 캐리어의 이동도가 작게 되는 문제를 발생해 버린다.

<69> 그래서, 질량이 무거운 원소를 주입함으로써, 기판(1)의 표면에서의 농도를 내릴 수 있기 때문에, 캐리어의 이동도의 저하를 막는 것이 가능하게 된다.

<70> 또한, p형 불순물층(7)은 소스, 드레인 확산영역의 편치스루(punch-through)를 방지하는 기능을 한다. 여기서, 이 p형 불순물층(7)을 질량이 무거운 원소를 고에너지로 주입하여 형성한 경우에는, 기판(1)을 이루는 Si(실리콘)이 비정질화되어 뒤의 공정에서의 열처리시에 결정결함을 발생시켜 버린다. p형 불순물층(7)은 드레인영역에 접하고 있기 때문에, 그 결정결함이 생기면 드레인영역과 기판(1)의 사이에 누설전류가 발생해 버린다. 그래서, 전술한 바와 같이, p형 불순물층(7)을 질량이 가벼운 원소를 주입하도록 형성함으로써, 이 문제를 해결할 수 있다.

<71> 마찬가지로, 기판(1)의 p채널형 MISFET(Qp)의 형성영역에 n형 불순물, 예컨대, P를 이온주입하여 불순물농도분포에 제1 피크를 가지는 n형 불순물층(9)을 형성하고, 계속하여 n형 웨(6)을 구성하는 불순물(P)보다 질량이 무거운 n형 불순물, 예컨대 비소(As)를 이온주입하여 불순물농도분포에 제2 피크를 가지는 n형 불순물층(10)을 형성한다. n형 불순물층(9)의 제1 피크의 기판(1)의 표면에서의 깊이는 n형 불순물층(10)의 제2 피크의 기판(1)의 표면에서의 깊이보다 상대적으로 깊게 위치하고, 후술하는 바와 같이, 불순물농도분포에 제1 피크를 가지는 n형 불순물층(9)은 소스, 드레인 확산영역간의 편치스루를 방지하는 기능을 가지며, 불순물농도분포에 제2 피크를 가지는 n형 불순물층(10)은 소스, 드레인 확장영역간의 편치스루를 방지하는 기능을 가진다. 상기 P는, 예를 들면 주입에너지 80 keV, 투여량  $1 \times 10^{13} \text{ cm}^{-2}$ 로 주입하고, 상기 As는, 예컨대 주입에너지 80 keV, 투여량  $1 \times 10^{13} \text{ cm}^{-2}$ 으로 주입한다.

<72> 이와 같이, 소자분리구(4a) 및 산화실리콘막(4b)으로 규정된 p형 웨(5)에서, p형 불순물층(8)은 기판(1)의 표면에서 소정의 깊이에 제2 피크를 가지도록 형성되고, p형 불순물층(7)은 기판(1)의 표면에서 소정의 깊이에 제1 피크를 가지도록 형성된다. 즉, 후술하는 바와 같이, p형 불순물층(7)은 게이트전극(13n)의 하부의 소스, 드레인 확산영역(14b) 사이의 모든 영역에 있어서 일정한 깊이에 형성되고, 또한, 소스, 드레인 확산영역(14b)에 접하도록 형성된다. 또, p형 불순물층(8)은 게이트전극(13n)의 하부의 소스, 드레인 확장영역(14a) 사이의 모든 영역에서 일정한 깊이에 형성되고, 또한, 소스, 드레인 확장영역(14a)에 접하도록 형성된다.

<73> 또, 소자분리구(4a) 및 산화실리콘막(4b)으로 규정된 n형 웨(6)에서, n형 불순물층(10)은 기판(1)의 표면에서 소정의 깊이에 제2 피크를 갖도록 형성되고, n형 불순물층(9)은 기판(1)의 표면에서 소정의 깊이에 제1 피크를 갖도록 형성된다. 즉, 후술하는 바와 같이, n형 불순물층(9)은 게이트전극(13p)의 하부의 소스, 드레인 확산영역(15b) 사이의 모든 영역에서 일정한 깊이에 형성되고, 또, 소스, 드레인 확산영역(15b)에 접하도록 형성된다. 또, n형 불순물층(10)은 게이트전극(13p)의 하부의 소스, 드레인 확장영역(15a) 사이의 모든 영역에서 일정한 깊이에 형성되고, 또한, 소스, 드레인 확장영역(15a)에 접하도록 형성된다.

<74> 다음에, 도 4에 도시한 바와 같이 기판(1)을 열산화하여 p형 웨(5) 및 n형 웨(6)의 각각의 표면에 게이트절연막(11)을 2 nm 정도의 두께로 형성한 뒤, 200 nm 정도의 두께의 비정형실리콘막(도시하지 않음)을 CVD 법으로 기판(1) 위에 퇴적한다. 이어서, n채널형 MISFET(Qn)의 형성영역의 비정형실리콘막에 n형불순물, 예컨대 P를 이온주입하고, p채널형 MISFET(Qp)의 형성영역의 비정형실리콘막에 p형불순물, 예컨대 B를 이온주입한다.

<75> 그 다음에, 기판(1)에, 예컨대 950°C, 60초 정도의 열처리를 행하여, 비정형실리콘막에 도입한 n형 불순물 및 p형 불순물을 활성화시키고, 또한 n채널형 MISFET(Qn)의 형성영역의 비정형실리콘막을 n형 다결정실리콘막(12n)

으로, p채널형 MISFET(Qp)의 형성영역의 비정형실리콘막을 p형 다결정실리콘막(12p)으로 바꾼다.

<76> 다음에, 도 5에 도시한 바와 같이, 레지스트 패턴을 마스크로 하여 n형 다결정실리콘막(12n)을 에칭하여, n채널형 MISFET(Qn)의 형성영역에 n형 다결정실리콘막(12n)으로 구성되는 게이트 길이 0.1  $\mu\text{m}$ 정도의 게이트전극(13n)을 형성한다. 동시에, 레지스트패턴을 마스크로 하여 p형 다결정실리콘막(12p)을 에칭하여, p채널형 MISFET(Qp)의 형성영역에 p형 다결정실리콘막(12p)으로 구성되는 게이트 길이 0.1  $\mu\text{m}$ 정도의 게이트전극(13p)을 형성한다. 그 다음에, 기판(1)에, 예컨대 800°C의 드라이산화처리를 행한다.

<77> 이어서, n형 웰(6)을 레지스트막으로 덮은 후, n채널형 MISFET(Qn)의 게이트전극(13n)을 마스크로 하여 p형 웰(5)에 n형 불순물, 예컨대 As를 이온주입하여 n채널형 MISFET(Qn)의 소스, 드레인 확장영역(14a)을 형성한다. 상기 As는, 예컨대 주입에너지 5 keV, 투여량  $1\times 10^{15} \text{ cm}^{-2}$ 로 주입하고, 0.04  $\mu\text{m}$  정도의 접합깊이를 가지는 소스, 드레인 확장영역(14a)이 형성된다.

<78> 같은 방식으로, P형 웰(5)을 레지스트막으로 덮은 후, p채널형 MISFET(Qp)의 게이트전극(13p)을 마스크로 하여 n형 웰(6)에 p형 불순물, 예컨대 불화브롬(BF<sub>2</sub>)을 이온주입하여 p채널형 MISFET(Qp)의 소스, 드레인 확장영역(15a)을 형성한다. 상기 BF<sub>2</sub>는, 예컨대 주입에너지 3 keV, 투여량  $1\times 10^{15} \text{ cm}^{-2}$ 로 주입하고, 0.04  $\mu\text{m}$  정도의 접합깊이를 가지는 소스, 드레인 확장영역(15a)이 형성된다.

<79> 다음에, 기판(1) 위에 질화실리콘막(16) 및 산화실리콘막(17)을 CVD법으로 순차 퇴적한 후, 도 6에 나타낸 바와 같이 산화실리콘막(17)을 RIE(reactive ion etching)법으로 이방성(異方性) 에칭하고 계속하여 질화실리콘막(16)을 에칭하여, n채널형 MISFET(Qn)의 게이트전극(13n) 및 p채널형 MISFET(Qp)의 게이트전극(13p)의 각각의 측벽에 질화실리콘막(16) 및 산화실리콘막(17)으로 이루어지는 측벽공간을 형성한다.

<80> 이어서, n형 웰(6)을 레지스트막으로 덮은 후 n채널형 MISFET(Qn)의 게이트전극(13n) 및 측벽공간을 마스크로 하여 p형 웰(5)에 n형 불순물, 예컨대 As를 이온주입하여 접합깊이가 상기 p형 불순물층(7)의 제1 피크보다 깊게 위치하는 소스, 드레인 확산영역(14b)을 형성한다. 상기 As는, 예컨대 주입에너지 40 keV, 투여량  $2\times 10^{15} \text{ cm}^{-2}$ 로 주입하여, 0.1  $\mu\text{m}$  정도의 접합깊이를 가지는 소스, 드레인 확산영역(14b)이 형성된다.

<81> 같은 방식으로, p형 웰(5)을 레지스트막으로 덮은 후, p채널형 MISFET(Qp)의 게이트전극(13p) 및 측벽공간을 마스크로 하여, n형 웰(6)에 p형 불순물, 예컨대 BF<sub>2</sub>을 이온주입하여 접합깊이가 상기 n형 불순물층(9)의 제1 피크보다 깊게 위치하는 소스, 드레인 확산영역(15b)을 형성한다. 상기 BF<sub>2</sub>는, 예컨대 주입 에너지 25 keV, 투여량  $2\times 10^{15} \text{ cm}^{-2}$ 로 주입하여, 0.1  $\mu\text{m}$  정도의 접합깊이를 가지는 소스, 드레인 확산영역(15b)이 형성된다.

<82> 다음에, 도 7에 도시한 바와 같이, 불산(HF)액으로 기판(1)을 세정한 후, 두께 10~20 nm정도의 코발트(Co)막을, 예컨대 스퍼터링법으로 기판(1) 위에 퇴적한다. 이어서, 500~600°C 정도의 열처리를 기판(1)에 행하여 n채널형 MISFET(Qn)의 게이트전극(13n)의 표면 및 소스, 드레인 확산영역(14b)의 표면과, p채널형 MISFET(Qp)의 게이트전극(13p)의 표면 및 소스, 드레인 확산영역(15b)의 표면에 선택적으로 두께 30nm 정도의 실리사이드층(18)을 형성한다. 그 다음에, 미반응의 Co막을 제거하고, 이어서 실리사이드층(18)의 저저항화를 위해 700~800°C 정도의 열처리를 기판(1)에 행한다.

<83> 다음에, 도 8에 도시한 바와 같이, 기판(1) 위에 플라즈마 CVD법으로 질화실리콘막(19)을 퇴적한 후, 예컨대 산화실리콘막으로 구성되는 층간절연막(20)을 형성한다. 이어서, 레지스트패턴을 마스크로 하여 층간절연막(20) 및 질화실리콘막(19)을 순차 에칭하여, n채널형 MISFET(Qn)의 소스, 드레인 확산영역(14b)의 표면에 마련된 실리사이드층(18)에 달하는 콘택홀(21n) 및 p채널형 MISFET(Qp)의 소스, 드레인 확산영역(15b)의 표면에 마련된 실리사이드층(18)에 달하는 콘택홀(21p)을 개공(開孔)한다. 또, 도시는 하지 않지만, 동시에 n채널형 MISFET(Qn)의 게이트전극(13n)의 표면에 마련된 실리사이드층(18) 및 p채널형 MISFET(Qp)의 게이트전극(13p)의 표면에 마련된 실리사이드층(18)에 달하는 콘택홀이 형성된다.

<84> 이어서, 도 9에 나타낸 바와 같이, 층간절연막(20)의 상층에 금속막, 예컨대 텁스텐(W)막을 퇴적하여, 예컨대 CMP법으로 이 금속막의 표면을 평탄화함으로써 상기 콘택홀(21n, 21p)의 내부에 금속막을 매립하여 플러그(22)를 형성한다. 그 후, 층간절연막(20)의 상층에 퇴적한 금속막을 에칭하여 배선층(23)을 형성함으로써, CMOS 장치가 대략 완성된다.

<85> 다음에, 상기 n채널형 MISFET(Qn)의 여러가지 특성에 관해서 도 10~도 12를 이용하여 설명한다. 도 10(a)는 n

채널형 MISFET(Qn)을 나타내는 확대단면도, 도 10(b)은 같은 도면(a)의 A-A' 선에서의 불순물농도분포이다. 또, 도 11은 n채널형 MISFET(Qn)의 공핍층형상을 나타내는 확대단면도, 도 12는 n채널형 MISFET(Qn) 문턱치치전압의 게이트길이 의존성을 나타내는 도면이다. 또, 여기서는 n채널형 MISFET(Qn)의 여러가지 특성에 관해서 설명하였지만, p채널형 MISFET(Qp)에 관해서도 마찬가지이다.

<86> 도 10에 도시한 바와 같이, p형 불순물층(7)의 불순물농도분포에 있어서의 제1 피크는 소스, 드레인 확산영역(14b)의 접합깊이보다 얕게 위치하고, p형 불순물층(8)의 불순물농도분포에 있어서의 제2 피크는 채널영역보다 깊고 또한 소스, 드레인 확산영역(14b)의 접합깊이보다 얕게 위치한다. 또, p형 불순물층(8)의 제2 피크는 p형 불순물층(7)의 제1 피크보다 얕게 위치한다. 즉, p형 불순물층(7)은 게이트전극(13n)의 하부의 소스, 드레인 확산영역(14b)간 모든 영역에 일정한 깊이로 형성되고, 또 소스, 드레인 확장영역(14a)간 모든 영역에서 일정한 깊이로 형성되고, 또한 소스, 드레인 확장영역(14a)에 접하도록 형성된다. 이와 같은 제1 피크 및 제2 피크의 두개의 피크로부터 이루어지는 불순물농도분포를 가지는 기판(1)을 이용함으로써, 본 발명자가 검토한 같은 불순물농도분포(도면 중에서 점선으로 나타냄)를 가지는 기판과 비교하여 제어할 수 있는 공핍층(空乏層)의 폭이 커져서, 서브스레쉬홀드 계수(subthreshold swing) S를 작게 할 수 있다.

<87> 즉, 서브스레쉬홀드 계수 S는,

<88> 식(1)  $S = \ln 10 (1 + Cd/Cox)$

<89> 식(2)  $Cd = \epsilon / d$

<90>로 표시된다. 여기서, Cd는 게이트전극(13n)으로 제어할 수 있는 공핍층용량, Cox는 게이트절연막(11)의 용량, d는 게이트전극(13n)으로 제어할 수 있는 깊이방향의 공핍층의 폭이다. 따라서, 공핍층의 폭d가 커지면 S는 작게 된다. 또한, S는 서브스레쉬홀드 특성을 편대수그래프(semi-log graph)에 플롯할 때에 전류가 1자리수 변화하는데 요하는 게이트전압으로서 정의되는 것으로서, S가 작게 되면 게이트전압의 증가에 대한 전류의 증가율이 커져서, MISFET의 스위칭속도가 빠르게 된다.

<91> 상기한 바와 같이, 본 실시형태(1)에서는 질량이 무거운 In을 도입함으로써 p형 불순물층(8)을 형성하고 있다. 그 때문에, 기판(1)의 표면에서의 불순물농도를 낮게 할 수 있기 때문에 불순물산란이 방지되어 캐리어의 이동도를 증대시킬 수 있다. 또, p형 불순물층(8)의 불순물농도분포의 제2 피크의 위치를 기판(1)의 표면에서 50nm 정도의 깊이로 하고 그 제2 피크의 농도를  $1 \times 10^{18} \text{ cm}^{-3}$  정도로 하고, 기판(1)의 표면에서의 농도를  $5 \times 10^{17} \text{ cm}^{-3}$  정도 이하로 함으로써, 기판(1)의 표면에 급격한 농도 경사를 형성할 수 있다. 이 경우, 캐리어는 기판(1)의 표면에 형성된 양자우물에 가두어지고, 그 양자우물을 균일하게 흐르게 된다. 그 때문에, 캐리어는 기판(1)의 표면에 형성되어 있는 계면순위의 영향을 받지 않게 되기 때문에 그 이동도를 증대할 수 있다.

<92> 또, 불순물농도분포에 제1 피크를 가지는 p형 불순물층(7)은 소스, 드레인 확산영역(14b)간의 편치스루를 방지하는 기능을 가지고, 불순물농도분포에 제2 피크를 가지는 p형 불순물층(8)은 소스, 드레인 확장영역(14a)간의 편치스루를 방지하는 기능을 가진다. 이와 같이, 기판(1)의 모든 면에 p형 불순물층(7,8)을 형성함으로써, 포켓구조의 편치스루 스텁퍼층을 형성한 경우에 비하여 편치스루 스텁퍼층의 가로방향의 흐트러짐에 기인하는 문턱치전압의 흐트러짐이 방지된다.

<93> 또, 제1 피크의 불순물농도는 약  $1 \times 10^{18} \text{ cm}^{-3}$  이상으로 하여 제2 피크의 불순물농도보다 높게 설정하는 것이 바람직하다. 이와 같이 설정함으로써, 깊은 영역에서의 소스, 드레인 확산영역(14b)에서의 공핍층 폭이 얕은 영역에서의 소스, 드레인 확장영역(14a)에서의 공핍층 폭보다 작게 되어, 게이트전극(13n)에서 제어할 수 있는 공핍층의 형상이 도 11(a)에 도시한 바와 같이 사다리꼴로 된다. 사다리꼴의 공핍층을 가지는 MISFET은, 도 11(b)에 나타내는 역사다리꼴의 공핍층을 가지는 MISFET보다 문턱치전압의 롤 오프(roll-off)가 완화되기 때문에 도 12에 나타낸 바와 같이 단채널효과의 방지에 유효하다. 도 11 및 도 12 중, N1은 p형 불순물층(8)의 불순물농도, N2는 p형 불순물층(7)의 불순물농도이다.

<94> 또, 본 실시형태 1에서는 n채널형 MISFET(Qn)의 불순물농도분포에 제1 피크를 가지는 p형 불순물층(7)을 B로 구성하였지만 In으로 구성하더라도 좋다. 또, p채널형 MISFET(Qp)의 불순물농도분포에 제1 피크를 가지는 n형 불순물층(9)을 P로 구성하였지만 As로 구성하여도 좋으며, 같은 효과가 얻어진다.

<95> In과 같이 질량이 무거운 원소는 확산계수가 작기 때문에, 상기 제2 피크의 농도를 높게 하면서 기판(1)의 표면에서의 농도를 내릴 수 있다. p형 불순물층(8)은 소스, 드레인 확장영역(14a)간의 편치스루를 방지하는 기능을

하기 위해, 그 불순물농도는 높게 설정할 필요가 있다. 한편, 확산계수가 작은 질량이 가벼운 원소를 주입한 경우에 있어서는, 기판(1)의 표면에서의 농도가 높게 되기 때문에, 불순물산란에 의한 캐리어의 이동도가 작게 되는 문제를 발생해 버린다. 그래서, 질량이 무거운 원소를 주입함으로써, 기판(1)의 표면에서의 농도를 내릴 수 있기 때문에, 캐리어의 이동도의 저하를 막는 것이 가능해진다.

<96> 또, p형 불순물층(7)은 소스, 드레인 확산영역(14b)간의 편치스루를 막는 기능을 한다. 여기서, 이 p형 불순물층(7)을 질량이 무거운 원소를 고에너지로 주입함으로써 형성한 경우에는, 기판(1)을 형성하는 Si(실리콘)이 비정질화되어 뒤의 공정에서의 열처리 때에 결정결함을 생기게 해 버린다. p형 불순물층(7)은 드레인영역에 접하고 있기 때문에 그 결정결함이 생기면 드레인영역과 기판(1)의 사이에 누설전류가 발생하여 버린다. 그래서, 상기한 바와 같이, p형 불순물층(7)을 질량이 가벼운 원소를 주입하여 형성함으로써, 이 문제를 해결할 수 있다.

<97> 이와 같이, 본 실시형태 1에 의하면, CMOS 장치의 채널영역 아래의 기판(1)의 전면에 편치스루를 방지하는 기능을 가지는 불순물층(n채널형 MISFET(Qn)의 경우는 p형 불순물층(7,8), p채널형 MISFET(Qp)의 경우는 n형 불순물층(9,10))을 형성함으로써, 포켓구조의 편치스루 스텁퍼층을 형성한 경우와 비하여, 문턱치전압의 변동을 억제할 수 있다. 또한, 상기 불순물층의 불순물농도분포에 제1 피크 및 제2 피크의 두개의 피크를 마련함으로써 제어할 수 있는 공핍층의 폭이 상대적으로 커져서, 서브 스레쉬홀드 계수를 작게 할 수 있기 때문에 문턱치전압의 저하가 방지될 수 있어 CMOS 장치의 스위칭속도가 향상된다.

<98> 또, 도 13에 나타낸 바와 같이, 본 실시형태 1에서의 n채널형 MISFET(Qn) 또는 p채널형 MISFET(Qp)에서 캐리어 이동도의 증가의 영향은, 그 전류전압특성에서 드레인전압이 낮은 영역에서 현저히 나타난다. 즉, 드레인전압이 높으면 캐리어는 포화속도로 흐른다. 본 발명자 등이 행한 실험에 의하면, 포켓구조에 의해 형성한 MISFET과 본 실시형태 1에 의해 형성한 MISFET에서는, 드레인 전압이 약 1V이상의 경우에 있어서 같은 오프전류치에서 비교하면, 양자의 드레인전류치는 거의 동일 또는 그것에 가까운 값으로 된다. 한편, 드레인전압이 약 1V 이하의 경우에 있어서는, 오프전류치가 증가함에 따라, 본 실시형태 1에 의해 형성한 MISFET의 드레인전류치는 포켓구조에 의해 형성한 MISFET의 드레인전류치보다 커져 간다. 즉, 본 실시형태 1에 의하면, 특히 드레인전압이 약 1V 이하의 경우에서의 드레인전류를 크게 할 수 있기 때문에, 그 때의 MISFET의 구동능력을 향상하는 것이 가능하게 된다.

<99> (실시형태 2)

<100> 본 발명의 다른 실시형태인 SOI(silicon on insulator)기판 위에 형성된 CMOS 장치를 도 14에 나타낸다.

<101> SOI 기판은, 분리절연막(24)에 의해 기판(25)과 디바이스층(실리콘(Si)단결정박막(26))이 전기적으로 분리되어 있고, 예컨대 산소의 고에너지 이온주입을 이용한 SIMOX(separation by implanted oxygen) 기술 또는 웨이퍼첨합기술(wafer laminating technique) 등에 의해 형성된다.

<102> 본 실시형태 2의 CMOS 장치는, 상기 Si 단결정박막(26)에 상기 실시형태 1과 같은 제조방법으로 형성된다. 이와 같이, SOI 기판에 CMOS 장치를 형성함으로써, 기생용량이 저감하여 스위칭속도를 향상시키는 것이 가능하게 된다.

<103> 이상, 본 발명자에 의해 이루어진 발명을 발명의 실시형태에 근거하여 구체적으로 설명하였지만, 본 발명은 상기 실시형태에 한정되는 것이 아니고, 그 요지를 일탈하지 않은 범위에서 여러가지 변경 가능한 것은 말할 필요도 없다.

<104> 예를 들면, 상기 실시형태에서는, n채널형 MISFET의 p형 불순물층을 B 또는 In으로 구성하였지만, 그 밖의 p형 도전성을 나타내는 불순물로 구성하더라도 좋고, 마찬가지로 p채널형 MISFET의 n형 불순물층을 P 또는 As로 구성하였지만, 그 밖의 n형 도전성을 나타내는 불순물로 구성하더라도 좋다.

### 발명의 효과

<105> 본원에 있어서 개시되는 발명 중, 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면 이하와 같다.

<106> 단채널 MISFET을 형성하는 기판의 모든 면에 편치스루를 방지하는 기능을 가지는 불순물층을 형성하고 이 불순물층을 제1 피크와 제2 피크를 가지는 불순물농도분포로 함으로써, 문턱치전압의 흐트러짐을 억제하고, 또한, 문턱치전압의 저하를 방지하여 스위칭속도의 향상을 도모할 수 있다.

## 도면의 간단한 설명

- <1> 도 1은 본 발명의 일실시형태인 CMOS 장치의 제조방법을 나타내는 기판의 요부단면도이고,
- <2> 도 2는 본 발명의 일실시형태인 CMOS 장치의 제조방법을 나타내는 기판의 요부단면도이고,
- <3> 도 3은 본 발명의 일실시형태인 CMOS 장치의 제조방법을 나타내는 기판의 요부단면도,
- <4> 도 4는 본 발명의 일실시형태인 CMOS 장치의 제조방법을 나타내는 기판의 요부단면도,
- <5> 도 5는 본 발명의 일실시형태인 CMOS 장치의 제조방법을 나타내는 기판의 요부단면도,
- <6> 도 6은 본 발명의 일실시형태인 CMOS 장치의 제조방법을 나타내는 기판의 요부단면도,
- <7> 도 7은 본 발명의 일실시형태인 CMOS 장치의 제조방법을 나타내는 기판의 요부단면도,
- <8> 도 8은 본 발명의 일실시형태인 CMOS 장치의 제조방법을 나타내는 기판의 요부단면도,
- <9> 도 9는 본 발명의 일실시형태인 CMOS 장치의 제조방법을 나타내는 기판의 요부단면도,
- <10> 도 10 (a)는 n채널형 MISFET을 나타내는 확대단면도, (b)는 (a)의 A-A' 선에서의 불순물농도분포를 나타내는 도면,
- <11> 도 11 (a) 및 (b)는 n채널형 MISFET의 공핍충형상을 나타내는 확대단면도,
- <12> 도 12는 n채널형 MISFET 문턱치전압의 게이트길이 의존성을 나타내는 그래프,
- <13> 도 13은 본 발명의 일실시형태인 CMOS 장치가 포함하는 MISFET 및 포켓구조로 이루어지는 MISFET에서의 드레인 전류치와 오프전류치의 관계를 나타낸 설명도,
- <14> 도 14는 본 발명의 다른 실시형태인 CMOS 장치를 나타내는 기판의 요부단면도이다.

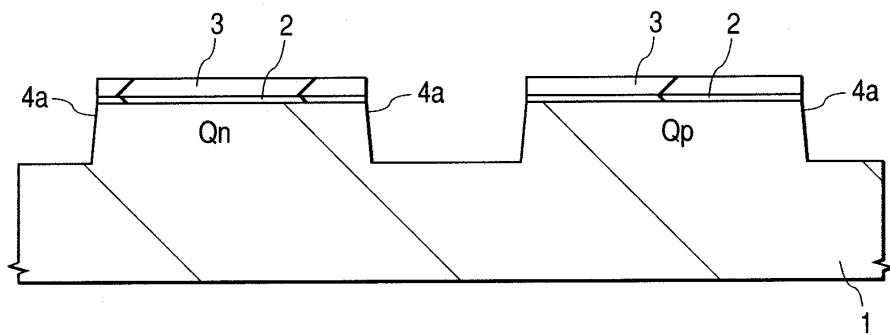
<15> <도면부호의 설명>

- <16> 1 기판
- <17> 2 산화실리콘막
- <18> 3 질화실리콘막
- <19> 4a 소자분리구
- <20> 4b 산화실리콘막
- <21> 5 p형 웨
- <22> 6 n형 웨
- <23> 7 p형 불순물총
- <24> 8 p형 불순물총
- <25> 9 n형 불순물총
- <26> 10 n형 불순물총
- <27> 11 게이트절연막
- <28> 12n n형 다결정실리콘막
- <29> 12p p형 다결정실리콘막
- <30> 13n 게이트전극
- <31> 13p 게이트전극

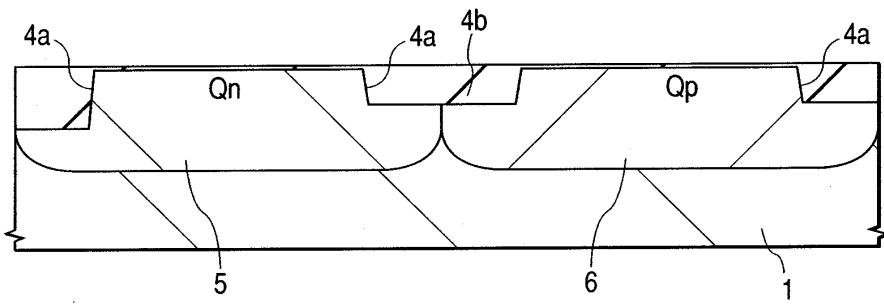
- <32> 14a 소스, 드레인 확장영역
- <33> 14b 소스, 드레인 확산영역
- <34> 15a 소스, 드레인 확장영역
- <35> 15b 소스, 드레인 확산영역
- <36> 16 질화실리콘막
- <37> 17 산화실리콘막
- <38> 18 실리사이드층
- <39> 19 질화실리콘막
- <40> 20 층간절연막
- <41> 21n 콘택홀
- <42> 21p 콘택홀
- <43> 22 플러그
- <44> 23 배선층
- <45> 24 분리절연층
- <46> 25 기판
- <47> 26 실리콘 단결정박막
- <48> Qn n채널형 MISFET
- <49> Qp p채널형 MISFET

## 도면

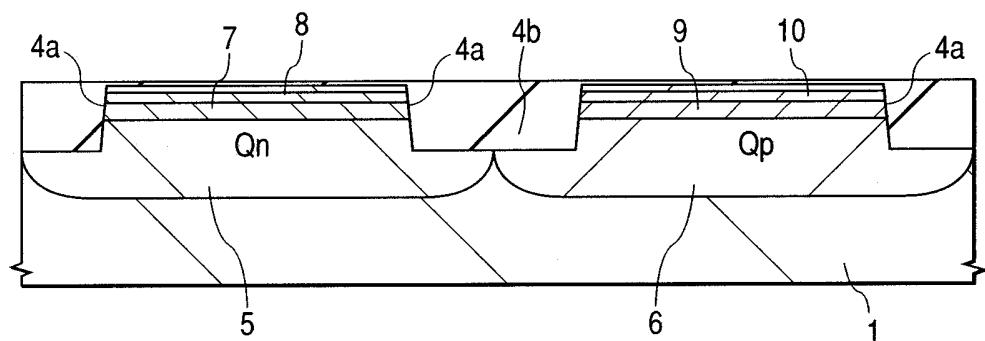
### 도면1



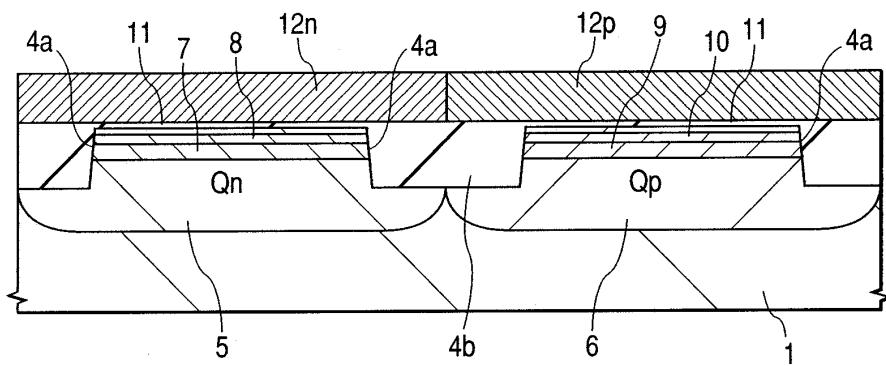
도면2



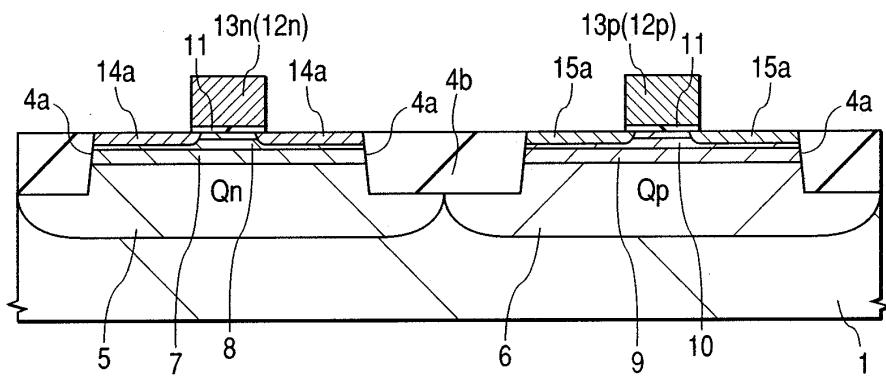
도면3



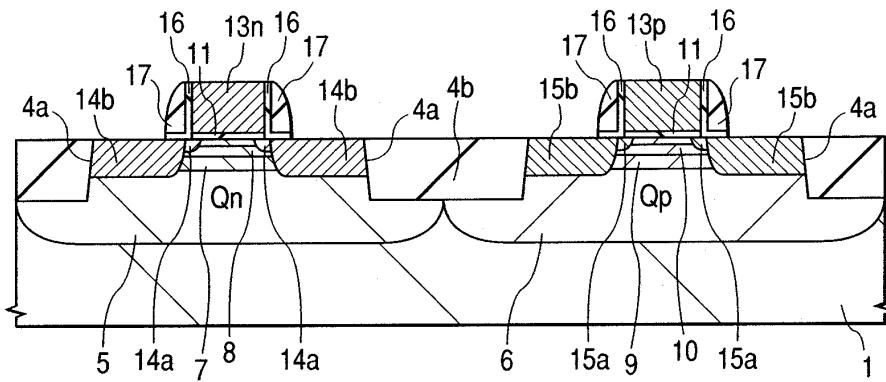
도면4



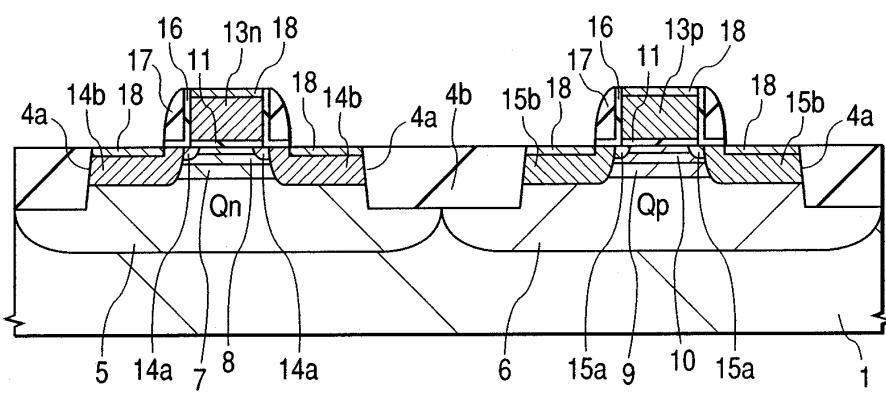
도면5



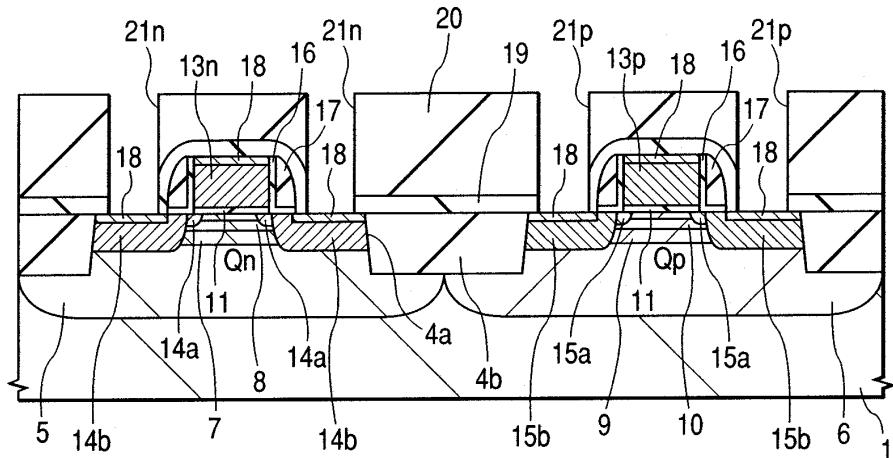
도면6



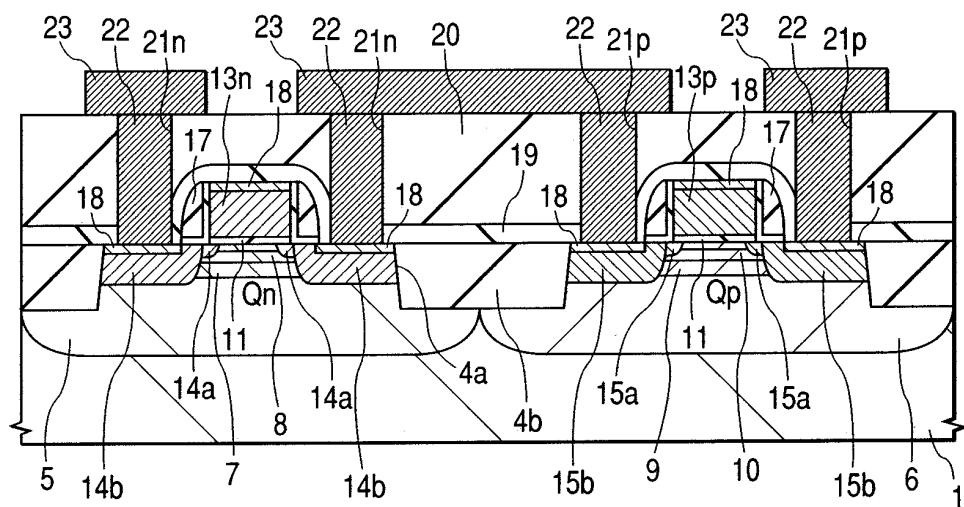
도면7



## 도면8

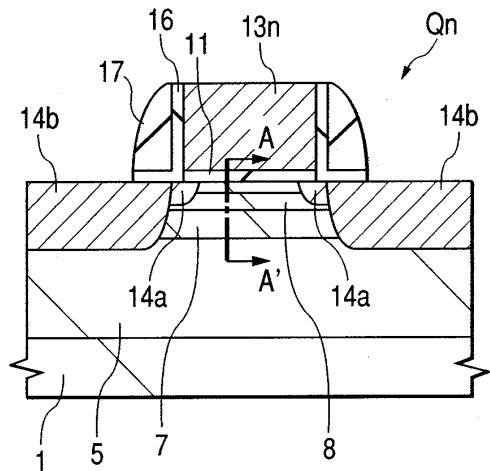


도면9

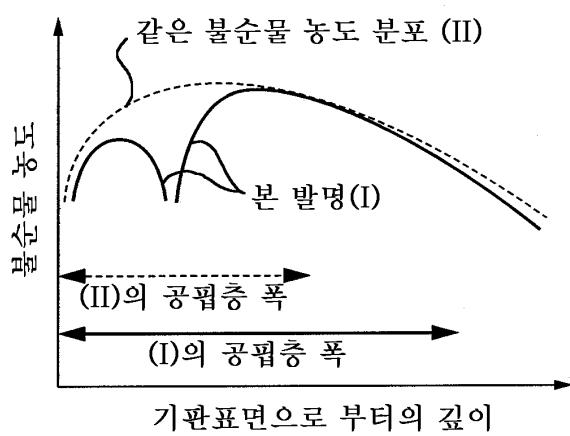


도면10

(a)

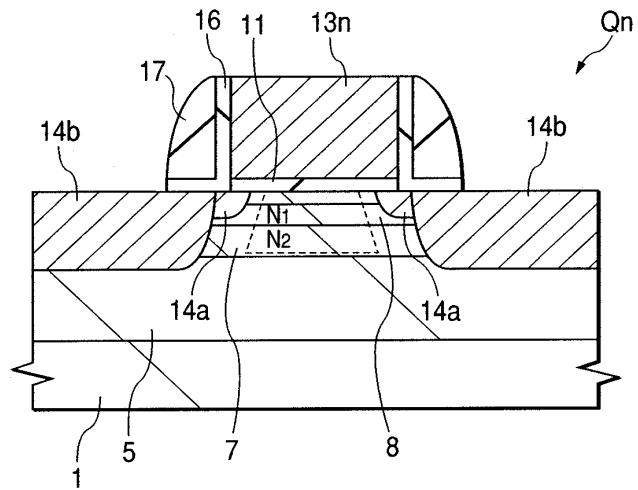


(b)

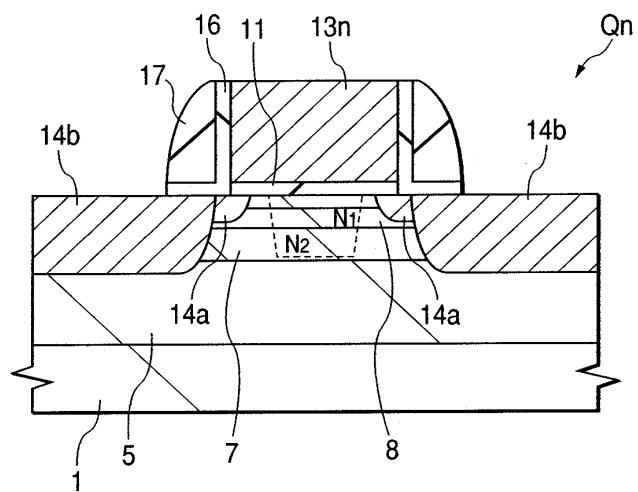


도면11

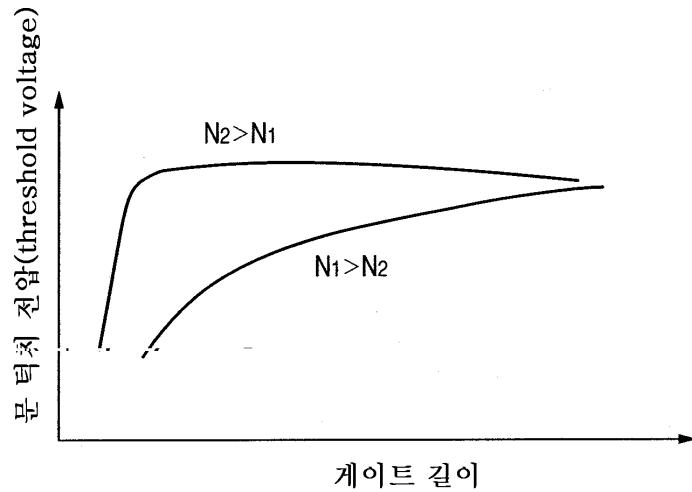
(a)



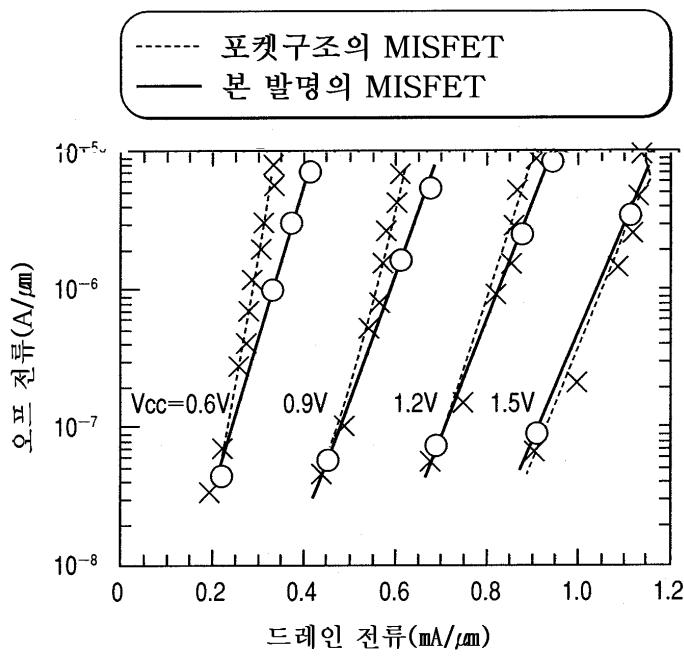
(b)



도면12



도면13



도면14

