

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2024-516123

(P2024-516123A)

(43)公表日 令和6年4月12日(2024.4.12)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 21/82 (2006.01)	H 0 1 L 21/82	L 5 F 0 3 3
H 0 1 L 21/768 (2006.01)	H 0 1 L 21/90	A 5 F 0 6 4

審査請求 未請求 予備審査請求 未請求 (全32頁)

(21)出願番号	特願2023-562285(P2023-562285)	(71)出願人	507364838
(86)(22)出願日	令和4年3月24日(2022.3.24)		クアルコム, インコーポレイテッド
(85)翻訳文提出日	令和5年10月10日(2023.10.10)		アメリカ合衆国 カリフォルニア 9 2 1
(86)国際出願番号	PCT/US2022/071320		2 1 サン ディエゴ モアハウス ドライ
(87)国際公開番号	WO2022/226458		ブ 5 7 7 5
(87)国際公開日	令和4年10月27日(2022.10.27)	(74)代理人	100108453
(31)優先権主張番号	17/234,377		弁理士 村山 靖彦
(32)優先日	令和3年4月19日(2021.4.19)	(74)代理人	100163522
(33)優先権主張国・地域又は機関	米国(US)		弁理士 黒田 晋平
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA, RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,	(72)発明者	ジョン・ジエンホン・ズ
	最終頁に続く		アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4 ・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5 ・クアルコム・インコーポレイテッド
		(72)発明者	ジュンジン・パオ
			最終頁に続く

(54)【発明の名称】 システムオンチップ(SOC)上の複数の機能ブロック

(57)【要約】

一態様では、システムオンチップ(SOC)は、SOC上に共設された第1の機能ブロックと第2の機能ブロックとを含む複数の機能ブロックを含む。SOCは、第1の金属層と、第1の金属層の上面に設置された第1の誘電体層と、第1の誘電体層内に設置され、第1の機能ブロック内で使用される第1のビアとを含む。SOCは、第1の誘電体層内に設置され、第2の機能ブロック内で使用される第2のビアと、第1の誘電体層上に設置された第2の金属層とを含む。第2の金属層は、第1の機能ブロック内で使用される接続部の第1のセットと第2の機能ブロック内で使用される接続部の第2のセットとを含む。接続部の第1のセットは、接続部の第2のセットと異なる。SOCは、第1の誘電体層上に設置された第2の誘電体層を含む。

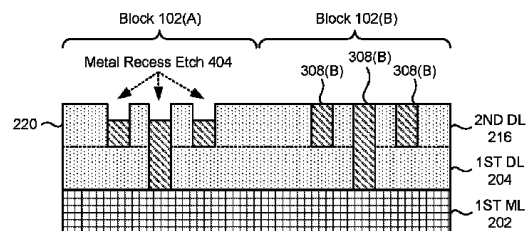


FIG. 4G

【特許請求の範囲】**【請求項 1】**

システムオンチップ（SOC）を含む装置であって、前記SOCは、
第1の金属層と、
前記第1の金属層の上面上に設置された第1の誘電体層と、
複数の機能ブロックのうちの第1の機能ブロック内で使用される前記第1の誘電体層内に設置された第1のビアであって、前記複数の機能ブロックが前記SOC上に共設される、第1のビアと、
前記複数の機能ブロックのうちの第2の機能ブロック内で使用される前記第1の誘電体層内に設置された第2のビアと、
前記第1の誘電体層上に設置された第2の金属層であって、前記第2の金属層は、
前記第1の機能ブロック内で使用される接続部の第1のセット、および
前記第2の機能ブロック内で使用される接続部の第2のセットを含み、前記接続部の第1のセットは前記接続部の第2のセットと異なる、第2の金属層と、
前記第1の誘電体層上に設置された第2の誘電体層とを含む、装置。

10

【請求項 2】

前記接続部の第1のセットの第1の深さが、前記接続部の第2のセットの第2の深さと異なる、請求項1に記載の装置。

【請求項 3】

前記接続部の第1のセットに隣接する前記第1の誘電体層の第1の厚さが、前記接続部の第2のセットに隣接する前記第1の誘電体層の第2の厚さと異なる、請求項2に記載の装置。

20

【請求項 4】

前記第1の厚さが前記第2の厚さより大きく、前記第1の深さが前記第2の深さより小さい、請求項3に記載の装置。

【請求項 5】

前記接続部の第1のセットが、前記第2の誘電体層の上面の下にくぼまされ、前記接続部の第2のセットが、前記第2の誘電体層の前記上面と同一平面上にある、請求項1に記載の装置。

【請求項 6】

前記第1のビアが第1の幅を有し、前記第2のビアが、前記第1の幅と異なる第2の幅を有する、請求項1に記載の装置。

30

【請求項 7】

前記接続部の第1のセットがそれぞれ、第1の幅を有し、前記接続部の第2のセットがそれぞれ、前記第1の幅を有する、請求項4に記載の装置。

【請求項 8】

前記接続部の第1のセットがそれぞれ、第1の幅を有し、前記接続部の第2のセットがそれぞれ、第2の幅を有し、前記第1の幅が前記第2の幅と異なる、請求項1に記載の装置。

【請求項 9】

前記第2の金属層が、銅（Cu）、コバルト（Co）、ルテニウム（Ru）、タングステン/ウォルフラム（W）、モリブデン（Mo）、金（Au）、銀（Ag）、アルミニウム（Al）、またはスズ（Sn）のうちの少なくとも1つを含む、請求項1に記載の装置。

40

【請求項 10】

前記第1の金属層が、銅（Cu）、コバルト（Co）、ルテニウム（Ru）、タングステン/ウォルフラム（W）、モリブデン（Mo）、金（Au）、銀（Ag）、アルミニウム（Al）、またはスズ（Sn）のうちの少なくとも1つを含む、請求項1に記載の装置。

【請求項 11】

50

前記第 1 のビアおよび前記接続部の第 1 のセット、ならびに前記第 2 のビアおよび前記接続部の第 2 のセットが、同じ材料から形成される、請求項 1 に記載の装置。

【請求項 1 2】

前記第 1 のビアおよび前記接続部の第 1 のセットが第 1 の材料から形成され、前記第 2 のビアおよび前記接続部の第 2 のセットが、前記第 1 の材料と異なる第 2 の材料から形成される、請求項 1 に記載の装置。

【請求項 1 3】

前記接続部の第 1 のセットの第 1 のピッチが、前記接続部の第 2 のセットの第 2 のピッチと異なる、請求項 1 に記載の装置。

【請求項 1 4】

前記接続部の第 1 のセットの第 1 の抵抗が、前記接続部の第 2 のセットの第 2 の抵抗と異なる、請求項 1 に記載の装置。

【請求項 1 5】

前記接続部の第 1 のセットの第 1 のキャパシタンスが、前記接続部の第 2 のセットの第 2 のキャパシタンスと異なる、請求項 1 に記載の装置。

【請求項 1 6】

前記複数の機能ブロックが、
 マイクロプロセッサと、
 画像処理装置 (GPU) と、
 通信インターフェースと、
 入力/出力 (I/O) インターフェースと、
 共有メモリと、
 デジタルシグナルプロセッサ (DSP) とのうちの少なくとも 2 つを含む、請求項 1 に記載の装置。

【請求項 1 7】

前記第 1 の誘電体層および前記第 2 の誘電体層がそれぞれ、
 ナノ多孔性シリカ、水素シルセスキオキサン (HSQ)、ポリテトラフルオロエチレン (PTFE)、酸フッ化ケイ素 (FSG)、チタン酸ジルコン酸鉛 (PZT)、五酸化タンタル (Ta_2O_5)、酸化アルミニウム (Al_2O_3)、二酸化ジルコニウム (ZrO_2)、または二酸化ハフニウム (HfO_2) のうちの少なくとも 1 つを含む、請求項 1 に記載の装置。

【請求項 1 8】

前記装置が、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、スマートフォン、スマートフォン、携帯情報端末、定置端末、タブレットコンピュータ、コンピュータ、装着型デバイス、モノのインターネット (IoT) デバイス、基地局、ラップトップコンピュータ、サーバ、および自動車車両の中のデバイスからなる群から選択されたデバイスの中に組み込まれる、請求項 1 に記載の装置。

【請求項 1 9】

システムオンチップ (SOC) を製作する方法であって、前記 SOC は、
 基板上に第 1 の金属層を堆積するステップと、
 前記第 1 の金属層上に第 1 の誘電体層を堆積するステップと、
 前記第 1 の誘電体層内に第 1 のビアをエッチングするステップであって、前記第 1 のビアは複数の機能ブロックのうちの第 1 の機能ブロック内で使用され、前記複数の機能ブロックが前記 SOC 上に共設される、ステップと、
 前記複数の機能ブロックのうちの第 2 の機能ブロック内で使用される前記第 1 の誘電体層内に設置される第 2 のビアをエッチングするステップと、
 前記第 1 の誘電体層の上面上に第 2 の金属層を堆積するステップであって、前記第 2 の金属層は、
 前記第 1 の機能ブロック内で使用される接続部の第 1 のセット、および

10

20

30

40

50

前記第 2 の機能ブロック内で使用される接続部の第 2 のセットを含み、前記接続部の第 1 のセットは前記接続部の第 2 のセットと異なる、ステップと、
前記第 2 の金属層の一部を除去するステップと、
前記第 1 の誘電体層上に第 2 の誘電体層を堆積するステップとを含む、方法。

【請求項 20】

前記第 2 の誘電体層の化学機械研磨 (CMP) を実行するステップをさらに含む、請求項 19 に記載の方法。

【請求項 21】

前記接続部の第 1 のセットの第 1 の深さが、前記接続部の第 2 のセットの第 2 の深さと異なる、請求項 19 に記載の方法。

10

【請求項 22】

前記接続部の第 1 のセットに隣接する前記第 1 の誘電体層の第 1 の厚さが、前記接続部の第 2 のセットに隣接する前記第 1 の誘電体層の第 2 の厚さと異なる、請求項 21 に記載の方法。

【請求項 23】

前記第 1 の厚さが前記第 2 の厚さより大きく、前記第 1 の深さが前記第 2 の深さより小さい、請求項 22 に記載の方法。

【請求項 24】

前記接続部の第 1 のセットが、前記第 2 の誘電体層の上面の下にくぼまされ、
前記接続部の第 2 のセットが、前記第 2 の誘電体層の前記上面と同一平面上にある、請求項 19 に記載の方法。

20

【請求項 25】

前記第 1 のビアが第 1 の幅を有し、前記第 2 のビアが、前記第 1 の幅と異なる第 2 の幅を有する、請求項 19 に記載の方法。

【請求項 26】

前記第 2 の金属層が、銅 (Cu)、コバルト (Co)、ルテニウム (Ru)、タングステン/ウォルフラム (W)、モリブデン (Mo)、金 (Au)、銀 (Ag)、アルミニウム (Al)、またはスズ (Sn) のうちの少なくとも 1 つを含む、請求項 19 に記載の方法。

【請求項 27】

前記第 1 の金属層が、銅 (Cu)、コバルト (Co)、ルテニウム (Ru)、タングステン/ウォルフラム (W)、モリブデン (Mo)、金 (Au)、銀 (Ag)、アルミニウム (Al)、またはスズ (Sn) のうちの少なくとも 1 つを含む、請求項 19 に記載の方法。

30

【請求項 28】

前記第 1 のビアおよび前記接続部の第 1 のセット、ならびに前記第 2 のビアおよび前記接続部の第 2 のセットが、同じ材料から形成される、請求項 19 に記載の方法。

【請求項 29】

前記第 1 のビアおよび前記接続部の第 1 のセットが第 1 の材料から形成され、前記第 2 のビアおよび前記接続部の第 2 のセットが、前記第 1 の材料と異なる第 2 の材料から形成される、請求項 19 に記載の方法。

40

【請求項 30】

前記接続部の第 1 のセットの第 1 のピッチが、前記接続部の第 2 のセットの第 2 のピッチと異なる、請求項 19 に記載の方法。

【請求項 31】

前記接続部の第 1 のセットの第 1 の抵抗が、前記接続部の第 2 のセットの第 2 の抵抗と異なる、請求項 19 に記載の方法。

【請求項 32】

前記接続部の第 1 のセットの第 1 のキャパシタンスが、前記接続部の第 2 のセットの第 2 のキャパシタンスと異なる、請求項 19 に記載の方法。

50

【請求項 3 3】

前記複数の機能ブロックが、
マイクロプロセッサと、
グラフィックス処理ユニット（GPU）と、
通信インターフェースと、
入力/出力（I/O）インターフェースと、
共有メモリと、
デジタルシグナルプロセッサ（DSP）とのうちの少なくとも2つを含む、請求項 1 9
に記載の方法。

【請求項 3 4】

前記第 1 の誘電体層および前記第 2 の誘電体層がそれぞれ、
ナノ多孔性シリカ、水素シルセスキオキサン（HSQ）、ポリテトラフルオロエチレン
（PTFE）、酸フッ化ケイ素（FSG）、チタン酸ジルコン酸鉛（PZT）、五酸化タ
ンタル（Ta₂O₅）、酸化アルミニウム（Al₂O₃）、二酸化ジルコニウム（ZrO₂）、または二酸化ハフニウム（HfO₂）のうちの少なくとも1つを含む、請求項 1 9
に記載の方法。

【請求項 3 5】

前記SOCが、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビ
ゲーションデバイス、通信デバイス、モバイルデバイス、モバイルフォン、スマートフォ
ン、携帯情報端末、定置端末、タブレットコンピュータ、コンピュータ、装着型デバイス
、モノのインターネット（IoT）デバイス、基地局、ラップトップコンピュータ、サー
バ、および自動車車両の中のデバイスからなる群から選択された装置の中に組み込まれる
、請求項 1 9 に記載の方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本開示の態様は、一般に、集積回路（IC）製作に関し、詳細には、同じシステムオン
チップ（SOC）上に存在する個別の機能ブロックに対して、抵抗（R）、キャパシタ
ンス（C）などの基準をカスタマイズすることに関する。

【背景技術】**【0002】**

SOCは、複数の機能ブロックを含み得、各機能ブロックは、たとえば、マイクロプロ
セッサ機能、画像処理装置（GPU）機能、通信機能（たとえば、Wi-Fi、ブルート
ース（登録商標）、および他の通信）などの特定の機能を実行するように設計される。
SOC上の個別の機能ブロックおよび特定のタイプの経路は、抵抗（R）、キャパシタ
ンス（C）などに対して特定の基準を有し得る。たとえば、ウェイクアップ機能として使用
される機能ブロックは、まれに使用され得、比較的高抵抗接続で機能することが可能であ
り得る。対照的に、多数の動作を頻繁に実行する、GPUなどの機能ブロックは、熱蓄積
およびオーバーヒートの可能性を低減する低抵抗接続でより速く実行し得る。しかしなが
ら、現在の集積回路（IC）製造技法は、機能ブロックに対して異なる基準（たとえば、
R、Cなど）に対応するための柔軟性を提供しない。

【発明の概要】**【課題を解決するための手段】****【0003】**

以下は、本明細書で開示される1つまたは複数の態様に関する簡略化された概要を提示
する。したがって、以下の概要は、すべての企図される態様に関する広範な概観と見なさ
れるべきではなく、また、以下の概要は、すべての企図される態様に関する主要もしくは
重要な要素を特定するか、または任意の特定の態様に関連する範囲を定めるものと見なさ
れるべきでもない。したがって、以下の概要は、以下で提示される詳細な説明に先立って
、本明細書で開示される機構に関する1つまたは複数の態様に関するいくつかの概念を、

10

20

30

40

50

簡略化された形態で提示することを唯一の目的とする。

【0004】

第1の態様では、装置は、システムオンチップ（SOC）上で共設される複数の機能ブロックを含むSOCを含む。SOCは、第1の金属層と、第1の金属層の上面上に設置された第1の誘電体層と、複数の機能ブロックのうちの第1の機能ブロック内で使用される第1の誘電体層内に設置された第1のビアと、複数の機能ブロックのうちの第2の機能ブロック内で使用される第1の誘電体層内に設置された第2のビアと、第1の誘電体層上に設置された第2の金属層とを含む。第2の金属層は、第1の機能ブロック内で使用される接続部の第1のセットと第2の機能ブロック内で使用される接続部の第2のセットとを含む。接続部の第1のセットは、接続部の第2のセットと異なってもよい。SOCは、第1の誘電体層上に設置された第2の誘電体層を含む。

10

【0005】

第2の態様では、システムオンチップ（SOC）を製作する方法は、基板上に第1の金属層を堆積するステップと、第1の金属層上に第1の誘電体層を堆積するステップと、第1の誘電体層内に第1のビアをエッチングするステップとを含む。第1のビアは、複数の機能ブロックのうちの第1の機能ブロック内で使用される。複数の機能ブロックが、SOC上に共設される。方法は、複数の機能ブロックのうちの第2の機能ブロック内で使用される第1の誘電体層内に設置される第2のビアをエッチングするステップと、第1の誘電体層の上面上に第2の金属層を堆積するステップとを含む。第2の金属層は、第1の機能ブロック内で使用される接続部の第1のセットと第2の機能ブロック内で使用される接続部の第2のセットとを含む。接続部の第1のセットは、接続部の第2のセットと異なる。方法は、第2の金属層の一部を除去するステップと、第1の誘電体層上に第2の誘電体層を堆積するステップとを含む。

20

【0006】

本明細書で開示される態様に関連する他の目的および利点は、添付の図面および詳細な説明に基づいて、当業者に明らかとなる。

【0007】

添付図面は、本開示の様々な態様の説明の助けとなるように提示され、態様の限定ではなく、態様の例示のためにのみ提供される。本開示のより完全な理解が、添付の図面と併せて以下の発明を実施するための形態を参照することによって取得され得る。図では、参照番号の（1つまたは複数の）最も左の桁は、その参照番号が最初に表示された図を識別する。異なる図面における同じ参照番号は、同様のまたは同一の品目を示す。

30

【図面の簡単な説明】

【0008】

【図1】本開示の様々な態様による、例示的なシステムオンチップ（SOC）を示す図である。

【図2A】本開示の態様による、異なる幅を有するビアを作成することを含む第1の配線工程（BEOL）プロセスを示す図である。

【図2B】本開示の態様による、異なる幅を有するビアを作成することを含む第1の配線工程（BEOL）プロセスを示す図である。

40

【図2C】本開示の態様による、異なる幅を有するビアを作成することを含む第1の配線工程（BEOL）プロセスを示す図である。

【図2D】本開示の態様による、異なる幅を有するビアを作成することを含む第1の配線工程（BEOL）プロセスを示す図である。

【図2E】本開示の態様による、異なる幅を有するビアを作成することを含む第1の配線工程（BEOL）プロセスを示す図である。

【図2F】本開示の態様による、異なる幅を有するビアを作成することを含む第1の配線工程（BEOL）プロセスを示す図である。

【図3A】本開示の態様による、異なる深さを有するビアを作成することを含む第2のBEOLプロセスを示す図である。

50

【図 3 B】本開示の態様による、異なる深さを有するビアを作成することを含む第 2 の B E O L プロセスを示す図である。

【図 3 C】本開示の態様による、異なる深さを有するビアを作成することを含む第 2 の B E O L プロセスを示す図である。

【図 3 D】本開示の態様による、異なる深さを有するビアを作成することを含む第 2 の B E O L プロセスを示す図である。

【図 3 E】本開示の態様による、異なる深さを有するビアを作成することを含む第 2 の B E O L プロセスを示す図である。

【図 3 F】本開示の態様による、異なる深さを有するビアを作成することを含む第 2 の B E O L プロセスを示す図である。

【図 3 G】本開示の態様による、異なる深さを有するビアを作成することを含む第 2 の B E O L プロセスを示す図である。

【図 4 A】本開示の態様による、リセスビアを作成することを含む第 3 の B E O L プロセスを示す図である。

【図 4 B】本開示の態様による、リセスビアを作成することを含む第 3 の B E O L プロセスを示す図である。

【図 4 C】本開示の態様による、リセスビアを作成することを含む第 3 の B E O L プロセスを示す図である。

【図 4 D】本開示の態様による、リセスビアを作成することを含む第 3 の B E O L プロセスを示す図である。

【図 4 E】本開示の態様による、リセスビアを作成することを含む第 3 の B E O L プロセスを示す図である。

【図 4 F】本開示の態様による、リセスビアを作成することを含む第 3 の B E O L プロセスを示す図である。

【図 4 G】本開示の態様による、リセスビアを作成することを含む第 3 の B E O L プロセスを示す図である。

【図 5】本開示の態様による、第 1 の誘電体層上に第 2 の金属層を堆積することを含む例示的なプロセスを示す図である。

【図 6】本開示の態様による、1 つまたは複数のリセスエッチを作成することを含む例示的なプロセスを示す図である。

【図 7】本開示の 1 つまたは複数の態様による、集積デバイスの構成要素を示す図である。

【図 8】本開示の 1 つまたは複数の態様による、例示的なモバイルデバイスを示す図である。

【図 9】本開示の 1 つまたは複数の態様による、集積デバイスまたは半導体デバイスと一体化され得る様々な電子デバイスを示す図である。

【発明を実施するための形態】

【0009】

単一のシステムオンチップ (SOC) 上に設置された個別の機能ブロックに対する、抵抗 (R) およびキャパシタンス (C) などの基準をカスタマイズするためのシステムおよび技法が開示される。集積回路 (IC) 製作は、(1) 基板工程 (FEOL) および (2) 配線工程 (BEOL) の 2 つの主なステップを有する。BEOL の間、個別のデバイス (トランジスタ、キャパシタ、抵抗器など) が、メタライゼーション層を使用してウェハ上に配線で相互接続される。BEOL は、金属の第 1 の層がウェハ上に堆積されるときに開始する。BEOL は、チップとパッケージの接続のために、接点、絶縁層 (誘電体)、金属レベル、およびボンディングサイトを含む。相互接続の特性は、幅、厚さ、間隔 (同じレベル上の第 1 の相互接続と第 2 の相互接続との間の距離)、ピッチ (幅と間隔との合計)、およびアスペクト比 ($AR = \text{幅} / \text{厚さ}$) を含み得る。幅、間隔、AR、およびピッチは、相互接続 (およびそれゆえ、IC) が妥当な生産量 (yield) を有する特定の技術を使用して製作されることを可能にする設計ルールのため、最小値および最

10

20

30

40

50

大値に制約され得る。たとえば、現在の最小 B E O L ピッチは 2 8 ナノメートル (n m) である。

【 0 0 1 0 】

相互接続のために銅 (C u) などの単一の金属を使用することは、機能ブロックの様々な選好に対応することを可能にしない場合がある。B E O L の間に複数の金属を使用することによって、様々なタイプの機能ブロックが、相互接続のために様々な金属を使用することができる。たとえば、実行される機能に応じて、いくつかの機能ブロックは、低 R 、低 C などをも有する金属を使用することから恩恵を受ける場合がある。本明細書で説明するシステムおよび技法は、相互接続のために複数の金属を使用することを可能にする。たとえば、複数の金属には、銅 (C u) 、コバルト (C o) 、ルテニウム (R u) 、タングステン / ウォルフラム (W) 、モリブデン (M o) 、金 (A u) 、銀 (A g) 、アルミニウム (A l) 、スズ (S n) などが含まれ得る。

10

【 0 0 1 1 】

本明細書で説明するシステムおよび技法は、S O C を作成するために使用され得る。たとえば、S O C を作成するための B E O L の間、第 1 の金属層上に第 1 の誘電体層を堆積した後、第 1 の金属層は、1 つまたは複数のビアを作成するためにエッチングされ得る。ビアは、異なる層の間の導電性接続を可能にするための、絶縁酸化物層内の開口である。各機能ブロックに対して、第 2 の金属層が、第 1 の誘電体層の表面上に堆積され、次いでエッチングされ得る。たとえば、第 2 の金属層は、第 1 の金属層 (たとえば、C u) と異なる金属 (たとえば、C o 、R u 、W 、M o など) を使用し得、機能ブロックに特定のものであり得る。第 2 の金属層がエッチングされた後、第 2 の誘電体層が堆積され得、化学機械研磨 (C M P) が、B E O L を完了するために実行され得る。様々な機能ブロックに対応するために、第 2 の金属層に使用される金属は、特定の機能ブロックに特定のものであり得る。たとえば、第 2 の金属層が、第 1 の機能ブロックに対して第 2 の金属を使用し得、第 2 の機能ブロックに対して第 3 の金属を使用し得る。この例では、3 つの金属層、たとえば、第 1 の金属層に対する第 1 の金属、第 1 の機能ブロックの第 2 の金属層に対する第 2 の金属、および第 2 の機能ブロックの第 2 の金属層に対する第 3 の金属が使用される。当然ながら、異なる金属が、追加の機能ブロックに対する第 2 の金属層に使用されてもよく、結果として、4 つ以上の金属が使用される。

20

【 0 0 1 2 】

本開示の態様は、例示を目的に提供される様々な例を対象とする以下の説明および関連する図面において提供される。本開示の範囲を逸脱することなく、代替の態様が考案され得る。加えて、本開示のよく知られている要素は、本開示の関連する詳細を不明瞭にしないように、詳細には説明されないかまたは省略される。

30

【 0 0 1 3 】

「例示的」および / または「例」という語は、本明細書では、「例、事例、または例示として機能すること」を意味するために使用される。本明細書で「例示的」および / または「例」として説明されるいかなる態様も、必ずしも他の態様よりも好ましいかまたは有利であると解釈されるべきではない。同様に、「本開示の態様」という用語は、本開示のすべての態様が、論じられる特徴、利点、または動作モードを含むことを必要とするとは限らない。

40

【 0 0 1 4 】

以下で説明される情報および信号は、様々な異なる技術および技法のいずれかを使用して表され得ることを当業者は理解するだろう。たとえば、以下の説明全体にわたって言及され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、具体的な用途、所望の設計、対応する技術などに一部応じて、電圧、電流、電磁波、磁場もしくは磁性粒子、光場もしくは光学粒子、またはそれらの任意の組合せによって表され得る。

【 0 0 1 5 】

さらに、たとえば、コンピューティングデバイスの要素によって実行されるべき一連の

50

行動に関して、多くの態様が説明される。本明細書で説明される様々な行動は、特定の回路（たとえば、特定用途向け集積回路（ASIC））によって、1つもしくは複数のプロセッサによって実行されるプログラム命令によって、またはその両方の組合せによって実行され得ることが認識されるだろう。加えて、本明細書で説明される一連の行動は、実行されると、デバイスの関連するプロセッサに本明細書で説明される機能を実行させるかまたは実行するように命令する、コンピュータ命令の対応するセットを記憶した、任意の形態の非一時的コンピュータ可読記憶媒体内で完全に具現化されると見なされ得る。したがって、本開示の様々な態様は、請求される主題の範囲内にそのすべてが入ることが企図されている、いくつかの異なる形態で具現化され得る。加えて、本明細書で説明される態様の各々に対して、任意のそのような態様の対応する形態は、たとえば、説明される行動を実行する「ように構成された論理」として本明細書で説明されることがある。

10

【0016】

本明細書において使用される「ユーザ機器」（UE）および「基地局」という用語は、別段に記載されていない限り、任意の特定の無線アクセス技術（RAT）に固有であること、または別様にそれに限定されることは、意図されない。一般に、UEは、ワイヤレス通信ネットワークを介して通信するためにユーザによって使用される、任意のワイヤレス通信デバイス（たとえば、携帯電話、ルータ、タブレットコンピュータ、ラップトップコンピュータ、追跡デバイス、ウェアラブルデバイス（たとえば、スマートウォッチ、眼鏡、拡張現実（AR）/仮想現実（VR）ヘッドセットなど）、車両（たとえば、自動車、オートバイ、自転車など）、モノのインターネット（IoT）デバイスなど）であってもよい。UEは移動式であってもよく、または（たとえば、ある時間において）静止していてもよく、無線アクセスネットワーク（RAN）と通信してもよい。本明細書で使用される「UE」という用語は、「アクセス端末」もしくは「AT」、「クライアントデバイス」、「ワイヤレスデバイス」、「加入者デバイス」、「加入者端末」、「加入者局」、「ユーザ端末」もしくはUT、「モバイルデバイス」、「モバイル端末」、「移動局」、またはそれらの変形として互換的に呼ばれることがある。一般に、UEは、RANを介してコアネットワークと通信することができ、コアネットワークを通じて、UEは、インターネットなどの外部のネットワークと、かつ他のUEと接続され得る。当然、ワイヤードアクセスネットワーク、ワイヤレスローカルエリアネットワーク（wireless local area network: WLAN）ネットワーク（たとえば、米国電気電子技術者協会（Institute of Electrical and Electronics Engineers: IEEE）802.11などに基づく）などを介した、コアネットワークおよび/またはインターネットに接続する他の機構もUEにとって可能である。

20

30

【0017】

基地局は、基地局が展開されているネットワークに応じてUEと通信しているいくつかのRATのうちの1つに従って動作してもよく、代替として、アクセスポイント（AP）、ネットワークノード、ノードB、発展型NodeB（eNB）、次世代eNB（ng-eNB）、New Radio（NR）NodeB（gNBまたはgNodeBとも呼ばれる）などと呼ばれることがある。基地局は、サポートされるUEのためのデータ、音声、および/またはシグナリング接続をサポートすることを含めて、UEによるワイヤレスアクセスをサポートするために主に使用され得る。いくつかのシステムでは、基地局は純粋にエッジノードシグナリング機能を提供し得るが、他のシステムでは、基地局は追加の制御および/またはネットワーク管理機能を提供し得る。UEがそれを通じてRF信号を基地局に送信することができる通信リンクは、アップリンク（UL）チャネル（たとえば、逆方向トラフィックチャネル、逆方向制御チャネル、アクセスチャネルなど）と呼ばれる。基地局がそれを通じてRF信号をUEに送信することができる通信リンクは、ダウンリンク（DL）または順方向リンクチャネル（たとえば、ページングチャネル、制御チャネル、ブロードキャストチャネル、順方向トラフィックチャネルなど）と呼ばれる。本明細書で使用されるトラフィックチャネル（TCH）という用語は、アップリンク/逆

40

50

方向トラフィックチャネルまたはダウンリンク / 順方向トラフィックチャネルのいずれかを指すことができる。

【 0 0 1 8 】

「基地局」という用語は、単一の物理送受信ポイント (T R P)、または、共設されてもよいし共設されなくてもよい複数の物理 T R P を指すことがある。たとえば、「基地局」という用語が単一の物理的な T R P を指す場合、その物理的な T R P は、基地局のセル (または、いくつかのセルセクタ) に対応する、基地局のアンテナであってよい。「基地局」という用語が、共設されている複数の物理的な T R P を指す場合、それらの物理的な T R P は、基地局の (たとえば、多入力多出力 (M I M O) システムにおけるような、または基地局がビームフォーミングを採用する場合の) アンテナのアレイであってよい。「基地局」という用語が、共設されていない複数の物理的な T R P を指す場合、それらの物理的な T R P は、分散アンテナシステム (D A S : d i s t r i b u t e d a n t e n n a s y s t e m) (移送媒体を介して共通のソースに接続された、空間的に分離されたアンテナのネットワーク)、またはリモートラジオヘッド (R R H : r e m o t e r a d i o h e a d) (サービング基地局に接続された遠隔の基地局) であってよい。代替として、共設されていない物理的な T R P は、 U E、および U E がその参照 R F 信号 (または、単に「参照信号」) を測定している隣接する基地局から、測定報告を受信するサービング基地局であってよい。 T R P は基地局がそこからワイヤレス信号を送信および受信するポイントであるので、本明細書で使用する時、基地局からの送信または基地局における受信への言及は、基地局の特定の T R P に言及するものとして理解されるべきである。

10

20

【 0 0 1 9 】

U E の測位をサポートするいくつかの実装形態において、基地局は、 U E によるワイヤレスアクセスをサポートしないことがあるが (たとえば、 U E のためのデータ接続、音声接続、および / またはシグナリング接続をサポートしないことがあるが)、代わりに U E によって測定されるように参照信号を U E へ送信してよく、かつ / または U E によって送信された信号を受信および測定してよい。そのような基地局は、測位ビーコン (たとえば、信号を U E へ送信するとき)、および / またはロケーション測定ユニット (たとえば、 U E からの信号を受信および測定するとき) と呼ばれることがある。

【 0 0 2 0 】

「 R F 信号」は、送信機と受信機との間の空間を通じて情報をトランスポートする所与の周波数の電磁波を含む。本明細書で使用される場合、送信機は、単一の「 R F 信号」または複数の「 R F 信号」を受信機に送信し得る。しかしながら、受信機は、マルチパスチャネルを通じた R F 信号の伝搬特性に起因して、送信された各 R F 信号に対応する複数の「 R F 信号」を受信し得る。送信機と受信機との間の異なる経路上で送信された同じ R F 信号は、「マルチパス」 R F 信号と呼ばれることがある。本明細書で使用される場合、 R F 信号は、「ワイヤレス信号」、「レーダー信号」、「電波」、「波形」など、あるいは「信号」という用語がワイヤレス信号または R F 信号を指すことが文脈から明確である場合は単に「信号」と呼ばれることもある。

30

【 0 0 2 1 】

図 1 は、本開示の様々な態様による、例示的なシステムオンチップ (S O C) 1 0 0 を示す。 S O C 1 0 0 は、機能ブロック 1 0 2 (A)、機能ブロック 1 0 2 (B) から機能ブロック 1 0 2 (N) までなど、複数 (たとえば、 N 個、 N > 0) の機能ブロックを含み得る。機能ブロック 1 0 2 の各々は、特定の機能を実行し得る。たとえば、機能ブロック 1 0 2 は、マイクロプロセッサ (たとえば、複数のコアを有する) 機能、画像処理装置 (G P U) 機能、通信インターフェース機能 (たとえば、 W i - F i、ブルートゥース (登録商標) および他の通信)、入力 / 出力 (I / O) 機能、共有メモリ機能 (たとえば、 S O C 上の機能ブロック間で共有される)、デジタルシグナルプロセッサ (D S P) 機能、別のタイプの機能、または任意のそれらの組合せを含み得る。

40

【 0 0 2 2 】

50

機能ブロック102の各々は、ビア、特定の経路（たとえば、クリティカルパス）、およびSOC100上の他の接続などの個別の接続に対して、抵抗、キャパシタンス、幅、深さなどを識別する関連基準を有し得る。クリティカルパスは、回路経路に沿った信号における遅延が、機能ブロック全体の周波数を決定し得る（たとえば、ゲートで制御し得る）ような回路経路である。クリティカルパスのRC遅延を低減することで、機能ブロックが動作することができる周波数が増加する。機能ブロック102(A)は関連基準104(A)を有し得、機能ブロック102(B)は関連基準104(B)を有し得、機能ブロック102(N)は関連基準104(C)を有し得る。1つまたは複数の金属が、対応する機能ブロック102の各々に関連する基準104に基づいて、SOC100の第2の金属層のために選択され得る。たとえば、第1の金属が、基準104(A)に基づいて機能ブロック102(A)の第2の金属層内で使用され得、第2の金属が、基準104(B)に基づいて機能ブロック102(B)に対する第2の金属層内で使用され得、第3の金属が、基準104(N)に基づいて機能ブロック102(N)に対する第2の金属層内で使用され得る。いくつかの場合、第1の金属、第2の金属、および第3の金属は、同じ金属であり得る。他の場合、金属のうち2つは同じであり得るが、金属のうち1つは異なる場合がある。さらに他の場合、3つの金属のすべてが、互いに異なる場合がある。

10

【0023】

したがって、特定の機能ブロックの第2の金属層に対して特定の金属を使用する利点は、特定の機能ブロックに関連する基準が満足され得ることである。たとえば、ウェイクアップ機能ブロックなど、まれに使用される機能ブロックは、比較的高い抵抗を有する金属を使用し得る。なぜならば、速度、熱の蓄積などは、まれにしか遭遇しないからである。別の例として、GPUなど、頻繁に使用されるかまたは多数の動作を実行する機能ブロックは、熱の蓄積などを低減するために、高性能のために高速データ交換を可能にするために、比較的低い抵抗を有する金属を使用し得る。

20

【0024】

図2A、図2B、図2C、図2D、図2Eおよび図2Fは、本開示の態様による、異なる幅を有するビアを作成することを含む第1の配線工程(BEOL)プロセスのステージを示す。図2A、図2B、図2C、図2D、図2Eおよび図2Fは、SOC上に2つの機能ブロック102(A)および102(B)を作成することを示す。2つの機能ブロック102(A)、102(B)は、例示のために示されており、本明細書で説明するシステムおよび技法は、SOC上に3つ以上の機能ブロックを作成するために使用され得ることを理解されたい。

30

【0025】

図2Aでは、第1の金属層(ML)202が堆積され得る。たとえば、第1の金属層202は、Cu、Co、Ru、W、Mo、Au、Ag、Al、Sn、別のタイプの金属、または任意のそれらの組合せを含み得る。いくつかの場合、第1の層は、WまたはCoの中間線(MOL: middle-of-the-line)導体層であり得る。MOLは、一連の接触構造を使用して別々のトランジスタと相互接続部品(piece)とを接続する。そのような場合には、第2の層は、BEOLの第1の金属層202である。第1の金属層202はまた、たとえばCuまたはCoなどの金属を使用する第1のBEOL層であり得る（およびしたがって、第2の層は第2のBEOL層である）。今後のノード（たとえば、22nm未満の第1のBEOL金属層ピッチを使用する）に対して、BEOLの第1の金属層202の導体材料は、たとえばRu、Co、W、またはMoを含み得る。

40

【0026】

図2Bでは、第1の誘電体層(DL)204が、たとえば、第1の金属層202の上面上に堆積され得る。第1の誘電体層204は、たとえば、SiCOHまたはSiO₂など、低k誘電体であり得る。図2Cでは、第1の誘電体層204が、機能ブロック102(A)において少なくとも1つのビア、たとえばビア206(A)と、機能ブロック102(B)において少なくとも1つのビア、たとえばビア206(B)とを作成するためにエッチングされ得る。ビア206(A)は、ビア206(B)の幅208(B)と異なる幅

50

208 (A) を有し得る。たとえば、図 2 C に示すように、幅 208 (B) は、幅 208 (A) より大きい場合がある。機能ブロック 102 (B) は、大量のデータを転送し得るかまたは多数のトランザクションを実行し得、データ転送速度を高めるため、熱の蓄積を低減するため、またはその両方のために、ビア 206 (B) の幅 208 (B) を使用し得る。

【0027】

図 2 D では、第 2 の金属層 210 (A) が、ビア 206 (A) を充填することを含めて、機能ブロック 102 (A) のエッチングされた第 1 の誘電体層 204 の上に堆積され得る。第 2 の金属層 210 (B) が、ビア 206 (B) を充填することを含めて、機能ブロック 102 (B) のエッチングされた第 1 の誘電体層 204 の上に堆積され得る。開示する様々な態様では、金属層 210 (A) は、金属層 210 (B) と同じ材料を使用する。金属層 210 (A)、210 (B) の各々は、Cu、Co、Ru、W、Mo、Au、Ag、Al、Sn、別のタイプの金属、または任意のそれらの組合せ、および望ましくは Ru または Co を含み得る。たとえば、第 1 の金属層 202 は Cu を含み得、第 2 の金属層 210 (A) は Co (または W) を含み得、第 2 の金属層 210 (B) は Co (または W) を含み得る。しかしながら、様々な態様は、この構成および他のケースに限定されず、金属層 210 (A) は、たとえば、機能ブロック 102 (A) に関連する基準 104 (A) および機能ブロック 102 (B) に関連する基準 104 (B) に応じて、金属層 210 (B) と異なる場合があることが諒解されよう。

【0028】

図 2 E は、第 2 の金属層 210 (A)、210 (B) に対して金属エッチ 212 を実行した結果を示す。金属エッチ 212 は、プラズマエッチを使用して実行され得る。たとえば、CF₄/O₂ プラズマが、Ru エッチに使用され得る。当然ながら、金属エッチ 212 を実行するために選択される化学物質は、エッチングされている金属に依存する。通常、異なる金属は異なる化学物質を必要とする。図 2 F は、エッチングされた第 2 の金属層 210 (A)、210 (B) の上面上に第 2 の誘電体層 216 を追加するために誘電体充填 214 を実行し、第 2 の誘電体層 216 の上面 220 に化学機械研磨 (CMP) 218 を実行した結果を示す。図 2 F に見られるように、第 2 の金属層 210 (B) を用いるビア 206 (B) の充填は、第 2 の金属層 210 (A) を用いるビア 206 (A) の充填の幅 208 (A) より大きい幅 208 (B) を有する。このようにして、より広いクリティカルパス、より低い抵抗接続 (たとえば、ビア) など、特定の機能ブロックに関連する基準が、SOC の製作の BEO L 部の間に達成され得る。

【0029】

第 1 の誘電体層 204 および第 2 の誘電体層 216 は、(a) たとえばナノ多孔性シリカ、水素シルセスキオキサン (HSQ)、ポリテトラフルオロエチレン (PTFE)、および酸フッ化ケイ素 (FSG) など、低 K 誘電体材料 (ここで、K は材料の誘電率) のうちの 1 つまたは複数、または (b) たとえばチタン酸ジルコン酸鉛 (PZT)、五酸化タンタル (Ta₂O₅)、酸化アルミニウム (Al₂O₃)、二酸化ジルコニウム (ZrO₂)、および二酸化ハフニウム (HfO₂) など、高 K 誘電体材料 (たとえば、10 < K < 100) のうちの 1 つまたは複数を含み得る。

【0030】

図 3 A、図 3 B、図 3 C、図 3 D、図 3 E、図 3 F および図 3 G は、本開示の態様による、異なる深さを有するビアを作成することを含む第 2 の BEO L プロセスのステージを示す。図 3 A、図 3 B、図 3 C、図 3 D、図 3 E、図 3 F および図 3 G は、SOC 上に 2 つの機能ブロック 102 (A) および 102 (B) を作成することを示す。2 つの機能ブロック 102 (A)、102 (B) は、例示のために示されており、本明細書で説明するシステムおよび技法は、SOC 上に 3 つ以上の機能ブロックを作成するために使用され得ることを理解されたい。

【0031】

図 3 A では、第 1 の金属層 (ML) 202 が堆積され得る。たとえば、第 1 の金属層 2

10

20

30

40

50

02は、Cu、Co、Ru、W、Mo、Au、Ag、Al、Sn、別のタイプの金属、または任意のそれらの組合せを含み得る。

【0032】

図3Bでは、第1の誘電体層(DL)204が、たとえば、第1の金属層202の上面上に堆積され得る。図3Cでは、第1の誘電体層204の層エッチ302が、第1の誘電体層204の一部を除去するために実行され得る。図3Cに示すように、層エッチ302は、特定の機能ブロック、たとえば機能ブロック102(B)に対して実行される。図3Dでは、層エッチ302を実行して、機能ブロック102(A)において少なくとも1つのビア、たとえばビア206(A)と、機能ブロック102(B)において少なくとも1つのビア、たとえばビア206(B)とを作成した結果を示す。ビア206(A)は、ビア206(B)と同じ幅である幅304を有し得る。ビア206(A)の深さは、層エッチ302により、ビア206(B)の深さと異なることに留意されたい。

10

【0033】

図3Eでは、第2の金属層210(A)が、ビア206(A)を充填することを含めて、機能ブロック102(A)のエッチングされた第1の誘電体層204の上に堆積され得る。第2の金属層210(B)が、ビア206(B)を充填することを含めて、機能ブロック102(B)のエッチングされた第1の誘電体層204の上に堆積され得る。いくつかの場合、金属層210(A)は、金属層210(B)と同じであり得るが、他の場合には、金属層210(A)は、たとえば、機能ブロック102(A)に関連する基準104(A)および機能ブロック102(B)に関連する基準104(B)に応じて、金属層210(B)と異なる場合がある。金属層210(A)、210(B)の各々は、Cu、Co、Ru、W、Mo、Au、Ag、Al、Sn、別のタイプの金属、または任意のそれらの組合せを含み得る。たとえば、第1の金属層202はCuを含み得、第2の金属層210(A)はCo(またはW)を含み得、第2の金属層210(B)はW(またはCo)を含み得る。

20

【0034】

図3Fは、第2の金属層210(A)、210(B)に対して金属エッチ212を実行した結果を示す。図3Gは、エッチングされた第2の金属層210(A)、210(B)の上面上に誘電体層216を追加するために誘電体充填214を実行し、第2の誘電体層216の上面220に対してCMP218を実行した結果を示す。図3Gに見られるように、機能ブロック102(A)の接続部308(A)は、機能ブロック102(B)の接続部308(B)の深さ306(B)より小さい深さ306(A)を有する。より深い深さ306(B)は、308(B)に対してより低い抵抗(およびより高いキャパシタンス)をもたらす。このより低い抵抗は、より低いRを好む(およびより高いキャパシタンスを許容することができる)回路または機能ブロックに対して提供される。

30

【0035】

図4A、図4B、図4C、図4D、図4E、図4Fおよび図4Gは、本開示の態様による、リセスビアを作成することを含む第3のBEOLプロセスのステージを示す。図4A、図4B、図4C、図4D、図4E、図4Fおよび図4Gは、SOC上に2つの機能ブロック102(A)および102(B)を作成することを示す。2つの機能ブロック102(A)、102(B)は、例示のために示されており、本明細書で説明するシステムおよび技法は、SOC上に3つ以上の機能ブロックを作成するために使用され得ることを理解されたい。

40

【0036】

図4Aでは、第1の金属層(ML)202が堆積され得る。たとえば、第1の金属層202は、Cu、Co、Ru、W、Mo、Au、Ag、Al、Sn、別のタイプの金属、または任意のそれらの組合せを含み得る。

【0037】

図4Bでは、第1の誘電体層(DL)204が、たとえば、第1の金属層202の上面上に堆積され得る。図4Cでは、第1の誘電体層204が、機能ブロック102(A)に

50

において少なくとも1つのビア、たとえばビア206(A)と、機能ブロック102(B)において少なくとも1つのビア、たとえばビア206(B)とを作成するためにエッチングされ得る。ビア206(A)は、ビア206(B)と同じ幅である幅402を有し得る。

【0038】

図4Dでは、第2の金属層210(A)が、ビア206(A)を充填することを含めて、機能ブロック102(A)のエッチングされた第1の誘電体層204の上に堆積され得る。第2の金属層210(B)が、ビア206(B)を充填することを含めて、機能ブロック102(B)のエッチングされた第1の誘電体層204の上に堆積され得る。いくつかの場合、金属層210(A)は、金属層210(B)と同じであり得るが、他の場合には、金属層210(A)は、たとえば、機能ブロック102(A)に関連する基準104(A)および機能ブロック102(B)に関連する基準104(B)に応じて、金属層210(B)と異なる場合がある。金属層210(A)、210(B)の各々は、Cu、Co、Ru、W、Mo、Au、Ag、Al、Sn、別のタイプの金属、または任意のそれらの組合せを含み得る。たとえば、第1の金属層202はCuを含み得、第2の金属層210(A)はCo(またはW)を含み得、第2の金属層210(B)はW(またはCo)を含み得る。

10

【0039】

図4Eは、図4Dの第2の金属層210(A)、210(B)に対して金属エッチ212を実行した結果を示す。図4Fは、エッチングされた第2の金属層210(A)、210(B)の上面上に第2の誘電体層216を追加するために誘電体充填214を実行し、第2の誘電体層216の上面220に対してCMP218を実行した結果を示す。

20

【0040】

図4Gは、第2の誘電体層216の上面220の下に特定の機能ブロックの接続部308(A)をくぼませるために、特定の機能ブロック、たとえば機能ブロック102(A)上に金属リセスエッチを実行した結果を示す。他の機能ブロック、たとえば機能ブロック102(B)の接続部308(B)は、上面220と同じレベルのままである。金属リセスエッチ404を使用して金属線をくぼませることで、機能ブロック102(A)においてより低い金属キャパシタンス(およびより高い金属R)がもたらされる。金属リセスエッチ404は、機能ブロックが、より低い金属キャパシタンスを好む(およびより高い金属Rを許容することができる)ときに、機能ブロック102(A)に利益をもたらす。

30

【0041】

上述のBEOLプロセスは、相互排他的であることを意図するのではなく、同じSOC上に少なくとも2つの異なる機能ブロックを設けるために、システムおよび技法がどのように使用され得るかを示すことを意図している。SOC上の各機能ブロックをカスタマイズするために、以下の流れ図に示すように、異なる図が、異なる方法で組み合わせられてもよい。

【0042】

図5および図6の流れ図では、各ブロックは、ハードウェア、ソフトウェア、またはそれらの組合せで実装され得る1つまたは複数の動作を表す。ソフトウェアの文脈では、ブロックは、1つまたは複数のプロセッサによって実行されたとき、記載された動作をプロセッサに実行させるコンピュータ実行可能命令を表す。一般に、コンピュータ実行可能命令は、特定の機能を実行するかまたは特定の抽象データタイプを実装する、ルーチン、プログラム、オブジェクト、モジュール、構成要素、データ構造などを含む。ブロックが説明される順序は、限定として解釈されることが意図されておらず、説明される任意の数の動作は、プロセスを実装するために任意の順序でかつ/または並列に組み合わせられてもよい。説明を目的として、プロセス500および600は、上記で説明したように、図1、図2A~図2F、図3A~図3G、および図4A~図4Gを参照して説明されるが、他のモデル、フレームワーク、システム、および環境が、これらのプロセスを実装するために使用されてもよい。

40

50

【 0 0 4 3 】

図 5 は、本開示の態様による、第 1 の誘電体層上に第 2 の金属層を堆積することを含む例示的なプロセス 5 0 0 を示す。プロセス 5 0 0 は、B E O L の間など、S O C の製造の間に実行され得る。

【 0 0 4 4 】

5 0 2 において、プロセスは、第 1 の金属層を（たとえば、ウェハ上に）堆積し得る。たとえば、図 2 A、図 3 A および図 4 A では、プロセスは、第 1 の金属層 2 0 2 を堆積し得る。

【 0 0 4 5 】

5 0 4 において、プロセスは、第 1 の金属層の上面上に第 1 の誘電体層を堆積し得る。たとえば、図 2 B、図 3 B および図 4 B では、プロセスは、第 1 の誘電体層 2 0 4 を堆積し得る。

【 0 0 4 6 】

5 0 6 において、プロセスは、第 1 の誘電体層内に 1 つまたは複数のビアをエッチングし得る。たとえば、図 2 C、図 3 D および図 4 C では、プロセスは、機能ブロック 1 0 2 (A) において少なくとも 1 つのビア 2 0 6 (A) をエッチングし得、機能ブロック 1 0 2 (B) において少なくとも 1 つのビア 2 0 6 (B) をエッチングし得る。

【 0 0 4 7 】

5 0 8 において、プロセスは、個別の機能ブロックに対して、第 1 の誘電体層の上面上に第 2 の金属層を堆積し得る。たとえば、図 2 D、図 3 E および図 4 D では、プロセスは、機能ブロック 1 0 2 (A) に対する第 2 の金属層 2 1 0 (A) と、機能ブロック 1 0 2 (B) に対する第 2 の金属層 2 1 0 (B) とを堆積し得る。

【 0 0 4 8 】

5 1 0 において、プロセスは、個別の機能ブロックに対して、第 2 の金属層の一部を除去するためにエッチングし得る。たとえば、図 2 E、図 3 F および図 4 E では、プロセスは、第 2 の金属層 2 1 0 (A)、2 1 0 (B) の一部を除去するために金属エッチ 2 1 2 を実行し得る。

【 0 0 4 9 】

5 1 2 において、プロセスは、第 2 の金属層の上面上に第 2 の誘電体層を堆積し得る。たとえば、図 2 F、図 3 G および図 4 F では、プロセスは、第 2 の誘電体層 2 1 6 を追加するために誘電体充填 2 1 4 を実行し得る。

【 0 0 5 0 】

5 1 4 において、プロセスは、第 2 の誘電体層に対して化学機械研磨 (C M P) を実行し得る。たとえば、図 2 F、図 3 G および図 4 F では、プロセスは、第 2 の誘電体層 2 1 6 の上面 2 2 0 に対して C M P 2 1 8 を実行し得る。

【 0 0 5 1 】

したがって、異なる金属が、特定の機能ブロックに関連する特定の基準に基づいて、B E O L の間に第 2 の金属層内で使用され得る。たとえば、比較的低い抵抗を有する金属は、大量のデータを送信する機能ブロック、または内部接続内にあまりに大きい抵抗が存在する場合にオーバーヒートすることがある機能ブロックに対して、第 2 の金属層として使用され得る。比較的高い抵抗を有する金属は、ウェイクアップ機能など、まれに使用される機能ブロックに対して第 2 の金属層として使用され得る。

【 0 0 5 2 】

図 6 は、本開示の態様による、1 つまたは複数のリセスエッチを作成することを含む例示的なプロセス 6 0 0 を示す。プロセス 6 0 0 は、B E O L の間など、S O C の製造の間に実行され得る。

【 0 0 5 3 】

6 0 2 において、プロセスは、第 1 の金属層を（たとえば、ウェハ上に）堆積し得る。たとえば、図 2 A、図 3 A および図 4 A では、プロセスは、第 1 の金属層 2 0 2 を堆積し得る。

10

20

30

40

50

【 0 0 5 4 】

6 0 4において、プロセスは、第 1 の金属層の上面上に第 1 の誘電体層を堆積し得る。たとえば、図 2 B、図 3 B および図 4 B では、プロセスは、第 1 の誘電体層 2 0 4 を堆積し得る。

【 0 0 5 5 】

6 0 6において、いくつかの場合、プロセスは、個別の機能ブロックに対して、第 1 の誘電体層の一部をエッチングを介して除去し得る。たとえば、図 3 C では、プロセスは、機能ブロック 1 0 2 (B) の第 1 の誘電体層 2 0 4 の一部を (たとえば、機能ブロック 1 0 2 (A) の第 1 の誘電体層 2 0 4 に影響を及ぼすことなく) 除去するために、層エッチ 3 0 2 を実行し得る。

10

【 0 0 5 6 】

6 0 8において、プロセスは、個別の機能ブロックに対して、第 1 の誘電体層内に 1 つまたは複数のビアをエッチングし得る。たとえば、図 2 C、図 3 D および図 4 C では、プロセスは、機能ブロック 1 0 2 (A) において少なくとも 1 つのビア 2 0 6 (A) をエッチングし得、機能ブロック 1 0 2 (B) において少なくとも 1 つのビア 2 0 6 (B) をエッチングし得る。

【 0 0 5 7 】

6 1 0において、プロセスは、個別の機能ブロックに対して、第 1 の誘電体層の上面上に第 2 の金属層を堆積し得る。たとえば、図 2 D、図 3 E および図 4 D では、プロセスは、機能ブロック 1 0 2 (A) に対する第 2 の金属層 2 1 0 (A) と、機能ブロック 1 0 2 (B) に対する第 2 の金属層 2 1 0 (B) とを堆積し得る。

20

【 0 0 5 8 】

6 1 2において、プロセスは、個別の機能ブロックに対して、第 2 の金属層の一部を除去するためにエッチングし得る。たとえば、図 2 E、図 3 F および図 4 E では、プロセスは、第 2 の金属層 2 1 0 (A)、2 1 0 (B) の一部を除去するために金属エッチ 2 1 2 を実行し得る。

【 0 0 5 9 】

6 1 4において、プロセスは、第 2 の金属層の上面上に第 2 の誘電体層を堆積し得る。たとえば、図 2 F、図 3 G および図 4 F では、プロセスは、第 2 の誘電体層 2 1 6 を追加するために誘電体充填 2 1 4 を実行し得る。

30

【 0 0 6 0 】

6 1 6において、プロセスは、第 2 の誘電体層に対して化学機械研磨 (C M P) を実行し得る。たとえば、図 2 F、図 3 G および図 4 F では、プロセスは、第 2 の誘電体層 2 1 6 の上面 2 2 0 に対して C M P 2 1 8 を実行し得る。

【 0 0 6 1 】

6 1 8において、いくつかの場合、プロセスは、個別の機能ブロックに対して、1 つまたは複数のリセス接続部を作成するために、ビアのうちの 1 つまたは複数の一部をエッチングを介して除去し得る。たとえば、図 4 G では、金属リセスエッチ 4 0 4 が、上面 2 2 0 の下にコネクタをくぼませるために使用され得る。

【 0 0 6 2 】

したがって、本明細書で説明する B E O L プロセスによってもたらされる利点は、機能ブロックが、各機能ブロックに関連する異なる基準を満足するためにカスタマイズされ得ることである。たとえば、特定の機能ブロックは第 2 の金属層に対して別の機能ブロックと異なる金属を使用し得、特定の機能ブロックは別の機能ブロックより広いビアを有し得、特定の機能ブロックは別の機能ブロックより大きい深さを有するコネクタを有し得、特定の機能ブロックは別の機能ブロックと比較してくぼまされたコネクタ、ビア、または両方を有し得、またはそれらが任意に組み合わせられ得る。このようにして、各機能ブロックに関連して異なる抵抗およびキャパシタンスの基準が満足され得、より速いスループット (たとえば、より低い抵抗による)、より少ない熱の蓄積などが可能になる。

40

【 0 0 6 3 】

50

図7は、本開示の1つまたは複数の態様による集積デバイス700の構成要素を示す。上述の様々なBEO L技法にもかかわらず、SOC100がPCB790に結合するように構成されることが諒解されよう。PCB790はまた、電源780(たとえば、電力管理集積回路(PMIC))に結合され、これは、パッケージ720およびSOC100をPMIC780に電氣的に結合するのを可能にする。具体的には、1本または複数の電源(VDD)線791および1本または複数の接地(GND)線792がPMIC780に結合され、電力をPCB790に分配し、VDD BGAピン725およびGND BGAピン727を介してパッケージ720に分配し、ダイバンプ712を介してダイ710に分配してもよい(ダイバンプ712は、上記で説明したように、パッケージ720の上部金属層/M1層726に結合された、様々なサイズおよびピッチのUBMをめっきされ得る)。VDD線791およびGND線792の各々は、PCB790内の金属層1~6を分離する絶縁層を貫通する1つまたは複数のビアによって結合されたPCB790の1つまたは複数の金属層(たとえば、層1~6)におけるトレース、形状、またはパターンから形成されてもよい。PCB790は、1つまたは複数のPCBキャパシタ(PCBcap)795を有してもよく、当業者に知られているように、PCBキャパシタ795を使用して電源信号を調節することができる。パッケージ720上の1つまたは複数の追加のBGAピン(図示せず)を介して、追加の接続部およびデバイスが、パッケージ720に結合されてもよく、および/またはPCB790を貫通してパッケージ720に到達してもよい。図示の構成および説明が本明細書で開示する様々な態様の説明を助けるために提供されているにすぎないことが諒解されよう。たとえば、PCB790は、より多いかまたはより少ない数の金属および絶縁層を有してもよいこと、様々な構成要素に電力を供給する複数の線があってもよいことなどが挙げられる。したがって、上記の例示的な例および関連する図は、本明細書で開示する様々な態様および特許請求の範囲に限定されるものと解釈すべきではない。

10

20

30

40

50

【0064】

本明細書で開示する様々な態様によれば、少なくとも1つの態様は、複数の機能ブロックを有するSOCを含む。SOCの個別の機能ブロックは、特定のR特性、特定のC特性、または両方を有する接続部を含み得る。様々な技術的利点の中でも、開示する様々な態様は、少なくともいくつかの態様の中で、同じSOC上に設置された個別の機能ブロックの異なる接続部(ビアを含む)の抵抗(R)、キャパシタンス(C)、または両方をカスタマイズすることを提供する。このようにして、多数の動作を実行すること、大量のデータを転送することなどを行う機能ブロックは、スループットを増加すること、熱の蓄積を低減することなどのために、第2の金属層内の金属使用、接続部の幅、接続部の深さなどに部分的に基づいてより低い抵抗を提供する経路から恩恵を受ける。他の技術的利点は、本明細書で開示する様々な態様から認識され、これらの技術的利点は、例として提供するにすぎず、本明細書で開示する様々な態様のいずれかを制限するものと解釈されるべきではない。

【0065】

図8は、本開示のいくつかの例による例示的なモバイルデバイスを示す。次に図8を参照すると、例示的な態様に従って構成されたモバイルデバイスのブロック図が描かれており、全体がモバイルデバイス800として指定されている。いくつかの態様では、モバイルデバイス800は、ワイヤレス通信デバイスとして構成されてもよい。図示のように、モバイルデバイス800は、プロセッサ801を含む。プロセッサ801は、リンクを介してメモリ832に通信可能に結合されてもよく、このリンクは、ダイ間リンクまたはチップ間リンクであってもよい。モバイルデバイス800はまた、ディスプレイ828およびディスプレイコントローラ826を含み、ディスプレイコントローラ826はプロセッサ801およびディスプレイ828に結合されている。

【0066】

いくつかの態様では、図8は、プロセッサ801に結合されたコーダ/デコーダ(コーデック)834(たとえば、オーディオおよび/またはボイスコーデック)と、コーデッ

ク 8 3 4 に結合されたスピーカ 8 3 6 およびマイクロフォン 8 3 8 と、ワイヤレスアンテナ 8 4 2 およびプロセッサ 8 0 1 に結合されたワイヤレス回路 8 4 0 とを含んでもよい（ワイヤレス回路 8 4 0 は、モデム、RF 回路、フィルタなどを含んでもよく、本明細書で開示するように 1 つまたは複数のフリップチップデバイスを使用して実装されてもよい）。

【 0 0 6 7 】

上述のブロックのうちの 1 つまたは複数が存在する特定の態様では、プロセッサ 8 0 1、ディスプレイコントローラ 8 2 6、メモリ 8 3 2、コーデック 8 3 4、およびワイヤレス回路 8 4 0 は、本明細書で開示する B E O L 技法を使用して全体的または部分的実装され得るシステムオンチップ（S O C）1 0 0 内に含まれ得る。入力デバイス 8 3 0（たとえば、物理または仮想キーボード）、電源 8 4 4（たとえば、電池）、ディスプレイ 8 2 8、入力デバイス 8 3 0、スピーカ 8 3 6、マイクロフォン 8 3 8、ワイヤレスアンテナ 8 4 2、および電源 8 4 4 は、S O C 1 0 0 の外部にあってもよく、インターフェースまたはコントローラなど、S O C 1 0 0 の構成要素に結合されてもよい。

10

【 0 0 6 8 】

図 8 は、モバイルデバイス 8 0 0 を示しているが、プロセッサ 8 0 1 およびメモリ 8 3 2 はまた、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、携帯情報端末（P D A）、定置データユニット、コンピュータ、ラップトップ、タブレット、通信デバイス、携帯電話、または他の同様のデバイスに組み込まれてもよいことに留意されたい。

20

【 0 0 6 9 】

図 9 は、本開示の様々な例による、上記の集積デバイスまたは半導体デバイスのいずれかと一体化され得る様々な電子デバイスを示す。たとえば、携帯電話デバイス 9 0 2、ラップトップコンピュータデバイス 9 0 4、および定置端末デバイス 9 0 6 の各々は、一般にユーザ機器（U E）と見なされてもよく、本明細書で説明するようなフリップチップデバイス 9 0 0 を含み得る。フリップチップデバイス 9 0 0 は、たとえば、本明細書で説明する集積回路、ダイ、集積デバイス、集積デバイスパッケージ、集積回路デバイス、デバイスパッケージ、集積回路（I C）パッケージ、パッケージオンパッケージデバイスのいずれかであってよい。図 9 に示されるデバイス 9 0 2、9 0 4、9 0 6 は例にすぎない。また、他の電子デバイスは、限定はしないが、モバイルデバイス、ハンドヘルドパーソナル通信システム（P C S）ユニット、携帯情報端末などのポータブルデータユニット、全地球測位システム（G P S）対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、メータ読取り機器などの定置データユニット、通信デバイス、スマートフォン、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、サーバ、ルータ、自動車車両（たとえば、自律走行車両）内に実装された電子デバイス、モノのインターネット（I o T）デバイス、またはデータもしくはコンピュータ命令を記憶し、もしくは取り出す任意の他のデバイス、あるいはそれらの任意の組合せを含むデバイス（たとえば、電子デバイス）のグループを含むフリップチップデバイス 9 0 0 を特徴とする場合がある。

30

【 0 0 7 0 】

特定の周波数、集積回路（I C）、ハードウェア、および他の特徴が、本明細書の態様において説明されるが、代替の態様に変化してもよいことが留意され得る。すなわち、代替の態様は、追加または代替の周波数（たとえば、他の 6 0 G H z および / または 2 8 G H z 周波数帯域）、アンテナ素子（たとえば、アンテナ素子アレイの異なるサイズ / 形状を有する）、スキミング周期（静的と動的の両方のスキミング周期を含む）、電子デバイス（たとえば、W L A N A P、セルラー基地局、スマートスピーカ、I o T デバイス、携帯電話、タブレット、パーソナルコンピュータ（P C）など）、および / または他の特徴を使用し得る。当業者であれば、そのような変形形態を諒解されよう。

40

【 0 0 7 1 】

「第 1 の」、「第 2 の」などの呼称を使用する本明細書の要素へのいかなる言及も、一

50

般に、それらの要素の数量または順序を限定するものではないことを理解されたい。むしろ、これらの呼称は、本明細書では、2つ以上の要素または要素のインスタンスを区別する好都合な方法として使用され得る。したがって、第1の要素および第2の要素への言及は、そこで2つの要素のみが採用され得ること、または何らかの形で第1の要素が第2の要素に先行しなければならないことを意味しない。また、別段に記載されていない限り、要素のセットは1つまたは複数の要素を備えてよい。加えて、本説明または特許請求の範囲で使用する「A、B、またはCのうちの少なくとも1つ」または「A、B、またはCのうちの1つまたは複数」または「A、B、およびCからなる群のうちの少なくとも1つ」という形の用語は、「AまたはBまたはCまたはこれらの要素の任意の組合せ」を意味する。たとえば、この用語は、A、またはB、またはC、またはAおよびB、またはAおよびC、またはAおよびBおよびC、または2A、または2B、または2Cなどを含んでよい。

10

【0072】

上記の発明を実施するための形態では、例において様々な特徴と一緒にグループ化されることがわかる。開示のこの方式は、例示的な条項が、各条項の中で明示的に述べられるよりも多くの特徴を有するという意図として、理解されるべきでない。むしろ、本開示の様々な態様は、開示される個々の例示的な条項のすべての特徴よりも少数の特徴を含むことがある。したがって、以下の条項は、説明に組み込まれるものと見なされるべきであり、各条項は、別個の例として単独で有効であり得る。各従属条項は、その条項の中で、他の条項のうちの1つとの特定の組合せに言及し得るが、その従属条項の態様は、その特定の組合せに限定されない。他の例示的な条項も、任意の他の従属条項もしくは独立条項の主題との従属条項の態様の組合せ、または他の従属条項および独立条項との任意の特徴の組合せを含み得ることが理解されるだろう。特定の組合せが意図されないこと（たとえば、絶縁体と導体の両方として要素を規定することなどの、矛盾する態様）が明示的に表現されないかまたは容易に推測され得ない限り、本明細書で開示される様々な態様は、これらの組合せを明確に含む。さらに、条項が独立条項に直接従属しない場合でも、条項の態様が任意の他の独立条項に含まれ得ることも意図される。以下の番号付きの条項において、実装形態の例が説明される。

20

【0073】

条項1。システムオンチップ(SOC)を含む装置であって、SOCは、第1の金属層と、第1の金属層の上面に設置された第1の誘電体層と、複数の機能ブロックのうちの第1の機能ブロック内で使用される第1の誘電体層内に設置された第1のビアであって、複数の機能ブロックがSOC上に共設される、第1のビアと、複数の機能ブロックのうちの第2の機能ブロック内で使用される第1の誘電体層内に設置された第2のビアと、第1の誘電体層上に設置された第2の金属層であって、第2の金属層は、第1の機能ブロック内で使用される接続部の第1のセットおよび第2の機能ブロック内で使用される接続部の第2のセットを含み、接続部の第1のセットは接続部の第2のセットと異なる、第2の金属層と、第1の誘電体層上に設置された第2の誘電体層とを含む、装置。

30

【0074】

条項2。接続部の第1のセットの第1の深さが、接続部の第2のセットの第2の深さと異なる、条項1に記載の装置。

40

【0075】

条項3。接続部の第1のセットに隣接する第1の誘電体層の第1の厚さが、接続部の第2のセットに隣接する第1の誘電体層の第2の厚さと異なる、条項2に記載の装置。

【0076】

条項4。第1の厚さが第2の厚さより大きく、第1の深さが第2の深さより小さい、条項3に記載の装置。

【0077】

条項5。接続部の第1のセットが、第2の誘電体層の上面の下にくぼまされ、接続部の第2のセットが、第2の誘電体層の上面と同一平面上にある、条項1に記載の装置。

50

【 0 0 7 8 】

条項 6。第 1 のビアが第 1 の幅を有し、第 2 のビアが、第 1 の幅と異なる第 2 の幅を有する、条項 1 に記載の装置。

【 0 0 7 9 】

条項 7。接続部の第 1 のセットがそれぞれ、第 1 の幅を有し、接続部の第 2 のセットがそれぞれ、第 1 の幅を有する、条項 4 から 6 のいずれか一項に記載の装置。

【 0 0 8 0 】

条項 8。接続部の第 1 のセットがそれぞれ、第 1 の幅を有し、接続部の第 2 のセットがそれぞれ、第 2 の幅を有し、第 1 の幅が第 2 の幅と異なる、条項 1 から 6 のいずれか一項に記載の装置。

10

【 0 0 8 1 】

条項 9。第 2 の金属層が、銅 (C u)、コバルト (C o)、ルテニウム (R u)、タングステン/ウォルフラム (W)、モリブデン (M o)、金 (A u)、銀 (A g)、アルミニウム (A l)、またはスズ (S n) のうちの少なくとも 1 つを含む、条項 1 から 8 のいずれか一項に記載の装置。

【 0 0 8 2 】

条項 10。第 1 の金属層が、銅 (C u)、コバルト (C o)、ルテニウム (R u)、タングステン/ウォルフラム (W)、モリブデン (M o)、金 (A u)、銀 (A g)、アルミニウム (A l)、またはスズ (S n) のうちの少なくとも 1 つを含む、条項 1 から 9 のいずれか一項に記載の装置。

20

【 0 0 8 3 】

条項 11。第 1 のビアおよび接続部の第 1 のセット、ならびに第 2 のビアおよび接続部の第 2 のセットが、同じ材料から形成される、条項 1 から 10 のいずれか一項に記載の装置。

【 0 0 8 4 】

条項 12。第 1 のビアおよび接続部の第 1 のセットが第 1 の材料から形成され、第 2 のビアおよび接続部の第 2 のセットが、第 1 の材料と異なる第 2 の材料から形成される、条項 1 から 10 のいずれか一項に記載の装置。

【 0 0 8 5 】

条項 13。接続部の第 1 のセットの第 1 のピッチが、接続部の第 2 のセットの第 2 のピッチと異なる、条項 1 から 12 のいずれか一項に記載の装置。

30

【 0 0 8 6 】

条項 14。接続部の第 1 のセットの第 1 の抵抗が、接続部の第 2 のセットの第 2 の抵抗と異なる、条項 1 から 13 のいずれか一項に記載の装置。

【 0 0 8 7 】

条項 15。接続部の第 1 のセットの第 1 のキャパシタンスが、接続部の第 2 のセットの第 2 のキャパシタンスと異なる、条項 1 から 14 のいずれか一項に記載の装置。

【 0 0 8 8 】

条項 16。複数の機能ブロックが、マイクロプロセッサと、画像処理装置 (G P U) と、通信インターフェースと、入力/出力 (I / O) インターフェースと、共有メモリと、デジタルシグナルプロセッサ (D S P) とのうちの少なくとも 2 つを含む、条項 1 から 15 のいずれか一項に記載の装置。

40

【 0 0 8 9 】

条項 17。第 1 の誘電体層および第 2 の誘電体層がそれぞれ、ナノ多孔性シリカ、水素シルセスキオキサン (H S Q)、ポリテトラフルオロエチレン (P T F E)、酸フッ化ケイ素 (F S G)、チタン酸ジルコン酸鉛 (P Z T)、五酸化タンタル (T a ₂ O ₅)、酸化アルミニウム (A l ₂ O ₃)、二酸化ジルコニウム (Z r O ₂)、または二酸化ハフニウム (H f O ₂) のうちの少なくとも 1 つを含む、条項 1 から 16 のいずれか一項に記載の装置。

【 0 0 9 0 】

50

条項 18。装置が、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、スマートフォン、スマートフォン、携帯情報端末、定置端末、タブレットコンピュータ、コンピュータ、装着型デバイス、モノのインターネット（IoT）デバイス、基地局、ラップトップコンピュータ、サーバ、および自動車車両の中のデバイスからなる群から選択されたデバイスの中に組み込まれる、条項 1 から 17 のいずれか一項に記載の装置。

【0091】

条項 19。システムオンチップ（SOC）を製作する方法であって、SOC は、基板上に第 1 の金属層を堆積するステップと、第 1 の金属層上に第 1 の誘電体層を堆積するステップと、第 1 の誘電体層内に第 1 のビアをエッチングするステップであって、第 1 のビアは複数の機能ブロックのうちの第 1 の機能ブロック内で使用され、複数の機能ブロックが SOC 上に共設される、ステップと、複数の機能ブロックのうちの第 2 の機能ブロック内で使用される第 1 の誘電体層内に設置される第 2 のビアをエッチングするステップと、第 1 の誘電体層の上面上に第 2 の金属層を堆積するステップであって、第 2 の金属層は、第 1 の機能ブロック内で使用される接続部の第 1 のセット、および第 2 の機能ブロック内で使用される接続部の第 2 のセットを含み、接続部の第 1 のセットは接続部の第 2 のセットと異なる、ステップと、第 2 の金属層の一部を除去するステップと、第 1 の誘電体層上に第 2 の誘電体層を堆積するステップとを含む、方法。

10

【0092】

条項 20。第 2 の誘電体層の化学機械研磨（CMP）を実行するステップをさらに含む、条項 19 に記載の方法。

20

【0093】

条項 21。接続部の第 1 のセットの第 1 の深さが、接続部の第 2 のセットの第 2 の深さと異なる、条項 19 から 20 のいずれか一項に記載の方法。

【0094】

条項 22。接続部の第 1 のセットに隣接する第 1 の誘電体層の第 1 の厚さが、接続部の第 2 のセットに隣接する第 1 の誘電体層の第 2 の厚さと異なる、条項 21 に記載の方法。

【0095】

条項 23。第 1 の厚さが第 2 の厚さより大きく、第 1 の深さが第 2 の深さより小さい、条項 22 に記載の方法。

30

【0096】

条項 24。接続部の第 1 のセットが、第 2 の誘電体層の上面の下にくぼまされ、接続部の第 2 のセットが、第 2 の誘電体層の上面と同一平面上にある、条項 19 から 20 のいずれか一項に記載の方法。

【0097】

条項 25。第 1 のビアが第 1 の幅を有し、第 2 のビアが、第 1 の幅と異なる第 2 の幅を有する、条項 19 から 20 のいずれか一項に記載の方法。

【0098】

条項 26。第 2 の金属層が、銅（Cu）、コバルト（Co）、ルテニウム（Ru）、タングステン/ウォルフラム（W）、モリブデン（Mo）、金（Au）、銀（Ag）、アルミニウム（Al）、またはスズ（Sn）のうちの少なくとも 1 つを含む、条項 19 から 25 のいずれか一項に記載の方法。

40

【0099】

条項 27。第 1 の金属層が、銅（Cu）、コバルト（Co）、ルテニウム（Ru）、タングステン/ウォルフラム（W）、モリブデン（Mo）、金（Au）、銀（Ag）、アルミニウム（Al）、またはスズ（Sn）のうちの少なくとも 1 つを含む、条項 19 から 26 のいずれか一項に記載の方法。

【0100】

条項 28。第 1 のビアおよび接続部の第 1 のセット、ならびに第 2 のビアおよび接続部の第 2 のセットが、同じ材料から形成される、条項 19 から 27 のいずれか一項に記載の

50

方法。

【0101】

条項29。第1のビアおよび接続部の第1のセットが第1の材料から形成され、第2のビアおよび接続部の第2のセットが、第1の材料と異なる第2の材料から形成される、条項19から27のいずれか一項に記載の方法。

【0102】

条項30。接続部の第1のセットの第1のピッチが、接続部の第2のセットの第2のピッチと異なる、条項19から29のいずれか一項に記載の方法。

【0103】

条項31。接続部の第1のセットの第1の抵抗が、接続部の第2のセットの第2の抵抗と異なる、条項19から30のいずれか一項に記載の方法。 10

【0104】

条項32。接続部の第1のセットの第1のキャパシタンスが、接続部の第2のセットの第2のキャパシタンスと異なる、条項19から31のいずれか一項に記載の方法。

【0105】

条項33。複数の機能ブロックが、マイクロプロセッサと、画像処理装置(GPU)と、通信インターフェースと、入力/出力(I/O)インターフェースと、共有メモリと、デジタルシグナルプロセッサ(DSP)とのうちの少なくとも2つを含む、条項19から32のいずれか一項に記載の方法。

【0106】

条項34。第1の誘電体層および第2の誘電体層がそれぞれ、ナノ多孔性シリカ、水素シルセスキオキサン(HSQ)、ポリテトラフルオロエチレン(PTFE)、酸フッ化ケイ素(FSG)、チタン酸ジルコン酸鉛(PZT)、五酸化タンタル(Ta_2O_5)、酸化アルミニウム(Al_2O_3)、二酸化ジルコニウム(ZrO_2)、または二酸化ハフニウム(HfO_2)のうちの少なくとも1つを含む、条項19から33のいずれか一項に記載の方法。 20

【0107】

条項35。SOCが、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、携帯情報端末、定置端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、モノのインターネット(IoT)デバイス、基地局、ラップトップコンピュータ、サーバ、および自動車車両の中のデバイスからなる群から選択された装置の中に組み込まれる、条項19から34のいずれか一項に記載の方法。 30

【0108】

上記の記述および説明に鑑みて、本明細書で開示する態様に関して説明した様々な例示的な論理ブロック、モジュール、回路、およびアルゴリズムステップは、電子ハードウェア、コンピュータソフトウェア、またはその両方の組合せとして実装され得ることを当業者は諒解されよう。ハードウェアとソフトウェアとのこの互換性を明確に例示するために、様々な例示的な構成要素、ブロック、モジュール、回路、およびステップが、概してそれらの機能性に関して上記で説明されている。そのような機能性が、ハードウェアとして実装されるのか、それともソフトウェアとして実装されるのかは、特定の適用例および全体的なシステムに課される設計制約によって決まる。当業者は、説明した機能性を特定の適用例ごとに様々な方法で実施し得るが、そのような実装決定は、本開示の範囲からの逸脱を引き起こすものと解釈されるべきではない。 40

【0109】

したがって、たとえば、装置または装置の任意の構成要素が、本明細書で教示するような機能性を提供するように構成される(または動作可能にされるかもしくは適合される)場合があることを諒解されよう。このことは、たとえば、機能性を提供するように装置もしくは構成要素を製造(たとえば、製作)することによって、機能性を提供するように装置もしくは構成要素をプログラミングすることによって、または何らかの他の好適な実装 50

技法の使用を通じて、達成され得る。一例として、集積回路は、必須の機能性を提供するように製作され得る。別の例として、集積回路は、必須の機能性をサポートするように製作されてよく、次いで、必須の機能性を提供するように（たとえば、プログラミングを介して）構成されてよい。また別の例として、プロセッサ回路は、必須の機能性を提供するためのコードを実行し得る。

【 0 1 1 0 】

その上、本明細書で開示する態様に関して説明した方法、シーケンス、および/またはアルゴリズムは、直接ハードウェアで、プロセッサによって実行されるソフトウェアモジュールで、またはこの2つの組合せで具現され得る。ソフトウェアモジュールは、ランダムアクセスメモリ（RAM）、フラッシュメモリ、読取り専用メモリ（ROM）、消去可能プログラマブルROM（EPROM）、電気的消去可能プログラマブルROM（EEPROM）、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当該技術分野で知られている任意の他の形態の記憶媒体の中に常駐し得る。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取ることおよび記憶媒体に情報を書き込むことができるように、プロセッサに結合される。代替として、記憶媒体は、プロセッサと一体であってよい（たとえば、キャッシュメモリ）。

10

【 0 1 1 1 】

上記の開示は様々な例示的な態様を示すが、添付の特許請求の範囲によって定義される範囲から逸脱することなく、図示の例に様々な変更および修正が加えられてよいことに留意されたい。本開示は、具体的に図示した例のみに限定されるものではない。たとえば、別段に記載されていない限り、本明細書で説明した本開示の態様による方法クレームの機能、ステップ、および/またはアクションは、特定の順序で実行される必要はない。さらに、いくつかの態様は、単数形で説明または特許請求される場合があるが、単数形への限定が明示的に述べられていない限り、複数形が企図される。

20

【 符号の説明 】

【 0 1 1 2 】

- 1 0 0 システムオンチップ（SOC）
- 1 0 2 機能ブロック
- 1 0 2（A） 機能ブロック
- 1 0 2（B） 機能ブロック
- 1 0 2（N） 機能ブロック
- 1 0 4（A） 基準
- 1 0 4（B） 基準
- 1 0 4（N） 基準
- 2 0 2 第1の金属層
- 2 0 4 第1の誘電体層
- 2 0 6（A） ビア
- 2 0 6（B） ビア
- 2 0 8（A） 幅
- 2 0 8（B） 幅
- 2 1 0（A） 第2の金属層
- 2 1 0（B） 第2の金属層
- 2 1 2 金属エッチ
- 2 1 4 誘電体充填
- 2 1 6 第2の誘電体層
- 2 1 8 化学機械研磨（CMP）
- 2 2 0 上面
- 3 0 2 層エッチ
- 3 0 4 幅
- 3 0 6（A） 深さ

30

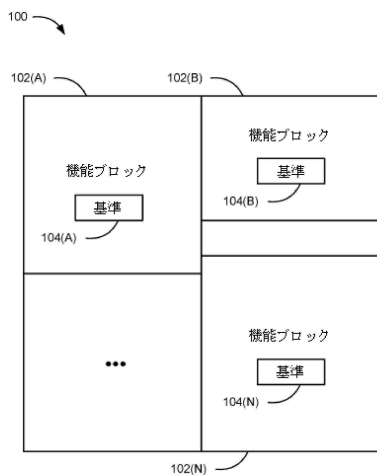
40

50

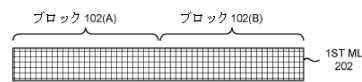
306 (B)	深さ	
308 (A)	接続部	
308 (B)	接続部	
402	幅	
404	金属リセスエッチ	
700	集積デバイス	
710	ダイ	
712	ダイバンプ	
720	パッケージ	
725	VDD BGAピン	10
726	上部金属層/M1層	
727	GND BGAピン	
795	PCBキャパシタ	
780	電源、電力管理集積回路 (PMIC)	
790	PCB	
791	電源 (VDD) 線	
792	接地 (GND) 線	
795	PCBキャパシタ (PCB cap)	
800	モバイルデバイス	
801	プロセッサ	20
826	ディスプレイコントローラ	
828	ディスプレイ	
830	入力デバイス	
832	メモリ	
834	コーダ/デコーダ (コーデック)	
836	スピーカー	
838	マイクロフォン	
840	ワイヤレス回路	
842	ワイヤレスアンテナ	
844	電源	30
900	フリップチップデバイス	
902	携帯電話デバイス	
904	ラップトップコンピュータデバイス	
906	定置端末デバイス	

【図面】

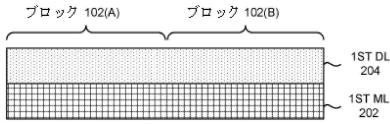
【図1】



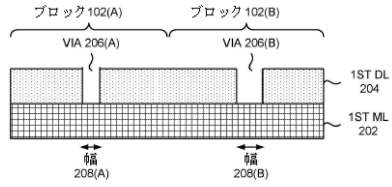
【図2A】



【図 2 B】



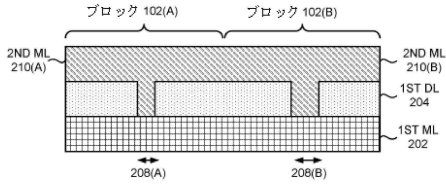
【図 2 C】



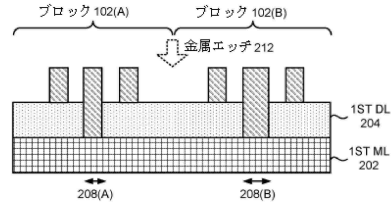
ML=金属層
DL=誘電体層

10

【図 2 D】

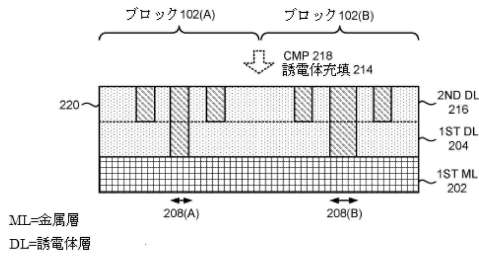


【図 2 E】

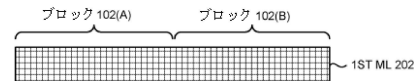


20

【図 2 F】

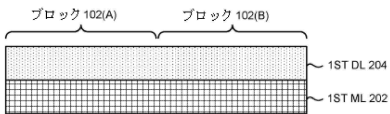


【図 3 A】

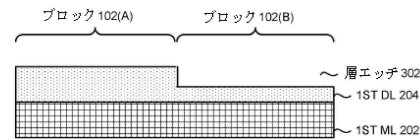


30

【図 3 B】



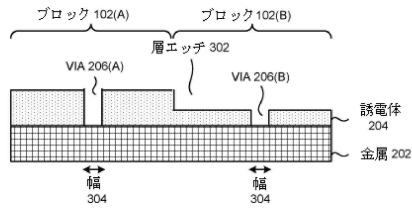
【図 3 C】



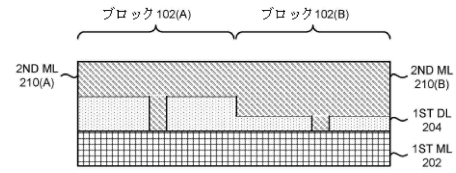
40

50

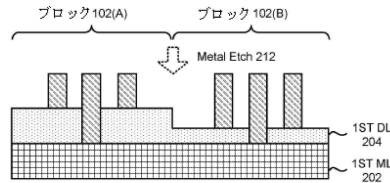
【図 3 D】



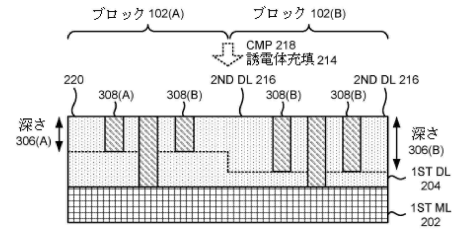
【図 3 E】



【図 3 F】

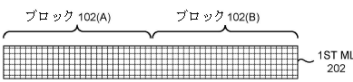


【図 3 G】

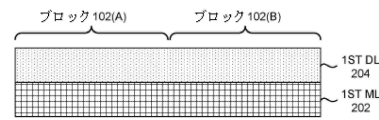


10

【図 4 A】

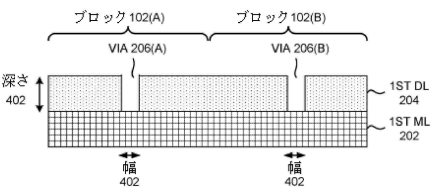


【図 4 B】

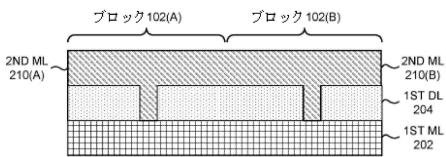


20

【図 4 C】



【図 4 D】

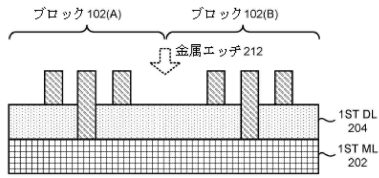


30

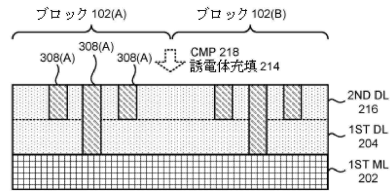
40

50

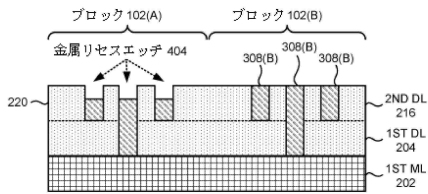
【図 4 E】



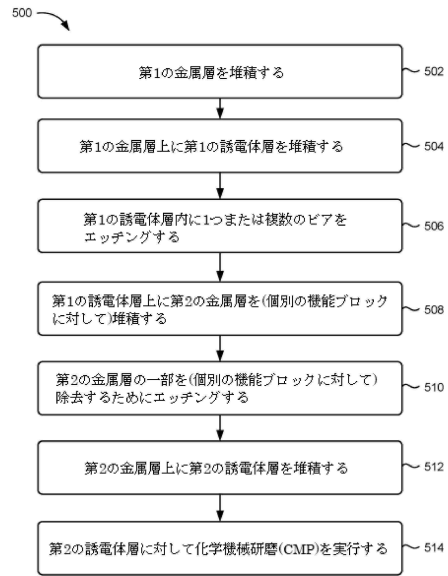
【図 4 F】



【図 4 G】



【図 5】



10

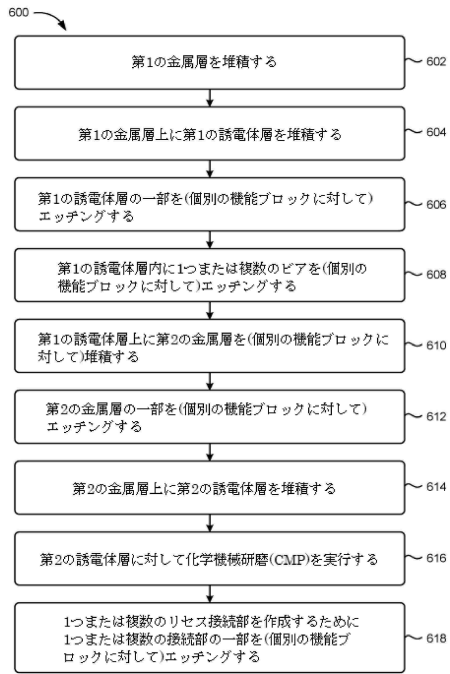
20

30

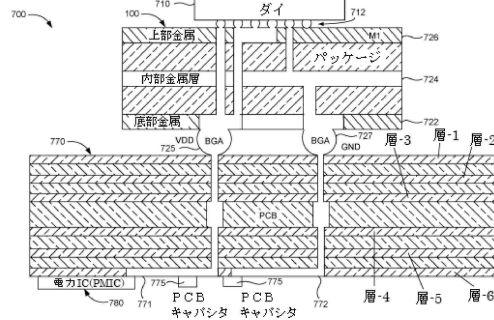
40

50

【図6】



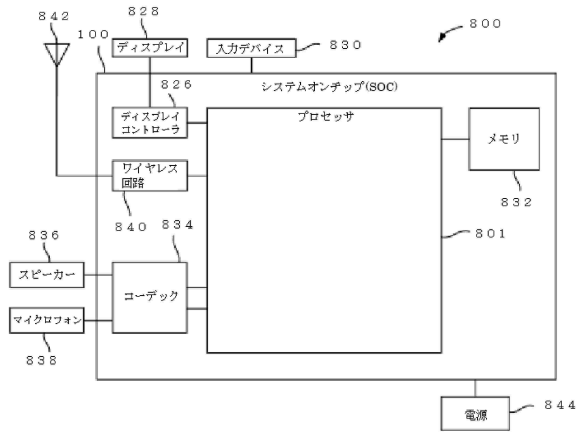
【図7】



10

20

【図8】



【図9】

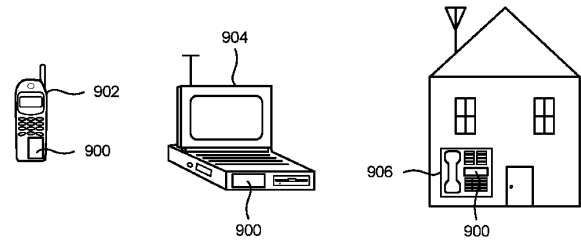


FIG. 9

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/071320

A. CLASSIFICATION OF SUBJECT MATTER		
INV. H01L21/768 H01L23/522 H01L23/528 H01L23/538		
ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2011/175233 A1 (UEKI ARIRA [JP]) 21 July 2011 (2011-07-21)	1, 2, 9-11, 16-21, 26-28, 33-35
Y	abstract; claims; figures 1-5, 11 paragraph [0059]	3-8, 12-15, 22-25, 29-32
Y	----- KR 2004 0062202 A (LG PHILIPS LCD CO LTD) 7 July 2004 (2004-07-07) abstract; claims; figures 2, 3	3, 4, 22, 23
Y	----- US 6 245 659 B1 (USHIYAMA FUMIAKI [JP]) 12 June 2001 (2001-06-12) abstract; claims; figures 6-10	3, 4, 22, 23
	----- -/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 5 July 2022		Date of mailing of the international search report 11/07/2022
Name and mailing address of the ISA/ European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Wirner, Christoph

10

20

30

40

3

50

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/071320

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2019/067195 A1 (JUENGLING WERNER [US]) 28 February 2019 (2019-02-28) abstract; claims; figures 9,12 paragraph [0059] -----	5, 13, 24, 30
Y	US 2020/205279 A1 (ECTON JEREMY [US] ET AL) 25 June 2020 (2020-06-25) abstract; claims; figures 1B, 2I, 4F, 6F, 8F, 10 paragraph [0035] -----	6-8, 13, 25, 30
Y	US 2019/205496 A1 (LI BAOZHEN [US] ET AL) 4 July 2019 (2019-07-04) abstract; claims; figure 1 paragraphs [0018], [0021], [0029] -----	12, 14, 15, 29, 31, 32
Y	US 10 541 205 B1 (CHENG NING [US] ET AL) 21 January 2020 (2020-01-21) abstract; claim 1; figures column 1, line 57 column 3, line 45 - column 4, line 2 -----	13-15, 30-32
A	US 2018/174894 A1 (BOUCHE GUILLAUME [US] ET AL) 21 June 2018 (2018-06-21) abstract; claims; figures -----	1-35

10

20

30

40

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2022/071320

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2011175233 A1	21-07-2011	JP 5601974 B2 JP 2011171705 A US 2011175233 A1	08-10-2014 01-09-2011 21-07-2011
KR 20040062202 A	07-07-2004	NONE	
US 6245659 B1	12-06-2001	JP 2000188332 A US 6245659 B1	04-07-2000 12-06-2001
US 2019067195 A1	28-02-2019	CN 109427740 A US 2019067193 A1 US 2019067195 A1	05-03-2019 28-02-2019 28-02-2019
US 2020205279 A1	25-06-2020	NONE	
US 2019205496 A1	04-07-2019	NONE	
US 10541205 B1	21-01-2020	NONE	
US 2018174894 A1	21-06-2018	NONE	

10

20

30

40

50

