

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/02 (2006.01)

H01L 21/20 (2006.01)

H01L 21/336 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200810215390.9

[43] 公开日 2009年3月18日

[11] 公开号 CN 101388336A

[22] 申请日 2008.9.11

[21] 申请号 200810215390.9

[30] 优先权

[32] 2007.9.13 [33] JP [31] 238290/07

[71] 申请人 三洋电机株式会社

地址 日本大阪府

共同申请人 三洋半导体株式会社

[72] 发明人 石田裕康 佐山康之

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波

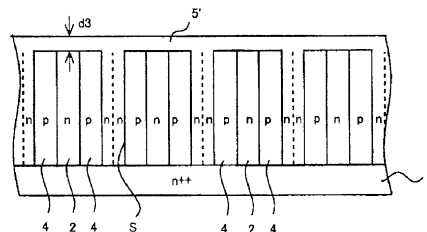
权利要求书 1 页 说明书 8 页 附图 5 页

[54] 发明名称

半导体晶片的制造方法

[57] 摘要

本发明提供一种半导体晶片的制造方法。现有的超结结构晶片的制造方法中，需要在半导体晶片的厚度方向上多阶段形成外延层的工序和离子注入工序，工序数量多。而且，pn 接合面呈波形，存在耗尽层难以均匀扩展的问题。另一方面，如果采用通过倾斜离子注入而形成一部分柱状半导体层的方法，则难以配置大量的超结结构。根据本发明的制造方法，在半导体衬底上，至少交替进行三次以上 n 型外延层的形成和蚀刻以及 p 型外延层的形成和蚀刻，从而利用外延层形成所有半导体层。由此，能够使得各半导体层的杂质浓度曲线均匀，能垂直于晶片表面形成 pn 接合面。并且，由于能够将各半导体层的宽度形成得较窄，故因杂质浓度提高，从而能够实现高耐压和低电阻。



1. 一种半导体晶片的制造方法，其特征在于，在垂直于半导体晶片表面的方向上形成多个 pn 结，并且具备以下工序：

准备一导电型半导体衬底并在该半导体衬底上形成第一外延层的工序；

在所述第一外延层形成多条沟道而形成第一半导体层的工序；

形成不同于所述第一外延层的导电型的第二外延层的工序；

对所述第二外延层的整个面进行各向异性蚀刻而形成与所述第一半导体层邻接的第二半导体层的工序；

形成与所述第一外延层相同的导电型的第三外延层的工序；

以及对所述第三外延层的整个面进行各向异性蚀刻而形成与所述第二半导体层邻接的第三半导体层的工序。

2. 如权利要求 1 所述的半导体晶片的制造方法，其特征在于，在形成所述沟道后，利用热氧化将破坏层除去。

3. 如权利要求 1 所述的半导体晶片的制造方法，其特征在于，具有形成其他外延层的工序以及对其他外延层的整个面进行各向异性蚀刻的工序，以导电型交替的方式形成彼此相邻的其他半导体层。

4. 如权利要求 3 所述的半导体晶片的制造方法，其特征在于，所述第一半导体层、所述第二半导体层、所述第三半导体层以及所述其他半导体层，在垂直于所述半导体晶片表面的方向上杂质浓度曲线均匀。

半导体晶片的制造方法

技术领域

本发明涉及一种半导体晶片的制造方法，特别是涉及下述半导体晶片的制造方法，该方法能够实现耐压高且接通电阻低的半导体晶片的制造工序的缩短、以及特性提高。

背景技术

作为能够实现高耐压和低接通电阻的硅半导体晶片，已知有下述晶片结构：以柱状设置 p 型半导体区域和 n 型半导体区域，并且垂直于晶片表面地形成多个 pn 结（例如参照专利文献 1）。

这些晶片结构，通过将 p 型半导体区域和 n 型半导体区域的杂质浓度以及宽度选择为希望的值，能够在施加反向电压时利用 pn 结实现高耐压。下面将这种结构称作超结（super junction）结构进行说明。

参照图 7 和图 8 说明超结结构晶片的制造方法的一个例子。

参照图 7，准备 n+ 型半导体衬底 11，在该表面上积层例如 $6\mu\text{m}$ 左右的 n 型半导体层（外延层）12'。设置以规定的间隔开口的掩模，注入 p 型杂质，形成 p 型半导体区域 13'（图 7（A））。

然后，重复进行例如 7 次左右的 n 型半导体层 12' 的积层（外延生长）工序、p 型杂质的注入工序，形成具有希望厚度（例如 $42\mu\text{m}$ 左右）的多层外延层，最后扩散 p 型杂质，形成交替配置有柱状 n 型半导体区域 12 和 p 型半导体区域 13 的超结结构的晶片 20（图 7（B））。

另外，也公知有下面的方法。

参照图 8，例如，在 n+ 型半导体衬底 21 上以希望的厚度积层 n 型半导体层（外延层）22，以 n 型半导体层以柱状残留的方式形成多个沟道 23（图 8（A））。此后，在露出于沟道 23 侧壁的 n 型半导体层 22，进行 p 型杂质的倾斜离子注入，设置柱状 p 型半导体区域 24（图 8（B））。进而，在 p 型半导体区域 24 之间埋入绝缘膜 25，得到超结结构的晶片 30（图 8（C））。

专利文献 1：（日本）国际公开第 02/067333 号小册子

在如图 7 所示获得具有超结结构的晶片的现有方法中，需要沿半导体晶片的厚度方向多阶段地形成外延层的工序、以及离子注入/扩散工序，从而存在工序数量增多的问题。

而且，由于柱状半导体区域实际上是将杂质的扩散区域多层积层的形状，所以柱的侧面（pn 接合面）呈波形，存在耗尽层难以严格均匀地扩展的问题。

另一方面，在如图 8 所示通过倾斜离子注入而形成一部分柱状半导体层的方法中，为了使通过粒子注入形成的例如 p 型半导体层的杂质曲线在晶片垂直方向上均匀，需要如图 8 (A) 所示扩宽槽的宽度。因此，难以配置大量的超结构造。

发明内容

本发明鉴于上述课题做出，为了解决上述课题而提供一种半导体晶片的制造方法，其特征在于，在垂直于半导体晶片表面的方向上形成多个 pn 结，并且具备以下工序：准备一导电型半导体衬底并在该半导体衬底上形成第一外延层的工序；在所述第一外延层形成多条沟道而形成第一半导体层的工序；形成不同于所述第一外延层的导电型的第二外延层的工序；对所述第二外延层的整个面进行各向异性蚀刻而形成与所述第一半导体层邻接的第二半导体层的工序；形成与所述第一外延层相同的导电型的第三外延层的工序；以及对所述第三外延层的整个面进行各向异性蚀刻而形成与所述第二半导体层邻接的第三半导体层的工序。

根据本发明，能够获得下述效果。

第一，由于形成超结的 p 型半导体层以及 n 型半导体层全部利用外延生长而形成，所以，能够实现在垂直于半导体晶片表面的方向上杂质浓度曲线均匀的、p 型半导体层和 n 型半导体层反复配置的结构。由此，能够提供一种具有耗尽层的扩展均匀的超结的半导体晶片的制造方法。

第二，由于形成超结的半导体层全部是外延层，所以能够垂直于半导体晶片表面形成 pn 接合面。在沿半导体晶片的厚度方向多阶段反复进行外延层形成和离子注入而形成超结结构的情况下，pn 接合面实际呈波形，存在耗尽层难以严格均匀地扩展的问题。但根据本实施方式，pn 接合面是垂直于半导体晶片表面的面，由此也能使得耗尽层的扩展均匀。

第三，由于形成超结的半导体层全部利用外延生长而形成，所以能够将存在多个 pn 结的半导体晶片截面上的各半导体层的宽度（短边的长度）形成为希望的值。

即，与现有技术相比，也能够减小各半导体层的宽度。通过将半导体层的宽度缩窄，在各半导体层中扩展的耗尽层的夹断宽度也变窄。也就是说，在维持相同耐压的情况下，通过缩窄半导体层的宽度，从而能够提高各半导体层的杂质浓度。因此，能够进一步降低在施加正向电压时作为电流路径的半导体晶片的电阻。

第四，与在半导体晶片的厚度方向上多阶段进行外延生长和离子注入而形成多个 pn 结的现有方法相比较，能够减少半导体晶片的制造工序。

附图说明

图 1 是说明本发明实施方式的半导体晶片的制造方法的剖面图；

图 2 (A)、(B) 是说明本发明实施方式的半导体晶片的制造方法的剖面图；

图 3 是说明本发明实施方式的半导体晶片的制造方法的剖面图；

图 4 是说明本发明实施方式的半导体晶片的制造方法的剖面图；

图 5 是说明本发明实施方式的半导体晶片的制造方法的剖面图；

图 6 是说明本发明实施方式的半导体晶片的制造方法的剖面图；

图 7 (A)、(B) 是说明现有的半导体晶片制造方法的剖面图；

图 8 (A) ~ (C) 是说明现有的半导体晶片制造方法的剖面图。

附图标记说明

1 半导体衬底

2' 第一外延层

2 第一半导体层

3 沟道层

4' 第二外延层

4 第二半导体层

5' 第三外延层

5 第三半导体层

M 掩模

W1 第一半导体层宽度

W2 第二半导体层宽度

Wt 沟道宽度

d1、d2 第二外延层厚度

d3 第三外延层厚度

e' 其他外延半导体层

e 其他半导体层

具体实施方式

参照图 1 至图 6, 以半导体衬底是 n 型硅半导体衬底的情况为例对本发明的实施方式进行详细说明。

本发明的半导体晶片的制造方法包括: 准备一导电型半导体衬底并在该半导体衬底上形成第一外延层的工序; 在所述第一外延层形成多条沟道而形成第一半导体层的工序; 形成不同于所述第一外延层的导电型的第二外延层的工序; 对所述第二外延层的整个面进行各向异性蚀刻而形成与所述第一半导体层邻接的第二半导体层的工序; 形成与所述第一外延层相同的导电型的第三外延层的工序; 以及对所述第三外延层的整个面进行各向异性蚀刻而形成与所述第二半导体层邻接的第三半导体层的工序。

第一工序 (图 1): 准备一导电型半导体衬底并在半导体衬底上形成第一外延层的工序。

首先, 准备杂质浓度为 $1 \times 10^{20} \text{cm}^{-3}$ 左右的高浓度 n 型硅半导体衬底 1。在半导体衬底 1 上, 利用外延生长法形成 n 型外延层 2' 作为第一外延层。本工序中 n 型外延层 2' 的厚度即为半导体晶片的超结的厚度。n 型外延层 2' 的杂质浓度例如是 $1 \times 10^{16} \text{cm}^{-3}$ 左右、厚度例如是 $40 \mu\text{m}$ 左右。

第二工序 (图 2): 在第一外延层形成多条沟道而形成第一半导体层的工序。

在 n 型外延层 2' 的表面设置具有希望的开口宽度的掩模, 对 n 型外延层 2' 进行干蚀刻 (图 2 (A))。

由此, 例如形成深度为使得半导体衬底 1 露出的多条沟道 3。干蚀刻既可以一直进行直到半导体衬底 1 露出, 也可以在沟道 3 的底部残留 n 型外

延层 2'。在本实施方式中，以下表示半导体衬底 1 露出的情况。

沟道 3 的开口宽度 W_t 均是例如 $30\mu\text{m}$ 左右。由此，在图 2 所示的截面中形成彼此分离的多个例如柱状 n 型第一半导体层 2。半导体晶片表面的图案也可为长条形。第一半导体层 2 的宽度 W_1 例如是 $8\mu\text{m}$ 左右(图 2(B))。

在形成沟道 3 之后，例如在 1100°C 进行十分钟的热氧化，此后利用湿蚀刻将其热氧化膜除去，再除去由于沟道蚀刻而形成的破坏层。

第三工序(图 3): 形成不同于第一外延层的导电型的第二外延层的工序。

在半导体衬底 1 上，利用外延生长法形成导电型与第一外延层 2' (第一半导体层 2) 相反的第二外延层 (p 型外延层) 4'。另外，第二工序中，如果第一外延层 (n 型外延层 2') 残留在沟道 3 的底部，则在残留的 n 型外延层 2' 上形成 p 型外延层 4'。p 型外延层 4' 的杂质浓度例如是 $1 \times 10^{16}\text{cm}^{-3}$ 左右。

p 型外延层 4' 覆盖柱状第一半导体层 2 的侧面以及上表面而形成，在此为覆盖在露出于第一半导体层 2 之间的半导体衬底 1 上而形成。另外，p 型外延层 4' 在第一半导体层 2 侧面的厚度 (半导体衬底 1 的水平方向上的厚度 d_1) 和第一半导体层 2 上表面或者半导体衬底 1 表面的厚度 d_2 大致相等。

第四工序(图 4): 对第二外延层的整个面进行各向异性蚀刻而形成与第一半导体层邻接的第二半导体层的工序。

在不设置掩模的情况下，对 p 型外延层 4' 的整个面进行各向异性蚀刻。通过一直进行蚀刻直到第一半导体层 2 之间的半导体衬底 1 露出，将覆盖第一半导体层 2 上表面的 p 型外延层 4' 也除去，从而露出第一半导体层 2 的上表面。另外，在第二工序中，如果第一外延层 2' 残留在沟道 3 的底部，则进行蚀刻直到残留的第一外延层 2' 露出。这种情况下，在最终结构中也在沟道 3 的底部残留第一外延层 2'。

另一方面，不除去第一半导体层 2 侧面的 p 型外延层 4'，由此，形成与第一半导体层 2 的两侧邻接的柱状 p 型第二半导体层 4。第二半导体层 4 的宽度 W_2 为 p 型外延层 4' 的厚度 d_1 ($=d_2$)，在此为 $8\mu\text{m}$ 左右。另外，根据特性的不同，可以适当选择第一半导体层 2 的宽度 W_1 和第二半导体层 4 的宽度 W_2 。如果宽度变窄则杂质浓度变高，所以能够实现高耐压以及低电阻。

另外,在本实施方式中,本工序中在相邻(相对)的第二半导体层4之间形成沟道形的空间部S。

第五工序(图5):形成与第一外延层相同的导电型的第三外延层的工序。

进而,在半导体衬底1上,利用外延生长法形成导电型与第一外延层2'相同的第三外延层(n型外延层)5'。n型外延层5'的杂质浓度例如是 $1 \times 10^{16} \text{cm}^{-3}$ 左右,厚度d3是 $8 \mu\text{m}$ 左右。

n型外延层5'覆盖在柱状第二半导体层4的侧面、上表面及第一半导体层2的上表面而形成。在相邻的第二半导体层4之间埋入n型外延层5'。即,在这种情况下,将n型外延层5'的厚度d3设为相邻第二半导体层4之间(最后形成的沟道状空间部S(参照图4))的距离的二分之一的厚度,由此,在第二半导体层4之间埋入n型外延层5'。在本实施方式中,表示第三外延层3'被埋入空间部S(参照图4)的情况。但是,不需要将第三外延层3'完全地埋入空间部S中,也可以不将厚度d3设为空间部S的宽度的二分之一。即,也可以在空间部S中保留间隙。

第六工序(图6):对第三外延层的整个面进行各向异性蚀刻而形成与第二半导体层邻接的第三半导体层的工序。

在不设置掩模的情况下对n型外延层5'的整个面进行各向异性蚀刻。通过一直进行蚀刻直到第一半导体层2和第二半导体层4上表面露出,从而形成与第二半导体层4的两侧相邻的柱状n型第三半导体层5。第三半导体层5的宽度W3与第一半导体层2的宽度W1相等。即,在第二工序中,考虑第一半导体层2(第三半导体层)的宽度W1以及第二半导体层4的宽度W2,适当选择沟道3的宽度Wt,从而能够利用外延层形成所有的柱状半导体层。

由此,能够形成在垂直于半导体晶片表面的方向上具有多个pn结(由p型半导体层和n型半导体层形成的超结)的所谓超结结构的半导体晶片10。

另外,在本实施方式中,第一半导体层2、第二半导体层4以及第三半导体层5能够利用外延生长法形成,其厚度能够自由控制。因此,也能够将第一至第三外延层2'、4'、5'的厚度形成得较薄。由此,第一半导体层2、第二半导体层4以及第三半导体层5分别能将在图6所示截面即半导体晶

片 10 的多个 pn 结露出的截面中的长边与短边之比即纵横比设为 10: 1 等。这也就意味着, 相对于半导体晶片 10 厚度方向的长度 (长边), 第一半导体层 2、第二半导体层 4 以及第三半导体层 5 的宽度 W_1 、 W_2 、 W_3 (短边) 非常窄。

在各半导体层的宽度 W_1 、 W_2 、 W_3 狭窄的情况下, 由于杂质浓度增高, 所以临界电场强度变高, 能够实现高耐压和低电阻。

另外, 由于第一至第三半导体层 2、4、5 全部都是外延层, 所以半导体晶片 10 的深度方向上的杂质浓度曲线均匀, 与通过离子注入而形成的超结结构的情况相比, 能够使得耗尽层的扩展均匀。

进而, 由于第一至第三半导体层 2、4、5 全部都是外延层, 所以能够将 pn 接合面垂直于半导体晶片 10 的表面而形成。如图 7 所示, 如果在半导体晶片的厚度方向上多阶段反复进行外延层的形成和离子注入而形成超结结构, 则 pn 接合面实际上呈波形, 从而存在耗尽层难以严格均匀地扩展的问题。但是, 在本实施方式中, pn 接合面成为垂直于半导体晶片表面的面, 由此也能够均匀地进行耗尽层的扩展。

另外, 在图 6 中, 以第三半导体层 5 被埋设在第二半导体层 4 之间而完成半导体晶片 10 的情况为例进行了说明, 但在沟道 3 的开口宽度 W_t 较宽的情况下, 也可以进一步反复操作而形成柱状半导体层。

即, 通过反复进行上述第三工序到第 6 工序, 反复进行形成其他外延层 (例如 p 型外延层) 的工序和蚀刻该外延层的工序, 从而交替且邻接地形成其他柱状半导体层。

即, 在形成第三半导体层 5 之后, 形成 p 型外延层并对 p 型外延层进行蚀刻, 从而形成其他柱状 p 型半导体层。也可以进一步形成 n 型外延层并对 n 型外延层进行蚀刻, 从而形成其他柱状 n 型半导体层, 还可以以这些半导体层交替的形式进一步形成 p 型半导体层和 n 型半导体层。

另外, 如果在第二工序中第一外延层 2' 残留在沟道 3 的底部, 则在以后的工序中形成柱状 p 型半导体层或者柱状 n 型半导体层时, 进行蚀刻直到残留在沟道 3 底部的第一外延层 2' 露出。

这样, 本实施方式的半导体晶片制造方法中, 在半导体衬底 1 上至少交替进行三次以上 n 型外延层的形成和蚀刻以及 p 型外延层的形成和蚀刻, 从而利用外延层形成所有的柱状半导体层。

由于所有的柱状半导体层由外延层形成，所以能够将它们的宽度形成希望的宽度。即，由于也能够缩窄各半导体层的宽度，提高杂质浓度，所以能够实现高耐压和低阻力。

另外，由于各半导体层的杂质浓度曲线变得均匀，pn 接合面相对于半导体晶片 10 的表面垂直地形成，所以能够均匀地进行耗尽层的扩展，能够提供一种充分利用超结结构的特性的半导体晶片的制造方法。

以上，在本实施方式中，以使用 n 型半导体衬底作为半导体衬底 1 的情况为例进行了说明，但也可以是 p 型硅半导体衬底。而且，以在第一工序中形成 n 型半导体层（外延层）的情况为例进行了说明，但即使是 p 型半导体层也能同样地实施。

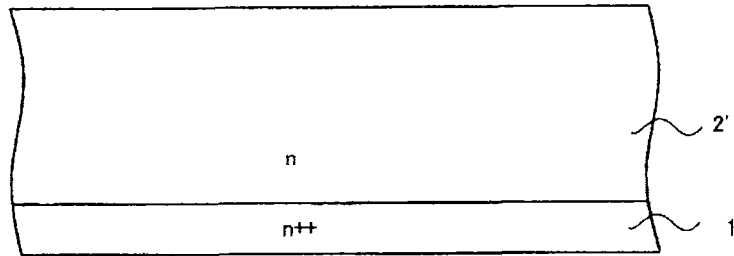


图 1

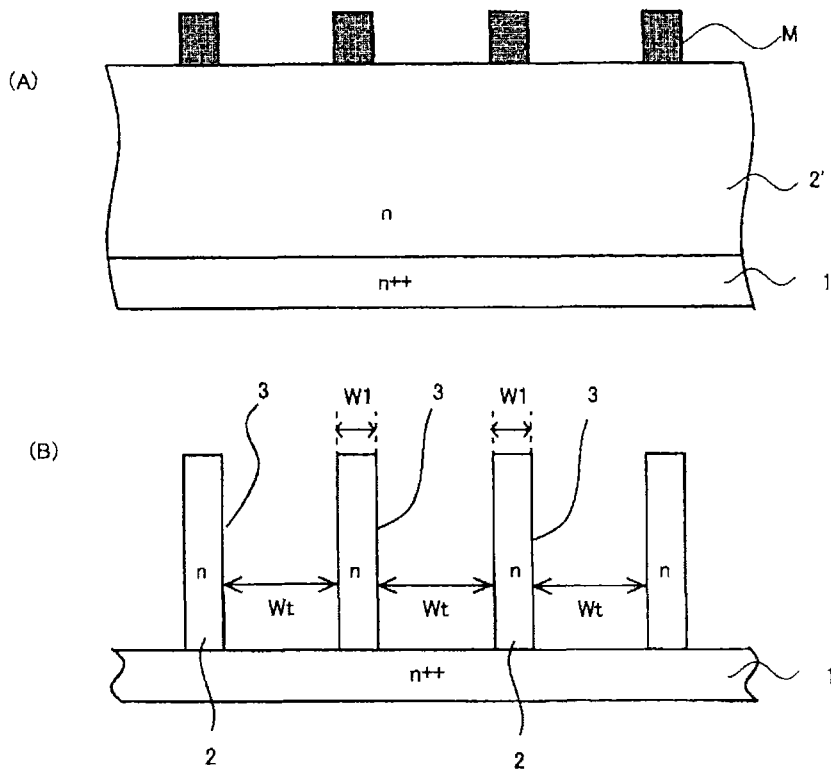


图 2

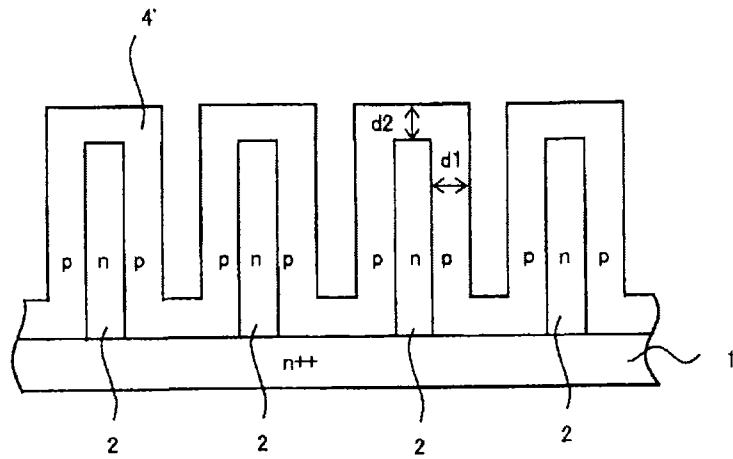


图 3

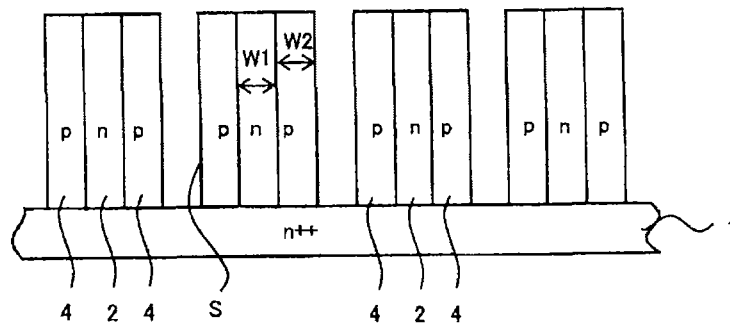


图 4

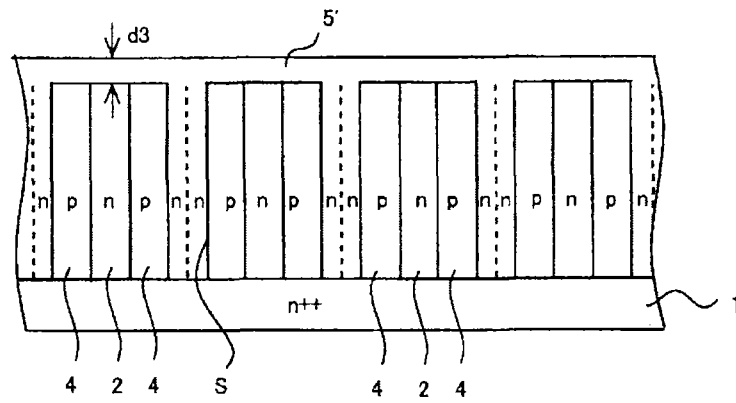


图 5

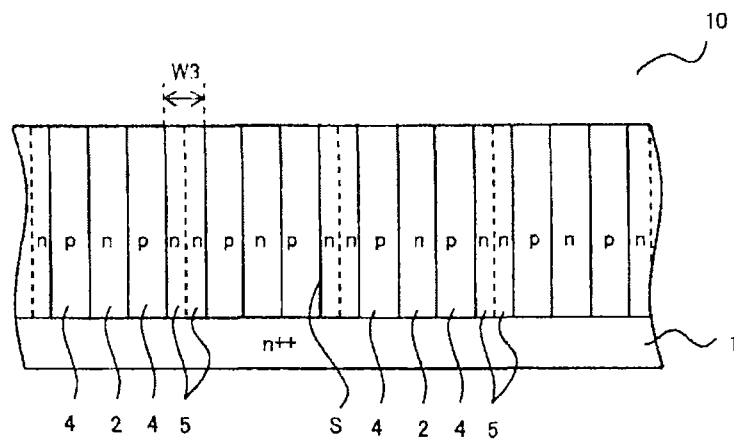


图 6

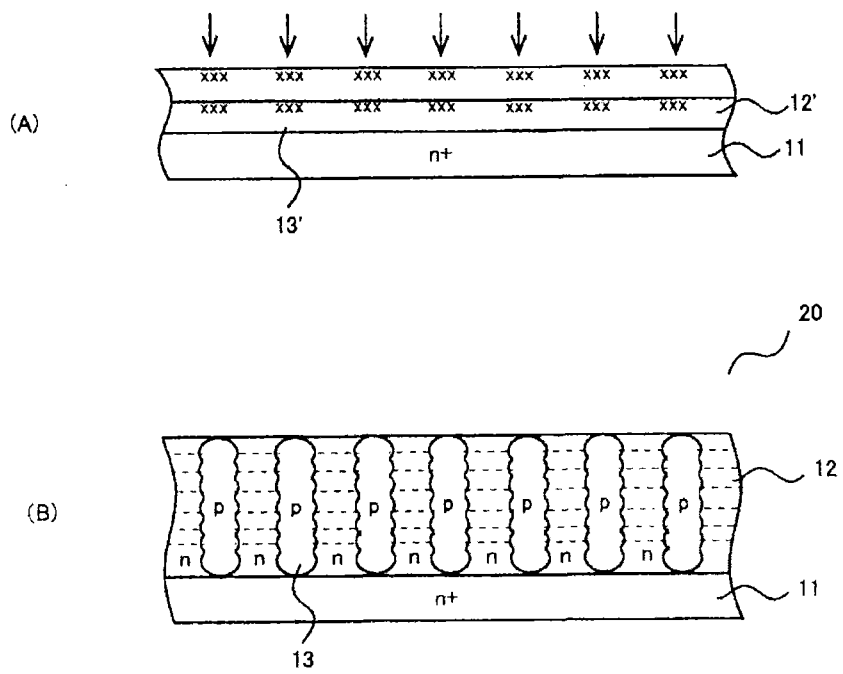


图 7

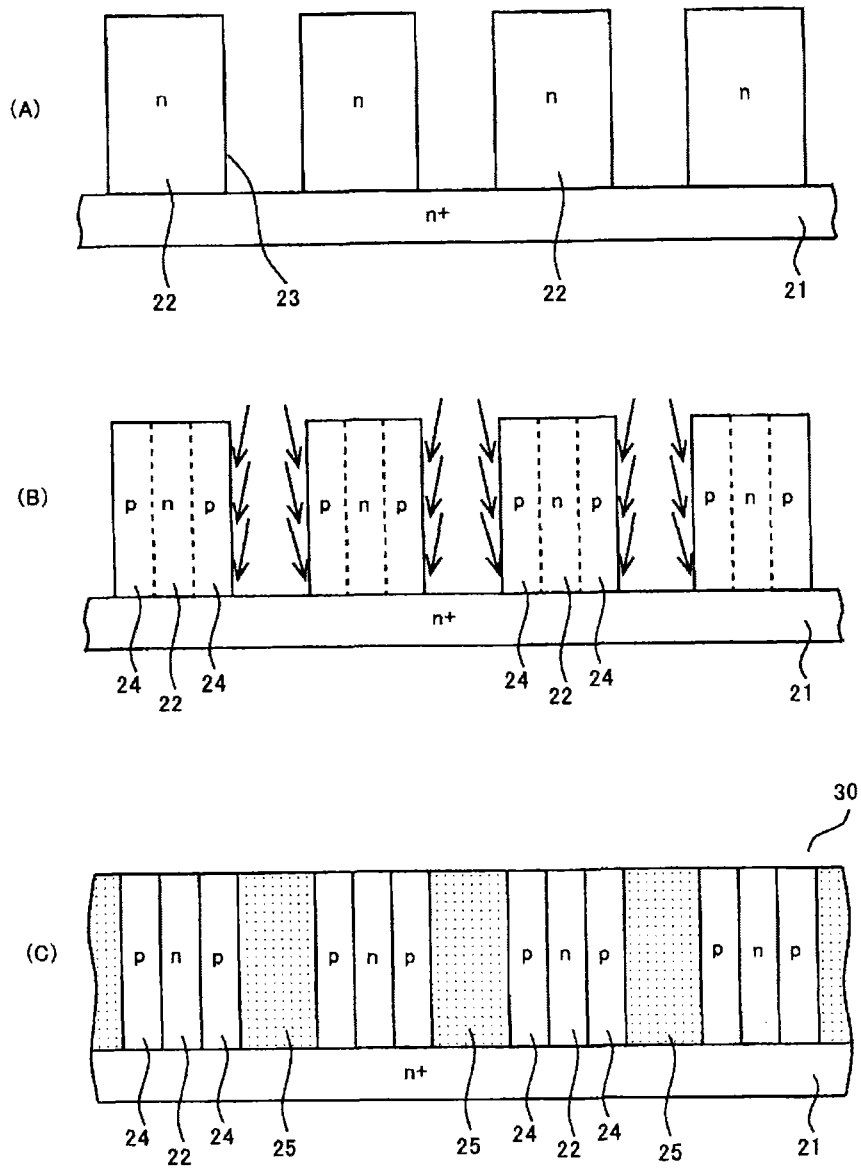


图 8