

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2013年3月7日 (07.03.2013)



(10) 国际公布号
WO 2013/029513 A1

- (51) 国际专利分类号:
G06F 9/455 (2006.01) G06F 11/26 (2006.01)
- (21) 国际申请号: PCT/CN2012/080608
- (22) 国际申请日: 2012年8月27日 (27.08.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110252377.2 2011年8月30日 (30.08.2011) CN
- (71) 申请人 (对除美国外的所有指定国): **华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.)** [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): **叶寒栋 (YE, Handong)** [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 **曹炯 (CAO, Jiong)** [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 **叶笑春 (YE, Xiaochun)** [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 **王达**

(WANG, Da) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

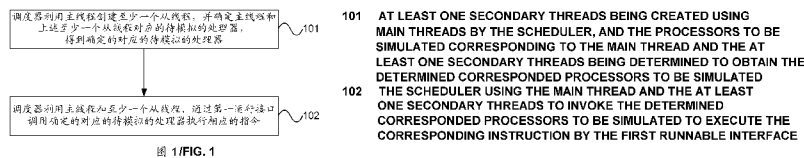
(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(54) Title: METHOD AND SYSTEM, SCHEDULER FOR PARALLEL SIMULATING PROCESSORS

(54) 发明名称: 并行模拟多个处理器的方法及系统、调度器



(57) Abstract: A method and system, scheduler for parallel simulating processors are provided by the invention. At least one secondary threads are created using main threads by the scheduler, and the processors to be simulated corresponding to the main thread and the at least one secondary threads are determined to enable the scheduler to use the main thread and the at least one secondary threads to invoke the determined corresponded processors to be simulated to execute the corresponding instruction by the first runnable interface registered to the scheduler by the determined corresponded processors to be simulated. Because that the processors to be simulated can be scheduled by the main thread and the at least one secondary threads each time, parallel simulating processors can be achieved and the problem in the art that parallel simulating processors can not be achieved caused by the reason that one processor to be simulated is scheduled each time, so that the simulated efficiency is improved. Moreover, the processor resources of the host can be farthest used so as to improve the resource utilization efficiency.

(57) 摘要: 本发明提供一种并行模拟多个处理器的方法及系统、调度器, 通过调度器利用主线程创建至少一个从线程, 并确定上述主线程和上述至少一个从线程对应的待模拟的处理器, 使得调度器能够利用上述主线程和上述至少一个从线程, 通过上述确定的对应的待模拟的处理器向上述调度器注册的第一运行接口, 调用上述确定的对应的待模拟的处理器执行相应的指令, 由于每次能够利用主线程和至少一个从线程调度待模拟的处理器, 所以能够实现并行模拟多个处理器, 避免了现有技术中由于每次调度一个待模拟的处理器而导致的无法实现并行模拟多个处理器的问题, 从而提高了模拟效率; 同时能够充分利用调度器所在宿主机的处理器资源, 从而提高了资源利用效率。

WO 2013/029513 A1

说明书

并行模拟多个处理器的方法及系统、调度器

技术领域

- 5 本发明实施例涉及模拟技术，尤其涉及一种并行模拟多个处理器的方法及系统、调度器。

背景技术

- 10 SIMICS 模拟器是一款高性能的系统模拟器，可以模拟单处理器系统和多处理器系统。SIMICS 模拟器模拟多处理器系统时，采用单一处理器调度方式进行调度，即每次调度一个处理器执行相应的指令，以实现串行模拟多个处理器。

然而，由于每次调度一个处理器，所以无法实现并行模拟多个处理器，导致了模拟效率的降低。

15

发明内容

本发明实施例提供一种并行模拟多个处理器的方法及系统、调度器，用以提高模拟效率的降低。

一方面提供了一种并行模拟多个处理器的方法，包括：

- 20 调度器利用主线程创建至少一个从线程，并确定所述主线程和所述至少一个从线程对应的待模拟的处理器，得到确定的对应的待模拟的处理器；

所述调度器利用所述主线程和所述至少一个从线程，通过第一运行接口调用所述确定的对应的待模拟的处理器执行相应的指令，所述第一运行接口为所述确定的对应的待模拟的处理器向所述调度器注册的。

- 25 另一方面提供了一种调度器，包括：

创建单元，用于利用主线程创建至少一个从线程，并确定所述主线程和

所述至少一个从线程对应的待模拟的处理器，得到确定的对应的待模拟的处理器；

调用单元，用于利用所述主线程和所述创建单元创建的所述至少一个从线程，通过第一运行接口调用所述创建单元确定的对应的待模拟的处理器执行相应的指令，所述第一运行接口为所述确定的对应的待模拟的处理器向所述调度器注册的。

另一方面提供了一种并行模拟多个处理器的系统，包括待模拟的处理器，还包括上述调度器。

由上述技术方案可知，本发明实施例通过调度器利用主线程创建至少一个从线程，并确定上述主线程和上述至少一个从线程对应的待模拟的处理器，使得调度器能够利用上述主线程和上述至少一个从线程，通过上述确定的对应的待模拟的处理器向上述调度器注册的第一运行接口，调用上述确定的对应的待模拟的处理器执行相应的指令，由于每次能够利用主线程和至少一个从线程调度待模拟的处理器，所以能够实现并行模拟多个处理器，避免了现有技术中由于每次调度一个待模拟的处理器而导致的无法实现并行模拟多个处理器的问题，从而提高了模拟效率；同时能够充分利用调度器所在宿主机的处理器资源，从而提高了资源利用效率。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍，显而易见地，下面描述中的附图是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本发明一实施例提供的并行模拟多个处理器的方法的流程示意图；
图 2 为本发明另一实施例提供的并行模拟多个处理器的方法的流程示意图；
图 3 为图 2 对应的实施例所适用的系统架构示意图；

图 4 为本发明另一实施例提供的调度器的结构示意图；

图 5 为本发明另一实施例提供的调度器的结构示意图；

图 6 为本发明另一实施例提供的并行模拟多个处理器的系统的结构示意图。

5 具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

图 1 为本发明一实施例提供的并行模拟多个处理器的方法的流程图，如图 1 所示，本实施例的并行模拟多个处理器的方法可以包括：

101、调度器利用主线程创建至少一个从线程，并确定上述主线程和上述至少一个从线程对应的待模拟的处理器，得到确定的对应的待模拟的处理器；

15 其中，主线程只有一个，从线程最多可以等于调度器所在宿主机的处理器的个数减去 1，以使得每个线程对应一个宿主机的处理器。

具体地，调度器可以根据配置文件，利用主线程创建至少一个从线程，并确定上述主线程和上述至少一个从线程对应的待模拟的处理器。配置文件中可以包括但不限于创建从线程的个数和线程（主线程或从线程）与待模拟的

20 处理器的映射关系。

102、上述调度器利用上述主线程和上述至少一个从线程，通过第一运行接口（execute interface）调用上述确定的对应的待模拟的处理器执行相应的指令。

25 其中，上述第一运行接口为上述确定的对应的待模拟的处理器向上述调度器注册的。

可以理解的是：每个线程可以对应一个待模拟的处理器，或者还可以对

应多个待模拟的处理器，本实施例对此不进行限定。如果每个线程对应多个待模拟的处理器，在 102 中，调度器每次通过主线程和从线程调度待模拟的处理器执行相应的指令时，则可以先并行调度每个线程中的一个待模拟的处理器，然后在每个线程内部再串行调度该线程中的其他待模拟的处理器。

5 可选地，上述指令可以包括但不限于下列指令中的至少一个：访问内存的指令，用于访问同一内存或不同内存的指令；访问外设的指令，用于访问同一外设或不同外设的指令。

可选地，上述指令还可以为原子指令，则在 102 中，调度器具体可以利用互斥锁操作，调用上述确定的对应的待模拟的处理器执行相应的指令。

10 可选地，本实施例中，调度器还可以进一步利用上述主线程和上述至少一个从线程，通过第一周期接口（cycle interface）向上述确定的对应的待模拟的处理器下发周期参数，以控制上述调度器利用上述主线程和上述至少一个从线程同步调用确定的对应的待模拟的处理器，从而保证了上述确定的待模拟的处理器在线程之间的调度一致。其中，上述第一周期接口为上述确定
15 的对应的待模拟的处理器向上述调度器注册的。

可选地，上述 101~102 的执行主体调度器可以为 SIMICS 模拟器中的调度单元。

可选地，上述 101~102 的执行主体调度器还可以为一个独立设置的控制单元。进一步地，调度器还可以进一步向 SIMICS 模拟器中的调度单元注册
20 对应的第二运行接口，以使上述调度单元通过上述第二运行接口调度上述调度器利用主线程创建至少一个从线程。相应地，调度器还可以进一步向上述 SIMICS 模拟器中的调度单元注册对应的第二周期接口，以使上述调度单元利用上述主线程，通过上述第二周期接口向上述调度器下发周期参数，以使上述调度器利用上述主线程和上述至少一个从线程，通过第一周期接口向上述
25 确定的对应的待模拟的处理器下发上述周期参数，以控制上述调度器利用上述主线程和上述至少一个从线程同步调用确定的对应的待模拟的处理器，上

述第一周期接口为上述确定的对应的待模拟的处理器向上述调度器注册的。

本实施例中，通过调度器利用主线程创建至少一个从线程，并确定上述主线程和上述至少一个从线程对应的待模拟的处理器，使得调度器能够利用上述主线程和上述至少一个从线程，通过上述确定的对应的待模拟的处理器
5 向上述调度器注册的第一运行接口，调用上述确定的对应的待模拟的处理器执行相应的指令，由于每次能够利用主线程和至少一个从线程调度待模拟的处理器，所以能够实现并行模拟多个处理器，避免了现有技术中由于每次调度一个待模拟的处理器而导致的无法实现并行模拟多个处理器的问题，从而提高了模拟效率；同时能够充分利用调度器所在宿主机的处理器资源，从而
10 提高了资源利用效率。

为使得本发明实施例提供的方法更加清楚，下面将以 101~102 的执行主体调度器为一个独立设置的控制（Controller）单元作为举例。图 2 为本发明另一实施例提供的并行模拟多个处理器的方法的流程示意图，本实施例所适用的系统架构可以如图 3 所示。如图 2 所示，本实施例的并行模拟多个处理
15 器的方法可以包括：

201、控制单元向 SIMICS 模拟器中的调度单元注册该控制单元对应的运行接口和周期接口；

202、待模拟的处理器向控制单元注册该待模拟的处理器对应的运行接口和周期接口；

203、控制单元根据配置文件，利用主线程创建至少一个从线程，并确定上述主线程和上述至少一个从线程对应的待模拟的处理器，以及在所在宿主
20 机上为待模拟的处理器申请内存；

例如：主线程对应待模拟的处理器 0 和待模拟的处理器 6；

从线程 1 对应待模拟的处理器 1 和待模拟的处理器 3；

25 从线程 2 对应待模拟的处理器 2 和待模拟的处理器 4；

从线程 3 对应待模拟的处理器 5 和待模拟的处理器 7。

可选地，控制单元可以在所在宿主机上为待模拟的处理器申请同一个内存，用以实现模拟多个待模拟的处理器共同访问同一内存，或者还可以在所在宿主机上为待模拟的处理器申请不同内存，用以实现模拟多个待模拟的处理器访问不同内存。

5 204、调度单元利用主线程，调用控制单元注册的运行接口；

 205、控制单元利用主线程和创建的至少一个从线程，调用待模拟的处理器注册的运行接口，以调用对应的待模拟的处理器执行相应的指令。

 例如：控制单元利用主线程，调用待模拟的处理器 0 注册的运行接口，再调用待模拟的处理器 6 注册的运行接口；

10 控制单元利用从线程 1，调用待模拟的处理器 1 注册的运行接口，再用待模拟的处理器 3 注册的运行接口；

 控制单元利用从线程 2，调用待模拟的处理器 2 注册的运行接口，再用待模拟的处理器 4 注册的运行接口；

15 控制单元利用从线程 3，调用待模拟的处理器 5 注册的运行接口，再用待模拟的处理器 7 注册的运行接口。

 可选地，在 204 中，调度单元还可以进一步利用主线程，调用控制单元注册的周期接口，以向控制单元下发周期参数（例如：处理器切换时间（cpu-switch-time）参数，用于指示执行指令的指定条数等），以使该控制单元进一步利用主线程和创建的至少一个从线程，调用待模拟的处理器注册
20 的周期接口，以向待模拟的处理器下发时间推进的目标值，用以控制上述主线程和上述至少一个从线程调用对应的待模拟的处理器同步，例如：从线程上的待模拟的处理器执行完指定条数的指令之后通知主线程上的控制单元，并进入睡眠状态；主线程上的控制单元接收到全部的从线程上的待模拟的处理器通知之后，退出运行接口，等待重新执行 204。

25 本实施例中，通过控制单元被 SIMICS 模拟器中的调度单元调用之后利用主线程创建至少一个从线程，并确定上述主线程和上述至少一个从线程对

应的待模拟的处理器，使得控制单元能够利用上述主线程和上述至少一个从线程，通过待模拟的处理器向上述控制单元注册的第一运行接口，调用上述确定的对应的待模拟的处理器执行相应的指令，由于每次能够利用主线程和至少一个从线程调度待模拟的处理器，所以能够实现并行模拟多个处理器，

5 避免了现有技术中由于每次调度一个待模拟的处理器而导致的无法实现并行模拟多个处理器的问题，从而提高了模拟效率；同时能够充分利用调度器所在宿主机器的处理器资源，从而提高了资源利用效率。

需要说明的是：对于前述的各方法实施例，为了简单描述，故将其都表述为一系列的动作组合，但是本领域技术人员应该知悉，本发明并不受所描述的动作顺序的限制，因为依据本发明，某些步骤可以采用其他顺序或者同时进行。其次，本领域技术人员也应该知悉，说明书中所描述的实施例均属于优选实施例，所涉及的动作和模块并不一定是本发明所必须的。

10

在上述实施例中，对各个实施例的描述都各有侧重，某个实施例中并没有详述的部分，可以参见其他实施例的相关描述。

15 图 4 为本发明另一实施例提供的调度器的结构示意图，如图 4 所示，本实施例的调度器可以包括创建单元 41 和调用单元 42。其中，创建单元 41 用于利用主线程创建至少一个从线程，并确定上述主线程和上述至少一个从线程对应的待模拟的处理器，得到确定的对应的待模拟的处理器；调用单元 42 用于利用上述主线程和上述创建单元 41 创建的上述至少一个从线程，通过第

20 一运行接口调用上述创建单元 41 确定的对应的待模拟的处理器执行相应的指令。其中，上述第一运行接口为上述创建单元 41 确定的对应的待模拟的处理器向上述调度器注册的。

上述图 1 对应的实施例中调度器的功能可以由本实施例提供的调度器实现。

25 可选地，本实施例中的调用单元 42 调用上述创建单元 41 确定的对应的待模拟的处理器执行相应的指令可以包括但不限于下列指令中的至少一个：

访问内存的指令，用于访问同一内存或不同内存的指令；访问外设的指令，用于访问同一外设或不同外设的指令。

可选地，本实施例中的调用单元 42 调用上述创建单元 41 确定的对应的待模拟的处理器执行相应的指令还可以为原子指令，则调用单元 42 具体可以
5 利用互斥锁操作，调用上述创建单元确定的对应的待模拟的处理器执行相应的指令。

可选地，调用单元 42 还可以进一步利用上述主线程和上述至少一个从线程，通过第一周期接口（cycle interface）向上述创建单元 41 确定的对应的待模拟的处理器下发周期参数，以控制上述调度器利用上述主线程和上述至
10 少一个从线程同步调用创建单元 41 确定的对应的待模拟的处理器，从而保证了待模拟的处理器在线程之间的调度一致。其中，上述第一周期接口为上述创建单元 41 确定的对应的待模拟的处理器向上述调度器注册的。

可选地，本实施例提供的调度器可以为 SIMICS 模拟器中的调度单元。

可选地，本实施例提供的调度器还可以为一个独立设置的控制单元。进一步地，如图 5 所示，本实施例提供的调度器还可以进一步包括注册单元 51，
15 用于向 SIMICS 模拟器中的调度单元注册对应的第二运行接口，以使上述调度单元通过上述第二运行接口调度上述调度器利用主线程创建至少一个从线程。

相应地，注册单元 51 还可以进一步向上述 SIMICS 模拟器中的调度单元
20 注册对应的第二周期接口，以使上述调度单元利用上述主线程，通过上述第二周期接口向上述调度器下发周期参数，以使上述调用单元利用上述主线程和上述至少一个从线程，通过第一周期接口向上述创建单元 41 确定的对应的待模拟的处理器下发上述周期参数，以控制上述调用单元利用上述主线程和
25 上述至少一个从线程同步调用创建单元 41 确定的对应的待模拟的处理器。其中，上述第一周期接口为上述创建单元 41 确定的对应的待模拟的处理器向上述调度器注册的。

本实施例中，调度器通过创建单元利用主线程创建至少一个从线程，并确定上述主线程和上述至少一个从线程对应的待模拟的处理器，使得调用单元能够利用上述主线程和上述至少一个从线程，通过上述创建单元 41 确定的对应的待模拟的处理器向上述调度器注册的第一运行接口，调用上述创建单元 5 元 41 确定的对应的待模拟的处理器执行相应的指令，由于每次能够利用主线程和至少一个从线程调度待模拟的处理器，所以能够实现并行模拟多个处理器，避免了现有技术中由于每次调度一个待模拟的处理器而导致的无法实现并行模拟多个处理器的问题，从而提高了模拟效率；同时能够充分利用调度器所在宿主机的处理器资源，从而提高了资源利用效率。

10 图 6 为本发明另一实施例提供的并行模拟多个处理器的系统的结构示意图，如图 6 所示，本实施例的并行模拟多个处理器的系统可以包括待模拟的处理器 61 和调度器 62。其中，调度器可以为图 4 和图 5 对应的实施例中任一实施例提供的调度器，详细描述可以参见对应实施例中的相关内容，此处不再赘述。

本实施例中，通过调度器利用主线程创建至少一个从线程，并确定上述 15 主线程和上述至少一个从线程对应的待模拟的处理器，使得调度器能够利用上述主线程和上述至少一个从线程，通过上述调度器确定的对应的待模拟的处理器向上述调度器注册的第一运行接口，调用上述调度器确定的对应的待模拟的处理器执行相应的指令，由于每次能够利用主线程和至少一个从线程调度待模拟的处理器，所以能够实现并行模拟多个处理器，避免了现有技术 20 中由于每次调度一个待模拟的处理器而导致的无法实现并行模拟多个处理器的问题，从而提高了模拟效率；同时能够充分利用调度器所在宿主机的处理器资源，从而提高了资源利用效率。

所属领域的技术人员可以清楚地了解到，为描述的方便和简洁，上述描述的 25 过程，在此不再赘述。

在本申请所提供的几个实施例中，应该理解到，所揭露的系统，装置和

方法，可以通过其它的方式实现。例如，以上所描述的装置实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如多个单元或组件可以结合或者可以集成到另一个系统，或一些特征可以忽略，或不执行。另一点，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口，装置或单元的间接耦合或通信连接，可以是电性，机械或其它的形式。

所述作为分离部件说明的单元可以是或者也可以不是物理上分开的，作为单元显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

另外，在本发明各个实施例中的各功能单元可以集成在一个处理单元中，也可以是各个单元单独物理存在，也可以两个或两个以上单元集成在一个单元中。上述集成的单元既可以采用硬件的形式实现，也可以采用硬件加软件功能单元的形式实现。

上述以软件功能单元的形式实现的集成的单元，可以存储在一个计算机可读取存储介质中。上述软件功能单元存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算机，服务器，或者网络设备等）执行本发明各个实施例所述方法的部分步骤。而前述的存储介质包括：U盘、移动硬盘、只读存储器（Read-Only Memory，简称 ROM）、随机存取存储器（Random Access Memory，简称 RAM）、磁碟或者光盘等各种可以存储程序代码的介质。

最后应说明的是：以上实施例仅用以说明本发明的技术方案，而非对其限制；尽管参照前述实施例对本发明进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围。

权 利 要 求 书

1、一种并行模拟多个处理器的方法，其特征在于，包括：

调度器利用主线程创建至少一个从线程，并确定所述主线程和所述至少一个从线程对应的待模拟的处理器，得到确定的对应的待模拟的处理器；

5 所述调度器利用所述主线程和所述至少一个从线程，通过第一运行接口调用所述确定的对应的待模拟的处理器执行相应的指令，所述第一运行接口为所述确定的对应的待模拟的处理器向所述调度器注册的。

2、根据权利要求 1 所述的方法，其特征在于，所述指令包括下列指令中的至少一个：

10 访问内存的指令，用于访问同一内存或不同内存的指令；

访问外设的指令，用于访问同一外设或不同外设的指令。

3、根据权利要求 1 所述的方法，其特征在于，所述指令为原子指令，所述调度器调用所述确定的对应的待模拟的处理器执行相应的指令，包括：

15 所述调度器利用互斥锁操作，调用所述确定的对应的待模拟的处理器执行相应的指令。

4、根据权利要求 1 所述的方法，其特征在于，所述方法还包括：

所述调度器利用所述主线程和所述至少一个从线程，通过第一周期接口向所述确定的对应的待模拟的处理器下发周期参数，以控制所述调度器利用所述主线程和所述至少一个从线程同步调用所述确定的对应的待模拟的处理器，所述第一周期接口为所述确定的对应的待模拟的处理器向所述调度器注册。
20

5、根据权利要求 1 至 4 任一权利要求所述的方法，其特征在于，所述调度器为 SIMICS 模拟器中的调度单元。

6、根据权利要求 1 至 4 任一权利要求所述的方法，其特征在于，所述方法还包括：
25

所述调度器向 SIMICS 模拟器中的调度单元注册对应的第二运行接口，

以使所述调度单元通过所述第二运行接口调度所述调度器利用主线程创建至少一个从线程。

7、根据权利要求 6 所述的方法，其特征在于，所述方法还包括：

所述调度器向所述 **SIMICS** 模拟器中的调度单元注册对应的第二周期接口，以使所述调度单元利用所述主线程，通过所述第二周期接口向所述调度器下发周期参数，以使所述调度器利用所述主线程和所述至少一个从线程，通过第一周期接口向所述确定的对应的待模拟的处理器下发所述周期参数，以控制所述调度器利用所述主线程和所述至少一个从线程同步调用所述确定的对应的待模拟的处理器，所述第一周期接口为所述确定的对应的待模拟的处理器向所述调度器注册的。

8、一种调度器，其特征在于，包括：

创建单元，用于利用主线程创建至少一个从线程，并确定所述主线程和所述至少一个从线程对应的待模拟的处理器，得到确定的对应的待模拟的处理器；

调用单元，用于利用所述主线程和所述创建单元创建的所述至少一个从线程，通过第一运行接口调用所述创建单元确定的对应的待模拟的处理器执行相应的指令，所述第一运行接口为所述确定的对应的待模拟的处理器向所述调度器注册的。

9、根据权利要求 8 所述的调度器，其特征在于，所述调用单元调用所述创建单元确定的对应的待模拟的处理器执行相应的指令包括下列指令中的至少一个：

访问内存的指令，用于访问同一内存或不同内存的指令；

访问外设的指令，用于访问同一外设或不同外设的指令。

10、根据权利要求 8 所述的调度器，其特征在于，所述调用单元调用所述创建单元确定的对应的待模拟的处理器执行相应的指令为原子指令，所述调用单元具体用于

利用互斥锁操作，调用所述创建单元确定的对应的待模拟的处理器执行相应的指令。

11、根据权利要求 8 所述的调度器，其特征在于，所述调用单元还用于利用所述主线程和所述至少一个从线程，通过第一周期接口向所述确定的对应的待模拟的处理器下发周期参数，以控制所述调度器利用所述主线程和所述至少一个从线程同步调用所述确定的对应的待模拟的处理器，所述第一周期接口为所述确定的对应的待模拟的处理器向所述调度器注册的。

12、根据权利要求 8 至 11 任一权利要求所述的调度器，其特征在于，所述调度器为 SIMICS 模拟器中的调度单元。

10 13、根据权利要求 8 至 11 任一权利要求所述的调度器，其特征在于，所述调度器还包括注册单元，用于

向 SIMICS 模拟器中的调度单元注册对应的第二运行接口，以使所述调度单元通过所述第二运行接口调度所述调度器利用主线程创建至少一个从线程。

15 14、根据权利要求 13 所述的调度器，其特征在于，所述注册单元还用于

向所述 SIMICS 模拟器中的调度单元注册对应的第二周期接口，以使所述调度单元利用所述主线程，通过所述第二周期接口向所述调度器下发周期参数，以使所述调用单元利用所述主线程和所述至少一个从线程，通过第一周期接口向所述确定的对应的待模拟的处理器下发所述周期参数，以控制所述调度器利用所述主线程和所述至少一个从线程同步调用所述确定的对应的待模拟的处理器，所述第一周期接口为所述确定的对应的待模拟的处理器向所述调度器注册的。

25 15、一种并行模拟多个处理器的系统，包括待模拟的处理器，其特征在于，还包括权利要求 8~14 任一权利要求所述的调度器。

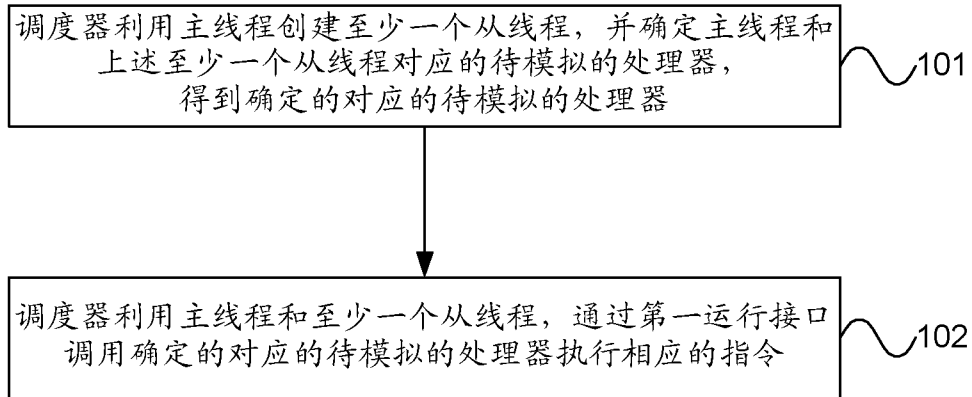


图 1

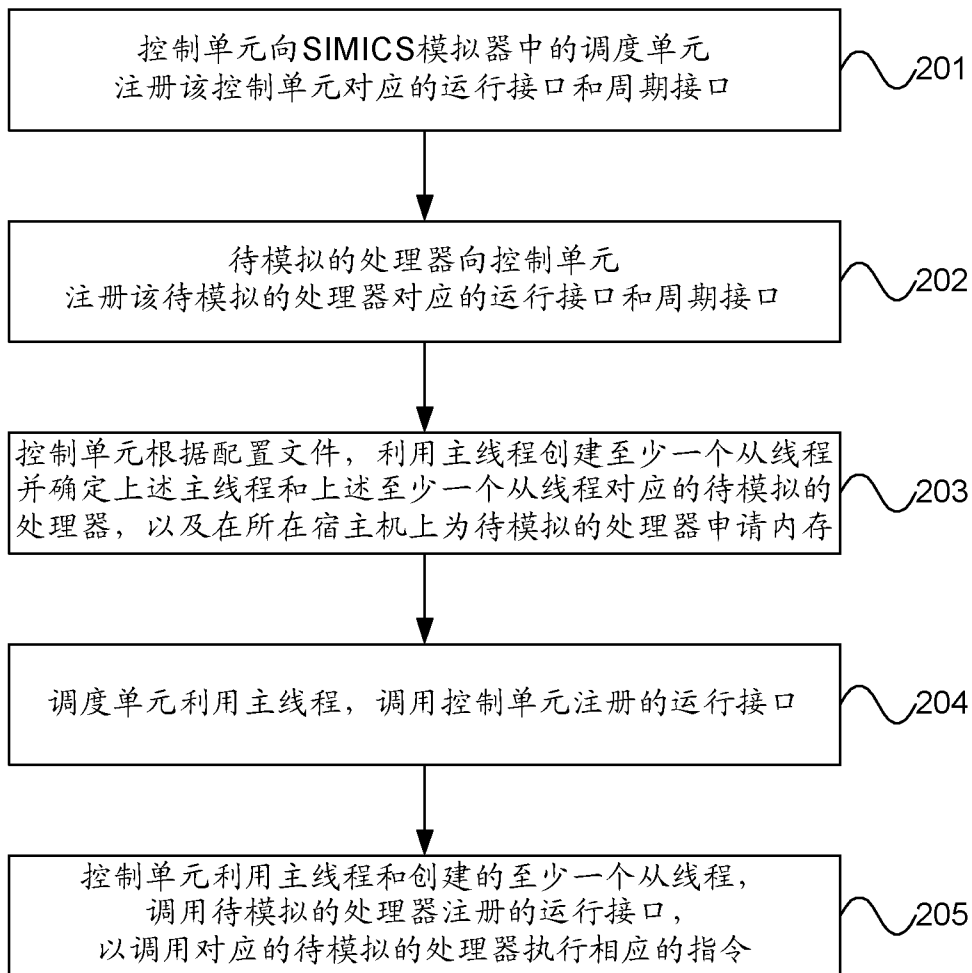


图 2

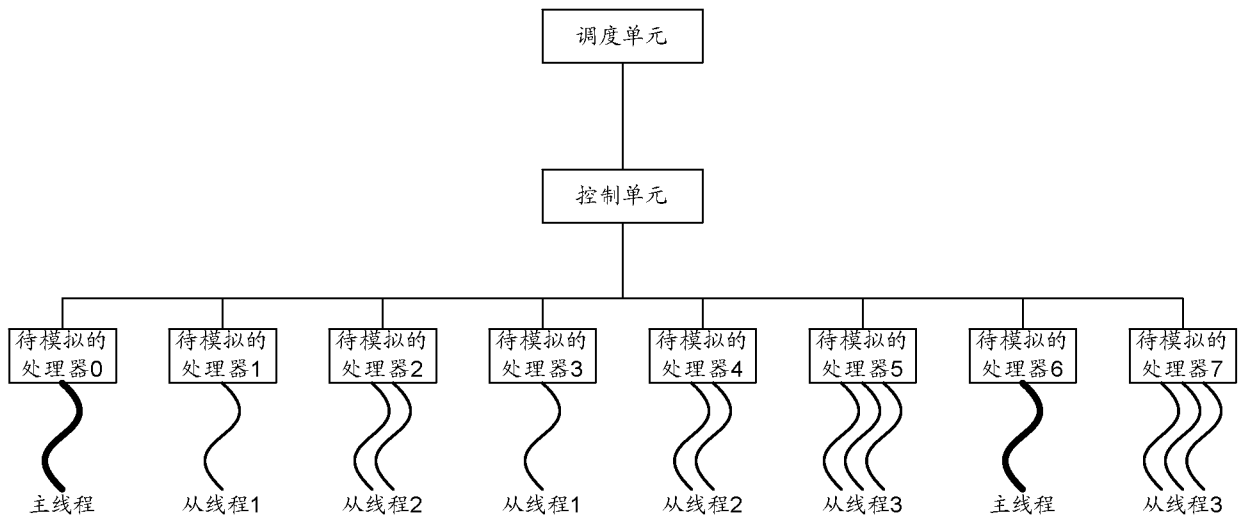


图 3

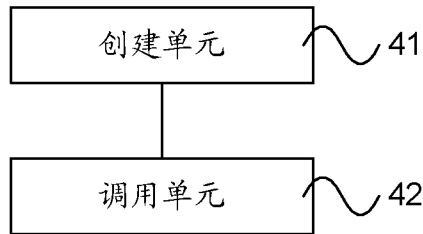


图 4

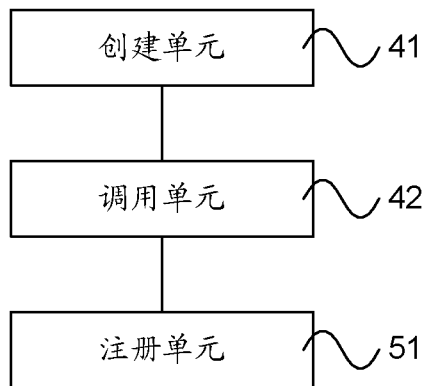


图 5

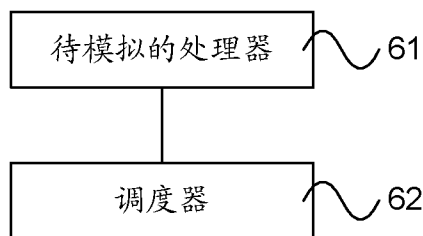


图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/080608

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G06F 9/-, G06F 11/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CPRSABS, CNTXT, TWTXT, DWPI, SIPOABS, CNKI, GOOLE: SIMICS, parallel+, simulate+, emulat+, processor?, interface, register+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN102279766A(HUAWEI TECHNOLOGIES CO LTD) 14 Dec. 2011 (14.12.2011) see claims 1-15	1-15
PX	CN102331961A(HUAWEI TECHNOLOGIES CO LTD) 25 Jan. 2012 (25.01.2012) see claims 1-31	1-15
X	US2006/0229861A1(FUJITSU LIMITED) 12 Dec. 2006 (12.10.2006) See description, page 2, paragraphs 0024-0025, 0027, 0029, 0032, figures 1,3	1-15
X	CN101777007A (UNIV SUZHOU SCI&TECHNOLOGY) 14 Jul. 2010 (14.07.2010) see claims 1-5	1-15

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&”document member of the same patent family</p>
---	--

Date of the actual completion of the international search
15 Oct. 2012(15.10.2012)

Date of mailing of the international search report
15 Nov. 2012(15.10.2012)

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10)62019451

Authorized officer

Liu, Jing
Telephone No. (86-10) **62411640**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2012/080608

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN102279766A	14.12.2011	NONE	
CN102331961A	25.01.2012	NONE	
US2006/0229861A1	12.10.2006	JP2006293759A	26.10.2006
		US7873507B2	18.01.2011
		JP4717492B2	06.07.2011
CN101777007A	14.07.2010		

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/080608

A. CLASSIFICATION OF SUBJECT MATTER

G06F 9/455(2006.01)i

G06F 11/26(2006.01)i

国际检索报告

国际申请号
PCT/CN2012/080608

A. 主题的分类		
参见附加页		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
IPC: G06F 9/-, G06F 11/-		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNABS, CPRSABS, CNTXT, TWTXT, DWPI, SIPOABS, CNKI, GOOLE 学术: 并行, 模拟, 线程, 处理器, 仿真, SIMICS, 接口, 注册, parallel+, simulate+, emulat+, processor?, interface, register+		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN102279766A(华为技术有限公司) 14.12 月 2011 (14.12.2011) 参见权利要求 1-15	1-15
PX	CN102331961A(华为技术有限公司) 25.1 月 2012 (25.01.2012) 参见权利要求 1-31	1-15
X	US2006/0229861A1(FUJITSU LIMITED) 12. 10 月 2006 (12.10.2006) 参见说明书第 2 页第 0024-0025、0027、0029、0032 段, 图 1、3	1-15
X	CN101777007A (中国科学技术大学苏州研究院) 14. 7 月 2010(14.07.2010) 参见权利要求 1-5	1-15
<input type="checkbox"/> 其余文件在 C 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 15.10 月 2012 (15.10.2012)		国际检索报告邮寄日期 15.11 月 2012 (15.11.2012)
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451		受权官员 刘静 电话号码: (86-10) 62411640

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/080608

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN102279766A	14.12.2011	无	
CN102331961A	25.01.2012	无	
US2006/0229861A1	12.10.2006	JP2006293759A	26.10.2006
		US7873507B2	18.01.2011
		JP4717492B2	06.07.2011
CN101777007A	14.07.2010	无	

A. 主题的分类

G06F 9/455(2006.01)i

G06F 11/26(2006.01)i