

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 51/05 (2006.01)

H01L 51/40 (2006.01)



[12] 发明专利说明书

专利号 ZL 200580002048.5

[45] 授权公告日 2009年12月9日

[11] 授权公告号 CN 100568573C

[22] 申请日 2005.1.13

[21] 申请号 200580002048.5

[30] 优先权

[32] 2004.1.29 [33] US [31] 10/767,039

[86] 国际申请 PCT/EP2005/050128 2005.1.13

[87] 国际公布 WO2005/076382 英 2005.8.18

[85] 进入国家阶段日期 2006.7.7

[73] 专利权人 国际商业机器公司

地址 美国纽约阿芒克

[72] 发明人 古川俊治 马克·C·黑基

斯蒂文·J·霍姆斯

戴维·V·霍拉克 彼得·米切尔

拉里·A·内斯比特

[56] 参考文献

EP1361608A2 2003.11.12

US2003/0168683A1 2003.9.11

US2003/0132461A1 2003.7.17

US2002/0001905A1 2002.1.3

审查员 王翠

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波 侯宇

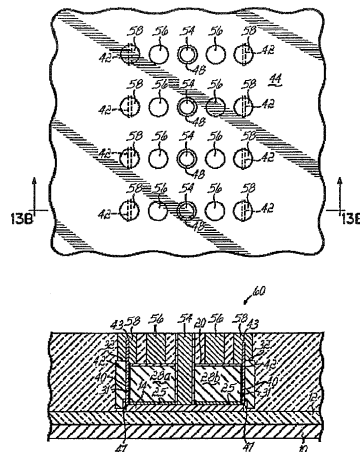
权利要求书4页 说明书11页 附图13页

[54] 发明名称

垂直半导体器件结构及其形成方法

[57] 摘要

提供了具有由至少一个半导体纳米管限定的沟道区域的垂直场效应晶体管以及利用由间隙壁限定的通道通过化学气相沉积来制造这样的垂直场效应晶体管的方法。通过位于限定在间隙壁和栅电极之间的高深宽比通道基部的催化剂垫所催化的化学气相沉积来生长每个纳米管。每个纳米管在所述通道中以由间隙壁的限制性存在所约束的垂直取向生长。可以在远离所述通道开口的间隙壁的基部中设置间隙。通过所述间隙流到催化剂垫的反应物参与了纳米管的生长。



1. 一种垂直半导体器件结构，包括：
限定水平的面的衬底；
从所述衬底垂直突出并包括垂直侧壁的栅电极；
在所述垂直侧壁侧面的间隙壁；
半导体纳米管，所述半导体纳米管位于所述栅电极和所述间隙壁之间并在相对的第一和第二端之间以垂直的取向延伸；
设置在所述纳米管和所述栅电极之间的所述垂直侧壁上的栅极电介质；
与所述纳米管的所述第一端电耦合的源极；以及
与所述纳米管的所述第二端电耦合的漏极；
其中，所述间隙壁通过间隙与所述衬底隔开，所述间隙在所述半导体纳米管形成之后被绝缘材料填充。
2. 根据权利要求1所述的半导体器件结构，其中所述源极包括催化剂材料，所述催化剂材料用于通过化学气相沉积工艺合成所述半导体纳米管。
3. 根据权利要求1所述的半导体器件结构，其中所述漏极包括催化剂材料，所述催化剂材料用于通过化学气相沉积工艺合成所述半导体纳米管。
4. 根据权利要求1所述的半导体器件结构，其中所述半导体纳米管由排列的碳原子构成。
5. 根据权利要求1所述的半导体器件结构，其中所述间隙壁通过通道与所述垂直侧壁隔开。
6. 根据权利要求5所述的半导体器件结构，其中所述通道具有适于所述半导体纳米管生长的水平尺寸，以及具有大于或等于所述栅电极的所述垂直侧壁的垂直高度的垂直尺寸。
7. 根据权利要求5所述的半导体器件结构，其中从垂直方向上观看时，所述通道具有矩形的截面轮廓。
8. 根据权利要求5所述的半导体器件结构，其中所述源极由催化剂材料构成，所述催化剂材料用于通过化学气相沉积工艺合成所述半导体纳米管，所述源极位于所述衬底上与所述通道垂直对准。

9. 根据权利要求8所述的半导体器件结构,其中所述间隙壁相对于所述衬底垂直地隔开从而限定出间隙,所述间隙用来将反应物提供到所述源极的所述催化剂材料以用于通过化学气相沉积工艺生长所述半导体纳米管。

10. 根据权利要求5所述的半导体器件结构,还包括水平地位于所述栅电极和所述间隙壁之间的多个半导体纳米管,所述多个半导体纳米管中的每一个在相对的第一和第二端之间的所述通道中垂直地延伸。

11. 根据权利要求10所述的半导体器件结构,其中未被所述多个半导体纳米管占据的所述通道内的空间被绝缘材料填充。

12. 根据权利要求1所述的半导体器件结构,还包括水平地位于所述栅电极和所述间隙壁之间的多个半导体纳米管,所述多个半导体纳米管中的每一个在相对的第一和第二端之间垂直地延伸。

13. 根据权利要求12所述的半导体器件结构,其中所述多个半导体纳米管中的至少一个具有与所述源极电耦合的所述第一端以及与所述漏极电耦合的所述第二端。

14. 一种半导体器件结构的形成方法,包括:

在衬底上形成催化剂垫;

形成与所述催化剂垫相邻的栅电极;

在覆盖所述催化剂垫的位置上的所述栅电极的垂直侧壁上形成第一间隙壁;

在所述第一间隙壁上形成第二间隙壁;

去除所述第一间隙壁从而定义出界定在所述第二间隙壁和所述栅电极之间的通道,其中所述通道在一端具有开口并且在相对端设置有所述催化剂垫;

在所述垂直侧壁上形成栅极电介质;

在所述催化剂垫上合成半导体纳米管,所述半导体纳米管从所述催化剂垫到靠近所述通道开口的自由端垂直地延伸;

其中,所述第一间隙壁通过间隙与所述衬底隔开,所述间隙提供了到所述催化剂垫的流动路径,并且合成所述半导体纳米管包括:通过所述间隙限定的流动路径引导反应物,从而能够在所述催化剂垫处发生化学反应以用于合成所述半导体纳米管。

15. 根据权利要求14所述的方法, 其中去除所述第一间隙壁包括: 相对于所述栅电极、所述第二间隙壁和所述衬底选择性的蚀刻所述第一间隙壁。

16. 根据权利要求15所述的方法, 其中选择性的蚀刻所述第一间隙壁还包括: 各向同性的蚀刻所述第一间隙壁。

17. 根据权利要求14所述的方法, 其中形成所述第二间隙壁还包括: 各向异性的蚀刻所述第二间隙壁。

18. 根据权利要求14所述的方法, 其中形成所述栅极电介质还包括: 氧化所述栅电极的侧壁从而形成所述栅极电介质。

19. 根据权利要求14所述的方法, 其中所述第一间隙壁通过间隙与所述衬底垂直地隔开。

20. 根据权利要求19所述的方法, 其中所述反应物是含碳反应物并且所述半导体纳米管是碳纳米管。

21. 根据权利要求19所述的方法, 还包括: 在合成所述半导体纳米管之后, 用绝缘材料填充所述间隙。

22. 根据权利要求14所述的方法, 还包括: 用绝缘材料层覆盖所述通道的开口和所述栅电极; 以及, 在所述绝缘材料层中形成与所述半导体纳米管的自由端电耦合的接触。

23. 根据权利要求14所述的方法, 其中合成所述半导体纳米管还包括: 在用于生长所述半导体纳米管的条件下, 使所述催化剂垫暴露于反应物。

24. 根据权利要求14所述的方法, 还包括: 在形成所述栅电极和所述催化剂垫之后, 形成与所述催化剂垫的被覆盖部分交迭的第三间隙壁并暴露所述催化剂垫的未覆盖部分; 以及, 去除所述催化剂垫的未覆盖部分以用于减小所述催化剂垫的表面积。

25. 根据权利要求24所述的方法, 其中去除所述催化剂垫的暴露部分包括: 相对于所述栅电极和所述衬底选择性蚀刻所述催化剂垫的未覆盖部分。

26. 根据权利要求14所述的方法, 还包括: 形成与所述半导体纳米管的自由端电耦合的接触。

27. 根据权利要求26所述的方法, 其中所述半导体纳米管的自由端突出到构成所述接触的金属插塞中。

28. 根据权利要求 14 所述的方法, 其中所述半导体纳米管是由排列的碳原子构成的碳纳米管。

29. 根据权利要求 14 所述的方法, 其中形成所述栅极电介质而没有不利影响所述催化剂垫催化所述半导体纳米管生长的能力。

30. 根据权利要求 14 所述的方法, 其中所述半导体纳米管限定了具有沟道的场效应晶体管的沟道区域, 通过将控制电压施加到所述栅电极, 调整沿着所述沟道的电流。

31. 根据权利要求 14 所述的方法, 还包括: 合成位于所述栅电极和所述间隙壁之间的多个半导体纳米管, 所述多个半导体纳米管中的每一个从所述催化剂垫延伸到靠近所述通道开口的自由端。

32. 根据权利要求 31 所述的方法, 还包括: 用绝缘材料层覆盖所述通道的开口和所述栅电极; 以及, 在所述绝缘材料层中形成与所述多个半导体纳米管中的至少一个的自由端电耦合的接触。

33. 根据权利要求 32 所述的方法, 其中所述多个半导体纳米管是碳纳米管。

34. 根据权利要求 14 所述的方法, 其中所述通道具有适于所述半导体纳米管生长的水平尺寸, 以及具有大于或等于所述栅电极的所述垂直侧壁的垂直高度的垂直尺寸。

35. 根据权利要求 34 所述的方法, 其中从垂直方向上观看时, 所述通道具有矩形的截面轮廓。

36. 根据权利要求 34 所述的方法, 其中所述催化剂垫位于所述衬底上与所述通道垂直对准。

37. 根据权利要求 36 所述的方法, 其中所述间隙壁相对于所述衬底垂直地隔开从而限定出间隙, 所述间隙用来将反应物提供到用于通过化学气相沉积工艺生长所述半导体纳米管的所述催化剂垫。

垂直半导体器件结构及其形成方法

技术领域

本发明涉及半导体器件的制造，更具体而言，涉及包括半导体纳米管使其作为沟道区的垂直场效应晶体管以及该垂直场效应晶体管的制造方法。

背景技术

传统的场效应晶体管(FET)是常见的常规器件，其常常作为基础的构件块被包含到集成电路(IC)芯片的复杂电路中。单个的IC芯片可以包括通过导电通路互连的成千上万的FET以及诸如电阻器和电容器的其他无源元件。FET通过改变分隔源极和漏极的沟道区中沟道的电阻率而工作。与电阻率的变化成比例，载流子通过沟道从源极流到漏极。在n沟道FET中，电子用于沟道导电，而在p沟道FET中，空穴用于沟道导电。通过向位于源极和漏极之间的沟道区之上的静电耦合的栅电极施加电压，来改变FET的输出电流。薄的栅极电介质将栅电极与沟道区电绝缘。栅极电压的微小变化能够引起从源极流到漏极的电流的很大变化。

FET可以被分为水平结构与垂直结构。水平FET在与其上形成所述FET的衬底的水平面平行的方向上表现出从源极到漏极的载流子流动。垂直FET在与其上形成所述FET的衬底的水平面垂直的方向上表现出从源极到漏极的载流子流动。因为垂直FET的沟道长度不依赖于光刻设备和方法可分辨的最小特征尺寸，所以垂直FET可以以比水平FET更短的沟道长度来制造。因此，垂直FET能够比水平FET开关得更快并具有更高的功率处理容量。

碳纳米管是由碳原子的六边形环构成的纳米尺度的高深宽比圆柱体，已提出将其用于形成混合器件，比如FET。碳纳米管在其导电形式下有效地导电，并且在半导体形式下用作半导体。已经制造了水平FET，所述水平FET利用单独的半导体碳纳米管作为沟道区，并且在位于衬底表面上的金源电极和金漏电极之间延伸的碳纳米管的相对端形成欧姆接触。栅电极被限定在碳纳米管之下的衬底中并通常在源电极和漏电极之间。将衬底

的暴露的表面氧化从而在埋置栅电极与碳纳米管之间限定栅极电介质。由于碳纳米管的小尺寸，这样的水平 FET 应能可靠地开关，同时比同等的硅基器件结构消耗明显小的功率。尽管通过利用原子力显微镜操控单独的碳纳米管在实验室条件下已成功地形成水平 FET，但这些水平 FET 器件结构与大批量生产技术并不相适应。

因此，所需的是与用于 IC 芯片的大批量生产技术相容的垂直 FET 结构，其包括一个或更多的半导体碳纳米管以作为沟道区。

发明内容

根据本发明，提供了一种垂直半导体器件结构，其包括限定了基本水平的面的衬底，从所述衬底垂直突出并包括垂直侧壁的栅电极，以及在所述垂直侧壁侧面的间隙壁。位于所述栅电极和所述间隙壁之间的是半导体纳米管，所述半导体纳米管在相对的第一和第二端之间以基本垂直的取向延伸。设置在碳纳米管和所述栅电极之间的垂直侧壁上的是栅极电介质。所述半导体纳米管的第一端与源极电耦合并且所述半导体纳米管的相对的第二端与漏极电耦合。其中所述间隙壁通过间隙与所述衬底隔开，所述间隙在所述半导体纳米管形成之后被绝缘材料填充。

在本发明的又一方面中，半导体器件结构的制造方法包括在衬底上形成催化剂垫并形成与所述催化剂垫相邻的栅电极。在覆盖所述催化剂垫位置的所述栅电极的垂直侧壁上形成第一间隙壁，并且在所述第一间隙壁上形成第二间隙壁。去除所述第一间隙壁从而定义出界定在所述第二间隙壁和所述栅电极之间的通道或空隙，其中所述通道在一端具有开口并且所述催化剂垫位于相对端。在所述栅电极的垂直侧壁上形成栅极电介质。所述方法还包括在所述催化剂垫上合成半导体纳米管，所述半导体纳米管从所述催化剂垫到靠近所述通道开口的自由端基本垂直地延伸。其中，所述第一间隙壁通过间隙与所述衬底隔开，所述间隙提供了到所述催化剂垫的流动路径，并且合成所述半导体纳米管包括：通过所述间隙限定的流动路径引导反应物，从而能够在所述催化剂垫处发生化学反应以用于合成所述半导体纳米管。

在本发明的一优选实施例中，在由与栅电极相邻的间隙壁所限定的高深宽比空隙或通道内部，纳米管的生长被约束为良好定义的垂直生长条件。

因而，消除了与纳米管的各向同性方向性生长相关的常规困难。可以在所述间隙壁中设置间隙，从而使生长碳纳米管所需的反应物或多种反应物被高效并有效地引入到催化剂材料和每个正在生长的纳米管之间界面区域附近的通道中。源极和漏极之间的沟道区域的长度由栅电极的垂直尺寸或厚度限定，而不受在半导体器件制造中所使用的常规光刻工艺的限制。因而，

沟道区域的长度可以具有比标准光刻和蚀刻工艺所产生的特征尺寸更小的特征尺寸。

附图说明

包含在本说明书中并构成本说明书的一部分的附图示出了本发明的实施例，并且与以上给出的对于本发明的概括描述和以下给出的对于实施例的详细描述一起用于解释本发明的原理。

图 1A 是衬底的一部分的俯视图；

图 1B 是大体沿着图 1A 的线 1B - 1B 得到的剖面图；

图 2A 是在后续制造阶段与图 1A 类似的俯视图；

图 2B 是大体沿着图 2A 的线 2B - 2B 得到的剖面图；

图 3A 是在后续制造阶段与图 2A 类似的俯视图；

图 3B 是大体沿着图 3A 的线 3B - 3B 得到的剖面图；

图 4A 是在后续制造阶段与图 3A 类似的俯视图；

图 4B 是大体沿着图 4A 的线 4B - 4B 得到的剖面图；

图 5A 是在后续制造阶段与图 4A 类似的俯视图；

图 5B 是大体沿着图 5A 的线 5B - 5B 得到的剖面图；

图 6A 是在后续制造阶段与图 5A 类似的俯视图；

图 6B 是大体沿着图 6A 的线 6B - 6B 得到的剖面图；

图 7A 是在后续制造阶段与图 6A 类似的俯视图；

图 7B 是大体沿着图 7A 的线 7B - 7B 得到的剖面图；

图 8A 是在后续制造阶段与图 7A 类似的俯视图；

图 8B 是大体沿着图 8A 的线 8B - 8B 得到的剖面图；

图 9A 是在后续制造阶段与图 8A 类似的俯视图；

图 9B 是大体沿着图 9A 的线 9B - 9B 得到的剖面图；

图 10A 是在后续制造阶段与图 9A 类似的俯视图；

图 10B 是大体沿着图 10A 的线 10B - 10B 得到的剖面图；

图 11A 是在后续制造阶段与图 10A 类似的俯视图；

图 11B 是大体沿着图 11A 的线 11B - 11B 得到的剖面图；

图 12A 是在后续制造阶段与图 11A 类似的俯视图；

图 12B 是大体沿着图 2A 的线 12B - 12B 得到的剖面图；

图 13A 是在后续制造阶段与图 12A 类似的俯视图；以及图 13B 是大体沿着图 13A 的线 13B - 13B 得到的剖面图。

具体实施方式

本发明的优选实施例是关于垂直场效应晶体管 (FET) 的, 该垂直场效应晶体管利用碳纳米管作为半导体材料以用于在源极和漏极之间提供选择性导电通路的沟道区。根据本发明的原理, 在受限的垂直空隙或者通道中生长碳纳米管从而防止各向同性生长。因而, 碳纳米管基本垂直定向并位于与栅电极相邻的预定位置, 在所述栅电极上施加电压以用于控制从源极流到漏极的电流。源极和漏极之间的沟道区的长度由基本等于纳米管长度的栅电极的厚度限定, 并且不依赖于光刻工艺。通过向位于有助于纳米管生长的在通道底部的催化剂材料, 提供用于气体或汽化的反应物的附加流动路径, 来提高纳米管的生长速率。结果, 通向催化剂材料的唯一路径不位于从入口到高深宽比通道底部的垂直方向上。

参照图 1A 和 1B, 利用相对于下部衬底 10 具有高电阻率的平面绝缘层 12 覆盖衬底 10 的区域。衬底 10 可以是任何适合的半导体衬底材料, 包括但不限于硅 (Si) 和砷化镓 (GaAs), 在该衬底上可以形成绝缘层, 比如绝缘层 12。绝缘层 12 可以由例如氧化硅 (SiO_2) 或氮化硅 (Si_3N_4) 构成。

通过在绝缘层 12 上沉积由催化剂材料形成的覆盖层并利用标准的光刻和减去性蚀刻 (subtractive etch) 工艺来构图覆盖层, 在绝缘层 12 上形成由适于支持碳纳米管生长的催化剂材料形成的催化剂垫 (catalyst pad) 14。可以通过任何常规的沉积技术来沉积将被构图以形成催化剂垫 14 的催化剂材料的覆盖层, 包括但不限于溅射、物理气相沉积 (PVD) 和利用比如金属卤化物和羰络金属的含金属前体的热分解/热解的化学气相沉积 (CVD)。催化剂垫 14 中的催化剂材料可以是在适于促进纳米管生长的反应条件下、在暴露于适合的反应物时, 能够成核并支持碳纳米管生长的任何材料。例如, 适合的催化剂材料包括但不限于铁、铂、镍、钴以及比如这些金属中每种金属的硅化物的化合物。

绝缘层 12 可以被省略, 或者, 衬底 10 可以包括将图 1A、1B 中所描绘的衬底 10 的区域与衬底 10 的相邻区域电隔离的浅沟槽隔离 (STI) 结构或硅局部氧化 (LOCOS) 结构, 衬底 10 的这些区域也可以包括如此处所描

述的额外的器件结构或者其他器件结构。在该可选的实施例中，在由 STI 或 LOCOS 结构隔离的衬底 10 的区域中的垫形沟槽中，通过常规工艺形成或沉积催化剂垫 14。与大批量制造技术相一致，可以在绝缘层 12 上设置多个催化剂垫 14。

参照图 2A 和 2B，在绝缘层 12 和催化剂垫 14 之上共形的沉积薄绝缘层 16。绝缘层 16 由比如 SiO_2 或 Si_3N_4 的电介质材料形成，绝缘层 16 可以通过利用低压化学气相沉积 (LPCVD) 或者含硅前体的热分解/热解的 CVD 来沉积，或者，通过热氧化以氧化物的形式生长。在覆盖催化剂垫 14 的绝缘层 16 上形成导电材料的柱状物 18。将绝缘材料的硬掩模 20 施加到柱状物 18 暴露的上表面。

通过标准的光刻和蚀刻工艺来形成柱状物 18 和覆盖柱状物 18 的硬掩模 20，所述工艺最初在绝缘层 16 上沉积导电材料的覆盖层，比如通过 LPCVD 沉积的高掺杂多晶硅，然后在导电材料的覆盖层上沉积绝缘材料层，比如 SiO_2 ，更具体而言，原硅酸四乙酯基 (TEOS-based) SiO_2 。构图绝缘材料以暴露导电材料的覆盖层的未掩蔽区域以及与催化剂垫 14 对准的掩蔽区域，正如以下所说明的，然后利用例如对于硬掩模 20 的绝缘材料有选择性的反应性离子蚀刻 (RIE) 工艺蚀刻绝缘材料，以去除未掩蔽区域中的导电材料。

此处对于比如“垂直”、“水平”等术语的提及以举例的方式进行，而非限制性的方式，以建立参考框架。此处所用的术语“水平”被定义为与常规平面或衬底 10 的表面平行的平面，而与取向无关。术语“垂直”指的是与方才定义的水平垂直的方向。比如“上”、“之上”、“之下”、“侧”（如在“侧壁”中）、“更高”、“更低”、“上面”、“下面”和“以下”的术语是相对于水平面而定义的。应理解的是，在不偏离本发明范围的前提下，可以应用各种替他的参考框架。

参照图 3A 和 3B，通过共形地沉积间隙壁材料的薄膜并利用例如对于形成绝缘层 12 和硬掩模 20 的材料有选择性的 RIE 工艺各向异性地进行蚀刻，在柱状物 18 的垂直侧壁 21 附近形成临时间隙壁材料的间隙壁 22。构成间隙壁 22 的间隙壁材料可以是例如 SiO_2 或 Si_3N_4 。间隙壁 22 是牺牲性的，因为在后续处理期间，间隙壁 22 将被完全去除。在本发明的一示范性实施例中，绝缘层 12 和硬掩模 20 由 SiO_2 构成，间隙壁 22 由 Si_3N_4 构成，使得

去除间隙壁 22 的 RIE 对于形成绝缘层 12 和硬掩模 20 的材料有选择性。间隙壁 22 从侧壁 21 向外水平地突出。

参照图 4A 和 4B, 通过切除从柱状物 18 之下延伸的边缘部分的区域, 来减小催化剂垫 14 的尺寸。为此, 通过蚀刻去除未被柱状物 18 和间隙壁 22 掩蔽的绝缘层 16 的区域, 所述蚀刻可以是与限定间隙壁 22 的蚀刻工艺不同的蚀刻工艺, 或者是其中为蚀刻绝缘层 16 而适当地改变蚀刻条件的连续的蚀刻工艺。然后, 通过蚀刻去除未被柱状物 18 和间隙壁 22 掩蔽的催化剂垫 14 的区域以减小催化剂垫 14 的暴露的表面区域, 所述蚀刻又可以是与去除绝缘层 16 的区域的蚀刻工艺不同的蚀刻工艺, 或者是其中为蚀刻催化剂材料而适当地改变蚀刻条件的连续的蚀刻工艺。通过作为绝缘层 16 的残余物的绝缘材料的层 25 覆盖催化剂垫 14。

参照图 5A 和 5B, 通过对于衬底 10、硬掩模 20 和催化剂垫 14 的构成材料具有选择性的任何湿法或干法蚀刻工艺, 从柱状物 18 的侧壁 21 去除间隙壁 22。通过 CVD 或 LPCVD 工艺在衬底 10 上共形的沉积适合的间隙壁材料的覆盖层 26, 比如 SiO_2 或锗 (Ge)。如以下所述, 覆盖柱状物 18 的侧壁 21 的部分覆盖层 26 将形成成为间隙壁 30, 其具有与间隙壁 22 大致相同的厚度。

参照图 6A 和 6B, 利用旨在将柱状物 18 划分或分割成多个栅电极 28 的标准光刻和减去性蚀刻工艺, 去除覆盖层 26、硬掩模 20、柱状物 18 和催化剂垫 14 的垂直对准的部分。为此, 抗蚀剂层 (未示出) 被施加到覆盖层 26、被曝光以实现潜像图案、并被显影以将该潜像图案转移到最终图像图案中, 所述最终图像图案在栅电极 28 预期位置具有覆盖覆盖层 26 的呈平行条形式的掩蔽区域。在蚀刻工艺结束之后, 栅电极 28 之间的绝缘层 12 的区域被敞开。优选地, 栅电极 28 的特征尺寸为或近似为最小光刻尺寸。间隙壁 30 被定义为在催化剂垫 14 的位置之上沿着每个栅电极 28 的侧壁 31 向上垂直延伸的图案化覆盖层 26 的一部分。间隙壁 30 是牺牲性的, 因为它们将在后续处理期间被完全去除。

参照图 7A 和 7B, 在每个栅电极 28 的侧壁 31 附近形成由适合的永久性间隙壁材料比如 Si_3N_4 形成的间隙壁 32。部分间隙壁 32 与每个间隙壁 30 交迭并将其覆盖。形成间隙壁 32 的材料是永久性的, 因为与间隙壁 30 相反, 间隙壁 32 被包括到完成的器件结构中。如此形成间隙壁 32, 即, 通过

在衬底 10 上共形的沉积由永久性间隙壁材料形成的覆盖层，并通过例如对于形成绝缘层 12 和硬掩模 20 的材料具有选择性的 RIE 工艺各向异性地蚀刻覆盖层，使得在蚀刻工艺之后，每个栅电极 28 上的间隙壁 32 仅表现出由永久性间隙壁材料形成的覆盖层的剩余部分。如果构成间隙壁 30 的材料是 Ge，则构成间隙壁 32 的永久性间隙壁材料可以是例如 Si_3N_4 或 SiO_2 。间隙壁 32 通过覆盖催化剂垫 14 侧边缘的两相对侧上的间隙壁 30 与每个栅电极 28 的侧壁 31 分开，并附着到每个栅电极 28 的另外两相对侧上。

参照图 8A 和 8B，通过对于形成硬掩模 20 和间隙壁 32 的材料具有选择性的各向同性蚀刻工艺去除每个栅电极 28 上的间隙壁 30。例如，如果间隙壁 30 由 Ge 形成并且间隙壁 32 由 Si_3N_4 或 SiO_2 形成，则包含过氧化氢 (H_2O_2) 的蚀刻剂水溶液将适于对于硬掩模 20 和间隙壁 32 有选择性的去除间隙壁 30。间隙壁 32 和栅电极 28 通过在之前由间隙壁 30 所占据的空间中通过各向同性蚀刻工艺所产生的空隙或通道 34 而分隔。当在竖直方向上观看时，每个通道 34 具有基本为矩形的截面轮廓。各向同性蚀刻工艺还去除了图案化的覆盖层 26 的剩余部分从而再次暴露了绝缘层 12。

从催化剂垫 14 的侧边缘去除通过形成通道 34 而暴露的层 25 的一部分，从而暴露或敞开相应的纳米管合成区域 36。在与相应的纳米管合成区域 36 相邻的每个间隙壁 32 之下，以及在间隙壁 32 与绝缘层 12 之间的垂直方向上，出现了之前由间隙壁 30 之一的一部分填充的间隙 38。每个通道 34 从催化剂垫 14 之一垂直地延伸到与硬掩模 20 相邻设置的开口 33。纳米管合成区域 36 在垂直方向上位于开口 33 中相应的一个的下方。

参照图 9A 和 9B，然后将由绝缘材料、比如 SiO_2 形成的层 40 施加到与通道 34 共同延伸的每个栅电极 28 的侧壁 31 的暴露部分，以将每个栅电极 28 与相应的通道 34 电隔离。选择形成层 40 的工艺，使得暴露的纳米管合成区域 36 的材料不被涂覆或者不会以可能导致不支持碳纳米管生长的其它方式被变性。例如，可以将形成层 40 的湿法氧化工艺中的氧的分压调整成使得在侧壁 31 的暴露部分上生长 SiO_2 而在纳米管合成区域 36 上不形成氧化物。正如以下所述，由于存在层 40 而减小了每个通道 34 的水平尺寸而适于允许碳纳米管的垂直生长，并且基本由间隙壁 30 的尺寸确定。

参照图 10A 和 10B，在与由层 40 覆盖的每个栅电极 28 的侧壁 31 的部分相邻的通道 34 中，设置一束或一组碳纳米管 42。碳纳米管 42 是由碳原

子排列的六边形环构成的中空圆柱形管，并且通常以约 0.5nm 至约 20nm 的直径以及约 5nm 至约 50nm 的侧壁厚度为参数。碳纳米管 42 被预期为具有各自在前端或前尖端 43 和与前端 43 相对的后端或后基部 47 之间测量的高度或长度分布，所述前尖端 43 是纳米管合成区域 36 的顶端。碳纳米管 42 的长度分布可以以平均长度和标准偏差为特征。每个通道 34 中的至少一个碳纳米管 42 垂直地突出到由覆盖每个栅电极 28 的硬掩模 20 所限定的水平面之上。

碳纳米管 42 从纳米管合成区域 36 基本垂直地向上延伸，并占据了每个栅电极 28 的通道 34 内部的空白空间的体积分量。每个碳纳米管 42 与相应的纳米管合成区域 36 的水平上表面垂直地或者至少基本垂直地取向，因为间隙壁 32 的存在限制了碳纳米管 42 的生长方向。尽管在通道 34 的界限之内允许纳米管取向的轻微偏斜或倾斜，但通过间隙壁 32 来禁止各向同性生长。例如，碳纳米管 42 不能与衬底 10 的水平面平行的生长。

在适于促进碳纳米管在形成纳米管合成区域 36 的催化剂材料上生长的生长条件下，利用任何适合的气态或汽化的含碳反应物，通过化学气相沉积 (CVD) 或等离子体增强 CVD 来生长碳纳米管 42，所述含碳反应物包括但不限于一氧化碳 (CO)、乙烯 (C_2H_4)、甲烷 (CH_4)、乙炔 (C_2H_2)、乙炔和氨 (NH_3) 的混合物、乙炔和氮气 (N_2) 的混合物、乙炔和氢气 (H_2) 的混合物、二甲苯 ($C_6H_4(CH_3)_2$) 以及二甲苯和二茂铁 ($Fe(C_5H_5)_2$) 的混合物。可以加热衬底 10 以促进 CVD 生长。最初，反应物横向的通过每个间隙 38 并向下通过每个通道 34 以流到纳米管合成区域 36 的催化剂材料处。反应物在纳米管合成区域 36 的催化剂材料处化学反应从而使碳纳米管 42 成核。碳纳米管 42 的后续的垂直生长可以从纳米管合成区域 36 表面上的基部、或者可选择地在与所述基部 47 相对的碳纳米管 42 的前自由尖端 43 处发生。间隙 38 的存在提高了反应物到达纳米管合成区域 36 的能力，因为如果需要反应物仅通过通道 34 向下流动，则流体的流动将受到显著限制。如果从前自由尖端 43 发生生长或者如果另外不存在流体流动的限制，则可以省略间隙 38。

选择 CVD 或等离子体增强 CVD 工艺的生长条件，以优先生长具有半导体分子结构的碳纳米管 42。可选择地，可以通过例如施加足够高的电流以破坏具有金属性分子结构的纳米管 42，从包括金属性和半导体分子结构的

生长状态的纳米管 42 的集合中优先选择具有半导体分子结构的碳纳米管 42。在本发明的某些实施例中，在一个或多个通道 34 中，可以存在单一的半导体碳纳米管 42。纳米管 42 可以由除了其特征在于带隙和半导体特性的碳以外的材料构成。

参照图 11A 和 11B，通过比如 LPCVD 的沉积工艺，向衬底 10 共形的施加电阻率相对高的绝缘材料比如硼磷硅酸盐玻璃 (BPSG) 的层 44。通过化学机械抛光 (CMP) 工艺或任何其他适合的平坦化技术，将层 44 磨平。抛光可以在将层 44 去除至足够的深度从而同时缩短碳纳米管 42 的分布中某些长的纳米管。层 44 的部分可以填充各个碳纳米管 42 之间的任何自由空间。层 44 的部分还填充每个间隙 38。

参照图 12A 和 12B，通过进行标准光刻和蚀刻工艺到催化剂垫 14 的深度处停止，来界定通过层 44、硬掩模 20、栅电极 28 和层 25 延伸的接触孔 46。绝缘材料被沉积在接触孔 46 中并被各向异性蚀刻从而提供绝缘间隙壁 48，该间隔壁 48 将栅电极 28 与催化剂垫 14 电隔离。每个栅电极 28 被相应的接触孔 46 分割成两个不同的栅电极 28a、28b。通过在栅电极 28a、28b 的深度处停止的标准光刻和蚀刻工艺在层 44 和硬掩模 20 中限定出接触孔 50。通过标准光刻和蚀刻工艺在层 44 中限定出接触孔 52，所述标准光刻和蚀刻工艺到达暴露了存留在每个通道 34 中的至少一个碳纳米管 42 的前尖端 43 的深度处。

参照图 13A 和 13B，通过利用一个或多个阻挡/粘附增强层 (未示出) 为接触开口 46、50 和 52 可选地加内衬层、覆盖沉积适合的金属以填充所述接触开口、然后通过比如 CMP 工艺的任何适当的平坦化技术去除多余的导电材料以形成插塞，分别在接触孔 46、50 和 52 中形成接触 54、56 和 58。在与每个栅电极 28a、28b 相邻的通道 34 中存留的碳纳米管 42 中的至少一个具有与相应的一个接触 58 电接触的前尖端 43，优选为欧姆接触。该接触的碳纳米管 42 的前尖端 43 可以垂直地突出到相应的接触 58 的本体中或者在界面处与相应的接触 58 相接。每个通道 34 中的碳纳米管 42 与催化剂垫 14 电耦合，优选为欧姆性连接。接触 54、56 和 58 彼此电隔离并且由任何适合的导电材料形成，所述导电材料包括但不限于铝 (Al)、铜 (Cu)、金 (Au)、钼 (Mo)、钽 (Ta)、钛 (Ti) 和钨 (W)。利用标准的后端线 (back-end-of-the-line, BEOL) 处理来制造将相邻的已完成器件结构 60 连

接的互连结构（未示出）。

器件结构 60 形成了 FET，该 FET 包括栅电极 28a、28b 之一，由层 40 限定的栅极电介质，由催化剂垫 14 和接触 54 限定的源极，由相应的接触 58 限定的漏极，以及沿着在催化剂垫 14 与接触 58 之间适当的通道 34 中垂直延伸的至少一个碳纳米管 42 的长度方向限定的半导体沟道区域。由碳纳米管 42 限定的沟道区域相对于衬底 10 的水平面基本垂直地取向。当电压施加到栅电极 28a、28b 中适当的一个以在相关的碳纳米管 42 中产生沟道时，载流子从催化剂垫 14 通过碳纳米管 42 选择性地流到接触 58。每个器件结构 60 与衬底 10 所承载的其他器件结构 60 和附加的电路元件（未示出）电耦合以用于器件工作。

尽管已经通过对于各种实施例的描述说明了本发明，同时以相当的细节描述了这些实施例，但申请人并非意于将权利要求的范围限定或以任何方式限制于这些细节。对于本领域技术人员而言，附加的优点和变化将是显而易见的。因此，本发明在其更宽的方面不受限于具体的细节、代表性的设备和方法以及被示出并描述的示例性实例。因此，在不偏离申请人的总体发明理念的前提下，可以对这些细节进行变化。

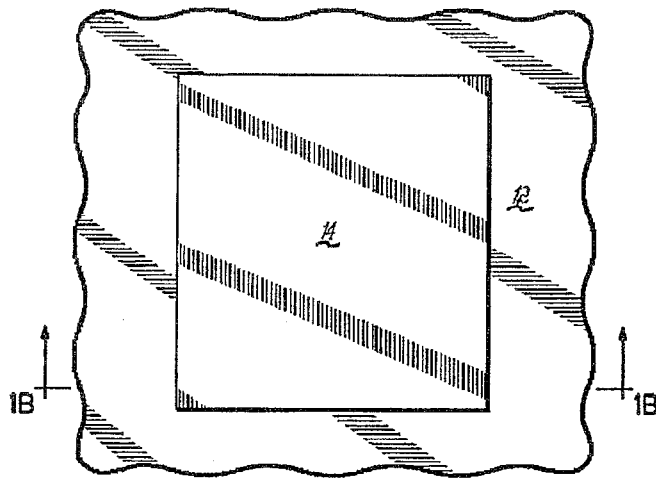


图 1A

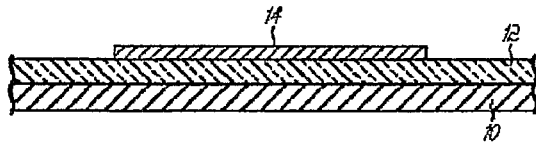


图 1B

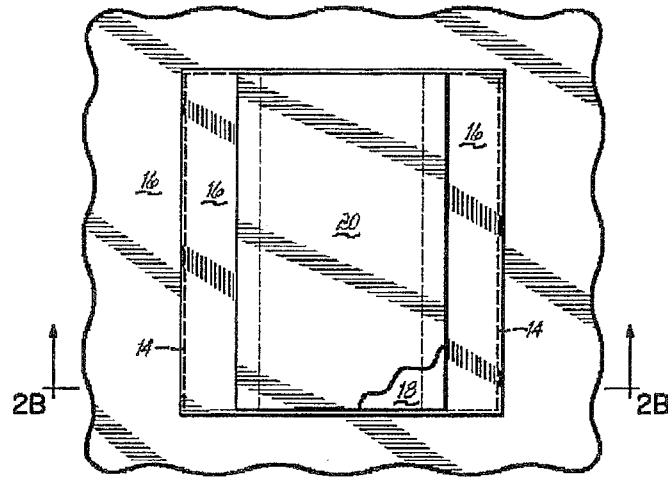


图 2A

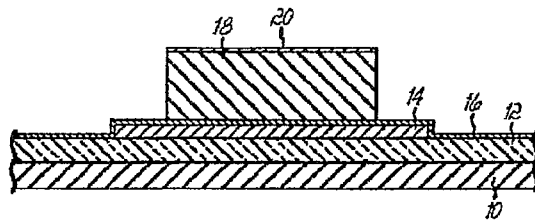


图 2B

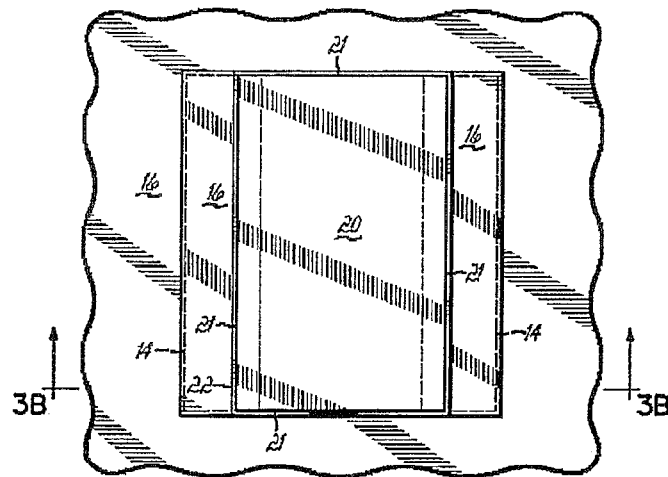


图 3A

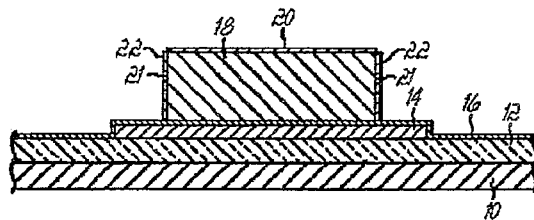


图 3B

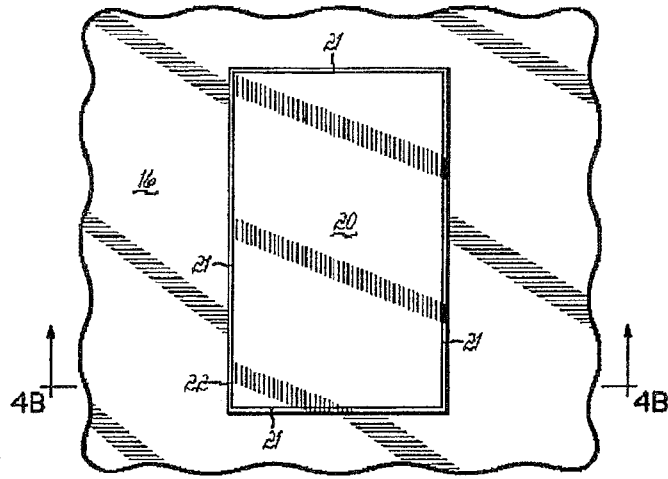


图 4A

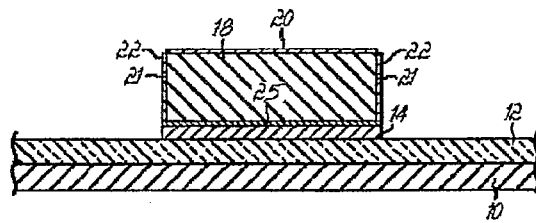


图 4B

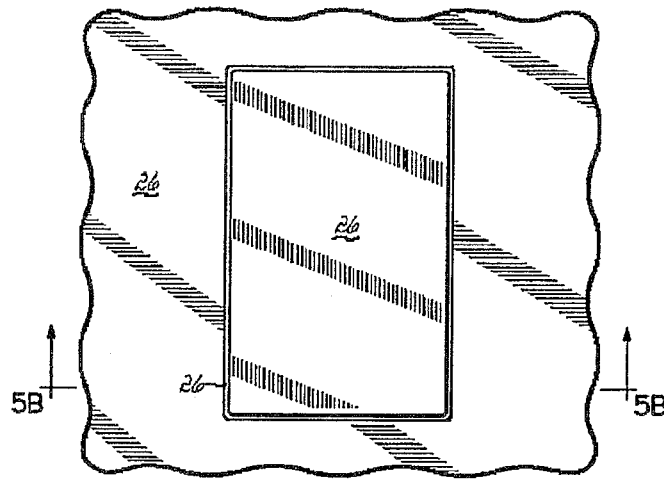


图 5A

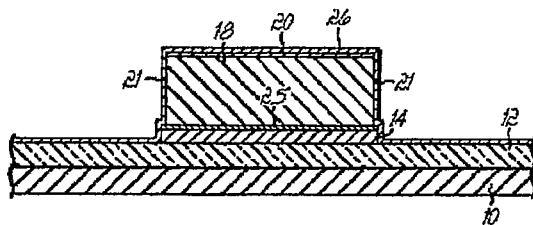


图 5B

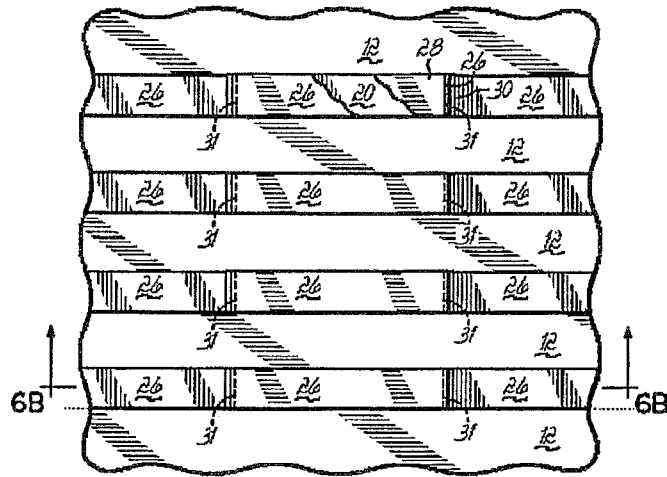


图 6A

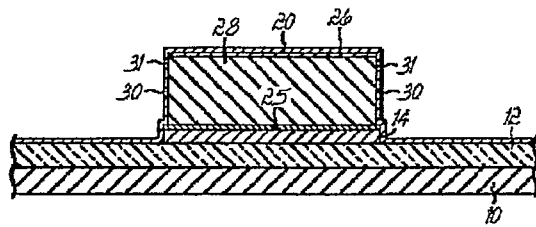


图 6B

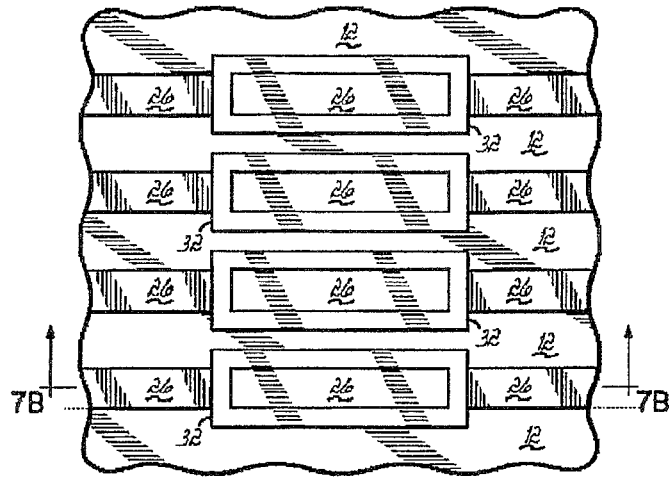


图 7A

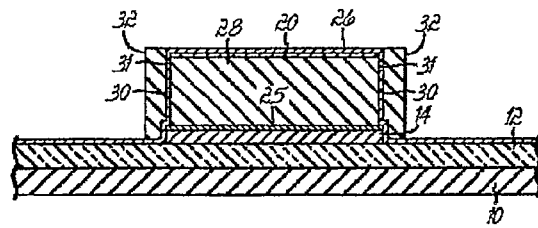


图 7B

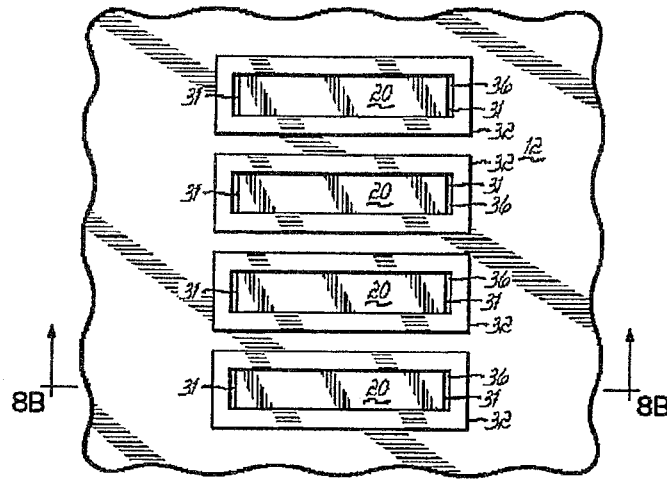


图 8A

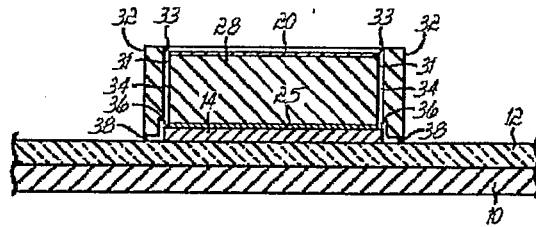


图 8B

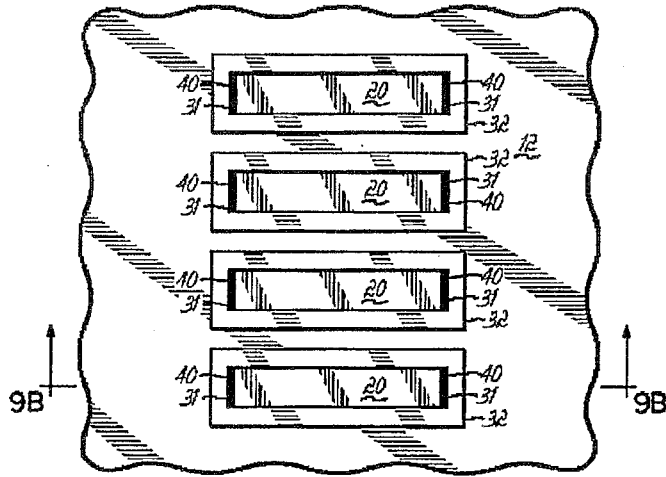


图 9A

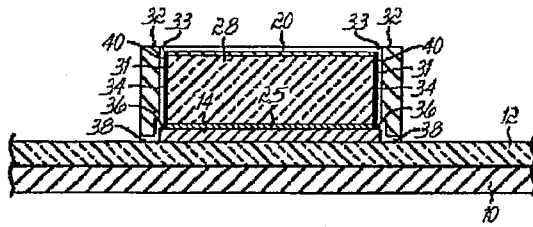


图 9B

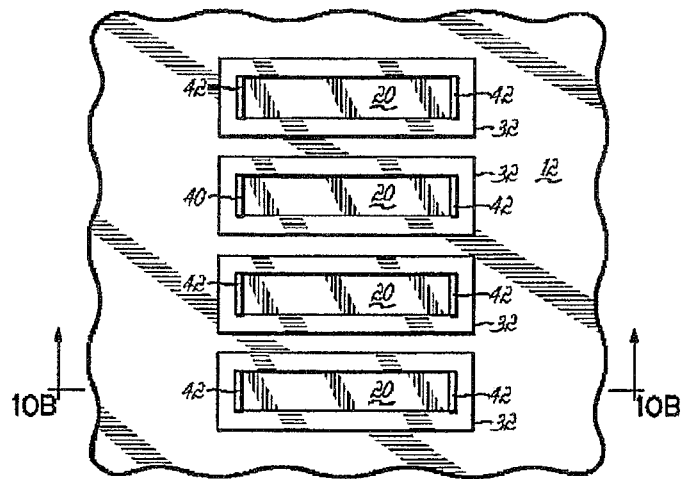


图 10A

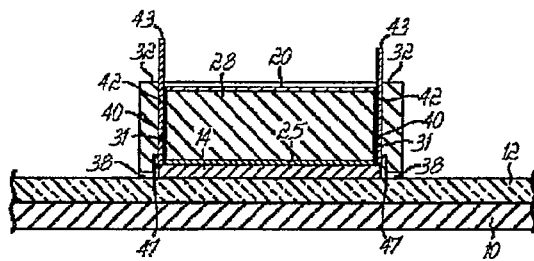


图 10B

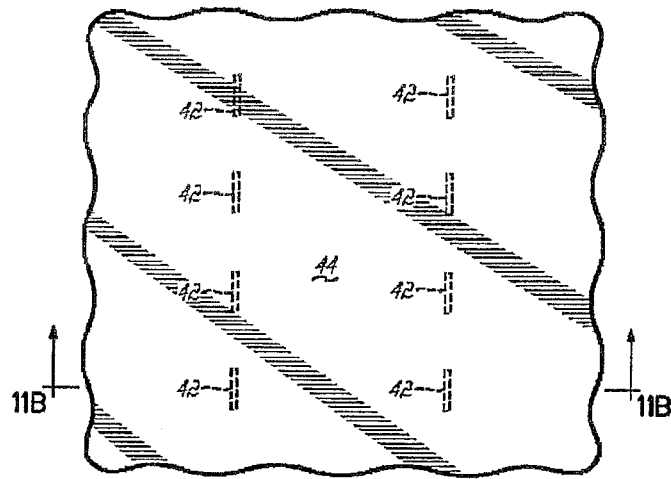


图 11A

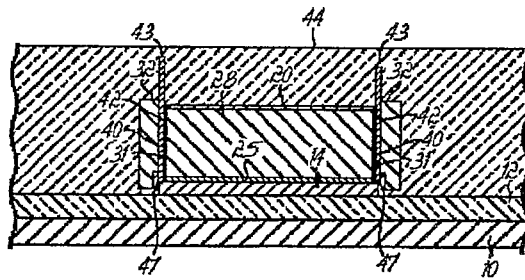


图 11B

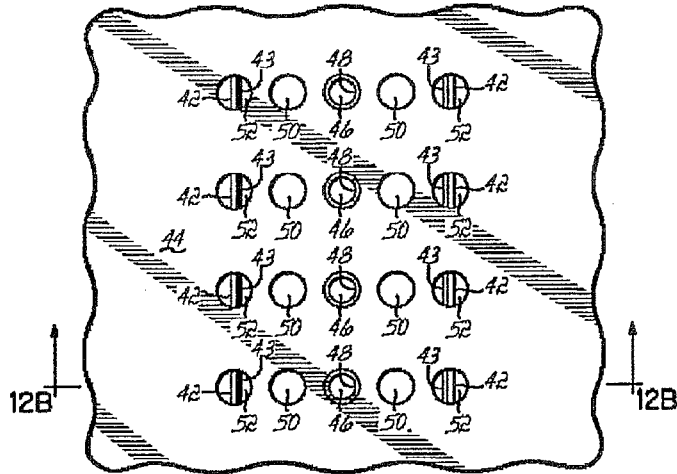


图 12A

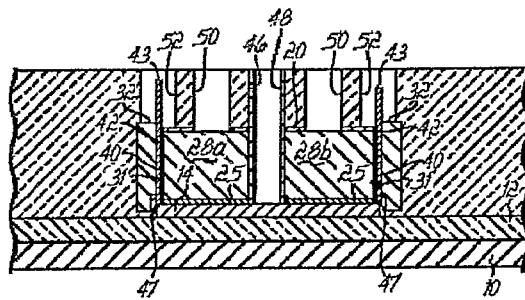


图 12B

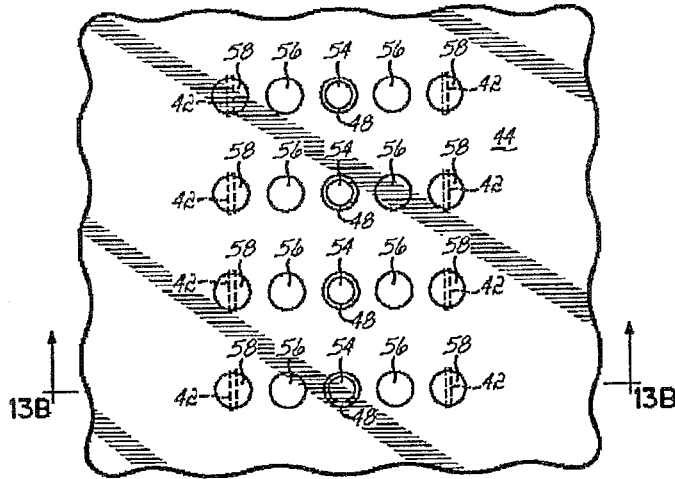


图 13A

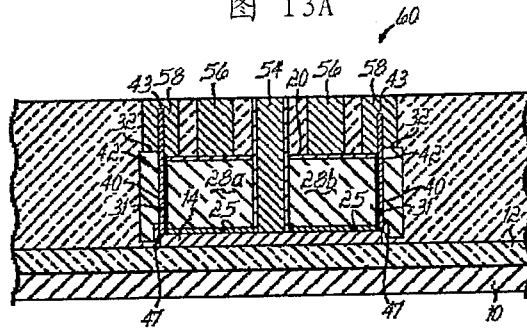


图 13B