201945799

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201945799 A

(43)公開日： 中華民國 108 (2019) 年 12 月 01 日

(21)申請案號：108116079 (22)申請日： 中華民國 96 (2007) 年 08 月 27 日

(51)Int. Cl.： *G02F1/133 (2006.01)* *G02F1/1345 (2006.01)*
G09G3/20 (2006.01) *G09G3/36 (2006.01)*

(30)優先權：2006/08/31 日本 2006-236392

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)
日本

(72)發明人：梅崎敦司 UMEZAKI, ATSUSHI (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：8 項 圖式數：105 共 420 頁

(54)名稱

液晶顯示裝置

(57)摘要

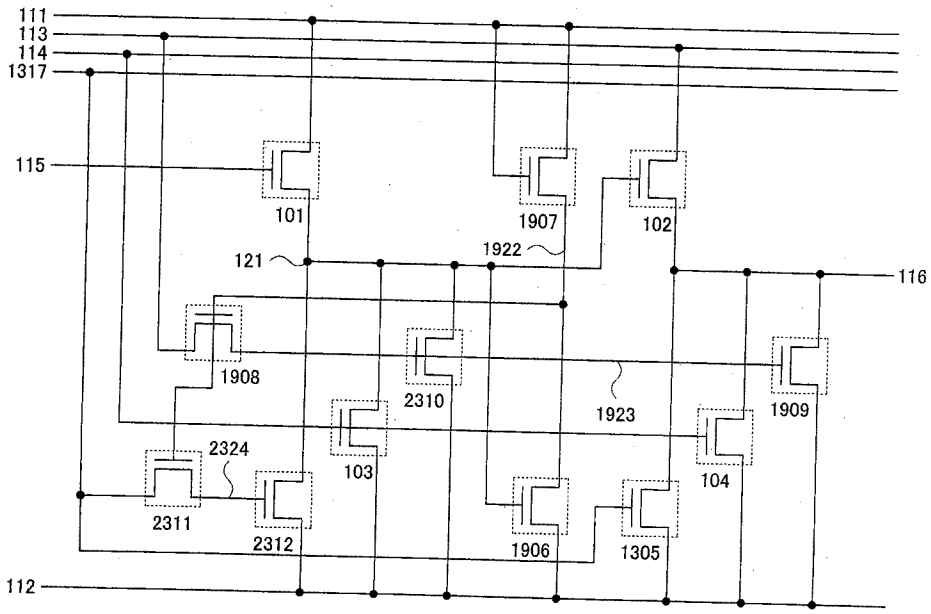
本發明提供了第一電晶體、第二電晶體、第三電晶體和第四電晶體。在第一電晶體中，第一端子電連接到第一佈線；第二端子電連接到第二電晶體的閘極端子；且閘極端子電連接到該第五佈線。在第二電晶體中，第一端子電連接到第三佈線；第二端子電連接到第六佈線。在第三電晶體中，第一端子電連接到第二佈線；第二端子電連接到該第二電晶體的閘極端子；且閘極端子電連接到第四佈線。在第四電晶體中，第一端子電連接到第二佈線；第二端子電連接到第六佈線；和閘極端子電連接到第四佈線。

A first transistor, a second transistor, a third transistor, a fourth transistor are provided. In the first transistor, a first terminal is electrically connected to a first wiring; a second terminal is electrically connected to a gate terminal of the second transistor; a gate terminal is electrically connected to a fifth wiring. In the second transistor, a first terminal is electrically connected to a third wiring; a second terminal is electrically connected to a sixth wiring. In the third transistor, a first terminal is electrically connected to a second wiring; a second terminal is electrically connected to the gate terminal of the second transistor; a gate terminal is electrically connected to a fourth wiring. In the fourth transistor, a first terminal is electrically connected to the second wiring; a second terminal is electrically connected to the sixth wiring; a gate terminal is connected to the fourth wiring.

指定代表圖：

TW 201945799 A

圖23



符號簡單說明：

101・・・第一電晶體

102・・・第二電晶體

103・・・第三電晶體

104・・・第四電晶體

111・・・第一佈線

112・・・第二佈線

113・・・第三佈線

114・・・第四佈線

115・・・第五佈線

116・・・第六佈線

121・・・節點

1305・・・第五電晶體

1317・・・第七佈線

1906・・・第六電晶體

1907・・・第七電晶體

1908・・・第八電晶體

1909・・・第九電晶體

1922・・・節點

1923・・・節點

2310・・・第十電晶體

2311・・・第十一電晶體

2312・・・第十二電晶體

2324・・・節點

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

液晶顯示裝置

LIQUID CRYSTAL DISPLAY DEVICE

【技術領域】

本發明係關於一種液晶顯示裝置。具體而言，本發明係關於具有透過使用電晶體形成的移位暫存器的液晶顯示裝置。此外，本發明還關於該液晶顯示裝置的驅動方法。另外，本發明還關於在顯示部分中具有該液晶顯示裝置的電子裝置。

【先前技術】

近年來，隨著諸如液晶電視的大尺寸顯示裝置的增長，液晶顯示裝置已經得到實際的發展。尤其是，透過使用由非晶半導體（下文中也稱為非晶矽）形成的電晶體在同一絕緣基板上形成像素電路和包括移位暫存器等的驅動器電路（下文中也稱為內部電路）的技術已經得到實際的發展，因為該技術大幅地促成低功耗和低成本。形成於絕緣基板上的內部電路透過 FPC 等連接到控制器 IC 等（下文中也稱為外部電路），且該內部電路的操作得到控制。

已經在上述內部電路中設計出透過使用由非晶半導體形成的電晶體而形成的移位暫存器（例如，見參考文件

1：PCT 國際申請 No. H10-500243 的日文翻譯）。由於在參考文件 1 中公開的移位暫存器中，輸出端子處於浮置狀態的周期長，因此存在該移位暫存器的輸出信號中容易出現雜訊的問題。為了解決參考文件 1 中公開的移位暫存器的問題，已經設計出一種其中輸出端子不進入浮置狀態的移位暫存器結構（例如，見參考文件 2：2.0 inch a-Si:H TFT-LCD with Low Noise Integrated Gate Driver SID '05 DIGEST pp.942 to 945）。

【發明內容】

在參考文件 2 中，連接在輸出端子和負電壓源之間的電晶體在非選擇周期內導通。因此，參考文件 2 中公開的移位暫存器的輸出端子並不進入浮置狀態，參考文件 2 中公開的移位暫存器中輸出信號的雜訊因此可以減小。

然而，已知由非晶半導體形成的電晶體的特性隨電晶體導通時間數量、施加的電壓等而惡化。在惡化的原因中，臨界值電壓發生漂移（增大）的臨界值電壓漂移是移位暫存器失靈的主要原因之一。因此，在參考文件 2 中公開的移位暫存器中，由於連接在輸出端子和負電壓源之間的電晶體在非選擇周期導通，該移位暫存器由於電晶體特性惡化而失靈。

鑒於前述問題，本發明的目的是提供一種包括移位暫存器的液晶顯示裝置，其中輸出信號的雜訊在非選擇周期內減小且電晶體特性的惡化可以得到抑制，以及具有該液

晶顯示裝置的電子裝置。

本發明的液晶顯示裝置包括形成於絕緣基板上的像素部以及形成於該絕緣基板上的移位暫存器。此外，該移位暫存器包括多個正反器，且該多個正反器的每一個包括在非選擇周期內按規定時間間隔導通且向輸出端子（掃描線）輸出電源電位的電晶體。該電晶體按規定時間間隔導通並輸出電源電位到該掃描線，使得該多個正反器的每一個抑制了該掃描線的電位波動和該電晶體的特性惡化。

本發明的液晶顯示裝置包括分別具有液晶元件的第一和第二像素、驅動器電路、第一佈線、第二佈線、第三佈線、第四佈線、第五佈線和第六佈線。該第一像素透過該第五佈線電連接到該驅動器電路，且該第二像素透過該第六佈線電連接到該驅動器電路。該驅動器電路包括移位暫存器。該移位暫存器包括多個正反器。該多個正反器的至少一個包括第一電晶體、第二電晶體、第三電晶體和第四電晶體。該第一電晶體的第一端子電連接到該第一佈線；該第一電晶體的第二端子電連接到該第二電晶體的閘極端子；且該第一電晶體的閘極端子電連接到該第五佈線。該第二電晶體的第一端子電連接到該第三佈線，且該第二電晶體的第二端子電連接到第六佈線。該第三電晶體的第一端子電連接到該第二電晶體的閘極端子；該第三電晶體的第二端子電連接到該第二佈線；且該第三電晶體的閘極端子電連接到該第四佈線。該第四電晶體的第一端子電連接到該第六佈線；該第四電晶體的第二端子電連接到該第二

佈線；且該第四電晶體的閘極端子電連接到該第四佈線。

本發明的液晶顯示裝置包括分別具有液晶元件的第一和第二像素、驅動器電路、第一佈線、第二佈線、第三佈線、第四佈線和第五佈線。該第一像素透過該第五佈線電連接到該驅動器電路，且該第二像素透過該第一佈線電連接到該驅動器電路。該驅動器電路包括移位暫存器。該移位暫存器包括多個正反器。該多個正反器的至少一個包括第一電晶體、第二電晶體、第三電晶體和第四電晶體。該第一電晶體的第一端子電連接到該第五佈線；該第一電晶體的第二端子電連接到該第二電晶體的閘極端子；且該第一電晶體的閘極端子電連接到該第五佈線。該第二電晶體的第一端子電連接到該第三佈線，且該第二電晶體的第二端子電連接到第一佈線。該第三電晶體的第一端子電連接到該第二電晶體的閘極端子；該第三電晶體的第二端子電連接到該第二佈線；且該第三電晶體的閘極端子電連接到該第四佈線。該第四電晶體的第一端子電連接到該第一佈線；該第四電晶體的第二端子電連接到該第二佈線；且該第四電晶體的閘極端子電連接到該第四佈線。

注意，在本發明中，該第一電晶體、第二電晶體、第三電晶體和第四電晶體的每一個可以是 N 通道電晶體。

此外，在本發明中，該第一電晶體、第二電晶體、第三電晶體和第四電晶體的每一個可具有半導體層且該半導體層可以是非晶矽。

此外，在本發明中，電容器可在該第一電晶體的第二

端子和閘極端子之間。

本發明的液晶顯示裝置包括分別具有液晶元件的第一和第二像素、驅動器電路、第一佈線、第二佈線、第三佈線、第四佈線、第五佈線、第六佈線和第七佈線。該第一像素透過該第五佈線電連接到該驅動器電路，且該第二像素透過該第六佈線電連接到該驅動器電路。該驅動器電路包括移位暫存器。該移位暫存器包括多個正反器。該多個正反器的至少一個包括第一電晶體、第二電晶體、第三電晶體、第四電晶體和第五電晶體。該第一電晶體的第一端子電連接到該第一佈線；該第一電晶體的第二端子電連接到該第二電晶體的閘極端子；且該第一電晶體的閘極端子電連接到該第五佈線。該第二電晶體的第一端子電連接到該第三佈線，且該第二電晶體的第二端子電連接到第六佈線。該第三電晶體的第一端子電連接到該第二電晶體的閘極端子；該第三電晶體的第二端子電連接到該第二佈線；且該第三電晶體的閘極端子電連接到該第四佈線。該第四電晶體的第一端子電連接到該第六佈線；該第四電晶體的第二端子電連接到該第二佈線；且該第四電晶體的閘極端子電連接到該第四佈線。該第五電晶體的第一端子電連接到該第六佈線；該第五電晶體的第二端子電連接到該第二佈線；且該第五電晶體的閘極端子電連接到該第七佈線。

本發明的液晶顯示裝置包括分別具有液晶元件的第一和第二像素、驅動器電路、第一佈線、第二佈線、第三佈線、第四佈線、第五佈線和第六佈線。該第一像素透過該

第五佈線電連接到該驅動器電路，且該第二像素透過該第一佈線電連接到該驅動器電路。該驅動器電路包括移位暫存器。該移位暫存器包括多個正反器。該多個正反器的至少一個包括第一電晶體、第二電晶體、第三電晶體、第四電晶體和第五電晶體。該第一電晶體的第一端子電連接到該第五佈線；該第一電晶體的第二端子電連接到該第二電晶體的閘極端子；且該第一電晶體的閘極端子電連接到該第五佈線。該第二電晶體的第一端子電連接到該第三佈線，且該第二電晶體的第二端子電連接到第六佈線。該第三電晶體的第一端子電連接到該第二佈線；該第三電晶體的第二端子電連接到該第二電晶體的閘極端子；且該第三電晶體的閘極端子電連接到該第四佈線。該第四電晶體的第一端子電連接到該第六佈線；該第四電晶體的第二端子電連接到該第二佈線；且該第四電晶體的閘極端子電連接到該第四佈線。該第五電晶體的第一端子電連接到該第六佈線；該第五電晶體的第二端子電連接到該第二佈線；且該第五電晶體的閘極端子電連接到該第一佈線。

注意，在本發明中，該第一電晶體、第二電晶體、第三電晶體、第四電晶體和第五電晶體的每一個可以是N通道電晶體。

此外，在本發明中，該第一電晶體、第二電晶體、第三電晶體、第四電晶體和第五電晶體的每一個可具有半導體層且該半導體層可以是非晶矽。

此外，在本發明中，電容器可在該第一電晶體的第二

端子和閘極端子之間。

本發明的液晶顯示裝置包括分別具有液晶元件的第一至第四像素、第一驅動器電路、第二驅動器電路、第一佈線、第二佈線、第三佈線、第四佈線、第五佈線、第六佈線、第七佈線、第八佈線、第九佈線、第十佈線、第十一佈線和第十二佈線。該第一像素透過該第五佈線電連接到該第一驅動器電路；該第二像素透過該第六佈線電連接到該第一驅動器電路；該第三像素透過該第十一佈線電連接到該第二驅動器電路；且該第四像素透過該第十二佈線電連接到該第二驅動器電路。該第一驅動器電路包括第一移位暫存器，該第二驅動器電路包括第二移位暫存器。該第一移位暫存器包括多個正反器。該多個正反器的至少一個包括第一電晶體、第二電晶體、第三電晶體和第四電晶體。該第一電晶體的第一端子電連接到該第一佈線；該第一電晶體的第二端子電連接到該第二電晶體的閘極端子；且該第一電晶體的閘極端子電連接到該第五佈線。該第二電晶體的第一端子電連接到該第三佈線，且該第二電晶體的第二端子電連接到第六佈線。該第三電晶體的第一端子電連接到該第二佈線；該第三電晶體的第二端子電連接到該第二電晶體的閘極端子；且該第三電晶體的閘極端子電連接到該第四佈線。該第四電晶體的第一端子電連接到該第二佈線；該第四電晶體的第二端子電連接到該第六佈線；且該第四電晶體的閘極端子電連接到該第四佈線。該第二移位暫存器包括多個正反器。該多個正反器的至少一

個包括第五電晶體、第六電晶體、第七電晶體和第八電晶體。該第五電晶體的第一端子電連接到該第七佈線；該第五電晶體的第二端子電連接到該第六電晶體的閘極端子；且該第五電晶體的閘極端子電連接到該第十一佈線。該第六電晶體的第一端子電連接到該第九佈線，且該第六電晶體的第二端子電連接到第十二佈線。該第七電晶體的第一端子電連接到該第八佈線；該第七電晶體的第二端子電連接到該第六電晶體的閘極端子；且該第七電晶體的閘極端子電連接到該第十佈線。該第八電晶體的第一端子電連接到該第八佈線；該第八電晶體的第二端子電連接到該第十二佈線；且該第八電晶體的閘極端子電連接到該第十佈線。

注意，在本發明中，該第五佈線和該第十一佈線可以電連接，該第六佈線和該第十二佈線可以電連接。

注意，在本發明中，該第五佈線和該第十一佈線可以是相同佈線，該第六佈線和該第十二佈線可以是相同佈線。

注意，在本發明中，該第一佈線和該第七佈線可以電連接；該第二佈線和該第八佈線可以電連接；該第三佈線和該第九佈線可以電連接；且該第四佈線和該第十佈線可以電連接。

注意，在本發明中，該第一佈線和該第七佈線可以是相同佈線；該第二佈線和該第八佈線可以是相同佈線；該第三佈線和該第九佈線可以是相同佈線；且該第四佈線和

該第十佈線可以是相同佈線。

注意，在本發明中，該第一佈線和該第七佈線可以電連接；該第二佈線和該第八佈線可以電連接；該第三佈線和該第九佈線可以電連接；該第四佈線和該第十佈線可以電連接；該第五佈線和該第十一佈線可以電連接；且該第六佈線和該第十二佈線可以電連接。

注意，在本發明中，該第一佈線和該第七佈線可以是相同佈線；該第二佈線和該第八佈線可以是相同佈線；該第三佈線和該第九佈線可以是相同佈線；該第四佈線和該第十佈線可以是相同佈線；該第五佈線和該第十一佈線可以是相同佈線；且該第六佈線和該第十二佈線可以是相同佈線。

本發明的液晶顯示裝置包括分別具有液晶元件的第一至第四像素、第一驅動器電路、第二驅動器電路、第一佈線、第二佈線、第三佈線、第四佈線、第五佈線、第六佈線、第七佈線、第八佈線、第九佈線和第十佈線。該第一像素透過該第五佈線電連接到該第一驅動器電路；該第二像素透過該第一佈線電連接到該第一驅動器電路；該第三像素透過該第十佈線電連接到該第二驅動器電路；且該第四像素透過該第六佈線電連接到該第二驅動器電路。該第一驅動器電路包括第一移位暫存器，該第二驅動器電路包括第二移位暫存器。該第一移位暫存器包括多個正反器。該多個正反器的至少一個包括第一電晶體、第二電晶體、第三電晶體和第四電晶體。該第一電晶體的第一端子電連

接到該第五佈線；該第一電晶體的第二端子電連接到該第二電晶體的閘極端子；且該第一電晶體的閘極端子電連接到該第五佈線。該第二電晶體的第一端子電連接到該第三佈線，且該第二電晶體的第二端子電連接到第一佈線。該第三電晶體的第一端子電連接到該第二電晶體的閘極端子；該第三電晶體的第二端子電連接到該第二佈線；且該第三電晶體的閘極端子電連接到該第四佈線。該第四電晶體的第一端子電連接到該第一佈線；該第四電晶體的第二端子電連接到該第二佈線；且該第四電晶體的閘極端子電連接到該第四佈線。該第二移位暫存器包括多個正反器。該多個正反器的至少一個包括第五電晶體、第六電晶體、第七電晶體和第八電晶體。該第五電晶體的第一端子電連接到該第十佈線；該第五電晶體的第二端子電連接到該第六電晶體的閘極端子；且該第五電晶體的閘極端子電連接到該第十佈線。該第六電晶體的第一端子電連接到該第八佈線，且該第六電晶體的第二端子電連接到第六佈線。該第七電晶體的第一端子電連接到該第六電晶體的閘極端子；該第七電晶體的第二端子電連接到該第七佈線；且該第七電晶體的閘極端子電連接到該第九佈線。該第八電晶體的第一端子電連接到該第六佈線；該第八電晶體的第二端子電連接到該第七佈線；且該第八電晶體的閘極端子電連接到該第九佈線。

注意，在本發明中，該第一佈線和該第六佈線可以電連接，該第五佈線和該第十佈線可以電連接。

注意，在本發明中，該第一佈線和該第六佈線可以是相同佈線，該第五佈線和該第十佈線可以是相同佈線。

此外，在本發明中，該第二佈線和該第七佈線可以電連接；該第三佈線和該第八佈線可以電連接；且該第四佈線和該第九佈線可以電連接。

此外，在本發明中，該第二佈線和該第七佈線可以是相同佈線；該第三佈線和該第八佈線可以是相同佈線；且該第四佈線和該第九佈線可以是相同佈線。

此外，在本發明中，該第一佈線和該第六佈線可以電連接；該第二佈線和該第七佈線可以電連接；該第三佈線和該第八佈線可以電連接；該第四佈線和該第九佈線可以電連接；且該第五佈線和該第十佈線可以電連接。

注意，在本發明中，該第一佈線和該第六佈線可以是相同佈線；該第二佈線和該第七佈線可以是相同佈線；該第三佈線和該第八佈線可以是相同佈線；該第四佈線和該第九佈線可以是相同佈線；且該第五佈線和該第十佈線可以是相同佈線。

此外，在本發明中，該第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體、第七電晶體和第八電晶體的每一個可以是 N 通道電晶體。

此外，在本發明中，該第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體、第七電晶體和第八電晶體的每一個可具有半導體層且該半導體層可以是非晶矽。

此外，在本發明中，第一電容器可提供於該第一電晶體的第二端子和閘極端子之間，且第二電容器可提供於該第五電晶體的第二端子和閘極端子之間。

本發明的液晶顯示裝置包括分別具有液晶元件的第一至第四像素、第一驅動器電路、第二驅動器電路、第一佈線、第二佈線、第三佈線、第四佈線、第五佈線、第六佈線、第七佈線、第八佈線、第九佈線、第十佈線、第十一佈線、第十二佈線、第十三佈線和第十四佈線。該第一像素透過該第五佈線電連接到該第一驅動器電路；該第二像素透過該第六佈線電連接到該第一驅動器電路；該第三像素透過該第十二佈線電連接到該第二驅動器電路；且該第四像素透過該第十三佈線電連接到該第二驅動器電路。該第一驅動器電路包括第一移位暫存器，該第二驅動器電路包括第二移位暫存器。該第一移位暫存器包括多個正反器。該多個正反器的至少一個包括第一電晶體、第二電晶體、第三電晶體、第四電晶體和第五電晶體。該第一電晶體的第一端子電連接到該第一佈線；該第一電晶體的第二端子電連接到該第二電晶體的閘極端子；且該第一電晶體的閘極端子電連接到該第五佈線。該第二電晶體的第一端子電連接到該第三佈線，且該第二電晶體的第二端子電連接到第六佈線。該第三電晶體的第一端子電連接到該第二佈線；該第三電晶體的第二端子電連接到該第二電晶體的閘極端子；且該第三電晶體的閘極端子電連接到該第四佈線。該第四電晶體的第一端子電連接到該第二佈線；該第

四電晶體的第二端子電連接到該第六佈線；且該第四電晶體的閘極端子電連接到該第四佈線。該第五電晶體的第一端子電連接到該第二佈線；該第五電晶體的第二端子電連接到該第六佈線；且該第五電晶體的閘極端子電連接到該第七佈線。該第二移位暫存器包括多個正反器。該多個正反器的至少一個包括第六電晶體、第七電晶體、第八電晶體、第九電晶體和第十電晶體。該第六電晶體的第一端子電連接到該第八佈線；該第六電晶體的第二端子電連接到該第七電晶體的閘極端子；且該第六電晶體的閘極端子電連接到該第十二佈線。該第七電晶體的第一端子電連接到該第十佈線，且該第七電晶體的第二端子電連接到第十三佈線。該第八電晶體的第一端子電連接到該第九佈線；該第八電晶體的第二端子電連接到該第七電晶體的閘極端子；且該第八電晶體的閘極端子電連接到該第十一佈線。該第九電晶體的第一端子電連接到該第十三佈線；該第九電晶體的第二端子電連接到該第九佈線；且該第九電晶體的閘極端子電連接到該第十一佈線。該第十電晶體的第一端子電連接到該第十三佈線；該第十電晶體的第二端子電連接到該第九佈線；且該第十電晶體的閘極端子電連接到該第十四佈線。

注意，在本發明中，該第五佈線和該第十二佈線可以電連接，該第六佈線和該第十三佈線可以電連接。

注意，在本發明中，該第五佈線和該第十二佈線可以是相同佈線，該第六佈線和該第十三佈線可以是相同佈

線。

此外，在本發明中，該第一佈線和該第八佈線可以電連接；該第二佈線和該第九佈線可以電連接；該第三佈線和該第十佈線可以電連接；該第四佈線和該第十一佈線可以電連接；且該第七佈線和該第十四佈線可以電連接。

注意，在本發明中，該第一佈線和該第八佈線可以是相同佈線；該第二佈線和該第九佈線可以是相同佈線；該第三佈線和該第十佈線可以是相同佈線；該第四佈線和該第十一佈線可以是相同佈線；且該第七佈線和該第十四佈線可以是相同佈線。

此外，在本發明中，該第一佈線和該第八佈線可以電連接；該第二佈線和該第九佈線可以電連接；該第三佈線和該第十佈線可以電連接；該第四佈線和該第十一佈線可以電連接；該第五佈線和該第十二佈線可以電連接；該第六佈線和該第十三佈線可以電連接；且該第七佈線和該第十四佈線可以電連接。

此外，在本發明中，該第一佈線和該第八佈線可以是相同佈線；該第二佈線和該第九佈線可以是相同佈線；該第三佈線和該第十佈線可以是相同佈線；該第四佈線和該第十一佈線可以是相同佈線；該第五佈線和該第十二佈線可以是相同佈線；該第六佈線和該第十三佈線可以是相同佈線；且該第七佈線和該第十四佈線可以是相同佈線。

本發明的液晶顯示裝置包括分別具有液晶元件的第一至第四像素、第一驅動器電路、第二驅動器電路、第一佈

線、第二佈線、第三佈線、第四佈線、第五佈線、第六佈線、第七佈線、第八佈線、第九佈線、第十佈線、第十一佈線和第十二佈線。該第一像素透過該第五佈線電連接到該第一驅動器電路；該第二像素透過該第六佈線電連接到該第一驅動器電路；該第三像素透過該第十一佈線電連接到該第二驅動器電路；且該第四像素透過該第十二佈線電連接到該第二驅動器電路。該第一驅動器電路包括第一移位暫存器，該第二驅動器電路包括第二移位暫存器。該第一移位暫存器包括多個正反器。該多個正反器的至少一個包括第一電晶體、第二電晶體、第三電晶體、第四電晶體和第五電晶體。該第一電晶體的第一端子電連接到該第五佈線；該第一電晶體的第二端子電連接到該第二電晶體的閘極端子；且該第一電晶體的閘極端子電連接到該第五佈線。該第二電晶體的第一端子電連接到該第三佈線，且該第二電晶體的第二端子電連接到第六佈線。該第三電晶體的第一端子電連接到該第二電晶體的閘極端子；該第三電晶體的第二端子電連接到該第二佈線；且該第三電晶體的閘極端子電連接到該第四佈線。該第四電晶體的第一端子電連接到該第六佈線；該第四電晶體的第二端子電連接到該第二佈線；且該第四電晶體的閘極端子電連接到該第四佈線。該第五電晶體的第一端子電連接到該第六佈線；該第五電晶體的第二端子電連接到該第二佈線；且該第五電晶體的閘極端子電連接到該第一佈線。該第二移位暫存器包括多個正反器。該多個正反器的至少一個包括第六電晶

體、第七電晶體、第八電晶體、第九電晶體和第十電晶體。該第六電晶體的第一端子電連接到該第十一佈線；該第六電晶體的第二端子電連接到該第七電晶體的閘極端子；且該第六電晶體的閘極端子電連接到該第十一佈線。該第七電晶體的第一端子電連接到該第九佈線，且該第七電晶體的第二端子電連接到第十二佈線。該第八電晶體的第一端子電連接到該第八佈線；該第八電晶體的第二端子電連接到該第七電晶體的閘極端子；且該第八電晶體的閘極端子電連接到該第十佈線。該第九電晶體的第一端子電連接到該第八佈線；該第九電晶體的第二端子電連接到該第十二佈線；且該第九電晶體的閘極端子電連接到該第十佈線。該第十電晶體的第一端子電連接到該第八佈線；該第十電晶體的第二端子電連接到該第十二佈線；且該第十電晶體的閘極端子電連接到該第七佈線。

注意，在本發明中，該第五佈線和該第十一佈線可以電連接，該第六佈線和該第十二佈線可以電連接。

注意，在本發明中，該第五佈線和該第十一佈線可以是相同佈線，該第六佈線和該第十二佈線可以是相同佈線。

此外，在本發明中，該第一佈線和該第七佈線可以電連接；該第二佈線和該第八佈線可以電連接；該第三佈線和該第九佈線可以電連接；且該第四佈線和該第十佈線可以電連接。

此外，在本發明中，該第一佈線和該第七佈線可以是

相同佈線；該第二佈線和該第八佈線可以是相同佈線；該第三佈線和該第九佈線可以是相同佈線；且該第四佈線和該第十佈線可以是相同佈線。

此外，在本發明中，該第一佈線和該第七佈線可以電連接；該第二佈線和該第八佈線可以電連接；該第三佈線和該第九佈線可以電連接；該第四佈線和該第十佈線可以電連接；該第五佈線和該第十一佈線可以電連接；且該第六佈線和該第十二佈線可以電連接。

注意，在本發明中，該第一佈線和該第七佈線可以是相同佈線；該第二佈線和該第八佈線可以是相同佈線；該第三佈線和該第九佈線可以是相同佈線；該第四佈線和該第十佈線可以是相同佈線；該第五佈線和該第十一佈線可以是相同佈線；且該第六佈線和該第十二佈線可以是相同佈線。

注意，在本發明中，該第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體、第七電晶體、第八電晶體、第九電晶體和第十電晶體的每一個可以是 N 通道電晶體。

注意，在本發明中，該第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體、第七電晶體、第八電晶體、第九電晶體和第十電晶體的每一個可具有半導體層且該半導體層可以是非晶矽。

注意，在本發明中，第一電容器可在該第一電晶體的第二端子和閘極端子之間，且第二電容器可在該第六電晶

體的第二端子和閘極端子之間。

本發明包括具有任一上述液晶顯示裝置的電子裝置。

注意，各種類型的開關可以作為本說明書中所示的開關，且電學開關、機械開關等可以給出作為示例。也就是說，可以使用任意的元件而不限於特定的元件，只要該元件能夠控制電流流動即可。例如，該開關可以是電晶體、二極體（例如，PN 二極體、PIN 二極體、肖特基二極體、或者連接成二極體的電晶體）、晶閘管、或者組合這些元件的邏輯電路。對於使用電晶體作為開關的情形，電晶體的極性（導電類型）不具體限於特定類型，因為該電晶體僅僅作為開關。然而，當截止電流較佳是小的時，較佳的使用具有更小截止電流的極性的電晶體。具有更小截止電流的電晶體的示例為設有 LDD 區的電晶體、具有多個閘極結構的電晶體等。此外，當作為開關的電晶體的源極端子的電位更接近低電位側電源（例如，Vss、GND 或 0V）時，較佳的使用 N 通道電晶體，而當源極端子的電位更接近高電位側電源（例如，Vdd）時，較佳的使用 P 通道電晶體。這是因為該電晶體的閘極-源極電壓絕對值增大，使得該電晶體可以更準確地作為開關。

注意，透過均使用 N 通道和 P 通道電晶體，則可以採用 CMOS 開關。透過採用 CMOS 開關，則該開關可更精確地作為開關，因為當 P 通道開關或 N 通道開關導通時電流可以流過該開關。例如，可以恰當地輸出電壓，而與該開關的輸入信號的電壓是高還是低無關。此外，由於

可以使用於導通或截止開關的電壓幅值小，因此可以減小功耗。另外注意，當電晶體用作開關時，該開關包括輸入端子（源極端子和汲極端子之一）、輸出端子（該源極端子和汲極端子的另一個）、和用於控制電傳導的端子（閘極端子）。另一方面，當二極體用作開關時，在某些情況下該開關不具有用於控制電傳導的端子。因此，用於控制端子的佈線的數目可以減少。

注意在本說明書中，“連接”這一描述包括元件電連接的情形，元件功能連接的情形，以及元件直接連接的情形。因此，在本說明書公開的結構中，另一元件可以夾置在具有預定連接關係的元件之間。例如，使得可以電連接的一個或多個元件（例如，開關、電晶體、電容器、電感器、電阻器與/或二極體）可以提供於特定部分和另一部分之間。此外，使得可以功能連接的一個或多個電路可以提供於這些部分之間，例如邏輯電路（例如，反相器、NAND 電路或 NOR 電路）、信號轉換器電路（例如，DA 轉換器電路、AD 轉換器電路或者灰度校正電路）、電位位準轉換器電路（例如，諸如升壓電路或降壓控制電路的電源電路、或者用於改變高位準信號或低位準信號的電位位準的位準移位電路）、電壓源、電流源、開關電路、或者放大器電路（例如，可以增大信號振幅、電流量等的電路，諸如運算放大器、差分發電器電路、源極從動電路或者緩衝電路）、信號發生電路、記憶體電路或者控制電路。替代地，這些元件可以直接連接，其間不夾置其他元

件或其他電路。

對於元件連接而在其間不夾置其他元件或電路的情形，則可以採用“直接連接”的描述。此外，對於採用“電（學）連接”的情形，則包括下述情形：元件電學連接的情形（即，元件透過將其他元件夾置其間而連接的情形）、元件功能連接的情形（即，元件透過將其他電路夾置其間而連接）、以及元件直接連接的情形（即，元件連接而在其間不夾置其他元件或電路）。

注意，顯示元件、顯示裝置、發光元件以及發光裝置可以採用各種類型且包括各種元件。例如，顯示元件、顯示裝置、發光元件和發光裝置可以採用顯示媒體，其對比度透過電磁作用而變化，例如 EL 元件（例如，有機 EL 元件、無機 EL 元件、或者同時包括有機和無機材料的 EL 元件）；電子發射器；液晶元件；電子墨水；光柵光閥（GLV）；電漿顯示面板（PDP）；數位微反射鏡裝置（DMD）；壓電陶瓷顯示器；或者碳奈米管。注意，使用 EL 元件的顯示裝置包括 EL 顯示器；使用電子發射器的顯示裝置包括場發射顯示器（FED）、SED 類型平板顯示器（SED：表面傳導電子發射器顯示器）等；使用液晶元件的顯示裝置包括液晶顯示器、透射液晶顯示器、半透射液晶顯示器、反射液晶顯示器等；且使用電子墨水的顯示裝置包括電子紙。

注意在本說明書中，電晶體可以採用各種類型的電晶體而不限於特定類型。因此，例如可以採用包括以非晶矽

或多晶矽為代表的非單晶半導體膜的薄膜電晶體（TFT）。因此，這種電晶體可以在比使用單晶半導體膜的情形更低的溫度下形成，可以低成本地形成，可以形成於透光基板以及大尺寸基板上，且可以透光。此外，可以使用這種電晶體來控制顯示元件中光的傳輸。此外，可以使用半導體基板、SOI 基板等形成電晶體。替代的，可以採用 MOS 電晶體、接面電晶體、雙極電晶體等。因此，可以形成具有小幅變化的電晶體、具有高的電流供給能力的電晶體以及小尺寸的電晶體，使得透過使用這種電晶體可以形成具有低功耗的電路。此外，可以採用包括例如 ZnO、a-InGaZnO、SiGe 或 GaAs 的化合物半導體的電晶體，透過減薄這種化合物半導體得到的薄膜電晶體等。因此，這種電晶體可以在低溫下形成，可以在室溫下形成，且可以直接形成於例如塑膠基板或膜基板的低耐熱基板上。還可以採用透過噴墨方法或印刷方法形成的電晶體等。因此，這種電晶體可以在室溫下形成，可以在低真空下形成，且可以使用大尺寸基板來形成。另外，由於無需使用掩模（分劃板）來形成這種電晶體，因此可以容易地改變電晶體的佈局。此外，可以採用包括有機半導體或碳奈米管的電晶體或者其他電晶體。因此，可以使用可彎折的基板來形成電晶體。注意，非單晶半導體膜可包括氫或鹵素。此外，可以使用各種類型的基板形成電晶體。基板的類型不限於特定類型。因此，基板例如可以使用單晶基板、SOI 基板、玻璃基板、石英基板、塑膠基板、紙基

板、玻璃紙基板、石頭基板、不銹鋼基板、包括不銹鋼薄片的基板等。此外，可以使用一種基板形成電晶體，隨後將該電晶體轉移到另一種基板。該電晶體將被轉移到的另一種基板可以使用單晶基板、SOI 基板、玻璃基板、石英基板、塑膠基板、紙基板、玻璃紙基板、石頭基板、不銹鋼基板、包括不銹鋼薄片的基板等。透過使用這種基板，可以形成具有優良性能的電晶體或具有低功耗的電晶體，或者可以形成具有該耐久性或高耐熱性的裝置。

電晶體的結構可以是各種模式而不限於特定結構。例如，可以使用具有兩個或更多個閘極的多個閘極結構。當使用多個閘極結構時，由於提供了一種通道區串聯連接的結構，由此提供了一種多個電晶體串聯連接的結構。透過使用多個閘極結構，可以減小截止電流；可以增大電晶體的耐壓以改善可靠性；或者即使在電晶體工作於飽和區時汲極-源極電壓波動，但汲極-源極電流並不大幅波動，使得可以獲得平坦特性。此外，可以使用其中閘極電極形成於通道上方和下方的結構。透過使用閘極電極形成於通道上方和下方的結構，通道區被擴大以增加流過通道區的電流量，或者耗盡層可以容易形成以減小 S 值。當將閘極電極形成於通道上方和下方時，則提供了一種多個電晶體並聯連接的結構。

此外，可以採用閘極電極形成於通道上方的結構、閘極電極形成於通道下方的結構、交錯結構、反交錯結構、通道區劃分為多個區域的結構、或者閘極電極並聯連接的

結構。源極電極或汲極電極可以與通道（或通道的一部分）交疊。透過使用源極電極或汲極電極可以與通道（或通道的一部分）交疊的結構，電荷累積在該通道的一部分內的情形可得以防止，其中這種情形將導致不穩定的工作。此外，可以採用有 LDD 區的結構。透過提供 LDD 區，截止電流可以減小；電晶體的耐壓可以增大以改善可靠性；或者即使在電晶體工作於飽和區時汲極-源極電壓波動，但汲極-源極電流並不大幅波動，使得可以獲得平坦特性。

注意，各種類型的電晶體可以用於本說明書中的電晶體且該電晶體可以使用各種類型的基板形成。因此，所有電路可以使用玻璃基板、塑膠基板、單晶基板、SOI 基板或任意其他基板形成。當所有電路使用相同基板形成時，部件數目可以減少且電路部件的連接數目可以減少以改善可靠性。替代的，部分電路可以使用一種基板形成，另一部分電路使用另一種基板形成。也就是說，不是所有電路都要求使用相同基板形成。例如，部分電路可以使用玻璃基板形成有電晶體，另一部分電路可以使用單晶基板形成，該 IC 晶片從而可以透過 COG（玻璃上晶片）連接到該玻璃基板。替代的，IC 晶片可以透過 TAB（載帶自動結合）連接到該玻璃基板，或者連接到印刷電路板。當部分電路按照這種方式使用相同基板形成時，部件數目可以減少且電路部件的連接數目可以減少以改善可靠性。此外，透過在另一基板上形成具有高驅動電壓的部分或者具

有高驅動頻率的部分，可以防止功耗的增大。

另外注意，在本說明書中一個像素對應於亮度可以受到控制的一個元件。因此，例如，一個像素對應於一個彩色元件且亮度使用該一個彩色元件來表達。因此，對於具有 R（紅）、G（綠）和 B（藍）彩色元件的彩色顯示裝置的情形，影像的最小單元是由 R 像素、G 像素和 B 像素的三個像素形成的。注意，彩色元件不限於三種顏色，可以使用多於三種顏色的彩色元件或者可以添加除了 RGB 之外的顏色。例如，透過添加白色，可以使用 RGBW（W 對應於白色）。此外，可以使用 RGB 加上黃色、青色、洋紅色、鮮綠色（emerald green）、朱紅色等的一種或多種顏色。例如，可以使用 R、G、B1 和 B2。儘管 B1 和 B2 是藍色，但是具有略微不同的頻率。透過使用這種彩色元件，可以執行更接近真實物體的顯示或者可以減小功耗。替代的，另一個示例為，對於透過使用多個區域控制一個彩色元件的亮度的情形，一個區域對應於一個像素。因此，例如，對於執行面積灰階顯示的情形，在各個彩色元件中提供控制亮度的多個區域且使用全部區域來表達灰階。這種情況下，控制亮度的一個區域對應於一個像素。因此在這種情況下，一個彩色元件包括多個像素。此外，在這種情況下，對顯示有貢獻的區域可具有視像素而定的不同面積大小。此外，在控制各個彩色元件的亮度的多個區域中，即，在形成一個彩色元件的多個像素中，加到多個這些像素的信號可以略微變化，使得視角可以加寬。注

意，描述“一個像素（用於三種顏色）”對應於 R、G 和 B 三個像素視為一個像素的情形。同時，描述“一個像素（用於一種顏色）”對應於多個像素提供於各個彩色元件內且整體地視為一個像素的情形。

另外注意，在本說明書中，像素可提供（排列）成矩陣。這裏，描述“像素提供（排列）成矩陣”包括像素排列成直線的情形和像素沿縱向或橫向排列成鋸齒形線的情形。因此，對於使用三種彩色元件（例如，RGB）執行全色顯示的情形，則包括下述情形：像素排列成條的情形以及三種顏色元件的點排列成所謂的三角形圖案的情形。此外，還包括三種顏色元件的點提供成 Bayer 佈置的情形。注意，彩色源極不限於三種顏色，可以使用多於三種顏色的彩色元件。這樣的例子為 RGBW（W 對應於白色）；RGB 加上黃色、青色、洋紅色等的一種或多種等等。此外，各個彩色元件點之間的顯示區域的尺寸可以不同。因此可以減小功耗且可以延長發光元件的壽命。

注意，電晶體是一種具有至少閘極、汲極和源極三個端子的元件。該電晶體具有介於汲極區和源極區之間的通道區，且電流可以流過該汲極區、通道區和源極區。這裏，由於電晶體的源極和汲極可以根據電晶體的結構、工作條件等而變化，因此難以定義哪個是源極或汲極。因此，在本說明書中，作用當成源極和汲極功能的區域有可能不稱為源極或汲極。例如在這種情況下，該源極和汲極之一可以稱為第一端子，另一個稱為第二端子。另外注

意，電晶體可以是一種具有至少基極、發射極和集電極三個端子的元件。同樣在這種情況下，射極和集極之一可以類似地稱為第一端子，另一個端子可稱為第二端子。

閘極對應於所有或部分的閘極電極和閘極佈線（也稱為閘極線、閘極信號線等）。閘極電極對應於一導電膜，該導電膜與形成通道區、LDD（輕摻雜汲極）區等的半導體膜交疊，閘極絕緣膜夾置於該導電膜和半導體膜之間。閘極佈線對應於用於將各個像素的閘極電極相互連接的佈線或者是用於將閘極電極連接到另一條佈線的佈線。

然而，存在既作為閘極電極又作為閘極佈線的部分。這種區域可以或者稱為閘極電極或者稱為閘極佈線。也就是說，存在閘極電極和閘極佈線無法明確地相互區分的區域。例如，對於通道區交疊延伸的閘極佈線的情形，該交疊區域既作為閘極佈線又作為閘極電極。因此，這種區域可以或者稱為閘極電極或者稱為閘極佈線。

此外，由與閘極電極相同的材料形成且連接到該閘極電極的區域也可以稱為閘極電極。類似地，由與閘極佈線相同的材料形成且連接到該閘極佈線的區域也可以稱為閘極佈線。嚴格意義上說，在某些情形下這種區域並不交疊通道區，或者並不具有將閘極電極連接到另一個閘極電極的功能。然而，由於在製造時提供餘量，存在由與閘極電極或閘極佈線相同的材料形成且連接到該閘極電極或該閘極佈線的區域。因此，這種區域也可以或者稱為閘極電極或者稱為閘極佈線。

在多個閘極的電晶體中，例如，一個電晶體的閘極電極經常透過使用由與該閘極電極相同的材料形成的導電膜而連接到另一個電晶體的閘極電極。由於這種區域是用於將該閘極電極連接到另一個閘極電極的區域，該區域可以稱為閘極佈線，且該區域也可以稱為閘極電極，因為多個閘極的電晶體也可以視為一個電晶體。也就是說，由與閘極電極或閘極佈線相同的材料形成且連接到該閘極電極或閘極佈線的區域可以或者稱為閘極電極或者稱為閘極佈線。此外，例如，連接閘極電極和閘極佈線的導電膜的一部分也可以或者稱為閘極電極或者稱為閘極佈線。

注意，閘極電極對應於閘極區或閘極電極的一部分，或者電連接到該閘極電極的區域的一部分或全部。

另外注意，源極對應於源極區、源極電極和源極佈線（也稱為源極線、源極信號線等）的全部或者一部分。源極區對應於包含大量 p 型雜質（例如，硼或鎵）或 n 型雜質（例如，磷或砷）的半導體區域。因此，包含少量 p 型雜質或 n 型雜質的區域，即，LDD（輕摻雜汲極）區不包括在源極區內。源極電極為由與源極區不同的材料形成且電連接到該源極區的導電層的一部分。然而，存在源極電極和源極區統稱為源極電極的情形。源極佈線是用於將各個像素的源極電極彼此相連的佈線或者是用於將源極電極連接到另一條佈線的佈線。

然而，存在既作為源極電極又作為源極佈線的部分。這種區域可以或者稱為源極電極或者稱為源極佈線。也就

是說，存在源極電極和源極佈線無法明確地相互區分的區域。例如，對於源極區交疊延伸的源極佈線的情形，該交疊區域既作為源極佈線又作為源極電極。因此，這種區域可以或者稱為源極電極或者稱為源極佈線。

此外，由與源極電極相同的材料形成且連接到該源極電極的區域或者用於將源極電極連接到另一個源極電極的部分，也可以稱為源極電極。與源極區交疊的部分也可以稱為源極電極。類似地，由與源極佈線相同的材料形成且連接到該源極佈線的區域也可以稱為源極佈線。嚴格意義上說，在某些情形下這種區域並不具有將源極電極連接到另一個源極電極的功能。然而，由於在製造時提供餘量，存在由與源極電極或源極佈線相同的材料形成且連接到該源極電極或該源極佈線的區域。因此，這種區域也可以或者稱為源極電極或者稱為源極佈線。

此外，例如，連接源極電極和源極佈線的導電膜的一部分可以或者稱為源極電極或者稱為源極佈線。

注意，源極端子對應於源極區或源極電極的一部分，或者電連接到該源極電極的區域的一部分或全部。

另外注意，上述亦適用於汲極。

在本說明書中，半導體裝置對應於具有包括半導體元件（例如，電晶體或二極體）的電路的裝置。該半導體裝置還可包括所有透過利用半導體特性起作用的裝置。此外，顯示裝置對應於具有顯示元件（例如，液晶元件或發光元件）的裝置。注意，該顯示裝置還可對應於顯示面板

本身，其中包括例如液晶元件或 EL 元件的顯示元件的多個像素形成於與用於驅動像素的週邊驅動器電路相同的基板上。此外，該顯示裝置還可包括透過引線鍵合或凸點鍵合提供於基板上的週邊驅動器電路，即，透過玻璃上晶片（COG）等連接的 IC 晶片。此外，該顯示裝置還可包括貼附有 IC、電阻器、電容器、電感器、電晶體等的撓性印刷電路（FPC）或印刷佈線板（PWB）。該顯示裝置還可包括例如偏振片或延遲片的光學片。此外，該顯示裝置可包括背光單元（該背光單元可包括導光板、棱鏡片、漫射片、反射片或者光源（例如，LED 或冷陰極管））。此外，發光裝置對應於具有自發光顯示元件特別是例如 EL 元件或者用於 FED 的元件的顯示裝置。液晶顯示裝置對應於具有液晶元件的顯示裝置。

在本說明書中，描述物體與另一個物體的關係為“形成於...上”或“形成於...上方”並不一定指該物體形成為直接接觸該另一個物體。該描述包括兩個物體不直接接觸的情形，即，兩個物體之間夾置有其他物體的情形。因此，例如，當描述成層 B 形成於層 A 上（或上方）時，這包括層 B 形成為直接接觸層 A 的情形，以及另一層（例如，層 C 或層 D）形成為直接接觸層 A 且層 B 形成為直接接觸層 C 或 D 的情形。類似地，當描述成一個物體形成於另一個物體上方時，並不一定指該物體直接接觸另一個物體，其間可夾置有其他物體。因此，例如，當描述成層 B 形成於層 A 上方時，這包括層 B 形成為直接接

觸層 A 的情形，以及另一層（例如，層 C 或層 D）形成為直接接觸層 A 且層 B 形成為直接接觸層 C 或 D 的情形。類似地，當描述成一個物體形成於另一個物體下或下方時，這包括這些物體直接相互接觸的情形以及這些物體不直接接觸的情形。

透過使用本發明，電晶體特性的惡化可以得到抑制。因此，可以防止由於電晶體特性惡化所致的移位暫存器失靈。此外，可以抑制由移位暫存器失靈所致的液晶顯示裝置的顯示缺陷。

【圖式簡單說明】

附圖中：

圖 1 說明實施例模式 1；

圖 2 說明實施例模式 1；

圖 3A 至 3E 說明實施例模式 1；

圖 4 說明實施例模式 1；

圖 5 說明實施例模式 1；

圖 6 說明實施例模式 1；

圖 7 說明實施例模式 1；

圖 8 說明實施例模式 1；

圖 9 說明實施例模式 1；

圖 10 說明實施例模式 1；

圖 11 說明實施例模式 1；

圖 12 說明實施例模式 1；

圖 13 說明實施例模式 2；

圖 14 說明實施例模式 2；

圖 15 說明實施例模式 2；

圖 16 說明實施例模式 2；

圖 17 說明實施例模式 2；

圖 18 說明實施例模式 2；

圖 19 說明實施例模式 3；

圖 20 說明實施例模式 3；

圖 21 說明實施例模式 3；

圖 22 說明實施例模式 3；

圖 23 說明實施例模式 4；

圖 24 說明實施例模式 4；

圖 25 說明實施例模式 4；

圖 26 說明實施例模式 4；

圖 27 說明實施例模式 5；

圖 28 說明實施例模式 5；

圖 29A 至 29E 說明實施例模式 5；

圖 30 說明實施例模式 5；

圖 31 說明實施例模式 5；

圖 32 說明實施例模式 6；

圖 33 說明實施例模式 6；

圖 34 說明實施例模式 6；

圖 35 說明實施例模式 6；

圖 36 說明實施例模式 7；

圖 37 說明實施例模式 7；

圖 38 說明實施例模式 7；

圖 39 說明實施例模式 7；

圖 40 說明實施例模式 8；

圖 41 說明實施例模式 8；

圖 42 說明實施例模式 8；

圖 43 說明實施例模式 8；

圖 44 說明實施例模式 1；

圖 45 說明實施例模式 1；

圖 46A 和 46B 說明實施例模式 9；

圖 47A 至 47C 說明實施例模式 9；

圖 48A 和 48B 說明實施例模式 9；

圖 49A 至 49C 說明實施例模式 9；

圖 50A 至 50C 說明實施例模式 9；

圖 51A 和 51B 說明實施例模式 9；

圖 52A 和 52B 說明實施例模式 9；

圖 53A 和 53B 說明實施例模式 9；

圖 54A 和 54B 說明實施例模式 9；

圖 55A 和 55B 說明實施例模式 9；

圖 56 說明實施例模式 11；

圖 57 說明實施例模式 11；

圖 58 說明實施例模式 11；

圖 59 說明實施例模式 11；

圖 60 說明實施例模式 11；

圖 61A 至 61C 說明實施例模式 12；

圖 62A 和 62B 說明實施例模式 12；

圖 63A 至 63C 說明實施例模式 13；

圖 64A 至 64C 說明實施例模式 12；

圖 65A 和 65B 說明實施例模式 10；

圖 66 說明實施例模式 10；

圖 67 說明實施例模式 10；

圖 68 說明實施例模式 10；

圖 69A 和 69B 說明實施例模式 10；

圖 70A 和 70B 說明實施例模式 10；

圖 71A 和 71B 說明實施例模式 10；

圖 72A 至 72E 說明實施例模式 10；

圖 73 說明實施例模式 10；

圖 74 說明實施例模式 10；

圖 75A 和 75B 說明實施例模式 14；

圖 76A 和 76B 說明實施例模式 14；

圖 77A 至 77C 說明實施例模式 14；

圖 78 說明實施例模式 14；

圖 79A 和 79B 說明實施例模式 14；

圖 80A 和 80B 說明實施例模式 14；

圖 81A 和 81B 說明實施例模式 14；

圖 82A 和 82B 說明實施例模式 14；

圖 83A 和 83B 說明實施例模式 14；

圖 84A 和 84B 說明實施例模式 14；

圖 85A 至 85G 說明實施例模式 15；

圖 86A 至 86C 說明實施例模式 17；

圖 87 說明實施例模式 18；

圖 88 說明實施例模式 18；

圖 89 說明實施例模式 18；

圖 90A 和 90B 說明實施例模式 19；

圖 91 說明實施例模式 20；

圖 92 說明實施例模式 1；

圖 93A 至 93H 說明實施例模式 22；

圖 94A 和 94B 說明實施例模式 23；

圖 95 說明實施例模式 23；

圖 96A 和 96B 說明實施例模式 23；

圖 97 說明實施例模式 23；

圖 98 說明實施例模式 23；

圖 99 說明實施例模式 23；

圖 100A 和 100B 說明實施例模式 14；

圖 101A 和 101B 說明實施例模式 14；

圖 102A 至 102C 說明實施例模式 17；

圖 103 說明實施例模式 21；

圖 104 說明實施例模式 16；和

圖 105A 至 105E 說明實施例模式 16。

【實施方式】

下面將參考附圖透過實施例模式來描述本發明。然

而，本發明可以透過各種不同方式來實施，且本領域技術人員容易理解，各種改變和修改是可能的。除非這些改變和修改背離本發明的精神和範圍，否則應理解成被本發明的精神和範圍所涵蓋。因此，本發明不應理解為限於對實施例模式的描述。

[實施例模式 1]

在本實施例模式中，參考圖示描述本發明的顯示裝置的移位暫存器的基本結構。圖 1 示出了一級（例如，第一級）正反器，該正反器為包含在移位暫存器中的多個正反器之一。圖 1 所示正反器包括第一電晶體 101、第二電晶體 102、第三電晶體 103 和第四電晶體 104。注意，該正反器連接到第一佈線 111、第二佈線 112、第三佈線 113、第四佈線 114、第五佈線 115 和第六佈線 116。在本實施例模式中，第一電晶體 101、第二電晶體 102、第三電晶體 103 和第四電晶體 104 均為 N 通道電晶體，且在閘極-源極電壓（Vgs）超過臨界值電壓（Vth）時導通。注意，第一佈線 111 和第二佈線 112 可以分別稱為第一電源線和第二電源線。此外，第三佈線 113 和第四佈線 114 可以分別稱為第一信號線和第二信號線。

第一電晶體 101 的第一端子（源極端子和汲極端子之一）連接到第一佈線 111；第一電晶體 101 的第二端子（源極電子和汲極端子的另一個）連接到第二電晶體 102 的閘極端子；且第一電晶體 101 的閘極端子連接到第五佈

線 115。第三電晶體 103 的第一端子連接到第二佈線 112；第三電晶體 103 的第二端子連接到第二電晶體 102 的閘極端子；且第三電晶體 103 的閘極端子連接到第四佈線 114。第二電晶體 102 的第一端子連接到第六佈線 116，且第二電晶體 102 的第二端子連接到第三佈線 113。第四電晶體 104 的第一端子連接到第六佈線 116；第四電晶體 104 的第二端子連接到第二佈線 112；且第四電晶體 104 的閘極端子連接到第四佈線 114。注意，第一電晶體 101 的第二端子、第二電晶體 102 的閘極端子和第三電晶體 103 的第一端子的連接點使用節點 121 表示。

注意，第三電晶體 103 的第二端子和第四電晶體 104 的第二端子不一定連接到第二佈線 112，而可以連接到不同佈線。此外，第三電晶體 103 的閘極端子和第四電晶體 104 的閘極端子不一定連接到第四佈線 114，而可以連接到不同佈線。

接下來，將參考圖 2 所示時脈圖以及圖 3A 至 3E 來描述圖 1 所示的正反器的操作。注意，描述圖 2 中的設定周期、選擇周期和非選擇周期。另外注意，該非選擇周期劃分為第一非選擇周期、第二非選擇周期和第三非選擇周期，且該第一非選擇周期、第二非選擇周期和第三非選擇周期順序重復。

注意，電位 V1 施加到第一佈線 111，電位 V2 施加到第二佈線 112。另外注意，滿足 V1>V2。

另外注意，電位 V1 不一定施加到第一佈線 111。另

外的電位可以施加到第一佈線 111，或者數位信號或類比信號可以輸入到第一佈線 111。此外，電位 V2 不一定施加到第二佈線 112。另外的電位可以施加到第二佈線 112，或者數位信號或類比信號可以輸入到第二佈線 112。

注意，信號輸入到第三佈線 113、第四佈線 114 和第五佈線 115 的每一個。輸入到第三佈線 113 的信號為第一時鐘信號；輸入到第四佈線 114 的信號為第二時鐘信號；輸入到第五佈線 115 的信號為開始信號。此外，輸入到第三佈線 113、第四佈線 114 和第五佈線 115 的每一個的信號為數位信號，其中高位準（H-level）信號的電位處於 V1（下文中也稱為高電位）且低位準（L-level）信號的電位處於 V2（下文中也稱為低電位）。

另外注意，第一時鐘信號不一定輸入到第三佈線 113。另外的信號可以輸入到第三佈線 113，或者固定電位或電流可以輸入到第三佈線 113。此外，第二時鐘信號不一定輸入到第四佈線 114。另外的信號可以輸入到第四佈線 114，或者固定電位或電流可以輸入到第四佈線 114。另外，開始信號不一定輸入到第五佈線 115。另外的信號可以輸入到第五佈線 115，或者固定電位或電流可以輸入到第五佈線 115。

另外，輸入到第三佈線 113、第四佈線 114 和第五佈線 115 的每一個的信號的高位準信號的電位不限於 V1，且其低位準信號的電位不限於 V2。這些電位沒有具體限

制，只要該高位準信號的電位高於該低位準信號的電位即可。

注意，信號從第六佈線 116 輸出。從第六佈線 116 輸出的信號為該正反器的輸出信號，且也是下一級正反器的開始信號。此外，從第六佈線 116 輸出的信號輸入到下一級正反器的第五佈線 115。另外，從第六佈線 116 輸出的信號為數位信號，其中高位準信號的電位處於 V1（下文中也稱為高電位）且低位準信號的電位處於 V2（下文中也稱為低電位）。

在圖 2 中，信號 213 為輸入到第三佈線 113 的信號；信號 214 為輸入到第四佈線 114 的信號；信號 215 為輸入到第五佈線 115 的信號；且信號 216 為從第六佈線 116 輸出的信號。此外，電位 221 為圖 1 中節點 121 的電位。

首先，在圖 2 和圖 3A 周期 A 所示的設定周期中，信號 213 處於低電位，信號 214 進入低電位，且信號 215 處於高電位。因此，第三電晶體 103 和第四電晶體 104 截止，且第一電晶體 101 導通。此時，第一電晶體 101 的第二端子對應於源極端子，且節點 121 的電位（電位 221）變為 V1-Vth101，因為該電位變為透過將第五佈線 115 的電位減去第一電晶體 101 臨界值電壓（Vth101）而得到的值。因此，第二電晶體 102 導通，且第六佈線 116 的電位變為 V2，因為該電位變為等於第三佈線 113 的電位。按照這種方式，在設定周期內，從第六佈線 116 輸出低電位且保持該正反器內第二電晶體 102 導通。

在圖 2 和圖 3B 周期 B 所示的選擇周期中，信號 213 變為高電位，信號 214 保持在低電位，且信號 215 變為低電位。因此，第三電晶體 103 和第四電晶體 104 保持截止且第一電晶體 101 截止。此時，第二電晶體 102 的第二端子對應於源極端子且第六佈線 116 的電位開始上升。由於節點 121 處於浮置狀態，透過第二電晶體 102 的閘極端子和第二端子之間寄生電容的電容性耦合，節點 121 的電位（電位 221）隨第六佈線 116 的電位同時上升（也稱為自舉操作）。因此，第二電晶體 102 的閘極-源極電壓 Vgs 變為 Vth102+α（Vth102 對應於第二電晶體 102 的臨界值電壓且 α 對應於特定正數），且第六佈線 116 的電位變為高電位（V1）。按照這種方式，在選擇周期中，透過將該正反器中節點 121 的電位設置為 V1+Vth102+α，則可以從第六佈線 116 輸出高電位。

在圖 2 和圖 3C 周期 C 所示的第一非選擇周期中，信號 213 進入低電位，信號 214 進入高電位，且信號 215 保持在低電位。因此，第三電晶體 103 和第四電晶體 104 導通且第一電晶體 101 保持截止。節點 121 和第六佈線 116 進入低電位，因為第二佈線 112 的電位分別透過第三電晶體 103 和第四電晶體 104 而施加到節點 121 和第六佈線 116。

在圖 2 和圖 3D 周期 D 所示的第二非選擇周期中，信號 213 保持在低電位，信號 214 進入低電位，且信號 215 保持在低電位。因此，第三電晶體 103 和第四電晶體 104

截止且第一電晶體 101 保持截止。因此，節點 121 和第六佈線 116 保持在低電位。

在圖 2 和圖 3E 周期 E 所示的第三非選擇周期中，信號 213 進入高電位，且信號 214 和信號 215 保持在低電位。因此，第一電晶體 101、第三電晶體 103 和第四電晶體 104 保持截止。因此，節點 121 和第六佈線 116 保持在低電位。

如前所述，由於第三電晶體 103 和第四電晶體 104 僅在圖 1 中的正反器的第一非選擇周期內導通，第三電晶體 103 和第四電晶體 104 的特性惡化（臨界值電壓漂移）可以得到抑制。注意，在圖 1 的正反器中，由於第一電晶體 101 僅在設定周期內導通且第二電晶體 102 僅在設定周期和選擇周期內導通，第一電晶體 101 和第二電晶體 102 的特性惡化也可以得到抑制。

此外，在圖 1 的正反器中，在該非選擇周期的第一非選擇周期中，V2 施加到節點 121 和第六佈線 116 的每一個。因此可以抑制該正反器的失靈。這是因為 V2 在該非選擇周期內（在第一非選擇周期內）按規則的時間間隔施加到節點 121 和第六佈線 116 的每一個，因此節點 121 和第六佈線 116 的電位可以穩定在 V2。

注意，在圖 1 的正反器中，第一電晶體 101、第二電晶體 102、第三電晶體 103 和第四電晶體 104 都是 N 通道電晶體。因此在圖 1 的正反器中，由於非晶矽可以用於各個電晶體的半導體層，製造方法可以簡化，且因此製造成

本可以降低且生產率可以提高。此外，還可以製造例如大尺寸顯示面板的半導體裝置。另外，即使當多晶矽或者單晶矽用於各個電晶體的半導體層時，該製造方法仍可以簡化。

此外，由於即使當其中特性容易惡化（臨界值電壓容易漂移）的非晶矽用於圖 1 中正反器內的各個電晶體的半導體層時，各個電晶體的特性惡化可以得到抑制，因此可以製造例如長壽命顯示面板的半導體裝置。

這裏描述第一電晶體 101、第二電晶體 102、第三電晶體 103 和第四電晶體 104 的功能。第一電晶體 101 具有選擇用於施加第一佈線 111 的電位的時脈的功能，並作為輸入電晶體。第二電晶體 102 具有選擇用於施加第三佈線 113 的電位到第六佈線 116 的時脈和透過自舉操作提升節點 121 電位的功能，並作為自舉電晶體。第三電晶體 103 具有選擇用於施加第二佈線 112 的電位到節點 121 的時脈的功能，並作為開關電晶體。第四電晶體 104 具有施加第二佈線 112 的電位到第六佈線 116 的功能，並作為開關電晶體。

注意，電晶體的佈置、數目等不限於圖 1 的情形，只要與圖 1 類似的操作得以執行即可。從示出了圖 1 中正反器操作的圖 3A 至 3E 顯而易見的是，在本實施例模式中，僅需要在設定周期、選擇周期、第一非選擇周期、第二非選擇周期和第三非選擇周期中具有電連續性，如圖 3A 至 3E 的每一個中的實線所示。因此，可以附加地提供

電晶體、其他元件（例如，電阻器或電容器）、二極體、開關、任何邏輯電路等，只要採用這樣的結構即可，即，其中電晶體等被提供以滿足上述條件且該結構可以操作。

例如，如圖 4 所示，電容器 401 可以在圖 1 所示第二電晶體 102 的閘極端子和第二端子之間。透過提供電容器 401，可以更加穩定地執行選擇周期內的自舉操作。此外，由於第二電晶體 102 的閘極端子和第二端子之間的寄生電容可以減小，因此各個電晶體可以高速地開關。注意，在電容器 401 中，閘極絕緣膜可以用作絕緣層，且閘極電極層和佈線層可以用作導電層；閘極絕緣膜可以用作絕緣層，且閘極電極層和添加有雜質的半導體層可以用作導電層；或者層間膜（絕緣膜）可以用作絕緣層，且佈線層和透明電極層可以用作導電層。注意，與圖 1 相同的部分使用相同的標號表示，並省略了對其的描述。

也可以在圖 5 中的正反器執行與圖 1 相似的操作。如圖 5 所示，圖 1 所示的第一電晶體 101 可以連接成二極體。第一電晶體 101 連接成二極體，從而第一佈線 111 是不需要的。因此，可以從該結構排除一條佈線和一個電源電位（V1）。注意，與圖 1 相同的部分使用相同的標號表示，並省略了對其的描述。

接下來，參考圖 6 描述包括本實施例模式的正反器的移位暫存器。

該移位暫存器包括第一佈線 611、第二佈線 612、第三佈線 613、第四佈線 614、第五佈線 615、第六佈線

616、佈線 622_1 至 622_n、以及 n 級正反器 601_1 至 601_n。第 1+3N 級（N 對應於 0 或正數）的正反器 601 連接到第一佈線 611、第二佈線 612、第三佈線 613 和第四佈線 614。第 2+3N 級正反器 601 連接到第一佈線 611、第二佈線 612、第四佈線 614 和第五佈線 615。第 3+3N 級正反器 601 連接到第一佈線 611、第二佈線 612、第五佈線 615 和第三佈線 613。此外，作為第 i 級正反器 601_i（正反器 601_1 至 601_n 中的任何一個）的正反器 601_2 至正反器 601_n-1 連接到第 i-1 級正反器 601_i-1 和第 i+1 級正反器 601_i+1，且第 i 級正反器 601_i 和第 i+1 級正反器 601_i+1 的連接點連接到佈線 622_i（佈線 622_1 至 622_n 的任何一個）。注意，第一級正反器 601_1 連接到第六佈線 616 和第二級正反器 601_2，且第一級正反器 601_1 和第二級正反器 601_2 連接到佈線 622_1。另外注意，第 n 級正反器 601_n 連接到第 n-1 級正反器 601_n-1 以及佈線 622_n。

注意，在第 1+3N 級正反器 601 中，第一佈線 611、第二佈線 612、第三佈線 613 和第四佈線 614 分別連接到圖 1 的第一佈線 111、第二佈線 112、第三佈線 113 和第四佈線 114。在第 2+3N 級正反器 601 中，第一佈線 611、第二佈線 612、第四佈線 614 和第五佈線 615 分別連接到圖 1 的第一佈線 111、第二佈線 112、第三佈線 113 和第四佈線 114。在第 3+3N 級正反器 601 中，第一佈線 611、第二佈線 612、第五佈線 615 和第三佈線 613

分別連接到圖 1 的第一佈線 111、第二佈線 112、第三佈線 113 和第四佈線 114。此外，例如，在第 i 級正反器 601_i 中，正反器 601_2 至正反器 601_n-1 的每一個的圖 1 所示第五佈線 115 和第六佈線 116 分別連接到第 i-1 級正反器 601_i-1 的圖 1 所示的第六佈線 116 和第 i+1 級正反器 601_i+1 的圖 1 所示的第五佈線 115。另外注意，第一級正反器 601_1 的圖 1 所示的第五佈線 115 和第六佈線 116 分別連接到圖 6 所示的第六佈線 616 和第二級正反器 601_2 的圖 1 所示的第五佈線 115。另外注意，第 n 級正反器 601_n 的圖 1 所示的第五佈線 115 和第六佈線 116 分別連接到第 n-1 級正反器 601_n-1 的圖 1 所示的第六佈線 116 和圖 6 所示的佈線 622_n。

接下來，圖 92 示出了圖 6 所示的移位暫存器的俯視平面圖的一個模式。注意，圖 92 所示的移位暫存器為使用圖 1 中的正反器的情形下的移位暫存器，且第 n 級正反器 601_n 和第 n+1 級正反器 601_n+1 示於圖 92。圖 92 中的移位暫存器包含的各個正反器包括第一電晶體 101、第二電晶體 102、第三電晶體 103 和第四電晶體 104。此外，圖 92 中的移位暫存器包含的正反器連接到第一佈線 611、第二佈線 612、第四佈線 614 和第五佈線 615。注意，第一電晶體 101、第二電晶體 102、第三電晶體 103 和第四電晶體 104 的每一個為反交錯電晶體，且描述成通道蝕刻型電晶體。另外注意，第一電晶體 101、第二電晶體 102、第三電晶體 103 和第四電晶體 104 的每一個可以

是通道保護型。替代的，第一電晶體 101、第二電晶體 102、第三電晶體 103 和第四電晶體 104 的每一個可以是頂閘電晶體。

此外，圖 92 所示移位暫存器的佈局圖包括第一導電膜 9201、半導體層 9202、接點 9203 和第二導電膜 9204。注意，第一導電膜 9201 作為閘極電極。半導體層 9202 為不包含雜質的本徵非晶半導體膜。接點 9203 電連接該第一導電膜 9201 和第二導電膜 9204。

在圖 92 的移位暫存器中，第一佈線 611 的佈線寬度可以製成小於第三佈線 613 的佈線寬度、第四佈線 614 的佈線寬度和第五佈線 615 的佈線寬度。這是因為，流經第一佈線 611 的電流量小於流經第三佈線 613、第四佈線 614 和第五佈線 615 的電流量，從而該移位暫存器的操作幾乎不受到負面影響，即使當第一佈線 611 的佈線寬度更小時。類似地，在圖 92 的移位暫存器中，第二佈線 612 的佈線寬度可以製成小於第三佈線 613 的佈線寬度、第四佈線 614 的佈線寬度和第五佈線 615 的佈線寬度。注意，由於流經第二佈線 612 的電流量小於流經第一佈線 611 的電流量，較佳的、該第二佈線 612 的佈線寬度大於該第一佈線 611 的佈線寬度。因此在圖 92 的移位暫存器中，將一級的正反器的節距製成小的。此外，在圖 92 的移位暫存器中，可以有效地提供各個電晶體。另外，在圖 92 的移位暫存器中，各個電晶體的通道寬度可以製成大的。

此外，在圖 92 的移位暫存器中，透過將第二電晶體

102 的通道寬度製成大的，可以容易地執行自舉操作。這是因為，當第二電晶體 102 的通道寬度大時，第二電晶體 102 的閘極端子和第二端子之間的寄生電容變大。另外，在圖 92 的移位暫存器中，透過將第二電晶體 102 的通道寬度製成大的，可以獲得高驅動能力。這是因為，當第二電晶體 102 的通道寬度大時，第二電晶體 102 的電流供給能力變高。注意，如上所述，在圖 92 的移位暫存器中，透過將第一佈線 611 和第二佈線 612 的佈線寬度製成小的，可以增大各個電晶體可被提供的面積。這種情況下，在圖 92 的移位暫存器中，透過擇優地將第二電晶體 102 的通道寬度製成大的，可以獲得更高的驅動能力。因此，較佳的、第二電晶體 102 的通道寬度製成大於第一電晶體 101 的通道寬度、第三電晶體 103 的通道寬度和第四電晶體 104 的通道寬度。

另外，在圖 92 的移位暫存器中，透過將第二電晶體 102 的通道形成為 U 形，可以將第二電晶體 102 的通道寬度製成大的。

圖 92 所示佈局圖的特性也可以應用於其他移位暫存器。

接下來，參考圖 7 所示時脈圖描述圖 6 所示移位暫存器的操作。

注意，電位 V1 施加到第一佈線 611 和電位 V2 施加到第二佈線 612。另外注意，滿足 V1>V2。

另外注意，電位 V1 不一定施加到第一佈線 611。另

外的電位可以施加到第一佈線 611，或者數位信號或類比信號可以輸入到第一佈線 611。此外，電位 V2 不一定施加到第二佈線 612。另外的電位可以施加到第二佈線 612，或者數位信號或類比信號可以輸入到第二佈線 612。

注意，信號輸入到第三佈線 613、第四佈線 614、第五佈線 615 和第六佈線 616 的每一個。輸入到第三佈線 613、第四佈線 614 和第五佈線 615 的信號為具有三個相位的時鐘信號，這些相位偏移 120 度。輸入到第六佈線 616 的信號為開始信號。此外，輸入到第三佈線 613、第四佈線 614、第五佈線 615 和第六佈線 616 信號的每一個的信號為數位信號，其中高位準信號的電位處於 V1 且低位準信號的電位處於 V2。

另外注意，具有被偏移了 120 度的三個相位的這些時鐘信號不一定輸入到第三佈線 613、第四佈線 614 和第五佈線 615。另外的信號可以輸入到第三佈線 613、第四佈線 614 和第五佈線 615 的每一個，或者固定電位或電流可以輸入到第三佈線 613、第四佈線 614 和第五佈線 615 的每一個。此外，開始信號不一定輸入到第六佈線 616。另外的信號可以輸入到第六佈線 616，或者固定電位或電流可以輸入到第六佈線 616。

另外，輸入到第三佈線 613、第四佈線 614、第五佈線 615 和第六佈線 616 的每一個的信號的高位準信號的電位不限於 V1，且其低位準信號的電位不限於 V2。這些電

位沒有具體限制，只要該高位準信號的電位高於該低位準信號的電位即可。

注意，信號從佈線 622 輸出。例如，從佈線 622_i（i 對應於給定正數）輸出的信號為第 i 級正反器 601_i 的輸出信號，且也是第 i+1 級正反器 601_i+1 的輸入信號。

在圖 7 中，信號 716 為輸入到第六佈線 616 的信號。此外，信號 722_1、信號 722_i、信號 722_i+1 和信號 722_n 分別為從第一級的佈線 622、第 i 級的佈線 622、第 i+1 級的佈線 622 以及第 n 級的佈線 622 輸出的信號（佈線 622 的電位）。

如圖 7 所示，例如，當第 i 級正反器 601_i 進入選擇周期時，高位準信號（722_i）輸出到第 i 列的佈線 622_i。此時，第 i+1 級正反器 601_i+1 進入設定周期且低位準信號輸出到佈線 622_i+1。此後，第 i 級正反器 601_i 進入第一非選擇周期且低位準信號輸出到第 i 列的佈線 622_i。此時，第 i+1 級正反器 601_i+1 進入選擇周期且高位準信號輸出到佈線 622_i+1。此後，第 i 級正反器 601_i 進入第二非選擇周期，且佈線 622_i 進入浮置狀態同時保持在低電位。此時，第 i+1 級正反器 601_i+1 進入第一非選擇周期且低位準信號輸出到佈線 622_i+1。此後，第 i 級正反器 601_i 進入第三非選擇周期，且佈線 622_i 保持在浮置狀態同時保持在低電位。此時，第 i+1 級正反器 601_i+1 進入第二非選擇周期，且佈線 622_i+1 進入浮置狀態同時保持在低電位。此後，在第 i 級正反器 601_i

中，該第一非選擇周期、第二非選擇周期和第三非選擇周期順序重復，直至下一個設定周期。類似地，在第 i+1 級正反器 601_i+1 中，該第三非選擇周期、第一非選擇周期和第二非選擇周期順序重復，直至下一個設定周期（第 i 級正反器 601_i 的選擇周期）。

如上所述，由於三個相位的時鐘信號可以用於圖 6 的移位暫存器，可以減少上升沿或下降沿的數目且可以節省功率。此外，由於連接到各個時鐘信號線（第三佈線 613、第四佈線 614 和第五佈線 615 的每一個）的正反器 601 的級數減少為在本實施例模式的各個移位暫存器中使用單一相位的時鐘信號的情形的三分之二，因此各個時鐘信號線的負載可以減小。

注意，在圖 6 的移位暫存器中，各級正反器 601 的輸出信號可透過緩衝器輸出到各級的佈線 622。圖 8 示出了這種結構。由於在圖 8 的移位暫存器中各級正反器 601 透過緩衝器 801 連接到各級的佈線 622，在操作時可以獲得寬的餘量。這是因為即使當大的負載連接到佈線 622 且在佈線 622 的信號中發生延遲或波形鈍化時，該移位暫存器的操作不受負面影響。注意，例如反相器、NAND 或 NOR 的邏輯電路；運算放大器等；或者上述的組合的電路可以用作緩衝器 801。

接下來，參考圖 9 描述包括本實施例模式的移位暫存器的顯示裝置。

該顯示裝置包括信號線驅動器電路 901、掃描線驅動

器電路 902 和像素部 903。像素部 903 包括從信號線驅動器電路 901 沿行方向延伸的多條信號線 S1 至 Sm、從掃描線驅動器電路 902 沿列方向延伸的多條掃描線 G1 至 Gn、以及依據信號線 S1 至 Sm 和掃描線 G1 至 Gn 排列成矩陣的多個像素 904。此外，各個像素 904 連接到信號線 Sj（信號線 S1 至 Sm 的任意一條）和掃描線 Gi（掃描線 G1 至 Gn 的任意一條）。

注意，掃描線 G1 至 Gn 對應於圖 6 和 8 中的佈線 622_1 至 622_n。

注意，佈線或電極形成為具有選自鋁（Al）、鉭（Ta）、鈦（Ti）、鉬（Mo）、鎢（W）、釹（Nd）、鉻（Cr）、鎳（Ni）、鉑（Pt）、金（Au）、銀（Ag）、銅（Cu）、鎂（Mg）、鈧（Sc）、鈷（Co）、鋅（Zn）、鈮（Nb）、矽（Si）、磷（P）、硼（B）、砷（As）、鎵（Ga）、銦（In）、錫（Sn）和氧（O）的組的一種元素或多種元素；或者包括選自上述組的一種或多種元素為成分的化合物或合金材料（例如，氧化銦錫（ITO）、氧化銦鋅（IZO）、添加有氧化矽的氧化銦錫（ITSO）、氧化鋅（ZnO）、鋁-釹（Al-Nd）、或者鎂-銀（Mg-Ag））；組合了這些化合物的物質等。替代的，該佈線或電極形成為具有矽和上述材料的任何一種的化合物（矽化物）（例如，矽化鋁、矽化鉬或矽化鎳）或者氮和上述材料的任何一種的組合物（例如，氮化鈦、氮化鉭或氮化鉬）。另外注意，矽（Si）中可包含大量 n 型雜質

（例如，磷）或 p 型雜質（例如，硼）。透過包含這些雜質，改善了導電性且呈現類似於正常導體的行為，從而該佈線或電極可以容易地用作佈線或電極。矽可以是單晶矽、多晶矽、或者非晶矽。當使用單晶矽或多晶矽時，電阻可以減小。當使用非晶矽時，可以使用簡單的製造方法來製造該佈線或電極。由於鋁和銀具有高電導率，信號延遲可以降低。此外，鋁和銀容易蝕刻和圖案化，從而可以執行微型加工。由於銅具有高電導率，信號延遲可以降低。鉬是較佳的，因為即使當鉬接觸例如 ITO 或 IZO 的氧化物半導體或矽時，可以製造鉬而不導致例如材料缺陷的問題，圖案化和蝕刻容易地執行，且熱阻高。鈦是較佳的，因為即使當鈦接觸例如 ITO 或 IZO 的氧化物半導體或矽時，可以製造鈦而不導致例如材料缺陷的問題，且熱阻高。鎢是較佳的，因為熱阻高。釹是較佳的，因為熱阻高。尤其是，較佳的使用釹和鋁的合金，因為熱阻得到改善且在鋁中不容易產生小丘。矽是較佳的，因為矽可以與電晶體中包含的半導體層同時形成，且熱阻高。氧化銦錫（ITO）、氧化銦鋅（IZO）、添加有氧化矽的氧化銦錫（ITSO）、氧化鋅（ZnO）和矽（Si）是較佳的，因為這些材料具有透光性能，且可以用於透光的部分。例如，這些材料可以用於像素電極或公共電極。

注意，佈線或電極可以由任一上述材料形成為單層結構或多層結構。透過形成單層結構的佈線或電極，製造方法可以簡化，處理時間可以縮短且成本可以降低。替代

的，透過形成多層結構的佈線或電極，可以利用各種材料的優點，且透過使用其他材料來減輕這些材料之一的缺點，從而可以形成具有高性能的佈線或電極。例如，透過在多層結構中包含具有低電阻的材料（例如，鋁），可以降低該佈線的電阻。此外，透過包含具有高熱阻的材料，例如透過採用其中具有低熱阻和具有不同優點的材料被具有高熱阻的材料層夾的疊層結構，佈線或電極中的熱阻整體上可以提高。例如，其中包含鋁的層被包含鉬或鈦的層夾置的疊層結構是較佳的。此外，當存在直接接觸由另一種材料形成的佈線、電極等的部分時，該部分以及由另一種材料形成的該佈線、電極等會對彼此產生負面影響。例如，在某些情形中，一種材料進入另一種材料並改變其性能，使得原始目的無法達成或者在製造中出現問題，從而正常的製造無法執行。這種情況下，透過使用不同的層來層夾或覆蓋特定的層，該問題可得以解決。例如，當氧化銦錫（ITO）將接觸鋁時，較佳的、在其間插置鈦或鉬。此外，當矽將接觸鋁時，較佳的、在其間插置鈦或鉬。

注意，上述的佈線或電極也可以應用於其他顯示裝置或移位暫存器。

另外注意，信號線驅動器電路 901 將依據視頻信號的電位或電流輸入到信號線 S1 至 Sm 的每一個。此外，信號線驅動器電路 901 不一定形成於與像素部 903 相同的基板上。信號線驅動器電路 901 可以形成於例如 IC 的單晶基板上。替代的，信號線驅動器電路 901 的一部分可以形

成於與像素部 903 相同的基板上，且信號線驅動器電路 901 的其餘部分可以形成於例如 IC 的單晶基板上。

注意，掃描線驅動器電路 902 輸入信號至掃描線 G1 至 Gn 的每一個，並從第一列開始順序選擇（下文中也稱為掃描）掃描線 G1 至 Gn。連接到選定掃描線的多個像素 904 被同時選擇。另外注意，一個掃描線被選擇的周期稱為一個閘極選擇周期，一個掃描線不被選擇的周期稱為非選擇周期。此外，圖 6 或圖 8 所示的移位暫存器可以作為掃描線驅動器電路 902。另外，掃描線驅動器電路 902 形成於與像素部 903 相同的基板上。

另外注意，當像素 904 被選擇時，依據視頻信號的電位或電流從信號線驅動器電路 901 透過該信號線而輸入到像素 904。然而，當像素 904 不被選擇時，依據視頻信號的電位或電流不輸入到像素 904。

接著，參考圖 10 的時脈圖描述圖 9 所示的顯示裝置的操作。注意，圖 10 示出了一個框周期，該一個框周期對應於用於顯示一個螢幕的影像的周期。注意，儘管一個框周期沒有具體限制，但是較佳的、一個框周期為 1/60 秒或以下，從而正在觀看影像的人不會感覺到閃爍。

注意，圖 10 中的時脈圖示出了第一列的掃描線 G1、第 i 列的掃描線 Gi、第 i+1 列的掃描線 Gi+1 以及第 n 列的掃描線 Gn 的每一個的選擇時脈。

在圖 10 中，例如，第 i 列的掃描線 Gi 被選擇且連接到該掃描線 Gi 的多個像素 904 被選擇。隨後，視頻信號

寫入到連接到掃描線 Gi 的多個像素 904 的每一個，且各個顯示元件的亮度或透射率變為與該視頻信號一致的值。此後，第 i 列的掃描線 Gi 不被選擇，第 i+1 列的掃描線 Gi+1 被選擇且連接到掃描線 Gi+1 的多個像素 904 被選擇。隨後，視頻信號寫入到連接到掃描線 Gi+1 的多個像素 904 的每一個，且各個顯示元件的亮度或透射率變為與該視頻信號一致的值。注意，由於各個像素 904 在不被選擇時保持所寫入的視頻信號，各個顯示元件保持與該視頻信號一致的亮度或透射率。

如前所述，掃描線 G1 至 Gn 的每一個在一個框周期中的一個閘極選擇周期內被選擇，掃描線 G1 至 Gn 的每一個在除了該一個閘極選擇周期之外的周期內進入非選擇周期且不被選擇。由於一個閘極選擇周期的長度在長度上近似等於該一個框周期的長度除以 n，幾乎所有的該一個框周期為非選擇周期。也就是說，對於採用圖 6 或圖 8 所示移位暫存器作為掃描線驅動器電路 902 的情形，該第一非選擇周期、第二非選擇周期和第三非選擇周期在圖 6 和圖 8 所示正反器 601_1 至 601_i 的每一個內的幾乎所有一個框周期內順序重復。因此，由於掃描線驅動器電路 902 可以抑制包含在圖 6 或圖 8 所示正反器 601_1 至 601_i 的每一個內的電晶體的惡化，掃描線驅動器電路 902 的壽命可以延長。此外，圖 9 中的長壽命掃描線驅動器電路 902 和像素部 903 形成於相同基板上的顯示裝置的壽命可以延長。

注意，各個驅動器電路的數目、佈置等不限於圖 9 所示，只要像素被選擇且視頻信號可以如圖 9 所示寫入到該像素即可。

例如，如圖 11 所示，可以使用第一掃描線驅動器電路 1101 和第二掃描線驅動器電路 1102 掃描該掃描線 G1 至 Gn。注意，第一掃描線驅動器電路 1101 和第二掃描線驅動器電路 1102 的每一個具有與圖 9 所示掃描線驅動器電路 902 類似的結構，並使用相同的時脈掃描該掃描線 G1 至 Gn。透過使用第一掃描線驅動器電路 1101 和第二掃描線驅動器電路 1102 掃描該掃描線 G1 至 Gn，輸出到掃描線 G1 至 Gn 的每一個的信號的延遲或鈍度可以減小且掃描線 G1 至 Gn 可以被高速掃描。也就是說，由於即使當平板尺寸增大且掃描線 G1 至 Gn 的佈線電阻或寄生電容增大時，輸出到掃描線 G1 至 Gn 的每一個的信號的延遲或鈍度減小，所以圖 11 的顯示裝置可以製成大的尺寸。此外，儘管由於使該面板高清晰導致的面板尺寸增加或像素數目增大而需要高速掃描該掃描線 G1 至 Gn，但是由於掃描線 G1 至 Gn 可以被高速掃描，因此圖 11 中的顯示裝置可以製成大的尺寸且可以實現高清晰。此外，即使當在第一掃描線驅動器電路 1101 和第二掃描線驅動器電路 1102 之一內出現缺陷時，其另一個的掃描線 G1 至 Gn 可以被掃描。因此，圖 11 的顯示裝置具有冗餘。注意，與圖 9 相同的部分使用相同的標號表示，並省略了對其的描述。另外注意，與圖 9 類似地，圖 10 的時脈圖可以用

於圖 11 的顯示裝置。

同樣在圖 12 所示的顯示裝置中，與圖 9 類似地，像素被選擇且視頻信號可以寫入到該像素。如圖 12 所示，可以使用第一掃描線驅動器電路 1201 和第二掃描線驅動器電路 1202 逐列掃描該掃描線 G1 至 Gn。注意，第一掃描線驅動器電路 1201 和第二掃描線驅動器電路 1202 的每一個具有類似於圖 9 所示掃描線驅動器電路 902 的結構，但是具有不同的驅動時脈。透過使用第一掃描線驅動器電路 1201 掃描奇數編號列的掃描線和使用第二掃描線驅動器電路 1202 掃描偶數編號列的掃描線，第一掃描線驅動器電路 1201 和第二掃描線驅動器電路 1202 的驅動頻率可以降低，且包含在第一掃描線驅動器電路 1201 和第二掃描線驅動器電路 1202 內用於一級的各個正反器的節距可以加寬。也就是說，由於第一掃描線驅動器電路 1201 和第二掃描線驅動器電路 1202 的驅動頻率可以降低，因此圖 12 的顯示裝置中可以節省功率。此外，由於在圖 12 的顯示裝置內，包含在第一掃描線驅動器電路 1201 和第二掃描線驅動器電路 1202 內用於一級的各個正反器的節距加寬，佈局可以有效地執行且框可以製成小的。此外，由於在圖 12 的顯示裝置中，第一掃描線驅動器電路 1201 和第二掃描線驅動器電路 1202 是從一端到另一端提供的，可以使左側的框等於右側的框。注意，與圖 9 相同的部分使用相同的標號表示，並省略了對其描述。另外注意，與圖 9 類似地，圖 10 的時脈圖可以用於圖 12 的顯示裝置。

同樣在圖 44 所示的顯示裝置中，與圖 9 類似地，像素被選擇且視頻信號可以寫入到該像素。如圖 44 所示，可以使用第一掃描線驅動器電路 4402 和第二掃描線驅動器電路 4403 逐列掃描該掃描線 G1 至 Gn。此外，像素 904 逐列連接到右側和左側信號線。例如，第 j 行的多個像素 904 連接到第 i 列內的信號線 Sj（信號線 S1 至信號線 Sm+1 中的任何一條）；第 j 行的多個像素 904 連接到第 i+1 列內的信號線 Sj+1；且第 j 行的多個像素 904 連接到第 i-1 列內的信號線 Sj-1。

接下來，參考圖 45 的時脈圖描述圖 44 所示的顯示裝置的操作。注意，圖 45 示出了一個框周期，該一個框周期對應於用於顯示一個螢幕的影像的周期。注意，儘管一個框周期沒有具體限制，但是較佳的、一個框周期為 1/60 秒或以下，從而正在觀看影像的人不會感覺到閃爍。

注意，圖 45 中的時脈圖示出了第一列的掃描線 G1、第 i-1 列的掃描線 Gi-1、第 i 列的掃描線 Gi、第 i+1 列的掃描線 Gi+1 以及第 n 列的掃描線 Gn 的每一個的選擇時脈。

注意，在圖 44 所示顯示裝置中，僅僅透過在一個框周期內將正視頻信號和負視頻信號輸入到各個行內的各個信號線，則可以執行點反轉驅動。此外，在圖 44 所示顯示裝置中，透過在每一個的一個框周期內將輸入到各個信號線的各個視頻信號的極性反轉，則可以執行框反轉驅動。另外注意，圖 45 中的時脈圖示出了在顯示裝置內執

行點反轉驅動和框反轉驅動的情形。

在圖 45 中，例如，第 i 列的掃描線 Gi 的選擇周期 Ta 交疊第 i-1 列的掃描線 Gi-1 的選擇周期，且第 i 列的掃描線 Gi 的選擇周期 Tb 交疊第 i+1 列的掃描線 Gi+1 的選擇周期。因此在選擇周期 Ta 內，與輸入到第 i-1 列和第 j+1 行的像素 904 的視頻信號相似的視頻信號輸入到第 i 列和第 j 行的像素 904。在選擇周期 Tb 內，與輸入到第 i 列和第 j 行的像素 904 的視頻信號相似的視頻信號輸入到第 i+1 列和第 j-1 行的像素 904。注意，在選擇周期 Tb 內輸入到每一個像素 904 的視頻信號為原始視頻信號，在選擇周期 Ta 內輸入到每一個像素 904 的視頻信號為各個像素 904 的預充電視頻信號。因此，各個像素 904 被在選擇周期 Ta 內輸入的視頻信號預充電，且保持在選擇周期 Tb 內輸入的視頻信號。

如上所述，由於視頻信號可以被高速寫入各個像素 904，圖 44 的顯示裝置可以容易製成大的尺寸且可以容易實現高清晰。此外，由於具有相同極性的視頻信號在一個框周期內輸入到各個信號線，各個信號線不存在大量的充電和放電且可以實現低功耗。此外，在圖 44 的顯示裝置中由於用於施加視頻信號的 IC 的負載可以大幅減小，因此可以降低發熱、功耗等。此外，第一掃描線驅動器電路 4402 和第二掃描線驅動器電路 4403 的驅動頻率可以減小近一半。

注意，其他佈線等可以添加到圖 9、11、12 和 44 中

的各個顯示裝置，視像素 904 的結構而定。例如可以添加恒定電源線、掃描線、電容器線等。另外注意，對於添加掃描線的情形，可以添加應用了圖 6 和 8 所示移位暫存器的掃描線驅動器電路。

注意，本實施例模式所示的移位暫存器和正反器的每一個可以與本說明書中其他實施例模式所示的顯示裝置的結構自由地組合。此外，本實施例模式所示的移位暫存器和正反器的每一個的結構可以自由地組合。

[實施例模式 2]

在本實施例模式中，具有不同於實施例模式 1 的結構的正反器示於圖 13。注意，與實施例模式 1 相似的部分使用相同的標號表示，並省略了相同部分和具有相似功能的部分的詳細描述。

圖 13 所示正反器包括第一電晶體 101、第二電晶體 102、第三電晶體 103、第四電晶體 104 和第五電晶體 1305。注意，該正反器連接到第一佈線 111、第二佈線 112、第三佈線 113、第四佈線 114、第五佈線 115、第六佈線 116 和第七佈線 1317。在本實施例模式中，第五電晶體 1305 為 N 通道電晶體，且在閘極-源極電壓（Vgs）超過臨界值電壓（Vth）時導通。注意，第七佈線 1317 可以稱為第三信號線。

第一電晶體 101 的第一端子（源極端子和汲極端子之一）連接到第一佈線 111；第一電晶體 101 的第二端子

（源極電子和汲極端子的另一個）連接到第二電晶體 102 的閘極端子；且第一電晶體 101 的閘極端子連接到第五佈線 115。第三電晶體 103 的第一端子連接到第二電晶體 102 的閘極端子；第三電晶體 103 的第二端子連接到第二佈線 112；且第三電晶體 103 的閘極端子連接到第四佈線 114。第二電晶體 102 的第一端子連接到第三佈線 113，且第二電晶體 102 的第二端子連接到第六佈線 116。第四電晶體 104 的第一端子連接到第六佈線 116；第四電晶體 104 的第二端子連接到第二佈線 112；且第四電晶體 104 的閘極端子連接到第四佈線 114。第五電晶體 1305 的第一端子連接到第六佈線 116；第五電晶體 1305 的第二端子連接到第二佈線 112；且第五電晶體 1305 的閘極端子連接到第七佈線 1317。

注意，第三電晶體 103 的第二端子、第四電晶體 104 的第二端子和第五電晶體 1305 的第二端子不一定連接到第二佈線 112，而可以連接到不同佈線。此外，第三電晶體 103 的閘極端子和第四電晶體 104 的閘極端子不一定連接到第四佈線 114，而可以連接到不同佈線。

接下來，將參考圖 14 所示時脈圖來描述圖 13 所示的正反器的操作。注意，圖 14 為圖 13 的正反器在與圖 1 所示正反器類似地操作的情形下的時脈圖。注意，與圖 2 相同的部分使用相同標號表示，並省略對其的描述。

注意，信號輸入到第七佈線 1317。輸入到第七佈線 1317 的信號為第三時鐘信號。此外，輸入到第七佈線

1317 的信號為數位信號，其中高位準（H-level）信號的電位處於 V1（下文中也稱為高電位）且低位準（L-level）信號的電位處於 V2（下文中也稱為低電位）。

另外注意，第三時鐘信號不一定輸入到第七佈線 1317。另外的信號可以輸入到第七佈線 1317，或者固定電位或電流可以輸入到第七佈線 1317。

在圖 14 中，信號 1417 為輸入到第七佈線 1317 的信號。

在圖 13 的正反器中，第五電晶體 1305 在設定周期和第二非選擇周期內導通。此外，因為第二佈線 112 的電位透過第五電晶體 1305 施加到第六佈線 116，第六佈線 116 保持在低電位。

此外，在圖 13 的正反器中，在該第一非選擇周期、第二非選擇周期和第三非選擇周期中的第一非選擇周期及第二非選擇周期內，V2 施加到第六佈線 116。因此可以進一步抑制該正反器的失靈。這是因為 V2 在該非選擇周期內（在第一非選擇周期和第二非選擇周期內）按規則的時間間隔施加到第六佈線 116，因此第六佈線 116 的電位可以穩定在 V2。

此外，由於圖 13 的正反器的第五電晶體 1305 僅在該設定周期和第二非選擇周期內導通，第五電晶體 1305 的特性惡化可以得到抑制。

注意，在圖 13 的正反器中，第一電晶體 101、第二電晶體 102、第三電晶體 103、第四電晶體 104 和第五電

晶體 1305 都是 N 通道電晶體。因此在圖 13 的正反器中，由於非晶矽可以用於各個電晶體的半導體層，製造方法可以簡化，且因此製造成本可以降低且生產率可以提高。此外，還可以製造例如大尺寸顯示面板的半導體裝置。另外，即使當多晶矽或者單晶矽用於各個電晶體的半導體層時，該製造方法仍可以簡化。

此外，由於即使當其中特性容易惡化（臨界值電壓容易漂移）的非晶矽用於圖 13 中正反器內的各個電晶體的半導體層時，各個電晶體的特性惡化可以得到抑制，因此可以製造例如長壽命顯示面板的半導體裝置。

這裏描述第五電晶體 1305 的功能。第五電晶體 1305 具有選擇用於將第二佈線 112 電位施加至第六佈線 116 的時脈的功能，並作為開關電晶體。

注意，電晶體的佈置、數目等不限於圖 13 的情形，只要與圖 13 類似的操作得以執行即可。因此，可以附加地提供電晶體、其他元件（例如，電阻器或電容器）、二極體、開關、任何邏輯電路等。

例如，如圖 15 所示，電容器 1501 可以在圖 13 所示第二電晶體 102 的閘極端子和第二端子之間。透過提供電容器 1501，可以更加穩定地執行選擇周期內的自舉操作。此外，由於第二電晶體 102 的閘極端子和第二端子之間的寄生電容可以減小，因此各個電晶體可以高速地開關。注意，在電容器 1501 中，閘極絕緣膜可以用作絕緣層，且閘極電極層和佈線層可以用作導電層；閘極絕緣膜

可以用作絕緣層，且閘極電極層和添加有雜質的半導體層可以用作導電層；或者層間膜（絕緣膜）可以用作絕緣層，且佈線層和透明電極層可以用作導電層。注意，與圖 13 相同的部分使用相同的標號表示，並省略了對其的描述。

也可以對圖 16 中的正反器執行與圖 13 相似的操作。如圖 16 所示，圖 13 所示的第一電晶體 101 可以連接成二極體。第一電晶體 101 連接成二極體，從而第一佈線 111 是不需要的。因此，可以從該結構排除一條佈線和一個電源電位（V1）。注意，與圖 13 相同的部分使用相同的標號表示，並省略了對其的描述。

隨後，參考圖 17 描述包括本實施例模式的正反器的移位暫存器。注意，與其中描述了包括圖 1 所示移位暫存器的圖 6 相同的部分使用相同的標號表示，並省略了對其的描述。

該移位暫存器包括第一佈線 611、第二佈線 612、第三佈線 613、第四佈線 614、第五佈線 615、第六佈線 616、佈線 622_1 至 622_n、以及 n 級正反器 1701_1 至 1701_n。n 級正反器 1701_1 至 1701_n 分別連接到第一佈線 611、第二佈線 612、第三佈線 613、第四佈線 614 和第五佈線 615。此外，第 i 級正反器 1701_i（正反器 1701_1 至 1701_n 中的任何一個）內的正反器 1701_2 至正反器 1701_n-1 連接到第 i-1 級正反器 1701_i-1 和第 i+1 級正反器 1701_i+1，且第 i 級正反器 1701_i 和第 i+1 級正

反器 1701_i+1 的連接點連接到佈線 622_i（佈線 622_1 至 622_n 的任何一個）。注意，第一級正反器 1701_1 連接到第六佈線 616 和第二級正反器 1701_2，且第一級正反器 1701_1 和第二級正反器 1701_2 連接到佈線 622_1。另外注意，第 n 級正反器 1701_n 連接到第 n-1 級正反器 1701_n-1 以及佈線 622_n。

注意，在第 1+3N 級正反器 1701 中，第一佈線 611、第二佈線 612、第三佈線 613、第四佈線 614 和第五佈線 615 分別連接到圖 13 所示的第一佈線 111、第二佈線 112、第三佈線 113、第四佈線 114 和第七佈線 1317。在第 2+3N 級正反器 1701 中，第一佈線 611、第二佈線 612、第四佈線 614、第五佈線 615 和第三佈線 613 分別連接到圖 13 所示的第一佈線 111、第二佈線 112、第三佈線 113、第四佈線 114 和第七佈線 1317。在第 3+3N 級正反器 1701 中，第一佈線 611、第二佈線 612、第五佈線 615、第三佈線 613 和第四佈線 614 分別連接到圖 13 所示的第一佈線 111、第二佈線 112、第三佈線 113、第四佈線 114 和第七佈線 1317。此外，例如，在第 i 級正反器 1701_i 中，正反器 1701_2 至正反器 1701_n-1 的每一個的圖 13 所示第五佈線 115 和第六佈線 116 分別連接到第 i-1 級正反器 1701_i-1 的圖 13 所示的第六佈線 116 和第 i+1 級正反器 1701_i+1 的圖 13 所示的第五佈線 115。另外注意，第一級正反器 1701_1 的圖 13 所示的第五佈線 115 和第六佈線 116 分別連接到圖 17 所示的第六佈線 616 和第

二級正反器 1701_2 的圖 13 所示的第五佈線 115。另外注意，第 n 級正反器 1701_n 的圖 13 所示的第五佈線 115 和第六佈線 116 分別連接到第 n-1 級正反器 1701_n-1 的圖 13 所示的第六佈線 116 和圖 17 所示的佈線 622_n。

注意，圖 17 所示的移位暫存器可以執行與圖 6 所示移位暫存器類似的操作。因此，圖 7 的時脈圖可以用於圖 17 所示的移位暫存器。

因此，由於具有三個相位的時鐘信號可以與實施例模式 1 類似地用於圖 17 的移位暫存器，因此可以節省功率。此外，由於連接到各個時鐘信號線（第三佈線 613、第四佈線 614 和第五佈線 615 的每一個）的正反器 1701 的級數減少為在本實施例模式的各個移位暫存器中使用單一相位的時鐘信號的情形的三分之二，因此各個時鐘信號線的負載可以減小。

注意，在圖 17 的移位暫存器中，各級正反器 1701 的輸出信號可透過緩衝器輸出到各級的佈線 622。圖 18 示出了這種結構。由於在圖 18 的移位暫存器中各級正反器 1701 透過緩衝器 1801 連接到各級的佈線 622，在操作時可以獲得寬的餘量。這是因為即使當大的負載連接到佈線 622 且在佈線 622 的信號中發生延遲或波形鈍度時，該移位暫存器的操作不受負面影響。注意，例如反相器、NAND 或 NOR 的邏輯電路；運算放大器等；或者上述的組合的電路可以用作緩衝器 1801。

此外，本實施例模式所示的各個移位暫存器可以應用

於圖 9、11、12 和 44 中的各個顯示裝置。與實施例模式 1 類似地，透過將本實施例模式應用於形成於與像素部相同的基板上的掃描線驅動器電路，各個顯示裝置的壽命可以延長。

注意，本實施例模式所示的移位暫存器和正反器的每一個可以與本說明書中其他實施例模式所示的顯示裝置的結構自由地組合。此外，本實施例模式所示的移位暫存器和正反器的每一個的結構可以自由地組合。

[實施例模式 3]

在本實施例模式中，具有不同於實施例模式 1 和 2 的結構的正反器示於圖 19。注意，與實施例模式 1 和 2 相似的部分使用相同的標號表示，並省略了相同部分和具有相似功能的部分的詳細描述。

圖 19 所示正反器包括第一電晶體 101、第二電晶體 102、第三電晶體 103、第四電晶體 104、第五電晶體 1305、第六電晶體 1906、第七電晶體 1907、第八電晶體 1908 和第九電晶體 1909。注意，該正反器連接到第一佈線 111、第二佈線 112、第三佈線 113、第四佈線 114、第五佈線 115、第六佈線 116 和第七佈線 1317。在本實施例模式中，第六電晶體 1906、第七電晶體 1907、第八電晶體 1908 和第九電晶體 1909 均為 N 通道電晶體，且在閘極-源極電壓（Vgs）超過臨界值電壓（Vth）時導通。

第一電晶體 101 的第一端子（源極端子和汲極端子之

一）連接到第一佈線 111；第一電晶體 101 的第二端子（源極電子和汲極端子的另一個）連接到第二電晶體 102 的閘極端子；且第一電晶體 101 的閘極端子連接到第五佈線 115。第三電晶體 103 的第一端子連接到第二電晶體 102 的閘極端子；第三電晶體 103 的第二端子連接到第二佈線 112；且第三電晶體 103 的閘極端子連接到第四佈線 114。第二電晶體 102 的第一端子連接到第三佈線 113，且第二電晶體 102 的第二端子連接到第六佈線 116。第四電晶體 104 的第一端子連接到第六佈線 116；第四電晶體 104 的第二端子連接到第二佈線 112；且第四電晶體 104 的閘極端子連接到第四佈線 114。第五電晶體 1305 的第一端子連接到第六佈線 116；第五電晶體 1305 的第二端子連接到第二佈線 112；且第五電晶體 1305 的閘極端子連接到第七佈線 1317。第六電晶體 1906 的第一端子連接到第八電晶體 1908 的閘極端子；第六電晶體 1906 的第二端子連接到第二佈線 112；且第六電晶體 1906 的閘極端子連接到第二電晶體 102 的閘極端子。第七電晶體 1907 的第一端子連接到第一佈線 111；第七電晶體 1907 的第二端子連接到第八電晶體 1908 的閘極端子；且第七電晶體 1907 的閘極端子連接到第一佈線 111。第八電晶體 1908 的第一端子連接到第三佈線 113，且第八電晶體 1908 的第二端子連接到第九電晶體 1909 的閘極端子。第九電晶體 1909 的第一端子連接到第六佈線 116，且第九電晶體 1909 的第二端子連接到第二佈線 112。注意，第

六電晶體 1906 的第一端子、第七電晶體 1907 的第二端子以及第八電晶體 1908 的閘極端子的連接點使用節點 1922 表示。此外，第八電晶體 1908 的第二端子和第九電晶體 1909 的閘極端子的連接點使用節點 1923 表示。

注意，第三電晶體 103 的第二端子、第四電晶體 104 的第二端子、第五電晶體 1305 的第二端子、第六電晶體 1906 的第二端子以及第九電晶體 1909 的第二端子不一定連接到第二佈線 112，而可以連接到不同佈線。此外，第三電晶體 103 的閘極端子和第四電晶體 104 的閘極端子不一定連接到第四佈線 114，而可以連接到不同佈線。此外，第一電晶體 101 的第一端子、第七電晶體 1907 的第一端子和第七電晶體 1907 的閘極端子不一定連接到第一佈線 111，而可以連接到不同佈線。另外，第二電晶體 102 的第一端子和第八電晶體 1908 的第一端子不一定連接到第三佈線 113，而可以連接到不同佈線。

接下來，將參考圖 20 所示時脈圖來描述圖 19 所示的正反器的操作。注意，圖 20 為圖 19 的正反器在與圖 1 和 13 所示正反器類似地操作的情形下的時脈圖。注意，與圖 2 和 14 相同的部分使用相同標號表示，並省略對其的描述。

在圖 20 中，電位 2022 為圖 19 中節點 1922 的電位，電位 2023 為圖 19 中節點 1923 的電位。

在圖 19 的正反器中，第九電晶體 1909 在第三非選擇周期內導通。此外，因為第二佈線 112 的電位透過第九電

晶體 1909 施加到第六佈線 116，第六佈線 116 保持在低電位。

具體描述第九電晶體 1909 的導通/截止的控制。首先，第六電晶體 1906 和第七電晶體 1907 形成反相器，且當高位準信號輸入到第六電晶體 1906 的閘極端子時，節點 1922 的電位（電位 2022）變為近似 V2。注意，由於此時電位 2022 是由第六電晶體 1906 和第七電晶體 1907 的電阻比例確定，電位 2022 變為略高於 V2 的值。此外，由於當低位準信號輸入到第六電晶體 1906 的閘極端子時，節點 1922 的電位變為透過將第一佈線 111 的電位減去第七電晶體 1907 的臨界值電壓（Vth1907）而得到的值，則節點 1922 的電位變為 V1-Vth1907。因此，由於在第一非選擇周期、第二非選擇周期和第三非選擇周期內，節點 121 處於低電位，且節點 1922 變為高電位，則第八電晶體 1908 導通。因此，由於第九電晶體 1909 受輸入到第三佈線 113 的信號控制，第九電晶體 1909 在第三非選擇周期內導通且在第一非選擇周期和第二非選擇周期內截止。另一方面，由於在設定周期和選擇周期內節點 121 處於高電位且節點 1922 變為低電位，第八電晶體 1908 截止。因此，由於第九電晶體 1909 的閘極端子的電位保持在位於設定周期的前一個周期的第一非選擇周期的電位，即低電位，第九電晶體 1909 截止。

如上所述，在圖 19 的正反器中，在第一非選擇周期、第二非選擇周期和第三非選擇周期內，V2 施加到第

六佈線 116。因此可以進一步抑制該正反器的失靈。這是因為 V2 在該非選擇周期內施加到第六佈線 116。此外，由於在圖 19 的正反器中 V2 在該非選擇周期內施加到第六佈線 116，第六佈線 116 的雜訊可以減小。

此外，在圖 19 的正反器中，第六電晶體 1906、第七電晶體 1907、第八電晶體 1908 和第九電晶體 1909 的特性惡化可以得到抑制。這是因為第六電晶體 1906 僅在該設定周期和選擇周期內導通；第七電晶體 1907 僅在位於該選擇周期之後第一非選擇周期內該節點 1922 電位上升到 V1-Vth1907 的周期內導通；第八電晶體 1908 僅在該第一非選擇周期、第二非選擇周期和第三非選擇周期的節點 1923 電位上升到 V1-β（β對應於 Vth1907+Vth1908）的周期內導通；且第九電晶體 1909 僅在第三非選擇周期內導通。

注意，在圖 19 的正反器中，第一電晶體 101、第二電晶體 102、第三電晶體 103、第四電晶體 104、第五電晶體 1305、第六電晶體 1906、第七電晶體 1907、第八電晶體 1908 和第九電晶體 1909 都是 N 通道電晶體。因此在圖 19 的正反器中，由於非晶矽可以用於各個電晶體的半導體層，製造方法可以簡化，且因此製造成本可以降低且生產率可以提高。此外，還可以製造例如大尺寸顯示面板的半導體裝置。另外，即使當多晶矽或者單晶矽用於各個電晶體的半導體層時，該製造方法仍可以簡化。

此外，由於即使當其中特性容易惡化（臨界值電壓容

易漂移）的非晶矽用於圖 19 中正反器內的各個電晶體的半導體層時，各個電晶體的特性惡化可以得到抑制，因此可以製造例如長壽命顯示面板的半導體裝置。

這裏描述第六電晶體 1906、第七電晶體 1907、第八電晶體 1908 和第九電晶體 1909 的功能。第六電晶體 1906 具有選擇用於施加第二佈線 112 的電位到節點 1922 的時脈的功能，並作為開關電晶體。第七電晶體 1907 具有選擇用於施加第一佈線 111 的電位到節點 1922 的時脈的功能，並作為二極體。第八電晶體 1908 具有選擇用於施加第三佈線 113 的電位到節點 1923 的時脈的功能，並作為開關電晶體。第九電晶體 1909 具有選擇用於施加第二佈線 112 的電位到第六佈線 116 的時脈的功能，並作為開關電晶體。

注意，電晶體的佈置、數目等不限於圖 19 的情形，只要與圖 19 類似的操作得以執行即可。因此，可以附加地提供電晶體、其他元件（例如，電阻器或電容器）、二極體、開關、任何邏輯電路等。

例如，如圖 21 所示，電容器 2101 可以在圖 19 所示第二電晶體 102 的閘極端子和第二端子之間。透過提供電容器 2101，可以更加穩定地執行選擇周期內的自舉操作。此外，由於第二電晶體 102 的閘極端子和第二端子之間的寄生電容可以減小，因此各個電晶體可以高速地開關。注意，在電容器 2101 中，閘極絕緣膜可以用作絕緣層，且閘極電極層和佈線層可以用作導電層；閘極絕緣膜

可以用作絕緣層，且閘極電極層和添加有雜質的半導體層可以用作導電層；或者層間膜（絕緣膜）可以用作絕緣層，且佈線層和透明電極層可以用作導電層。注意，與圖19相同的部分使用相同的標號表示，並省略了對其的描述。

也可以對圖22中的正反器執行與圖19相似的操作。如圖22所示，圖19所示的第一電晶體101可以連接成二極體。第一電晶體101連接成二極體，從而流經第一佈線111的電流變小。因此，第一佈線111的佈線寬度可以變小。注意，與圖19相同的部分使用相同的標號表示，並省略了對其的描述。

此外，本實施例模式所示的各個正反器可以應用於圖17和18的移位暫存器的每一個。由於具有三個相位的時鐘信號可以與實施例模式1和2類似地使用，因此可以節省功率。此外，由於連接到各個時鐘信號線（第三佈線613、第四佈線614和第五佈線615的每一個）的正反器1701的級數減少為在本實施例模式的各個移位暫存器中使用單一相位的時鐘信號的情形的三分之二，因此各個時鐘信號線的負載可以減小。

此外，本實施例模式所示的各個移位暫存器可以應用於圖9、11、12和44中的各個顯示裝置。與實施例模式1和2類似地，透過將本實施例模式應用於形成於與像素部相同的基板上的掃描線驅動器電路，各個顯示裝置的壽命可以延長。

注意，本實施例模式所示的移位暫存器和正反器的每一個可以與本說明書中其他實施例模式所示的顯示裝置的結構自由地組合。此外，本實施例模式所示的移位暫存器和正反器的每一個的結構可以自由地組合。

[實施例模式 4]

在本實施例模式中，具有不同於實施例模式 1 至 3 的結構的正反器示於圖 23。注意，與實施例模式 1 至 3 相似的部分使用相同的標號表示，並省略了相同部分和具有相似功能的部分的詳細描述。

圖 23 所示正反器包括第一電晶體 101、第二電晶體 102、第三電晶體 103、第四電晶體 104、第五電晶體 1305、第六電晶體 1906、第七電晶體 1907、第八電晶體 1908、第九電晶體 1909、第十電晶體 2310、第十一電晶體 2311 和第十二電晶體 2312。注意，該正反器連接到第一佈線 111、第二佈線 112、第三佈線 113、第四佈線 114、第五佈線 115、第六佈線 116 和第七佈線 1317。在本實施例模式中，第十電晶體 2310、第十一電晶體 2311 和第十二電晶體 2312 均為 N 通道電晶體，且在閘極-源極電壓（Vgs）超過臨界值電壓（Vth）時導通。

第一電晶體 101 的第一端子（源極端子和汲極端子之一）連接到第一佈線 111；第一電晶體 101 的第二端子（源極電子和汲極端子的另一個）連接到第二電晶體 102 的閘極端子；且第一電晶體 101 的閘極端子連接到第五佈

線 115。第三電晶體 103 的第一端子連接到第二佈線 112；第三電晶體 103 的第二端子連接到第二電晶體 102 的閘極端子；且第三電晶體 103 的閘極端子連接到第四佈線 114。第二電晶體 102 的第一端子連接到第三佈線 113，且第二電晶體 102 的第二端子連接到第六佈線 116。第四電晶體 104 的第一端子連接到第二佈線 112；第四電晶體 104 的第二端子連接到第六佈線 116；且第四電晶體 104 的閘極端子連接到第四佈線 114。第五電晶體 1305 的第一端子連接到第二佈線 112；第五電晶體 1305 的第二端子連接到第六佈線 116；且第五電晶體 1305 的閘極端子連接到第七佈線 1317。第六電晶體 1906 的第一端子連接到第二佈線 112；第六電晶體 1906 的第二端子連接到第八電晶體 1908 的閘極端子和第十一電晶體 2311 的閘極端子；且第六電晶體 1906 的閘極端子連接到第二電晶體 102 的閘極端子。第七電晶體 1907 的第一端子連接到第一佈線 111；第七電晶體 1907 的第二端子連接到第八電晶體 1908 的閘極端子和第十一電晶體 2311 的閘極端子；且第七電晶體 1907 的閘極端子連接到第一佈線 111。第八電晶體 1908 的第一端子連接到第三佈線 113，且第八電晶體 1908 的第二端子連接到第九電晶體 1909 的閘極端子和第十電晶體 2310 的閘極端子。第九電晶體 1909 的第一端子連接到第二佈線 112，且第九電晶體 1909 的第二端子連接到第六佈線 116。第十電晶體 2310 的第一端子連接到第二佈線 112，且第十電晶體 2310 的

第二端子連接到第二電晶體 102 的閘極端子。第十一電晶體 2311 的第一端子連接到第七佈線 1317，且第十一電晶體 2311 的第二端子連接到第十二電晶體 2312 的閘極端子。第十二電晶體 2312 的第一端子連接到第二佈線 112，且第十二電晶體 2312 的第二端子連接到第二電晶體 102 的閘極端子。注意，第十一電晶體 2311 的第二端子和第十二電晶體 2312 的閘極端子的連接點使用節點 2324 表示。

注意，第三電晶體 103 的第一端子、第四電晶體 104 的第一端子、第五電晶體 1305 的第一端子、第六電晶體 1906 的第一端子、第九電晶體 1909 的第一端子、第十電晶體 2310 的第一端子和第十二電晶體 2312 的第一端子不一定連接到第二佈線 112，而可以連接到不同佈線。此外，第三電晶體 103 的閘極端子和第四電晶體 104 的閘極端子不一定連接到第四佈線 114，而可以連接到不同佈線。此外，第一電晶體 101 的第一端子、第七電晶體 1907 的第一端子和第七電晶體 1907 的閘極端子不一定連接到第一佈線 111，而可以連接到不同佈線。另外，第二電晶體 102 的第一端子和第八電晶體 1908 的第一端子不一定連接到第三佈線 113，而可以連接到不同佈線。此外，第五電晶體 1305 的閘極端子和第十一電晶體 2311 的第一端子不一定連接到第七佈線 1317，而可以連接到不同佈線。

接下來，將參考圖 24 所示時脈圖來描述圖 23 所示的

正反器的操作。注意，圖 24 為圖 23 的正反器在與圖 1、13 和 19 所示正反器類似地操作的情形下的時脈圖。注意，與圖 2、14 和 20 相同的部分使用相同標號表示，並省略對其的描述。

在圖 24 中，電位 2424 為圖 23 中節點 2324 的電位。

在圖 23 的正反器中，第十電晶體 2310 在第三非選擇周期內導通。此外，因為第二佈線 112 的電位透過第十電晶體 2310 施加到節點 121，節點 121 可以更穩定地保持在低電位。另外，在圖 23 的正反器中，第十二電晶體 2312 在第一非選擇周期內導通。此外，因為第二佈線 112 的電位透過第十二電晶體 2312 施加到節點 121，節點 121 可以更穩定地保持在低電位。

具體描述第十二電晶體 2312 的導通/截止的控制。注意，第十電晶體 2310 的導通/截止的控制類似於實施例模式 3 中所述的第九電晶體 1909 的導通/截止的控制。首先，第六電晶體 1906 和第七電晶體 1907 形成反相器，類似於圖 19 的正反器。因此，由於在第一非選擇周期、第二非選擇周期和第三非選擇周期內，節點 121 處於低電位且節點 1922 變為高電位，則第十一電晶體 2311 導通。因此，由於第十二電晶體 2312 受輸入到第七佈線 1317 的信號控制，第十二電晶體 2312 在第二非選擇周期內導通且在第一非選擇周期和第三非選擇周期內截止。另一方面，由於在設定周期和選擇周期內節點 121 處於高電位且節點 1922 變為低電位，第十一電晶體 2311 截止。因此，由於

第十二電晶體 2312 的閘極端子的電位保持在位於設定周期的前一個周期的第一非選擇周期的電位，即低電位，第十二電晶體 2312 截止。

如上所述，在圖 23 的正反器中，在第一非選擇周期、第二非選擇周期和第三非選擇周期內，V2 施加到第六佈線 116 和節點 121 的每一個。因此可以進一步抑制該正反器的失靈。這是因為 V2 在該非選擇周期內施加到第六佈線 116 和節點 121 的每一個。此外，由於在圖 23 的正反器中 V2 在該非選擇周期內施加到第六佈線 116 和節點 121 的每一個，第六佈線 116 和節點 121 的雜訊可以減小。

此外，在圖 23 的正反器中，第十電晶體 2310、第十一電晶體 2311 和第十二電晶體 2312 的特性惡化可以得到抑制。這是因為第十電晶體 2310 僅在第三非選擇周期內導通；第十一電晶體 2311 僅在該第一非選擇周期、第二非選擇周期和第三非選擇周期的節點 2324 電位上升到 V1-γ（γ 對應於 Vth1907+Vth2311）的周期內導通；且第十二電晶體 2312 僅在第二非選擇周期內導通。

注意，在圖 23 的正反器中，第一電晶體 101、第二電晶體 102、第三電晶體 103、第四電晶體 104、第五電晶體 1305、第六電晶體 1906、第七電晶體 1907、第八電晶體 1908、第九電晶體 1909、第十電晶體 2310、第十一電晶體 2311 和第十二電晶體 2312 都是 N 通道電晶體。因此在圖 23 的正反器中，由於非晶矽可以用於各個電晶體

的半導體層，製造方法可以簡化，且因此製造成本可以降低且生產率可以提高。此外，還可以製造例如大尺寸顯示面板的半導體裝置。另外，即使當多晶矽或者單晶矽用於各個電晶體的半導體層時，該製造方法仍可以簡化。

此外，由於即使當其中特性容易惡化（臨界值電壓容易漂移）的非晶矽用於圖 23 中正反器內的各個電晶體的半導體層時，各個電晶體的特性惡化可以得到抑制，因此可以製造例如長壽命顯示面板的半導體裝置。

這裏描述第十電晶體 2310、第十一電晶體 2311 和第十二電晶體 2312 的功能。第十電晶體 2310 具有選擇用於施加第二佈線 112 的電位到節點 121 的時脈的功能，並作為開關電晶體。第十一電晶體 2311 具有選擇用於施加第七佈線 1317 的電位到節點 2324 的時脈的功能，並作為開關電晶體。第十二電晶體 2312 具有選擇用於施加第二佈線 112 的電位到節點 121 的時脈的功能，並作為開關電晶體。

注意，電晶體的佈置、數目等不限於圖 23 的情形，只要與圖 23 類似的操作得以執行即可。因此，可以附加地提供電晶體、其他元件（例如，電阻器或電容器）、二極體、開關、任何邏輯電路等。

例如，如圖 25 所示，電容器 2501 可以在圖 23 所示第二電晶體 102 的閘極端子和第二端子之間。透過提供電容器 2501，可以更加穩定地執行選擇周期內的自舉操作。此外，由於第二電晶體 102 的閘極端子和第二端子之

間的寄生電容可以減小，因此各個電晶體可以高速地開關。注意，在電容器 2501 中，閘極絕緣膜可以用作絕緣層，且閘極電極層和佈線層可以用作導電層；閘極絕緣膜可以用作絕緣層，且閘極電極層和添加有雜質的半導體層可以用作導電層；或者層間膜（絕緣膜）可以用作絕緣層，且佈線層和透明電極層可以用作導電層。注意，與圖 23 相同的部分使用相同的標號表示，並省略了對其的描述。

也可以對圖 26 中的正反器執行與圖 23 相似的操作。如圖 26 所示，圖 23 所示的第一電晶體 101 可以連接成二極體。第二電晶體 101 連接成二極體，從而流經第一佈線 111 的電流變小。因此，第一佈線 111 的佈線寬度可以變小。

此外，本實施例模式所示的各個正反器可以應用於圖 17 和 18 的移位暫存器的每一個。由於具有三個相位的時鐘信號可以與實施例模式 1 至 3 類似地使用，因此可以節省功率。此外，由於連接到各個時鐘信號線（第三佈線 613、第四佈線 614 和第五佈線 615 的每一個）的正反器 1701 的級數減少為在本實施例模式的各個移位暫存器中使用單一相位的時鐘信號的情形的三分之二，因此各個時鐘信號線的負載可以減小。

此外，本實施例模式所示的各個移位暫存器可以應用於圖 9、11、12 和 44 中的各個顯示裝置。與實施例模式 1 至 3 類似地，透過將本實施例模式應用於形成於與像素

部相同的基板上的掃描線驅動器電路，各個顯示裝置的壽命可以延長。

注意，本實施例模式所示的移位暫存器和正反器的每一個可以與本說明書中其他實施例模式所示的顯示裝置的結構自由地組合。此外，本實施例模式所示的移位暫存器和正反器的每一個的結構可以自由地組合。

[實施例模式 5]

在本實施例模式中，參考圖 27 描述正反器中包括的電晶體採用 P 通道電晶體的情形。注意，使用 P 通道電晶體形成的正反器具有與使用 N 通道電晶體形成的正反器類似的基本結構。注意，電源電位以及信號的高電位和低電位反相。

圖 27 示出了一級（例如，第一級）正反器，該正反器為包含在移位暫存器中的多個正反器之一。圖 27 所示正反器包括第一電晶體 2701、第二電晶體 2702、第三電晶體 2703 和第四電晶體 2704。注意，該正反器連接到第一佈線 2711、第二佈線 2712、第三佈線 2713、第四佈線 2714、第五佈線 2715 和第六佈線 2716。在本實施例模式中，第一電晶體 2701、第二電晶體 2702、第三電晶體 2703 和第四電晶體 2704 均為 P 通道電晶體，且在閘極-源極電壓絕對值（|Vgs|）超過臨界值電壓（|Vth|）時（當 Vgs 低於 Vth 時）導通。注意，第一佈線 2711 和第二佈線 2712 可以分別稱為第一電源線和第二電源線。此外，

第三佈線 2713 和第四佈線 2714 可以分別稱為第一信號線和第二信號線。

注意，第一電晶體 2701、第二電晶體 2702、第三電晶體 2703 和第四電晶體 2704 分別對應於圖 1 中的第一電晶體 101、第二電晶體 102、第三電晶體 103 和第四電晶體 104。此外，第一佈線 2711、第二佈線 2712、第三佈線 2713、第四佈線 2714、第五佈線 2715 和第六佈線 2716 分別對應於圖 1 中的第一佈線 111、第二佈線 112、第三佈線 113、第四佈線 114、第五佈線 115 和第六佈線 116。

第一電晶體 2701 的第一端子（源極端子和汲極端子之一）連接到第一佈線 2711；第一電晶體 2701 的第二端子（源極電子和汲極端子的另一個）連接到第二電晶體 2702 的閘極端子；且第一電晶體 2701 的閘極端子連接到第五佈線 2715。第三電晶體 2703 的第一端子連接到第二佈線 2712；第三電晶體 2703 的第二端子連接到第二電晶體 2702 的閘極端子；且第三電晶體 2703 的閘極端子連接到第四佈線 2714。第二電晶體 2702 的第一端子連接到第三佈線 2713，且第二電晶體 2702 的第二端子連接到第六佈線 2716。第四電晶體 2704 的第一端子連接到第二佈線 2712；第四電晶體 2704 的第二端子連接到第六佈線 2716；且第四電晶體 2704 的閘極端子連接到第四佈線 2714。注意，第一電晶體 2701 的第二端子、第二電晶體 2702 的閘極端子和第三電晶體 2703 的第二端子的連接點

使用節點 2721 表示。

注意，第三電晶體 2703 的第二端子和第四電晶體 2704 的第二端子不一定連接到第二佈線 2712，而可以連接到不同佈線。此外，第三電晶體 2703 的閘極端子和第四電晶體 2704 的閘極端子不一定連接到第四佈線 2714，而可以連接到不同佈線。

接下來，將參考圖 28 所示時脈圖以及圖 29A 至 29E 來描述圖 27 所示的正反器的操作。注意，描述圖 28 中的設定周期、選擇周期和非選擇周期。另外注意，該非選擇周期劃分為第一非選擇周期、第二非選擇周期和第三非選擇周期，且該第一非選擇周期、第二非選擇周期和第三非選擇周期順序重復。

注意，電位 V2 施加到第一佈線 2711，電位 V1 施加到第二佈線 2712。另外注意，滿足 V1>V2。

另外注意，電位 V2 不一定施加到第一佈線 2711。另外的電位可以施加到第一佈線 2711，或者數位信號或類比信號可以輸入到第一佈線 2711。此外，電位 V1 不一定施加到第二佈線 2712。另外的電位可以施加到第二佈線 2712，或者數位信號或類比信號可以輸入到第二佈線 2712。

注意，信號輸入到第三佈線 2713、第四佈線 2714 和第五佈線 2715 的每一個。輸入到第三佈線 2713 的信號為第一時鐘信號；輸入到第四佈線 2714 的信號為第二時鐘信號；輸入到第五佈線 2715 的信號為開始信號。此外，

輸入到第三佈線 2713、第四佈線 2714 和第五佈線 2715 的每一個的信號為數位信號，其中高位準（H-level）信號的電位處於 V1（下文中也稱為高電位）且低位準（L-level）信號的電位處於 V2（下文中也稱為低電位）。

另外注意，第一時鐘信號不一定輸入到第三佈線 2713。另外的信號可以輸入到第三佈線 2713，或者固定電位或電流可以輸入到第三佈線 2713。此外，第二時鐘信號不一定輸入到第四佈線 2714。另外的信號可以輸入到第四佈線 2714，或者固定電位或電流可以輸入到第四佈線 2714。另外，開始信號不一定輸入到第五佈線 2715。另外的信號可以輸入到第五佈線 2715，或者固定電位或電流可以輸入到第五佈線 2715。

另外，輸入到第三佈線 2713、第四佈線 2714 和第五佈線 2715 的每一個的信號的高位準信號的電位不限於 V1，且其低位準信號的電位不限於 V2。這些電位沒有具體限制，只要該高位準信號的電位高於該低位準信號的電位即可。

注意，信號從第六佈線 2716 輸出。從第六佈線 2716 輸出的信號為該正反器的輸出信號，且也是下一級正反器的開始信號。此外，從第六佈線 2716 輸出的信號輸入到下一級正反器的第五佈線 2715。另外，從第六佈線 2716 輸出的信號為數位信號，其中高位準信號的電位處於 V1（下文中也稱為高電位）且低位準信號的電位處於 V2（下文中也稱為低電位）。

在圖 28 中，信號 2813 為輸入到第三佈線 2713 的信號；信號 2814 為輸入到第四佈線 2714 的信號；信號 2815 為輸入到第五佈線 2715 的信號；且信號 2816 為從第六佈線 2716 輸出的信號。此外，電位 2821 為圖 27 中節點 2721 的電位。

首先，在圖 28 和圖 29A 周期 A 所示的設定周期中，信號 2813 和信號 2814 處於高電位，且信號 2815 變為低電位。因此，第三電晶體 2703 和第四電晶體 2704 截止，且第一電晶體 2701 導通。此時，第一電晶體 2701 的第二端子對應於源極端子，且節點 2721 的電位（電位 2821）變為 V2+|Vth2701|，因為該電位變為第五佈線 2715 的電位和第一電晶體 2701 臨界值電壓絕對值之和。因此，第二電晶體 2702 導通且第六佈線 2716 的電位變為 V1，因為該電位變為等於第三佈線 2713 的電位。按照這種方式，在設定周期內，從第六佈線 2716 輸出高電位且保持該正反器內第二電晶體 2702 導通。

在圖 28 和圖 29B 周期 B 所示的選擇周期中，信號 2813 變為低電位，信號 2814 保持在高電位，且信號 2815 變為高電位。因此，第三電晶體 2703 和第四電晶體 2704 保持截止且第一電晶體 2701 截止。此時，第二電晶體 2702 的第二端子對應於源極端子且第六佈線 2716 的電位開始下降。由於節點 2721 處於浮置狀態，透過第二電晶體 2702 的閘極端子和第二端子之間寄生電容的電容性耦合，節點 2721 的電位（電位 2821）隨第六佈線 2716 的

電位同時下降（也稱為自舉操作）。因此，第二電晶體 2702 的閘極-源極電壓 Vgs 變為-|Vth2702|-α（Vth2702 對應於第二電晶體 2702 的臨界值電壓且α對應於特定正數），且第六佈線 2716 的電位變為低電位（V2）。按照這種方式，在選擇周期中，透過將該正反器中節點 2721 的電位設置為 V2-|Vth2702|-α，則可以從第六佈線 2716 輸出低電位。

在圖 28 和圖 29C 周期 C 所示的第一非選擇周期中，信號 2813 變為高電位，信號 2814 變為低電位，且信號 2815 保持在高電位。因此，第三電晶體 2703 和第四電晶體 2704 導通且第一電晶體 2701 保持截止。節點 2721 和第六佈線 2716 變為高電位，因為第二佈線 2712 的電位分別透過第三電晶體 2703 和第四電晶體 2704 而施加到節點 2721 和第六佈線 2716。

在圖 28 和圖 29D 周期 D 所示的第二非選擇周期中，信號 2813 保持高電位，信號 2814 變為高電位，且信號 2815 保持高電位。因此，第三電晶體 2703 和第四電晶體 2704 截止且第一電晶體 2701 保持截止。因此，節點 2721 和第六佈線 2716 保持高電位。

在圖 28 和圖 29E 周期 E 所示的第三非選擇周期中，信號 2813 變為低電位，且信號 2814 和信號 2815 保持高電位。因此，第一電晶體 2701、第三電晶體 2703 和第四電晶體 2704 保持截止。因此，節點 2721 和第六佈線 2716 保持高電位。

如前所述，由於第三電晶體 2703 和第四電晶體 2704 僅在圖 27 中的正反器的第一非選擇周期內導通，第三電晶體 2703 和第四電晶體 2704 的特性惡化（臨界值電壓漂移）可以得到抑制。注意，在圖 27 的正反器中，由於第一電晶體 2701 僅在設定周期內導通且第二電晶體 2702 僅在設定周期和選擇周期內導通，第一電晶體 2701 和第二電晶體 2702 的特性惡化也可以得到抑制。

此外，在圖 27 的正反器中，在該非選擇周期的第一非選擇周期中，V1 施加到節點 2721 和第六佈線 2716 的每一個。因此可以抑制該正反器的失靈。這是因為 V1 在該非選擇周期內（在第一非選擇周期內）按規則的時間間隔施加到節點 2721 和第六佈線 2716 的每一個，因此節點 2721 和第六佈線 2716 的電位可以穩定在 V1。

注意，在圖 27 的正反器中，第一電晶體 2701、第二電晶體 2702、第三電晶體 2703 和第四電晶體 2704 都是 P 通道電晶體。因此在圖 27 的正反器中，製造方法可以簡化，且因此製造成本可以降低且生產率可以提高。此外，即使當多晶矽或者單晶矽用於各個電晶體的半導體層時，該製造方法仍可以簡化。

這裏描述第一電晶體 2701、第二電晶體 2702、第三電晶體 2703 和第四電晶體 2704 的功能。第一電晶體 2701 具有選擇用於施加第一佈線 2711 的電位的時脈的功能，並作為輸入電晶體。第二電晶體 2702 具有選擇用於施加第三佈線 2713 的電位到第六佈線 2716 的時脈和透過

自舉操作下降節點 2721 電位的功能，並作為自舉電晶體。第三電晶體 2703 具有選擇用於施加第二佈線 2712 的電位到節點 2721 的時脈的功能，並作為開關電晶體。第四電晶體 2704 具有施加第二佈線 2712 的電位到第六佈線 2716 的功能，並作為開關電晶體。

注意，電晶體的佈置、數目等不限於圖 27 的情形，只要與圖 27 類似的操作得以執行即可。從示出了圖 27 中正反器操作的圖 29A 至 29E 顯而易見的是，在本實施例模式中，僅需要在設定周期、選擇周期、第一非選擇周期、第二非選擇周期和第三非選擇周期中具有電學連續性，如圖 29A 至 29E 的每一個中的實線所示。因此，可以附加地提供電晶體、其他元件（例如，電阻器或電容器）、二極體、開關、任何邏輯電路等，只要採用這樣的結構即可，即，其中電晶體等被提供以滿足上述條件且該結構可以操作。

例如，如圖 30 所示，電容器 3001 可以在圖 27 所示第二電晶體 2702 的閘極端子和第二端子之間。透過提供電容器 3001，可以更加穩定地執行選擇周期內的自舉操作。此外，由於第二電晶體 2702 的閘極端子和第二端子之間的寄生電容可以減小，因此各個電晶體可以高速地開關。注意，在電容器 3001 中，閘極絕緣膜可以用作絕緣層，且閘極電極層和佈線層可以用作導電層；閘極絕緣膜可以用作絕緣層，且閘極電極層和添加有雜質的半導體層可以用作導電層；或者層間膜（絕緣膜）可以用作絕緣

層，且佈線層和透明電極層可以用作導電層。注意，與圖27相同的部分使用相同的標號表示，並省略了對其的描述。

注意，電容器3001對應於圖4中的電容器401。

也可以在圖31中的正反器執行與圖27相似的操作。如圖31所示，圖27所示的第一電晶體2701可以連接成二極體。第一電晶體2701連接成二極體，從而第一佈線2711是不需要的。因此，可以從該結構排除一條佈線和一個電源電位（V2）。注意，與圖27相同的部分使用相同的標號表示，並省略了對其的描述。

此外，本實施例模式所示的各個正反器可以應用於圖6和8的移位暫存器的每一個。由於具有三個相位的時鐘信號可以與實施例模式1至4類似地使用，因此可以節省功率。此外，由於連接到各個時鐘信號線（第三佈線613、第四佈線614和第五佈線615的每一個）的正反器601的級數減少為在本實施例模式的各個移位暫存器中使用單一相位的時鐘信號的情形的三分之二，因此各個時鐘信號線的負載可以減小。注意，與透過使用N通道電晶體形成的正反器應用於圖6和8中的各個移位暫存器的情形相比，在施加到第一佈線611和第二佈線612的每一個的電位；輸入到第三佈線613、第四佈線614、第五佈線615和第六佈線616的每一個的信號；以及輸出到佈線622的信號的每一個中，高電位和低電位被反相。

此外，本實施例模式所示的各個移位暫存器可以應用

於圖 9、11、12 和 44 中的各個顯示裝置。與實施例模式 1 至 4 類似地，透過將本實施例模式應用於形成於與像素部相同的基板上的掃描線驅動器電路，各個顯示裝置的壽命可以延長。

注意，本實施例模式所示的移位暫存器和正反器的每一個可以與本說明書中其他實施例模式所示的顯示裝置的結構自由地組合。此外，本實施例模式所示的移位暫存器和正反器的每一個的結構可以自由地組合。

[實施例模式 6]

在本實施例模式中，具有不同於實施例模式 5 的結構的由 P 通道電晶體形成的正反器示於圖 32。注意，與實施例模式 5 相似的部分使用相同的標號表示，並省略了相同部分和具有相似功能的部分的詳細描述。

圖 32 所示正反器包括第一電晶體 2701、第二電晶體 2702、第三電晶體 2703、第四電晶體 2704 和第五電晶體 3205。注意，該正反器連接到第一佈線 2711、第二佈線 2712、第三佈線 2713、第四佈線 2714、第五佈線 2715、第六佈線 2716 和第七佈線 3217。在本實施例模式中，第五電晶體 3205 為 P 通道電晶體，且在閘極-源極電壓（|Vgs|）超過臨界值電壓（|Vth|）時（當 Vgs 低於 Vth 時）導通。注意，第七佈線 3217 可以稱為第三信號線。

注意，第五電晶體 3205 對應於圖 13 中的第五電晶體 1305。此外，第七佈線 3217 對應於圖 13 中的第七佈線

1317。

第一電晶體 2701 的第一端子（源極端子和汲極端子之一）連接到第一佈線 2711；第一電晶體 2701 的第二端子（源極電子和汲極端子的另一個）連接到第二電晶體 2702 的閘極端子；且第一電晶體 2701 的閘極端子連接到第五佈線 2715。第三電晶體 2703 的第一端子連接到第二佈線 2712；第三電晶體 2703 的第二端子連接到第二電晶體 2702 的閘極端子；且第三電晶體 2703 的閘極端子連接到第四佈線 2714。第二電晶體 2702 的第一端子連接到第三佈線 2713，且第二電晶體 2702 的第二端子連接到第六佈線 2716。第四電晶體 2704 的第一端子連接到第二佈線 2712；第四電晶體 2704 的第二端子連接到第六佈線 2716；且第四電晶體 2704 的閘極端子連接到第四佈線 2714。第五電晶體 3205 的第一端子連接到第二佈線 2712；第五電晶體 3205 的第二端子連接到第六佈線 2716；且第五電晶體 3205 的閘極端子連接到第七佈線 3217。

注意，第三電晶體 2703 的第一端子、第四電晶體 2704 的第一端子和第五電晶體 3205 的第一端子不一定連接到第二佈線 2712，而可以連接到不同佈線。此外，第三電晶體 2703 的閘極端子和第四電晶體 2704 的閘極端子不一定連接到第四佈線 2714，而可以連接到不同佈線。

接下來，將參考圖 33 所示時脈圖來描述圖 32 所示的正反器的操作。注意，圖 33 為圖 32 的正反器在與圖 27

所示正反器類似地操作的情形下的時脈圖。注意，與圖28時脈圖中相同的部分使用相同標號表示，並省略對其的描述。

注意，信號輸入到第七佈線3217。輸入到第七佈線3217的信號為第三時鐘信號。此外，輸入到第七佈線3217的信號為數位信號，其中高位準（H-level）信號的電位處於V1（下文中也稱為高電位）且低位準（L-level）信號的電位處於V2（下文中也稱為低電位）。

另外注意，第三時鐘信號不一定輸入到第七佈線3217。另外的信號可以輸入到第七佈線3217，或者固定電位或電流可以輸入到第七佈線3217。

在圖33中，信號3317為輸入到第七佈線3217的信號。

在圖32的正反器中，第五電晶體3205在設定周期和第二非選擇周期內導通。此外，因為第二佈線2712的電位透過第五電晶體3205施加到第六佈線2716，第六佈線2716保持高電位。

此外，在圖32的正反器中，在該第一非選擇周期、第二非選擇周期和第三非選擇周期中的第一非選擇周期及第二非選擇周期內，V1施加到第六佈線2716。因此可以進一步抑制該正反器的失靈。這是因為V1在該非選擇周期內（在第一非選擇周期和第二非選擇周期內）按規則的時間間隔施加到第六佈線2716，因此第六佈線2716的電位可以穩定在V1。

此外，由於圖 32 的正反器的第五電晶體 3205 僅在該設定周期和第二非選擇周期內導通，第五電晶體 3205 的特性惡化可以得到抑制。

注意，在圖 32 的正反器中，第一電晶體 2701、第二電晶體 2702、第三電晶體 2703、第四電晶體 2704 和第五電晶體 3205 都是 P 通道電晶體。因此在圖 32 的正反器中，製造方法可以簡化，且因此製造成本可以降低且產率可以提高。此外，即使當多晶矽或者單晶矽用於各個電晶體的半導體層時，該製造方法仍可以簡化。

這裏描述第五電晶體 3205 的功能。第五電晶體 3205 具有選擇用於將第二佈線 2712 電位施加至第六佈線 2716 的時脈的功能，並作為開關電晶體。

注意，電晶體的佈置、數目等不限於圖 32 的情形，只要與圖 32 類似的操作得以執行即可。因此，可以附加地提供電晶體、其他元件（例如，電阻器或電容器）、二極體、開關、任何邏輯電路等。

例如，如圖 34 所示，電容器 3401 可以在圖 32 所示第二電晶體 2702 的閘極端子和第二端子之間。透過提供電容器 3401，可以更加穩定地執行選擇周期內的自舉操作。此外，由於第二電晶體 2702 的閘極端子和第二端子之間的寄生電容可以減小，因此各個電晶體可以高速地開關。注意，在電容器 3401 中，閘極絕緣膜可以用作絕緣層，且閘極電極層和佈線層可以用作導電層；閘極絕緣膜可以用作絕緣層，且閘極電極層和添加有雜質的半導體層

可以用作導電層；或者層間膜（絕緣膜）可以用作絕緣層，且佈線層和透明電極層可以用作導電層。注意，與圖32相同的部分使用相同的標號表示，並省略了對其的描述。

注意，電容器3401對應於圖15中的電容器1501。

也可以對圖35中的正反器執行與圖32相似的操作。如圖35所示，圖32所示的第一電晶體2701可以連接成二極體。第一電晶體2701連接成二極體，從而第一佈線2711是不需要的。因此，可以從該結構排除一條佈線和一個電源電位（V2）。注意，與圖32相同的部分使用相同的標號表示，並省略了對其的描述。

此外，本實施例模式所示的各個正反器可以應用於圖17和18的移位暫存器的每一個。由於具有三個相位的時鐘信號可以與實施例模式1至5類似地使用，因此可以節省功率。此外，由於連接到各個時鐘信號線（第三佈線613、第四佈線614和第五佈線615的每一個）的正反器1701的級數減少為在本實施例模式的各個移位暫存器中使用單一相位的時鐘信號的情形的三分之二，因此各個時鐘信號線的負載可以減小。注意，與透過使用N通道電晶體形成的正反器應用於圖17和18中的各個移位暫存器的情形相比，在施加到第一佈線611和第二佈線612的每一個的電位；輸入到第三佈線613、第四佈線614、第五佈線615和第六佈線616的每一個的信號；以及輸出到佈線622的信號的每一個中，高電位和低電位被反相。

此外，本實施例模式所示的各個移位暫存器可以應用於圖 9、11、12 和 44 中的各個顯示裝置。與實施例模式 1 至 5 類似地，透過將本實施例模式應用於形成於與像素部相同的基板上的掃描線驅動器電路，各個顯示裝置的壽命可以延長。

注意，本實施例模式所示的移位暫存器和正反器的每一個可以與本說明書中其他實施例模式所示的顯示裝置的結構自由地組合。此外，本實施例模式所示的移位暫存器和正反器的每一個的結構可以自由地組合。

[實施例模式 7]

在本實施例模式中，具有不同於實施例模式 5 和 6 的結構的正反器示於圖 36。注意，與實施例模式 5 和 6 相似的部分使用相同的標號表示，並省略了相同部分和具有相似功能的部分的詳細描述。

圖 36 所示正反器包括第一電晶體 2701、第二電晶體 2702、第三電晶體 2703、第四電晶體 2704、第五電晶體 3205、第六電晶體 3606、第七電晶體 3607、第八電晶體 3608 和第九電晶體 3609。注意，該正反器連接到第一佈線 2711、第二佈線 2712、第三佈線 2713、第四佈線 2714、第五佈線 2715、第六佈線 2716 和第七佈線 3217。在本實施例模式中，第六電晶體 3606、第七電晶體 3607、第八電晶體 3608 和第九電晶體 3609 均為 P 通道電晶體，且在閘極-源極電壓絕對值（|Vgs|）超過臨界值電

壓（|Vth|）時（在 Vgs 低於 Vth 時）導通。

第一電晶體 2701 的第一端子（源極端子和汲極端子之一）連接到第一佈線 2711；第一電晶體 2701 的第二端子（源極電子和汲極端子的另一個）連接到第二電晶體 2702 的閘極端子；且第一電晶體 2701 的閘極端子連接到第五佈線 2715。第三電晶體 2703 的第一端子連接到第二佈線 2712；第三電晶體 2703 的第二端子連接到第二電晶體 2702 的閘極端子；且第三電晶體 2703 的閘極端子連接到第四佈線 2714。第二電晶體 2702 的第一端子連接到第三佈線 2713，且第二電晶體 2702 的第二端子連接到第六佈線 2716。第四電晶體 2704 的第一端子連接到第二佈線 2712；第四電晶體 2704 的第二端子連接到第六佈線 2716；且第四電晶體 2704 的閘極端子連接到第四佈線 2714。第五電晶體 3205 的第一端子連接到第二佈線 2712；第五電晶體 3205 的第二端子連接到第六佈線 2716；且第五電晶體 3205 的閘極端子連接到第七佈線 3217。第六電晶體 3606 的第一端子連接到第二佈線 2712；第六電晶體 3606 的第二端子連接到第八電晶體 3608 的閘極端子；且第六電晶體 3606 的閘極端子連接到第二電晶體 2702 的閘極端子。第七電晶體 3607 的第一端子連接到第一佈線 2711；第七電晶體 3607 的第二端子連接到第八電晶體 3608 的閘極端子；且第七電晶體 3607 的閘極端子連接到第一佈線 2711。第八電晶體 3608 的第一端子連接到第三佈線 2713，且第八電晶體 3608 的第二端

子連接到第九電晶體 3609 的閘極端子。第九電晶體 3609 的第一端子連接到第二佈線 2712，且第九電晶體 3609 的第二端子連接到第六佈線 2716。注意，第六電晶體 3606 的第二端子、第七電晶體 3607 的第二端子以及第八電晶體 3608 的閘極端子的連接點使用節點 3622 表示。此外，第八電晶體 3608 的第二端子和第九電晶體 3609 的閘極端子的連接點使用節點 3623 表示。

注意，第三電晶體 2703 的第一端子、第四電晶體 2704 的第一端子、第五電晶體 3205 的第一端子、第六電晶體 3606 的第一端子以及第九電晶體 3609 的第一端子不一定連接到第二佈線 2712，而可以連接到不同佈線。此外，第三電晶體 2703 的閘極端子和第四電晶體 2704 的閘極端子不一定連接到第四佈線 2714，而可以連接到不同佈線。此外，第一電晶體 2701 的第一端子、第七電晶體 3607 的第一端子和第七電晶體 3607 的閘極端子不一定連接到第一佈線 2711，而可以連接到不同佈線。另外，第二電晶體 2702 的第一端子和第八電晶體 3608 的第一端子不一定連接到第三佈線 2713，而可以連接到不同佈線。

接下來，將參考圖 37 所示時脈圖來描述圖 36 所示的正反器的操作。注意，圖 37 為圖 36 的正反器在與圖 27 和 32 所示正反器類似地操作的情形下的時脈圖。注意，與圖 28 和 33 相同的部分使用相同標號表示，並省略對其的描述。

在圖 37 中，電位 3722 為圖 36 中節點 3622 的電位，

電位 3723 為圖 36 中節點 3623 的電位。

在圖 36 的正反器中，第九電晶體 3609 在第三非選擇周期內導通。此外，因為第二佈線 2712 的電位透過第九電晶體 3609 施加到第六佈線 2716，第六佈線 2716 保持在高電位。

具體描述第九電晶體 3609 的導通/截止的控制。首先，第六電晶體 3606 和第七電晶體 3607 的每一個形成反相器，且當低位準信號輸入到第六電晶體 3606 的閘極端子時，節點 3622 的電位（電位 3722）變為近似 V1。注意，由於此時電位 3722 是由第六電晶體 3606 和第七電晶體 3607 的電阻比例確定，電位 3722 變為略高於 V1 的值。此外，由於當高位準信號輸入到第六電晶體 3606 的閘極端子時，節點 3622 的電位變為第一佈線 2711 的電位和第七電晶體 3607 的臨界值電壓絕對值之和，則節點 3622 的電位變為 V2+|Vth3607|。因此，由於在第一非選擇周期、第二非選擇周期和第三非選擇周期內，節點 2721 處於高電位且節點 3622 變為低電位，則第八電晶體 3608 導通。因此，由於第九電晶體 3609 受輸入到第三佈線 2713 的信號控制，第九電晶體 3609 在第三非選擇周期內導通且在第一非選擇周期和第二非選擇周期內截止。另一方面，由於在設定周期和選擇周期內節點 2721 處於低電位且節點 3622 變為高電位，第八電晶體 3608 截止。因此，由於第九電晶體 3609 的閘極端子的電位保持在位於設定周期的前一個周期的第一非選擇周期的電位，即高電

位，第九電晶體 3609 截止。

如上所述，在圖 36 的正反器中，在第一非選擇周期、第二非選擇周期和第三非選擇周期內，V1 施加到第六佈線 2716。因此可以進一步抑制該正反器的失靈。這是因為 V1 在該非選擇周期內施加到第六佈線 2716。此外，由於在圖 36 的正反器中 V1 在該非選擇周期內施加到第六佈線 2716，第六佈線 2716 的雜訊可以減小。

此外，在圖 36 的正反器中，第六電晶體 3606、第七電晶體 3607、第八電晶體 3608 和第九電晶體 3609 的特性惡化可以得到抑制。這是因為第六電晶體 3606 僅在該設定周期和選擇周期內導通；第七電晶體 3607 僅在位於該選擇周期之後第一非選擇周期內該節點 3622 電位下降到 V2+|Vth3607|的周期內導通；第八電晶體 3608 僅在該第一非選擇周期、第二非選擇周期和第三非選擇周期的節點 3623 電位下降到 V2+ δ（δ 對應於 |Vth3607|+|Vth3608|）的周期內導通；且第九電晶體 3609 僅在第三非選擇周期內導通。

注意，在圖 36 的正反器中，第一電晶體 2701、第二電晶體 2702、第三電晶體 2703、第四電晶體 2704、第五電晶體 3205、第六電晶體 3606、第七電晶體 3607、第八電晶體 3608 和第九電晶體 3609 都是 P 通道電晶體。因此在圖 36 的正反器中，即使當多晶矽或者單晶矽用於各個電晶體的半導體層時，該製造方法仍可以簡化。

這裏描述第六電晶體 3606、第七電晶體 3607、第八

電晶體 3608 和第九電晶體 3609 的功能。第六電晶體 3606 具有選擇用於施加第二佈線 2712 的電位到節點 3622 的時脈的功能，並作為開關電晶體。第七電晶體 3607 具有選擇用於施加第一佈線 2711 的電位到節點 3622 的時脈的功能，並作為二極體。第八電晶體 3608 具有選擇用於施加第三佈線 2713 的電位到節點 3623 的時脈的功能，並作為開關電晶體。第九電晶體 3609 具有選擇用於施加第二佈線 2712 的電位到第六佈線 2716 的時脈的功能，並作為開關電晶體。

注意，電晶體的佈置、數目等不限於圖 36 的情形，只要與圖 36 類似的操作得以執行即可。因此，可以附加地提供電晶體、其他元件（例如，電阻器或電容器）、二極體、開關、任何邏輯電路等。

例如，如圖 38 所示，電容器 3801 可以在圖 36 所示第二電晶體 2702 的閘極端子和第二端子之間。透過提供電容器 3801，可以更加穩定地執行選擇周期內的自舉操作。此外，由於第二電晶體 2702 的閘極端子和第二端子之間的寄生電容可以減小，因此各個電晶體可以高速地開關。注意，在電容器 3801 中，閘極絕緣膜可以用作絕緣層，且閘極電極層和佈線層可以用作導電層；閘極絕緣膜可以用作絕緣層，且閘極電極層和添加有雜質的半導體層可以用作導電層；或者層間膜（絕緣膜）可以用作絕緣層，且佈線層和透明電極層可以用作導電層。注意，與圖 36 相同的部分使用相同的標號表示，並省略了對其的描

述。

也可以對圖 39 中的正反器執行與圖 36 相似的操作。如圖 39 所示，圖 36 所示的第一電晶體 2701 可以連接成二極體。第一電晶體 2701 連接成二極體，從而流經第一佈線 2711 的電流變小。因此，第一佈線 2711 的佈線寬度可以變小。注意，與圖 36 相同的部分使用相同的標號表示，並省略了對其的描述。

此外，本實施例模式所示的各個正反器可以應用於圖 17 和 18 的移位暫存器的每一個。由於具有三個相位的時鐘信號可以與實施例模式 1 至 6 類似地使用，因此可以節省功率。此外，由於連接到各個時鐘信號線（第三佈線 613、第四佈線 614 和第五佈線 615 的每一個）的正反器 1701 的級數減少為在本實施例模式的各個移位暫存器中使用單一相位的時鐘信號的情形的三分之二，因此各個時鐘信號線的負載可以減小。注意，與透過使用 N 通道電晶體形成的正反器應用於圖 17 和 18 中的各個移位暫存器的情形相比，在施加到第一佈線 611 和第二佈線 612 的每一個的電位；輸入到第三佈線 613、第四佈線 614、第五佈線 615 和第六佈線 616 的每一個的信號；以及輸出到佈線 622 的信號的每一個中，高電位和低電位被反相。

此外，本實施例模式所示的各個移位暫存器可以應用於圖 9、11、12 和 44 中的各個顯示裝置。與實施例模式 1 至 6 類似地，透過將本實施例模式應用於形成於與像素部相同的基板上的掃描線驅動器電路，各個顯示裝置的壽

命可以延長。

注意，本實施例模式所示的移位暫存器和正反器的每一個可以與本說明書中其他實施例模式所示的顯示裝置的結構自由地組合。此外，本實施例模式所示的移位暫存器和正反器的每一個的結構可以自由地組合。

[實施例模式 8]

在本實施例模式中，具有不同於實施例模式 5 至 7 的結構的正反器示於圖 40。注意，與實施例模式 5 至 7 相似的部分使用相同的標號表示，並省略了相同部分和具有相似功能的部分的詳細描述。

圖 40 所示正反器包括第一電晶體 2701、第二電晶體 2702、第三電晶體 2703、第四電晶體 2704、第五電晶體 3205、第六電晶體 3606、第七電晶體 3607、第八電晶體 3608、第九電晶體 3609、第十電晶體 4010、第十一電晶體 4011 和第十二電晶體 4012。注意，該正反器連接到第一佈線 2711、第二佈線 2712、第三佈線 2713、第四佈線 2714、第五佈線 2715、第六佈線 2716 和第七佈線 3217。在本實施例模式中，第十電晶體 4010、第十一電晶體 4011 和第十二電晶體 4012 均為 P 通道電晶體，且在閘極-源極電壓絕對值（|Vgs|）超過臨界值電壓（Vth）時（在 Vgs 低於 Vth 時）導通。

第一電晶體 2701 的第一端子（源極端子和汲極端子之一）連接到第一佈線 2711；第一電晶體 2701 的第二端

子（源極電子和汲極端子的另一個）連接到第二電晶體2702的閘極端子；且第一電晶體2701的閘極端子連接到第五佈線2715。第三電晶體2703的第一端子連接到第二佈線2712；第三電晶體2703的第二端子連接到第二電晶體2702的閘極端子；且第三電晶體2703的閘極端子連接到第四佈線2714。第二電晶體2702的第一端子連接到第三佈線2713，且第二電晶體2702的第二端子連接到第六佈線2716。第四電晶體2704的第一端子連接到第二佈線2712；第四電晶體2704的第二端子連接到第六佈線2716；且第四電晶體2704的閘極端子連接到第四佈線2714。第五電晶體3205的第一端子連接到第二佈線2712；第五電晶體3205的第二端子連接到第六佈線2716；且第五電晶體3205的閘極端子連接到第七佈線3217。第六電晶體3606的第一端子連接到第二佈線2712；第六電晶體3606的第二端子連接到第八電晶體3608的閘極端子和第十一電晶體4011的閘極端子；且第六電晶體3606的閘極端子連接到第二電晶體2702的閘極端子。第七電晶體3607的第一端子連接到第一佈線2711；第七電晶體3607的第二端子連接到第八電晶體3608的閘極端子和第十一電晶體4011的閘極端子；且第七電晶體3607的閘極端子連接到第一佈線2711。第八電晶體3608的第一端子連接到第三佈線2713，且第八電晶體3608的第二端子連接到第九電晶體3609的閘極端子和第四電晶體4010的閘極端子。第九電晶體3609的第一端

子連接到第二佈線 2712，且第九電晶體 3609 的第二端子連接到第六佈線 2716。第十電晶體 4010 的第一端子連接到第二佈線 2712，且第十電晶體 4010 的第二端子連接到第二電晶體 2702 的閘極端子。第十一電晶體 4011 的第一端子連接到第七佈線 3217，且第十一電晶體 4011 的第二端子連接到第十二電晶體 4012 的閘極端子。第十二電晶體 4012 的第一端子連接到第二佈線 2712，且第十二電晶體 4012 的第二端子連接到第二電晶體 2702 的閘極端子。注意，第十一電晶體 4011 的第二端子和第十二電晶體 4012 的閘極端子的連接點使用節點 4024 表示。

注意，第三電晶體 2703 的第二端子、第四電晶體 2704 的第二端子、第五電晶體 3205 的第二端子、第六電晶體 3606 的第二端子、第九電晶體 3609 的第二端子、第十電晶體 4010 的第二端子和第十二電晶體 4012 的第二端子不一定連接到第二佈線 2712，而可以連接到不同佈線。此外，第三電晶體 2703 的閘極端子和第四電晶體 2704 的閘極端子不一定連接到第四佈線 2714，而可以連接到不同佈線。此外，第一電晶體 2701 的第一端子、第七電晶體 3607 的第一端子和第七電晶體 3607 的閘極端子不一定連接到第一佈線 2711，而可以連接到不同佈線。另外，第二電晶體 2702 的第一端子和第八電晶體 3608 的第一端子不一定連接到第三佈線 2713，而可以連接到不同佈線。此外，第五電晶體 3205 的閘極端子和第十一電晶體 4011 的第一端子不一定連接到第七佈線 3217，而可

以連接到不同佈線。

接下來，將參考圖 41 所示時脈圖來描述圖 40 所示的正反器的操作。注意，圖 41 為圖 40 的正反器在與圖 27、32 和 36 所示正反器類似地操作的情形下的時脈圖。注意，與圖 28、33 和 37 相同的部分使用相同標號表示，並省略對其的描述。

在圖 41 中，電位 4124 為圖 40 中節點 4024 的電位。

在圖 40 的正反器中，第十電晶體 4010 在第三非選擇周期內導通。此外，因為第二佈線 2712 的電位透過第十電晶體 4010 施加到節點 2721，節點 2721 可以更穩定地保持在高電位。另外，在圖 40 的正反器中，第十二電晶體 4012 在第一非選擇周期內導通。此外，因為第二佈線 2712 的電位透過第十二電晶體 4012 施加到節點 2721，節點 2721 可以更穩定地保持在高電位。

具體描述第十二電晶體 4012 的導通/截止的控制。注意，第十電晶體 4010 的導通/截止的控制類似於實施例模式 7 中所述的第九電晶體 3609 的導通/截止的控制。首先，第六電晶體 3606 和第七電晶體 3607 的每一個形成反相器，類似於圖 36 的正反器。因此，由於在第一非選擇周期、第二非選擇周期和第三非選擇周期內，節點 2721 處於高電位且節點 3622 變為低電位，則第十一電晶體 4011 導通。因此，由於第十二電晶體 4012 受輸入到第七佈線 3217 的信號控制，第十二電晶體 4012 在第二非選擇周期內導通且在第一非選擇周期和第三非選擇周期內截

止。另一方面，由於在設定周期和選擇周期內節點 2721 處於低電位且節點 3622 變為高電位，第十一電晶體 4011 截止。因此，由於第十二電晶體 4012 的閘極端子的電位保持在位於設定周期的前一個周期的第一非選擇周期的電位，即高電位，第十二電晶體 4012 截止。

如上所述，在圖 40 的正反器中，在第一非選擇周期、第二非選擇周期和第三非選擇周期內，V1 施加到第六佈線 2716 和節點 2721 的每一個。因此可以進一步抑制該正反器的失靈。這是因為 V1 在該非選擇周期內施加到第六佈線 2716 和節點 2721 的每一個。此外，由於在圖 40 的正反器中 V1 在該非選擇周期內施加到第六佈線 2716 和節點 2721 的每一個，第六佈線 2716 和節點 2721 的雜訊可以減小。

此外，在圖 40 的正反器中，第十電晶體 4010、第十一電晶體 4011 和第十二電晶體 4012 的特性惡化可以得到抑制。這是因為第十電晶體 4010 僅在第三非選擇周期內導通；第十一電晶體 4011 僅在該第一非選擇周期、第二非選擇周期和第三非選擇周期的節點 4024 電位下降到 $V12+\varepsilon$（ε 對應於 $|Vth3607|+|Vth4011|$）的周期內導通；且第十二電晶體 4012 僅在第二非選擇周期內導通。

注意，在圖 40 的正反器中，第一電晶體 2701、第二電晶體 2702、第三電晶體 2703、第四電晶體 2704、第五電晶體 3205、第六電晶體 3606、第七電晶體 3607、第八電晶體 3608、第九電晶體 3609、第十電晶體 4010、第十

一電晶體 4011 和第十二電晶體 4012 都是 P 通道電晶體。因此在圖 40 的正反器中，即使當多晶矽或者單晶矽用於各個電晶體的半導體層時，製造方法仍可以簡化。

這裏描述第十電晶體 4010、第十一電晶體 4011 和第十二電晶體 4012 的功能。第十電晶體 4010 具有施加第二佈線 2712 的電位到節點 2721 的功能，並作為開關電晶體。第十一電晶體 4011 具有施加第七佈線 3217 的電位到節點 4024 的功能，並作為開關電晶體。第十二電晶體 4012 具有施加第二佈線 2712 的電位到節點 2721 的功能，並作為開關電晶體。

注意，電晶體的佈置、數目等不限於圖 40 的情形，只要與圖 40 類似的操作得以執行即可。因此，可以附加地提供電晶體、其他元件（例如，電阻器或電容器）、二極體、開關、任何邏輯電路等。

例如，如圖 42 所示，電容器 4201 可以在圖 40 所示第二電晶體 2702 的閘極端子和第二端子之間。透過提供電容器 4201，可以更加穩定地執行選擇周期內的自舉操作。此外，由於第二電晶體 2702 的閘極端子和第二端子之間的寄生電容可以減小，因此各個電晶體可以高速地開關。注意，在電容器 4201 中，閘極絕緣膜可以用作絕緣層，且閘極電極層和佈線層可以用作導電層；閘極絕緣膜可以用作絕緣層，且閘極電極層和添加有雜質的半導體層可以用作導電層；或者層間膜（絕緣膜）可以用作絕緣層，且佈線層和透明電極層可以用作導電層。注意，與圖

40 相同的部分使用相同的標號表示，並省略了對其的描述。

也可以對圖 43 中的正反器執行與圖 40 相似的操作。如圖 43 所示，圖 40 所示的第一電晶體 2701 可以連接成二極體。第一電晶體 2701 連接成二極體，從而流經第一佈線 2711 的電流變小。因此，第一佈線 2711 的佈線寬度可以變小。

此外，本實施例模式所示的各個正反器可以應用於圖 17 和 18 的移位暫存器的每一個。由於具有三個相位的時鐘信號可以與實施例模式 1 至 7 類似地使用，因此可以節省功率。此外，由於連接到各個時鐘信號線（第三佈線 613、第四佈線 614 和第五佈線 615 的每一個）的正反器 1701 的級數減少為在本實施例模式的各個移位暫存器中使用單一相位的時鐘信號的情形的三分之二，因此各個時鐘信號線的負載可以減小。注意，與透過使用 N 通道電晶體形成的正反器應用於圖 17 和 18 中的各個移位暫存器的情形相比，在施加到第一佈線 611 和第二佈線 612 的每一個的電位；輸入到第三佈線 613、第四佈線 614、第五佈線 615 和第六佈線 616 的每一個的信號；以及輸出到佈線 622 的信號的每一個中，高電位和低電位被反相。

此外，本實施例模式所示的各個移位暫存器可以應用於圖 9、11、12 和 44 中的各個顯示裝置。與實施例模式 1 至 7 類似地，透過將本實施例模式應用於形成於與像素部相同的基板上的掃描線驅動器電路，各個顯示裝置的壽

命可以延長。

注意，本實施例模式所示的移位暫存器和正反器的每一個可以與本說明書中其他實施例模式所示的顯示裝置的結構自由地組合。此外，本實施例模式所示的移位暫存器和正反器的每一個的結構可以自由地組合。

[實施例模式 9]

在本實施例模式中，參考圖 46A 和 46B 描述實施例模式 1 至 8 所示的各個顯示裝置中包括的像素的示例。

描述圖 46A 和 46B 的每一個中的像素結構。圖 46A 所示像素包括電晶體 4601、電容器 4602 和顯示元件 4621。注意，該像素連接到第一佈線 4611、第二佈線 4612 和第三佈線 4613。此外，描述了下述情形，如圖 46B 所示，液晶元件 4631 用於顯示元件 4621，其中該液晶元件 4631 的透光率透過像素電極 4623 和相對電極 4622 之間的電場而改變。注意，第一佈線 4611 可以稱為信號線。此外，第二佈線 4612 可以稱為掃描線。另外，第三佈線 4613 可以稱為儲存電容線。

注意，儘管電晶體 4601 為 N 通道電晶體，但該電晶體也可以為 P 通道電晶體。在實施例模式 1 至 4 中，較佳的、N 通道電晶體用作電晶體 4601。這是因為，由於非晶矽可以用於電晶體的半導體層，製造方法可以簡化，且因此製造成本可以降低且生產率可以提高，還可以製造例如大尺寸顯示面板的半導體裝置。另外，即使當多晶矽或者

單晶矽用於各個電晶體的半導體層時，該製造方法仍可以簡化。在實施例模式 5 至 8 中，較佳的、P 通道電晶體用作電晶體 4601。這是因為製造方法可以簡化，從而製造成本可以降低且生產率可以提高。

注意，第一佈線 4611 對應於圖 9、11、12 和 44 的顯示裝置中所示的信號線 S1 至 Sm 的任何一條。注意，第二佈線 4612 對應於圖 9、11、12 和 44 的顯示裝置中所示的掃描線 G1 至 Gn 的任何一條。

注意，儘管第三佈線 4613 未示於圖 9、11、12 和 44，但如上所述，較佳的、第三佈線 4613 可根據需要添加到圖 9、11、12 和 44。

注意，圖 4602 具有保持顯示元件 4621 的像素電極 4623 的電位的功能。因此，電容器 4602 連接在像素電極 4623 和第三佈線 4613 之間；然而本發明不限於此。僅需要提供電容器 4602，從而該電容器 4602 可以保持像素電極 4623 的電位。電容器 4602 可以連接到另一像素（例如，前一行的像素）的第二佈線 4612，或者可以連接到相對電極 4622 或者與相對電極 4622 相對應的電極。此外，當顯示元件 4621 具有電容性能時，則不一定提供電容器 4602 和第三佈線 4613。

對於操作方法，第一佈線 4611 被選擇以導通電晶體 4601，且視頻信號從第一佈線 4611 輸入到像素電極 4623 和電容器 4602 的每一個。隨後，顯示元件 4621 具有依據該視頻信號的透光率。

這裏描述一種使得顯示裝置具有高的影像品質的驅動方法。注意，對於該使得顯示裝置具有高的影像品質的驅動方法，將描述過驅動（overdriving）方法、控制公共線（儲存電容線）的驅動方法、背光掃描、高頻驅動方法等。此外，這些驅動方法可以自由地組合。

首先，參考圖 47A 至 47C 描述過驅動方法。圖 47A 示出了顯示元件的輸出亮度相對於輸入電壓的時間變化。虛線所示的相對於輸入電壓 1 的該顯示元件的輸出亮度的時間變化類似於也用虛線表示的輸出亮度 1。也就是說，儘管用於獲得期望的輸出亮度 Low 的電壓為 Vi，但是與元件的回應速度相對應的時間是需要的，從而在 Vi 作為輸入電壓而直接輸入時實現期望的輸出亮度 Low。

過驅動是一種提高回應速度的技術。具體而言，過驅動是指這樣的方法，其中在透過將高於 Vi 的電壓 Vo 施加到元件特定時間段以增大元件的回應速度之後，輸入電壓返回到 Vi，從而該元件的輸出亮度接近期望的輸出亮度 Low。此時，輸入電壓用輸入電壓 2 表示，輸出亮度用輸出亮度 2 表示。由輸出亮度 2 曲線圖表示的達到期望亮度 Low 的時間短於輸出亮度 1 的曲線圖表示的達到期望亮度 Low 的時間。

注意，儘管在圖 47A 中描述了輸出亮度相對於輸入電壓發生正變化的情形，本發明也包括輸出亮度相對於輸入電壓發生負變化的情形。

參考圖 47B 和 47C 描述用於實現這種驅動的電路。

首先，參考圖 47B 描述輸入視頻信號 Gi 為具有類比值的信號（可以為離散值）且輸出視頻信號 Go 也是具有類比值的信號的情形。圖 47B 所示的過驅動電路包括編碼電路 4701、框記憶體 4702、校正電路 4703 和 D/A 轉換器電路 4704。

首先，輸入視頻信號 Gi 輸入到編碼電路 4701 並被編碼。也就是說，輸入視頻信號 Gi 從類比信號轉換成具有恰當位元數目的數位信號。之後，轉換後的數位信號輸入到框記憶體 4702 和校正電路 4703 的每一個。保持在框記憶體 4702 內的前一框的視頻信號同時也輸入到校正電路 4703。隨後，校正電路 4703 依據預先準備的數值表基於該框的視頻信號和前一框的視頻信號，輸出校正的視頻信號。此時，輸出切換信號可以輸入到校正電路 4703，從而校正的視頻信號和該框的視頻信號被切換和輸出。接下來，該校正的視頻信號或該框的視頻信號輸入到 D/A 轉換器電路 4704。隨後輸出視頻信號 Go 被輸出，該輸出視頻信號 Go 為依據該校正的視頻信號或該框的視頻信號的類比信號。按照這種方式可以實現過驅動。

下面，參考圖 47C 描述輸入視頻信號 Gi 為具有數位值的信號且輸出視頻信號 Go 也是具有數位值的信號的情形。圖 47C 所示的過驅動電路包括框記憶體 4712 和校正電路 4713。

輸入視頻信號 Gi 為數位信號，並被輸入到框記憶體 4712 和校正電路 4713。保持在框記憶體 4712 內的前一框

的視頻信號同時也被輸入到校正電路 4713。隨後，校正電路 4713 依據預先準備的數值表基於該框的視頻信號和前一框的視頻信號，輸出校正的視頻信號。此時，輸出切換信號可以輸入到校正電路 4713，從而校正的視頻信號和該框的視頻信號被切換和輸出。按照這種方式可以實現過驅動。

注意，用於獲得校正視頻信號的該數值表的組合為 1SF 可具有的灰階數目和 2SF 可具有的灰階數目的乘積。該組合的數目越小，則越佳的，因為儲存於校正電路 4713 內的資料量變小。在本實施例模式中，暗影像的亮度為半色調中的 0，直到顯示亮影像的子框達到最高亮度，且在顯示亮影像的子框達到該最高亮度之後，該亮影像的亮度恒定，直至最大灰階被顯示，從而該組合的數目可以變得極小。

另外注意，本發明中的過驅動電路還包括輸入視頻信號 Gi 為類比信號而輸出視頻信號 Go 為數位信號的情形。此時，僅需從圖 47B 所示的電路去除 D/A 轉換器電路 4704 即可。此外，本發明中的過驅動電路還包括輸入視頻信號 Gi 為數位信號而輸出視頻信號 Go 為類比信號的情形。此時，僅需從圖 47B 所示的電路去除編碼電路 4701 即可。

參考圖 48A 和 48B 描述控制公共線電位的驅動。圖 48A 為示出了多個像素電路的圖示，其中在使用類似液晶元件的具有電容性能的顯示元件的顯示裝置中，一條掃描

線設有一條公共線。圖 48A 所示的像素電路的每一個包括電晶體 4801、輔助電容器 4802、顯示元件 4803、視頻信號線 4804、掃描線 4805 和公共線 4806。

注意，電晶體 4801、輔助電容器 4802、顯示元件 4803、視頻信號線 4804、掃描線 4805 和公共線 4806 分別對應於圖 46A 所示的電晶體 4601、電容器 4602、顯示元件 4621、第一佈線 4611、第二佈線 4612 和第三佈線 4613。

電晶體 4801 的閘極端子電連接到掃描線 4805；電晶體 4801 的源極端子和汲極端子之一電連接到視頻信號線 4804；且電晶體 4801 的源極端子和汲極端子的另一個電連接到輔助電容器 4802 的端子之一和顯示元件 4803 的端子之一。此外，輔助電容器 4802 的另一個端子電連接到公共線 4806。

首先，由於電晶體 4801 導通，在掃描線 4805 選擇的各個像素中，對應於視頻信號的電壓透過視頻信號線 4804 施加到顯示元件 4803 和輔助電容器 4802。此時，當視頻信號為使連接到公共線 4806 的所有像素顯示最小灰階的信號時或者當視頻信號為使連接到公共線 4806 的所有像素顯示最大灰階的信號時，該視頻信號無需透過視頻信號線 4804 寫入各個像素。替代透過視頻信號線 4804 寫入視頻信號，可以透過改變公共線 4806 的電位來改變施加到顯示元件 4803 的電壓。

隨後，圖 48B 為示出了多個像素電路的圖示，其中在

使用類似液晶元件的具有電容性能的顯示元件的顯示裝置中，一條掃描線設有兩條公共線。圖 48B 所示的像素電路的每一個包括電晶體 4811、輔助電容器 4812、顯示元件 4813、視頻信號線 4814、掃描線 4815、第一公共線 4816 和第二公共線 4817。

電晶體 4811 的閘極端子電連接到掃描線 4815；電晶體 4811 的源極端子和汲極端子之一電連接到視頻信號線 4814；且電晶體 4811 的源極端子和汲極端子的另一個電連接到輔助電容器 4812 的端子之一和顯示元件 4813 的端子之一。此外，輔助電容器 4812 的另一個端子電連接到第一公共線 4816。另外，在鄰近該像素的像素中，輔助電容器 4812 的另一個端子電連接到第二公共線 4817。

在圖 48B 所示的像素電路中，電連接到一條公共線的像素的數目小。因此，透過改變第一公共線 4816 或第二公共線 4817 的電位來替代透過視頻信號線 4814 寫入視頻信號，施加到顯示元件 4813 的變化電壓的頻率顯著增大。此外，可以進行源反轉驅動或點反轉驅動。透過進行源反轉驅動或點反轉驅動，元件的可靠性可以改善且閃爍可得到抑制。

參考圖 49A 至 49C 描述掃描背光。圖 49A 為示出了其中佈置有冷陰極螢光燈的掃描背光。圖 49A 所示的掃描背光包括漫射板 4901 和 N 條冷陰極螢光燈 4902-1 至 4902-N。該 N 條冷陰極螢光燈 4902-1 至 4902-N 佈置在漫射板 4901 的背側上，從而該 N 條冷陰極螢光燈 4902-1 至

4902-N 的亮度變化時可以被掃描。

參考圖 49C 描述在掃描時各條冷陰極螢光燈的亮度變化。首先，冷陰極螢光燈 4902-1 的亮度改變特定時段。之後，鄰近冷陰極螢光燈 4902-1 的冷陰極螢光燈 4902-2 的亮度改變相同的時段。按照這種方式，從冷陰極螢光燈 4902-1 到冷陰極螢光燈 4902-N 順序發生亮度改變。儘管在圖 49C 中改變特定時段的亮度設置為低於初始亮度，但也可以設置為高於初始亮度。此外，儘管從冷陰極螢光燈 4902-1 到 4902-N 進行掃描，但是也可以逆序地從冷陰極螢光燈 4902-N 到 4902-1 進行掃描。

較佳的、具有低亮度的時段中的背光亮度近似等於其中插入了暗影像的子框的最高亮度。具體而言，當暗影像插入到 1SF 時，背光亮度較佳的為 1SF 的最高亮度 Lmax 1；當暗影像插入到 2SF 時，背光亮度較佳的為 2SF 的最高亮度 Lmax 2。

注意，LED 可以用做掃描背光的光源。這種情況下的掃描背光示於圖 49B。圖 49B 所示的掃描背光包括漫射板 4911 和 N 光源 4912-1 至 4912-N，各個光源中佈置有 LED。當 LED 用做掃描背光的光源時，具有背光薄且輕質的優點。此外，還具有顏色再現區域加寬的優點。另外，由於佈置在光源 4912-1 至 4912-N 的每一個中的 LED 可以類似地被掃描，因此也可以獲得點掃描背光。透過使用點掃描背光，運動影像的影像品質可以進一步改善。

參考圖 50A 至 50C 描述高頻驅動方法。圖 50A 為以

60Hz 的框頻插入暗影像而進行驅動的視圖。標號 5001 表示該框的亮影像；標號 5002 表示該框的暗影像；標號 5003 表示下一框的亮影像；以及標號 5004 表示下一框的暗影像。以 60Hz 進行驅動的優點為，視頻信號的框率一致性可以容易地獲得且影像處理電路不會變得複雜。

圖 50B 為以 90Hz 的框頻插入暗影像而進行驅動的視圖。標號 5011 表示該框的亮影像；標號 5012 表示該框的暗影像；標號 5013 表示由該框、下一框和再下一框形成的第一影像的亮影像；標號 5014 表示由該框、下一框和再下一框形成的第一影像的暗影像；標號 5015 表示由該框、下一框和再下一框形成的第二影像的亮影像；以及標號 5016 表示由該框、下一框和再下一框形成的第二影像的暗影像。以 90Hz 進行驅動的優點為，週邊驅動器電路的工作頻率不是太高且運動影像的影像品質可以有效地改善。

圖 50C 為以 120Hz 的框頻插入暗影像而進行驅動的視圖。標號 5021 表示該框的亮影像；標號 5022 表示該框的暗影像；標號 5023 表示由該框和下一框形成的影像的亮影像；標號 5024 表示由該框和下一框形成的影像的暗影像；標號 5025 表示下一框的影像的亮影像；標號 5026 表示下一框的影像的暗影像；標號 5027 表示由下一框和再下一框形成的影像的亮影像；以及標號 5028 表示由下一框和再下一框形成的影像的暗影像。以 120Hz 進行驅動的優點為，改善運動影像的影像品質的有益效果是顯著的

且餘輝（after image）難以察覺。

圖 51A 至 55B 示出了圖 46A 和 46B 所示各個像素的俯視圖和剖面圖。圖 51A 至 55B 具有不同的液晶工作模式。

首先，圖 51A 和 51B 為一種像素的剖面圖和俯視圖，其中在該像素中所謂的 TN 模式和薄膜電晶體（TFT）組合，該 TN 模式為液晶顯示裝置的像素結構之一。圖 51A 為該像素的剖面圖，圖 51B 為像素的俯視圖。此外，圖 51A 所示該像素的剖面圖對應於圖 51B 所示該像素的俯視圖中的線 a-a'。透過將本發明應用於具有圖 51A 和 51B 所示像素結構的液晶顯示裝置，可以低成本地製造該液晶顯示裝置。

參考圖 51A 描述 TN 模式液晶顯示裝置的像素結構。該液晶顯示裝置包括顯示影像的基本部分，該基本部分稱為液晶面板。該液晶面板的製造如下：兩個加工基板彼此貼合，其間具有幾微米的間隙，且液晶材料注入到該兩個基板之間。在圖 51A 中，該兩個基板對應於第一基板 5101 和第二基板 5116。TFT 和像素電極可以形成於第一基板上方，以及遮光膜 5114、濾色器 5115、第四導電層 5113、間隔物 5117 和第二配向膜 5112 形成於第二基板上。

注意，還可以不在第一基板 5101 上方形成 TFT 來實施本發明。當不形成該 TFT 來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生

產率可以提高。另一方面，當透過形成該 TFT 來實施本發明時，可以獲得更大的顯示裝置。

圖 51A 和 51B 所示的 TFT 為使用非晶半導體的底閘 TFT，其優點為透過使用大尺寸基板可以低成本地製造。然而，本發明不限於此。對於底閘 TFT，可以採用的 TFT 結構有通道蝕刻型、通道保護型等。替代的，可以使用頂閘型。此外，不僅可以使用非晶半導體，而且還可以使用多晶半導體。

注意，還可以不在第二基板 5116 上形成遮光膜 5114 來實施本發明。當不形成遮光膜 5114 來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生產率可以提高。另一方面，當透過形成遮光膜 5114 來實施本發明時，可以獲得在暗顯示時具有小的光洩漏的顯示裝置。

注意，還可以不在第二基板 5116 上形成濾色器 5115 來實施本發明。當不形成濾色器 5115 來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生產率可以提高。另一方面，當透過形成濾色器 5115 來實施本發明時，可以獲得可以進行彩色顯示的顯示裝置。

注意，還可以透過分散球形間隔物而不是提供間隔物 5117 於第二基板 5116 上來實施本發明。當透過分散球形間隔物來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生產率可以提高。另一方

面，當透過形成間隔物 5117 來實施本發明時，間隔物的位置沒有變化，從而兩個基板之間的距離可以是均勻的，且可以獲得具有小的顯示不均勻的顯示裝置。

接下來描述對第一基板 5101 進行的處理。具有透光性能的基板較佳的用於第一基板 5101。例如，可以使用石英基板、玻璃基板或者塑膠基板。替代的，第一基板 5101 可以是擋光基板、半導體基板或者 SOI（絕緣體上矽）基板。

首先，第一絕緣膜 5102 形成於第一基板 5101 上方。第一絕緣膜 5102 可以是例如氧化矽膜、氮化矽膜或者氮氧化矽（SiO_xN_y）膜的絕緣膜。替代的，可以使用具有其中組合至少兩種這些膜的疊層結構的絕緣膜。當透過形成第一絕緣膜 5102 來實施本發明時，可以防止對半導體層產生負面影響的來自基板的雜質所致的 TFT 特性變化，從而可以獲得具有高可靠性的顯示裝置。另一方面，當不形成第一絕緣膜 5102 來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生產率可以提高。

接下來，第一導電層 5103 形成於第一基板 5101 或者第一絕緣膜 5102 上方。可以加工該第一導電層 5103 的形狀。加工該形狀的步驟較佳的為如下所述。首先，第一導電層 5103 形成於整個表面上方。此時可以使用例如濺鍍設備或 CVD 設備的膜形成設備。接下來，光敏抗蝕劑材料形成於在整個表面上方形成的第一導電層 5103 的整個

表面上。隨後，該抗蝕劑材料透過光微影、鐳射直接繪製方法等暴露於依據期望形狀的光之下。接下來，或者曝光的抗蝕劑材料或者不曝光的抗蝕劑材料透過蝕刻而去除，由此可以獲得用於加工第一導電層 5103 的形狀的掩模。之後，第一導電層 5103 依據所形成的掩模透過蝕刻而去除，從而該第一導電層 5103 的形狀可以加工成期望的圖案。注意，用於蝕刻第一導電層 5103 的方法有化學方法（例如，濕蝕刻）和物理方法（例如，乾蝕刻），且考慮第一導電層 5103 的材料或者用於第一導電層 5103 下的部分的材料的性能等恰當地選擇該方法。對於用於第一導電層 5103 的材料，Mo、Ti、Al、Nd、Cr 等是較佳的。替代的，可以使用這些材料的疊層結構。另外替代的，第一導電層 5103 可以形成為這些材料的合金的單層或疊層結構。

接下來，形成第二絕緣膜 5104。此時可以使用例如濺鍍設備或 CVD 設備的膜形成設備。對於用於第二絕緣膜 5104 的材料，熱氧化物膜、氧化矽膜、氮化矽膜、氮氧化矽膜等是較佳的。替代的，可以使用這些膜的疊層結構。尤其較佳的、與第一半導體層 5105 接觸的第二絕緣膜 5104 的一部分為氧化矽膜。這是因為，當使用氧化矽膜時，半導體膜 5105 和第二絕緣膜 5104 之間介面處的陷阱能級減小。當第一導電層 5103 由 Mo 形成時，與第一導電層 5103 接觸的第二絕緣膜 5104 的一部分為較佳的氮化矽膜。這是因為氮化矽膜不氧化 Mo。

接下來形成第一半導體層 5105。之後，較佳的、順序形成第二半導體層 5106。可以加工第一半導體層 5105 和第二半導體層 5106 的形狀。用於加工這些形狀的方法較佳的為例如如上所述的光微影方法。對於用於第一半導體層 5105 的材料，矽、鍺矽（SiGe）等是較佳的。此外，對於用於第二半導體層 5106 的材料，包括磷等的矽等是較佳的。

接下來形成第二導電層 5107。此時較佳的使用濺鍍或印刷方法。用於第二導電層 5107 的材料可具有透光性能或反射性。對於用於第二導電層的材料具有透光性能的情形，可以使用例如透過將氧化錫混合到氧化銦中形成的氧化銦錫（ITO）膜、透過將氧化矽混合到氧化銦（ITO）中形成的氧化銦錫矽（ITSO）膜、透過將氧化鋅混合到氧化銦中形成的氧化銦鋅（IZO）膜、氧化鋅膜或者氧化錫膜。注意，TZO 是透明導電材料，透過使用將 2 至 20 重量%的氧化鋅（ZnO）混合到 ITO 的靶來濺鍍而形成。另一方面，對於具有反射性的情形，可以使用 Ti、Mo、Ta、Cr、W、Al 等。此外可以採用其中層疊了 Al 與 Ti、Mo、Ta、Cr 或 W 的兩層結構，或者其中 Al 夾置在例如 Ti、Mo、Ta、Cr 和 W 的金屬之間的三層結構。注意，可以加工該第二導電層 5107 的形狀。用於加工該形狀的方法較佳的為例如如上所述的光微影方法。可以使用例如 ECR（電子迴旋共振）或 ICP（感應耦合電漿）的高密度電漿源透過乾蝕刻設備來進行乾蝕刻。

接下來形成 TFT 的通道區。此時，可以使用第二導電層 5107 為掩模，進行第二半導體層 5106 的蝕刻。因此，掩模數目可以減少，從而製造成本可以降低。透過對具有導電性的第二半導體層 5106 進行蝕刻，去除的部分作為 TFT 的通道區。注意，不順序地形成第一半導體層 5105 和第二半導體層 5106，在形成第一半導體層 5105 之後，在作為 TFT 通道區的部分形成和圖案化作為停止層的膜，且隨後形成第二半導體層 5106。因此，由於可以不使用第二導電層 5107 為掩模來形成 TFT 的通道區，佈局圖案的自由度增加，這是一個優點。此外，當第二半導體層 5106 被蝕刻時，第一半導體層 5105 不被蝕刻，TFT 的通道區可以安全地形成而不導致蝕刻缺陷，這也是優點。

接下來形成第三絕緣膜 5108。較佳的、該第三絕緣膜 5108 具有透光性能。注意，對於用於第三絕緣膜 5108 的材料，無機材料（例如，氧化矽、氮化矽或氮氧化矽）、具有低介電常數的有機化合物材料（例如，光敏或者非光敏有機樹脂材料）等是較佳的。替代的，可以使用包括矽氧烷的材料。矽氧烷這種材料中的骨架結構是由矽（Si）和氧（O）的鍵形成的。至少包括氫的有機基團（例如，烷基基團或芳香烴）作為取代基。該取代基還可以使用含氟的基團。替代的，至少包含氫的有機基團和該含氟基團作為取代基。第三絕緣膜 5108 可具有疊層結構。注意，可以加工該第三絕緣膜 5108 的形狀。用於加

工該形狀的方法較佳的為例如如上所述的光微影方法。此時，透過同時蝕刻第二絕緣膜 5104，可以形成不僅達到第三絕緣膜 5108 還達到第一導電層 5103 的接觸孔。較佳的、第三絕緣膜 5108 的表面盡可能平坦。這是因為液晶分子配向受到與液晶接觸的表面的不平坦的負面影響。

接下來形成第三導電層 5109。此時，較佳的使用濺鍍或印刷方法。注意，用於第三導電層 5109 的材料可具有透光性能或反射性，類似於第二導電層 5107。另外注意，可以用於第三導電層 5109 的材料類似於第二導電層 5107 的材料。此外，可以加工第三導電層 5109 的形狀。用於加工該形狀的方法類似於第二導電層 5107 的加工方法。

接下來形成第一配向膜 5110。對於第一配向膜 5110，可以使用例如聚醯亞胺的聚合物的膜。在形成第一配向膜 5110 之後，進行摩擦以控制液晶分子的配向。摩擦是透過使用布摩擦配向膜而在配向膜中形成線的步驟。透過進行摩擦，配向膜可具有配向性能。

如上所述形成的第一基板 5101 透過密封劑貼附到設有遮光膜 5114、濾色器 5115、第四導電層 5113、間隔物 5117 和第二配向膜 5112 的第二基板 5116，該第一和第二基板之間的間隙為幾微米，且隨後，液晶材料注入到該兩個基板之間，由此製造液晶面板。注意，在如圖 51A 和 51B 所示的 TN 模式液晶面板中，第四導電層 5113 可以形成於第二基板 5116 的整個表面上。

接下來，描述參考圖 51A 和 51B 所示的 TN 模式液晶面板的像素結構的特徵。圖 51A 所示液晶分子 5118 是長且薄的分子，各個分子具有長軸和短軸。在圖 51A 中，各個液晶分子 5118 透過其長度來表達，以示出各個液晶分子的方向。也就是說，液晶分子 5118 的表達為長的長軸的方向平行於紙面，且當液晶分子 5118 表達為更短時，長軸的方向變得更接近紙面的法線方向。也就是說，在圖 51A 所示的液晶分子 5118 中，接近第一基板 5101 的液晶分子的長軸的方向和接近第二基板 5116 的液晶分子的長軸的方向彼此相差 90 度，且介於其間的液晶分子 5118 的長軸的方向佈置成平滑地連接上述兩個方向。也就是說，圖 51A 所示的液晶分子 5118 配向成在第一基板 5101 和第二基板 5116 之間扭轉了 90 度。

接下來參考圖 51B 描述應用了本發明的 TN 模式液晶顯示裝置的像素佈局的示例。應用了本發明的該 TN 模式液晶顯示裝置的像素可包括掃描線 5121、視頻信號線 5122、電容器線 5123、TFT 5124、像素電極 5125 和像素電容器 5126。

由於掃描線 5121 電連接到 TFT 5124 的閘極端子，因此較佳的、該掃描線 5121 由第一導電層 5103 形成。

由於視頻信號線 5122 電連接到 TFT 5124 的源極端子或汲極端子，因此較佳的、該視頻信號線 5122 由第二導電層 5107 形成。此外，由於掃描線 5121 和視頻信號線 5122 佈置成矩陣，因此較佳的、掃描線 5121 和視頻信號

線 5122 至少由導電層形成於不同層內。

電容器線 5123 是透過設為平行於像素電極 5125 而用於形成像素電容器 5126 的佈線，且較佳的、該電容器線 5123 由第一導電層 5103 形成。注意，電容器線 5123 可以沿視頻信號線 5122 延伸，從而圍繞視頻信號線 5122，如圖 51B 所示。因此，應保持的電極電位隨著視頻信號線 5122 電位的變化而變化的現象，即所謂的串擾可以降低。另外注意，為了降低與視頻信號線 5122 的交叉電容，第一半導體層 5105 可以提供於電容器線 5123 和視頻信號線 5122 的交叉區域，如圖 51B 所示。

TFT 5124 作為電連接視頻信號線 5122 和像素電極 5125 的開關。注意如圖 51B 所示，TFT 5124 的源極區和汲極區之一可以提供為圍繞該源極區和汲極區的另一個。因此，可以在小的面積內獲得寬的通道，且可以提高開關能力。另外注意，如圖 51B 所示，TFT 5124 的閘極端子可以提供為圍繞第一半導體層 5105。

像素電極 5125 電連接到 TFT 5124 的源極端子和汲極端子之一。像素電極 5125 為用於將信號電壓施加到液晶元件的電極，該信號電壓透過視頻信號線 5122 傳輸。此外，像素電極 5125 和電容器線 5123 可以形成像素電容器 5126。因此，像素電極 5125 還可以具有保持透過視頻信號線 5122 傳輸的信號電壓的功能。注意，像素電極 5125 可以是矩形，如圖 51B 所示。因此，像素的孔徑率可以增大，從而該液晶顯示裝置的效率可以提高。此外，對於像

素電極 5125 使用具有透光性能的材料形成的情形，可以獲得透射液晶顯示裝置。透射液晶顯示裝置具有高的彩色再現能力，且可以顯示具有高的影像品質的影像。替代的，對於像素電極 5125 使用具有反射性的材料形成的情形，可以獲得反射液晶顯示裝置。反射液晶顯示裝置在例如室外的明亮環境中具有高的可見度，且由於不需要背光而可以極大地降低功耗。注意，對於像素電極 5125 既使用具有透光性能的材料又使用具有反射性的材料形成的情形，則可以獲得具有上述二者的優點的半透射液晶顯示裝置。另外注意，對於像素電極 5125 使用具有反射性的材料形成的情形，像素電極 5125 的表面可以不平整。因此，由於反射光被漫反射，則可以獲得反射光強度分佈的角度依存性減小的優點。也就是說，可以獲得在任意角度上亮度是均勻的反射液晶顯示裝置。

接下來，描述參考圖 52A 和 52B 描述應用了本發明的 VA（垂直配向）模式液晶顯示裝置。圖 52A 和 52B 為應用了本發明的 VA 模式液晶顯示裝置的像素結構之一中的像素的剖面圖和俯視圖，其中在 VA 模式液晶顯示裝置中採用了配向控制凸出，從而液晶分子受到控制以具有各種方向且視角加寬，即，所謂的 MVA（多區域垂直配向）模式。圖 52A 為像素的剖面圖，圖 52B 為像素的俯視圖。此外，圖 52A 所示該像素的剖面圖對應於圖 52B 所示該像素的俯視圖中的線 a-a'。透過將本發明應用於具有圖 52A 和 52B 所示像素結構的液晶顯示裝置，可以獲

得具有寬視角、高回應速度和高對比度的液晶顯示裝置。

參考圖 52A 描述 MVA 模式液晶顯示裝置的像素結構。該液晶顯示裝置包括顯示影像的基本部分，該基本部分稱為液晶面板。該液晶面板的製造如下：兩個加工基板彼此貼合，其間具有幾微米的間隙，並且液晶材料注入到該兩個基板之間。在圖 52A 中，該兩個基板對應於第一基板 5201 和第二基板 5216。TFT 和像素電極可以形成於第一基板上方，以及遮光膜 5214、濾色器 5215、第四導電層 5213、間隔物 5217、第二配向膜 5212 和配向控制凸出 5219 形成於第二基板上。

注意，還可以不在第一基板 5201 上方形成 TFT 來實施本發明。當不形成該 TFT 來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生產率可以提高。另一方面，當透過形成該 TFT 來實施本發明時，可以獲得更大的顯示裝置。

圖 52A 和 52B 所示的 TFT 為使用非晶半導體的底閘 TFT，其優點為透過使用大尺寸基板可以低成本地製造。然而，本發明不限於此。對於底閘 TFT，可以採用的 TFT 結構有通道蝕刻型、通道保護型等。替代的，可以使用頂閘型。此外，不僅可以使用非晶半導體，而且還可以使用多晶半導體。

注意，還可以不在第二基板 5216 上形成遮光膜 5214 來實施本發明。當不形成遮光膜 5214 來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構

簡單，生產率可以提高。另一方面，當透過形成遮光膜 5214 來實施本發明時，可以獲得在暗顯示時具有小的光洩漏的顯示裝置。

注意，還可以不在第二基板 5216 上形成濾色器 5215 來實施本發明。當不形成濾色器 5215 來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生產率可以提高。另一方面，當透過形成濾色器 5215 來實施本發明時，可以獲得可以進行彩色顯示的顯示裝置。

注意，還可以透過分散球形間隔物而不是提供間隔物 5217 於第二基板 5216 上來實施本發明。當透過分散球形間隔物來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生產率可以提高。另一方面，當透過形成間隔物 5217 來實施本發明時，間隔物的位置沒有變化，從而兩個基板之間的距離可以是均勻的，且可以獲得具有小的顯示不均勻的顯示裝置。

接下來，對於對第一基板 5201 進行的處理，可以採用圖 51A 和 51B 所述的方法；因此省略這部分描述。這裏，第一基板 5201、第一絕緣膜 5202、第一導電層 5203、第二絕緣膜 5204、第一半導體層 5205、第二半導體層 5206、第二導電層 5207、第三絕緣膜 5208、第三導電層 5209 和第一配向膜 5210 分別對應於圖 51A 中的第一基板 5101、第一絕緣膜 5102、第一導電層 5103、第二絕緣膜 5104、第一半導體層 5105、第二半導體層 5106、第

二導電層 5107、第三絕緣膜 5108、第三導電層 5109 和第一配向膜 5110。注意，儘管未在圖中示出，配向控制凸出仍可以提供於第一基板側上。因此，液晶分子的配向可以更安全地得到控制。此外，配向膜 5210 和第二配向膜 5212 可以是垂直配向膜。因此，液晶分子 5218 可以垂直地配向。

如上所述形成的第一基板 5201 透過密封劑貼附到設有遮光膜 5214、濾色器 5215、第四導電層 5213、間隔物 5217 和第二配向膜 5212 的第二基板 5216，該第一和第二基板之間的間隙為幾微米，且隨後，液晶材料注入到該兩個基板之間，由此製造液晶面板。注意，在如圖 52A 和 52B 所示的 MVA 模式液晶面板中，第四導電層 5213 可以形成於第二基板 5216 的整個表面上。此外，配向控制凸出 5219 可以形成，從而接觸第四導電層 5213。儘管配向控制凸出 5219 的形狀不受限制，具有平滑曲線的形狀是較佳的。因此，由於鄰近液晶分子 5218 的配向變得極為相似，配向缺陷可以減少。此外，可以減少其中第二配向膜 5212 被配向控制凸出 5219 斷開的配向膜缺陷。

接下來，描述參考圖 52A 和 52B 所示的 MVA 模式液晶面板的像素結構的特徵。圖 52A 所示液晶分子 5218 是長且薄的分子，各個分子具有長軸和短軸。在圖 52A 中，各個液晶分子 5218 透過其長度來表達，以示出各個液晶分子的方向。也就是說，液晶分子 5218 的表達為長的長軸的方向平行於紙面，且當液晶分子 5218 表達為更短

時，長軸的方向變得更接近紙面的法線方向。也就是說，在圖 52A 所示的各個液晶分子 5218 配向成長軸的方向垂直於該配向膜。因此，在提供有配向控制凸出 5219 的部分中，液晶分子 5218 以配向控制凸出 5219 為中心而徑向地配向。採用這種狀態，可以獲得具有寬視角的液晶顯示裝置。

接下來參考圖 52B 描述應用了本發明的 MVA 模式液晶顯示裝置的像素佈局的示例。應用了本發明的該 MVA 模式液晶顯示裝置的像素可包括掃描線 5221、視頻信號線 5222、電容器線 5223、TFT 5224、像素電極 5225、像素電容器 5226 和配向控制凸出 5219。

由於掃描線 5221 電連接到 TFT 5224 的閘極端子，因此較佳的、該掃描線 5221 由第一導電層 5203 形成。

由於視頻信號線 5222 電連接到 TFT 5224 的源極端子或汲極端子，因此較佳的、該視頻信號線 5222 由第二導電層 5207 形成。此外，由於掃描線 5221 和視頻信號線 5222 佈置成矩陣，因此較佳的、掃描線 5221 和視頻信號線 5222 至少由導電層形成於不同層內。

電容器線 5223 是透過設為平行於像素電極 5225 而用於形成像素電容器 5226 的佈線，且較佳的、該電容器線 5223 由第一導電層 5203 形成。注意，電容器線 5223 可以沿視頻信號線 5222 延伸，從而圍繞視頻信號線 5222，如圖 52B 所示。因此，應保持的電極電位隨著視頻信號線 5222 電位的變化而變化的現象，即所謂的串擾可以降

低。另外注意，為了降低與視頻信號線 5222 的交叉電容，第一半導體層 5205 可以提供於電容器線 5223 和視頻信號線 5222 的交叉區域，如圖 52B 所示。

TFT 5224 作為電連接視頻信號線 5222 和像素電極 5225 的開關。注意如圖 52B 所示，TFT 5224 的源極區和汲極區之一可以提供為圍繞該源極區和汲極區的另一個。因此，可以在小的面積內獲得寬的通道，且可以提高開關能力。另外注意，如圖 52B 所示，TFT 5224 的閘極端子可以提供為圍繞第一半導體層 5205。

像素電極 5225 電連接到 TFT 5224 的源極端子和汲極端子之一。像素電極 5225 為用於將信號電壓施加到液晶元件的電極，該信號電壓透過視頻信號線 5222 傳輸。此外，像素電極 5225 和電容器線 5223 可以形成像素電容器 5226。因此，像素電極 5225 還可以具有保持透過視頻信號線 5222 傳輸的信號電壓的功能。注意，像素電極 5225 可以是矩形，如圖 52B 所示。因此，像素的孔徑率可以增大，從而該液晶顯示裝置的效率可以提高。此外，對於像素電極 5225 使用具有透光性能的材料形成的情形，可以獲得透射液晶顯示裝置。透射液晶顯示裝置具有高的彩色再現能力，且可以顯示具有高的影像品質的影像。替代的，對於像素電極 5225 使用具有反射性的材料形成的情形，可以獲得反射液晶顯示裝置。反射液晶顯示裝置在例如室外的明亮環境中具有高的可見度，且由於不需要背光而可以極大地降低功耗。注意，對於像素電極 5225 既使

用具有透光性能的材料又使用具有反射性的材料形成的情形，則可以獲得具有上述二者的優點的半透射液晶顯示裝置。另外注意，對於像素電極 5225 使用具有反射性的材料形成的情形，像素電極 5225 的表面可以不平整。因此，由於反射光被漫反射，則可以獲得反射光強度分佈的角度依存性減小的優點。也就是說，可以獲得在任意角度上亮度是均勻的反射液晶顯示裝置。

接下來，描述參考圖 53A 和 53B 描述應用了本發明的 VA（垂直配向）模式液晶顯示裝置的另一個示例。圖 53A 和 53B 為應用了本發明的 VA 模式液晶顯示裝置的像素結構之一中的像素的剖面圖和俯視圖，其中第四導電層 5313 被圖案化，從而液晶分子受到控制以具有各種方向且視角加寬，即，所謂的 PVA（圖案化垂直配向）模式。圖 53A 為像素的剖面圖，圖 53B 為像素的俯視圖。此外，圖 53A 所示該像素的剖面圖對應於圖 53B 所示該像素的俯視圖中的線 a-a'。透過將本發明應用於具有圖 53A 和 53B 所示像素結構的液晶顯示裝置，可以獲得具有寬視角、高回應速度和高對比度的液晶顯示裝置。

參考圖 53A 描述 PVA 模式液晶顯示裝置的像素結構。該液晶顯示裝置包括顯示影像的基本部分，該基本部分稱為液晶面板。該液晶面板的製造如下：兩個加工基板彼此貼合，其間具有幾微米的間隙，以及液晶材料注入到該兩個基板之間。在圖 53A 中，該兩個基板對應於第一基板 5301 和第二基板 5316。TFT 和像素電極可以形成於第

一基板上方，以及遮光膜 5314、濾色器 5315、第四導電層 5313、間隔物 5317 和第二配向膜 5312 形成於第二基板上。

注意，還可以不在第一基板 5301 上方形成 TFT 來實施本發明。當不形成該 TFT 來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，產率可以提高。另一方面，當透過形成該 TFT 來實施本發明時，可以獲得更大的顯示裝置。

圖 53A 和 53B 所示的 TFT 為使用非晶半導體的底閘 TFT，其優點為透過使用大尺寸基板可以低成本地製造。然而，本發明不限於此。對於底閘 TFT，可以採用的 TFT 結構有通道蝕刻型、通道保護型等。替代的，可以使用頂閘型。此外，不僅可以使用非晶半導體，而且還可以使用多晶半導體。

注意，還可以不在第二基板 5316 上形成遮光膜 5314 來實施本發明。當不形成遮光膜 5314 來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生產率可以提高。另一方面，當透過形成遮光膜 5314 來實施本發明時，可以獲得在暗顯示時具有小的光洩漏的顯示裝置。

注意，還可以不在第二基板 5316 上形成濾色器 5315 來實施本發明。當不形成濾色器 5315 來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生產率可以提高。另一方面，當透過形成濾色器

5315 來實施本發明時，可以獲得可以進行彩色顯示的顯示裝置。

注意，還可以透過分散球形間隔物而不是提供間隔物 5317 於第二基板 5316 上來實施本發明。當透過分散球形間隔物來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生產率可以提高。另一方面，當透過形成間隔物 5317 來實施本發明時，間隔物的位置沒有變化，從而兩個基板之間的距離可以是均勻的，且可以獲得具有小的顯示不均勻的顯示裝置。

接下來，對於對第一基板 5301 進行的處理，可以採用圖 51A 和 51B 所述的方法；因此省略這部分描述。這裏，第一基板 5301、第一絕緣膜 5302、第一導電層 5303、第二絕緣膜 5304、第一半導體層 5305、第二半導體層 5306、第二導電層 5307、第三絕緣膜 5308、第三導電層 5309 和第一配向膜 5310 分別對應於圖 51A 中的第一基板 5101、第一絕緣膜 5102、第一導電層 5103、第二絕緣膜 5104、第一半導體層 5105、第二半導體層 5106、第二導電層 5107、第三絕緣膜 5108、第三導電層 5109 和第一配向膜 5110。注意，電極槽口部可以提供於第一基板 5301 側上的第三導電層 5309。因此，液晶分子的配向可以更安全地得到控制。此外，配向膜 5310 和第二配向膜 5312 可以是垂直配向膜。因此，液晶分子 5318 可以垂直地配向。

如上所述形成的第一基板 5301 透過密封劑貼附到設

有遮光膜 5314、濾色器 5315、第四導電層 5313、間隔物 5317 和第二配向膜 5312 的第二基板 5316，該第一和第二基板之間的間隙為幾微米，且隨後，液晶材料注入到該兩個基板之間，由此製造液晶面板。注意，在如圖 53A 和 53B 所示的 PVA 模式液晶面板中，第四導電層 5313 可以圖案化以形成電極槽口部 5319。另外注意，儘管電極槽口部 5319 的形狀不受限制，組合了具有不同方向的多個矩形的形狀是較佳的。因此，由於可以形成具有不同配向的多個區域，因此可以獲得具有寬視角的液晶顯示裝置。此外，在電極槽口部 5319 和第四導電層 5313 邊界處的第四導電層 5313 的形狀較佳的為平滑曲線。因此，由於鄰近液晶分子 5318 的配向極為相似，配向缺陷可以減少。此外，可以減少其中第二配向膜 5312 被電極槽口部 5319 斷開的配向膜缺陷。

接下來，描述參考圖 53A 和 53B 所示的 PVA 模式液晶面板的像素結構的特徵。圖 53A 所示液晶分子 5318 是長且薄的分子，各個分子具有長軸和短軸。在圖 53A 中，各個液晶分子 5318 透過其長度來表達，以示出各個液晶分子的方向。也就是說，液晶分子 5318 的表達為長的長軸的方向平行於紙面，且當液晶分子 5318 表達為更短時，長軸的方向變得更接近紙面的法線方向。也就是說，在圖 53A 所示的各個液晶分子 5318 配向成長軸的方向垂直於該配向膜。因此，在提供有電極槽口部的部分中，液晶分子 5318 以電極槽口部 5319 和第四導電層 5313 之間

的邊界為中心而徑向地配向。採用這種狀態，可以獲得具有寬視角的液晶顯示裝置。

接下來參考圖 53B 描述應用了本發明的 PVA 模式液晶顯示裝置的像素佈局的示例。應用了本發明的該 PVA 模式液晶顯示裝置的像素可包括掃描線 5321、視頻信號線 5322、電容器線 5323、TFT 5324、像素電極 5325、像素電容器 5326 和電極槽口部 5319。

由於掃描線 5321 電連接到 TFT 5324 的閘極端子，因此較佳的、該掃描線 5321 由第一導電層 5303 形成。

由於視頻信號線 5322 電連接到 TFT 5324 的源極端子或汲極端子，因此較佳的、該視頻信號線 5322 由第二導電層 5307 形成。此外，由於掃描線 5321 和視頻信號線 5322 佈置成矩陣，因此較佳的、掃描線 5321 和視頻信號線 5322 至少由導電層形成於不同層內。

電容器線 5323 是透過設為平行於像素電極 5325 而用於形成像素電容器 5326 的佈線，且較佳的、該電容器線 5323 由第一導電層 5303 形成。注意，電容器線 5323 可以沿視頻信號線 5322 延伸，從而圍繞視頻信號線 5322，如圖 53B 所示。因此，應保持的電極電位隨著視頻信號線 5322 電位的變化而變化的現象，即所謂的串擾可以降低。另外注意，為了降低與視頻信號線 5322 的交叉電容，第一半導體層 5305 可以提供於電容器線 5323 和視頻信號線 5322 的交叉區域，如圖 53B 所示。

TFT 5324 作為電連接視頻信號線 5322 和像素電極

5325 的開關。注意如圖 53B 所示，TFT 5324 的源極區和汲極區之一可以提供為圍繞該源極區和汲極區的另一個。因此，可以在小的面積內獲得寬的通道，且可以提高開關能力。另外注意，如圖 53B 所示，TFT 5324 的閘極端子可以提供為圍繞第一半導體層 5305。

像素電極 5325 電連接到 TFT 5324 的源極端子和汲極端子之一。像素電極 5325 為用於將信號電壓施加到液晶元件的電極，該信號電壓透過視頻信號線 5322 傳輸。此外，像素電極 5325 和電容器線 5323 可以形成像素電容器 5326。因此，像素電極 5325 還可以具有保持透過視頻信號線 5322 傳輸的信號電壓的功能。較佳的、像素電極 5325 在不存在電極槽口部 5319 的部分中具有槽口部，該槽口部對應於提供到第四導電層 5313 的電極槽口部 5319 的形狀，如圖 53B 所示。因此，由於可以形成具有液晶分子 5318 的不同配向的多個區域，可以獲得具有寬視角的液晶顯示裝置。此外，對於像素電極 5325 使用具有透光性能的材料形成的情形，可以獲得透射液晶顯示裝置。透射液晶顯示裝置具有高的彩色再現能力，且可以顯示具有高的影像品質的影像。替代的，對於像素電極 5325 使用具有反射性的材料形成的情形，可以獲得反射液晶顯示裝置。反射液晶顯示裝置在例如室外的明亮環境中具有高的可見度，且由於不需要背光而可以極大地降低功耗。注意，對於像素電極 5325 既使用具有透光性能的材料又使用具有反射性的材料形成的情形，則可以獲得具有上述二

者的優點的半透射液晶顯示裝置。另外注意，對於像素電極 5325 使用具有反射性的材料形成的情形，像素電極 5325 的表面可以不平整。因此，由於反射光被漫反射，則可以獲得反射光強度分佈的角度依存性減小的優點。也就是說，可以獲得在任意角度上亮度是均勻的反射液晶顯示裝置。

接下來，描述參考圖 54A 和 54B 描述應用了本發明的橫向電場模式液晶顯示裝置。圖 54A 和 54B 為應用了本發明的橫向電場模式液晶顯示裝置的像素結構之一中的像素的剖面圖和俯視圖，該液晶顯示裝置進行切換，使得液晶分子總是與相對於基板沿水平方向，其中透過將像素電極 5425 和公共電極 5423 圖案化成梳狀而橫向地施加電場，即，所謂的 IPS（面內切換）模式。圖 54A 為像素的剖面圖，圖 54B 為像素的俯視圖。此外，圖 54A 所示該像素的剖面圖對應於圖 54B 所示該像素的俯視圖中的線 a-a'。透過將本發明應用於具有圖 54A 和 54B 所示像素結構的液晶顯示裝置，可以獲得具有理論上寬視角和與灰階的依存性小的回應速度的液晶顯示裝置。

參考圖 54A 描述 IPS 模式液晶顯示裝置的像素結構。該液晶顯示裝置包括顯示影像的基本部分，該基本部分稱為液晶面板。該液晶面板的製造如下：兩個加工基板彼此貼合，其間具有幾微米的間隙，以及液晶材料注入到該兩個基板之間。在圖 54A 中，該兩個基板對應於第一基板 5401 和第二基板 5416。TFT 和像素電極可以形成於第一

基板上方，以及遮光膜 5414、濾色器 5415、間隔物 5417 和第二配向膜 5412 形成於第二基板上。

注意，還可以不在第一基板 5401 上方形成 TFT 來實施本發明。當不形成該 TFT 來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生產率可以提高。另一方面，當透過形成該 TFT 來實施本發明時，可以獲得更大的顯示裝置。

圖 54A 和 54B 所示的 TFT 為使用非晶半導體的底閘 TFT，其優點為透過使用大尺寸基板可以低成本地製造。然而，本發明不限於此。對於底閘 TFT，可以採用的 TFT 結構有通道蝕刻型、通道保護型等。替代的，可以使用頂閘型。此外，不僅可以使用非晶半導體，而且還可以使用多晶半導體。

注意，還可以不在第二基板 5416 上形成遮光膜 5414 來實施本發明。當不形成遮光膜 5414 來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生產率可以提高。另一方面，當透過形成遮光膜 5414 來實施本發明時，可以獲得在暗顯示時具有小的光洩漏的顯示裝置。

注意，還可以不在第二基板 5416 上形成濾色器 5415 來實施本發明。當不形成濾色器 5415 來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生產率可以提高。另一方面，當透過形成濾色器 5415 來實施本發明時，可以獲得可以進行彩色顯示的顯

示裝置。

注意，還可以透過分散球形間隔物而不是提供間隔物 5417 於第二基板 5416 上來實施本發明。當透過分散球形間隔物來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生產率可以提高。另一方面，當透過形成間隔物 5417 來實施本發明時，間隔物的位置沒有變化，從而兩個基板之間的距離可以是均勻的，且可以獲得具有小的顯示不均勻的顯示裝置。

接下來，對於對第一基板 5401 進行的處理，可以採用圖 51A 和 51B 所述的方法；因此省略這部分描述。這裏，第一基板 5401、第一絕緣膜 5402、第一導電層 5403、第二絕緣膜 5404、第一半導體層 5405、第二半導體層 5406、第二導電層 5407、第三絕緣膜 5408、第三導電層 5409 和第一配向膜 5410 分別對應於圖 51A 中的第一基板 5101、第一絕緣膜 5102、第一導電層 5103、第二絕緣膜 5104、第一半導體層 5105、第二半導體層 5106、第二導電層 5107、第三絕緣膜 5108、第三導電層 5109 和第一配向膜 5110。注意，第一基板 5401 側上的第三導電層 5409 可以圖案化成彼此嚙合的梳狀。此外，梳狀電極之一可以電連接到 TFT 5424 的源極端子和汲極端子之一，且梳狀電極的另一個可以電連接到公共電極 5423。因此，橫向電場可以有效地施加於液晶分子 5418。

如上所述形成的第一基板 5401 透過密封劑貼附到設有遮光膜 5414、濾色器 5415、間隔物 5417 和第二配向膜

5412 的第二基板 5416，該第一和第二基板之間的間隙為幾微米，且隨後，液晶材料注入到該兩個基板之間，由此製造液晶面板。注意，儘管圖中未示出，導電層可以形成於第二基板 5416 側上。透過在第二基板 5416 側上形成導電層，來自外部的電磁波雜訊的負面影響可以減少。

接下來，描述參考圖 54A 和 54B 所示的 IPS 模式液晶面板的像素結構的特徵。圖 54A 所示液晶分子 5418 是長且薄的分子，各個分子具有長軸和短軸。在圖 54A 中，各個液晶分子 5418 透過其長度來表達，以示出各個液晶分子的方向。也就是說，液晶分子 5418 的表達為長的長軸的方向平行於紙面，且當液晶分子 5418 表達為更短時，長軸的方向變得更接近紙面的法線方向。也就是說，在圖 54A 所示的各個液晶分子 5418 配向成長軸的方向總是與相對於基板沿水平方向。儘管圖 54A 示出了未施加電場的狀態下的配向，當電場施加到各個液晶分子 5418 時，各個液晶分子在水平面內旋轉，同時長軸的方向保持總是與相對於基板沿水平方向。採用這種狀態，可以獲得具有寬視角的液晶顯示裝置。

接下來參考圖 54B 描述應用了本發明的 IPS 模式液晶顯示裝置的像素佈局的示例。應用了本發明的該 IPS 模式液晶顯示裝置的像素可包括掃描線 5421、視頻信號線 5422、公共電極 5423、TFT 5424 和像素電極 5425。

由於掃描線 5421 電連接到 TFT 5424 的閘極端子，因此較佳的、該掃描線 5421 由第一導電層 5403 形成。

由於視頻信號線 5422 電連接到 TFT 5424 的源極端子或汲極端子，因此較佳的、該視頻信號線 5422 由第二導電層 5407 形成。此外，由於掃描線 5421 和視頻信號線 5422 佈置成矩陣，因此較佳的、掃描線 5421 和視頻信號線 5422 至少由導電層形成於不同層內。注意，如圖 54B 所示，視頻信號線 5422 可以形成為隨像素內的像素電極 5425 和公共電極 5423 的形狀而彎曲。因此，像素的孔徑率可以增大，從而該液晶顯示裝置的效率可以提高。

公共電極 5423 是透過設為平行於像素電極 5425 而用於產生橫向電場的佈線，且較佳的、該公共電極 5423 由第一導電層 5403 和第三導電層 5409 形成。注意，公共電極 5423 可以沿視頻信號線 5422 延伸，從而圍繞視頻信號線 5422，如圖 54B 所示。因此，應保持的電極電位隨著視頻信號線 5422 電位的變化而變化的現象，即所謂的串擾可以降低。另外注意，為了降低與視頻信號線 5422 的交叉電容，第一半導體層 5405 可以提供於公共電極 5423 和視頻信號線 5422 的交叉區域，如圖 54B 所示。

TFT 5424 作為電連接視頻信號線 5422 和像素電極 5425 的開關。注意如圖 54B 所示，TFT 5424 的源極區和汲極區之一可以提供為圍繞該源極區和汲極區的另一個。因此，可以在小的面積內獲得寬的通道，且可以增大開關能力。另外注意，如圖 54B 所示，TFT 5424 的閘極端子可以提供為圍繞第一半導體層 5405。

像素電極 5425 電連接到 TFT 5424 的源極端子和汲極

端子之一。像素電極 5425 為用於將信號電壓施加到液晶元件的電極，該信號電壓透過視頻信號線 5422 傳輸。此外，像素電極 5425 和公共電極 5423 可以形成像素電容器 5426。因此，像素電極 5425 還可以具有保持透過視頻信號線 5422 傳輸的信號電壓的功能。注意，像素電極 5425 和梳狀公共電極 5423 的每一個可以具有彎曲的梳狀，如圖 54B 所示。因此，由於可以形成具有液晶分子 5418 的不同配向的多個區域，可以獲得具有寬視角的液晶顯示裝置。此外，對於像素電極 5425 和梳狀公共電極 5423 的每一個使用具有透光性能的材料形成的情形，可以獲得透射液晶顯示裝置。透射液晶顯示裝置具有高的彩色再現能力，且可以顯示具有高的影像品質的影像。替代的，對於像素電極 5425 和梳狀公共電極 5423 的每一個使用具有反射性的材料形成的情形，可以獲得反射液晶顯示裝置。反射液晶顯示裝置在例如室外的明亮環境中具有高的可見度，且由於不需要背光而可以極大地降低功耗。注意，對於像素電極 5425 和梳狀公共電極 5423 的每一個既使用具有透光性能的材料又使用具有反射性的材料形成的情形，則可以獲得具有上述二者的優點的半透射液晶顯示裝置。另外注意，對於像素電極 5425 和梳狀公共電極 5423 的每一個使用具有反射性的材料形成的情形，像素電極 5425 和梳狀公共電極 5423 的每一個的表面可以不平整。因此，由於反射光被漫反射，則可以獲得反射光強度分佈的角度依存性減小的優點。也就是說，可以獲得在任意角度

上亮度是均勻的反射液晶顯示裝置。

儘管像素電極 5425 和梳狀公共電極 5423 均由第三導電層 5409 形成，可以應用本發明的像素結構不限於此且可以恰當地選擇。例如，像素電極 5425 和梳狀公共電極 5423 可均由第二導電層 5407 形成；像素電極 5425 和梳狀公共電極 5423 可均由第一導電層 5403 形成；其中一個可由第三導電層 5409 形成且其另一個由第二導電層 5407 形成；其中一個可由第三導電層 5409 形成且其另一個由第一導電層 5403 形成；或者其中一個可由第二導電層 5407 形成且其另一個由第一導電層 5403 形成。

接下來，描述參考圖 55A 和 55B 描述應用了本發明的另一種橫向電場模式液晶顯示裝置。圖 55A 和 55B 為橫向電場模式液晶顯示裝置的另一種像素結構的視圖，該液晶顯示裝置進行切換，使得液晶分子總是相對於基板處於沿水平方向。更具體而言，圖 55A 和 55B 為應用了本發明的所謂 FFS（邊緣場切換）模式的像素的剖面圖和俯視圖，在該模式中，像素電極 5525 和公共電極 5523 之一圖案化成梳狀，另一個在交疊該梳狀的區域形成為平面形狀，從而橫向地施加電場。圖 55A 為像素的剖面圖，圖 55B 為像素的俯視圖。此外，圖 55A 所示該像素的剖面圖對應於圖 55B 所示該像素的俯視圖中的線 a-a'。透過將本發明應用於具有圖 55A 和 55B 所示像素結構的液晶顯示裝置，可以獲得具有理論上寬視角和與灰階的依存性小的回應速度的液晶顯示裝置。

參考圖 55A 描述 FFS 模式液晶顯示裝置的像素結構。該液晶顯示裝置包括顯示影像的基本部分，該基本部分稱為液晶面板。該液晶面板的製造如下：兩個加工基板彼此貼合，其間具有幾微米的間隙，並且液晶材料注入到該兩個基板之間。在圖 55A 中，該兩個基板對應於第一基板 5501 和第二基板 5516。TFT 和像素電極可以形成於第一基板上方，以及遮光膜 5514、濾色器 5515、間隔物 5517 和第二配向膜 5512 形成於第二基板上。

注意，還可以不在第一基板 5501 上方形成 TFT 來實施本發明。當不形成該 TFT 來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生產率可以提高。另一方面，當透過形成該 TFT 來實施本發明時，可以獲得更大的顯示裝置。

圖 55A 和 55B 所示的 TFT 為使用非晶半導體的底閘 TFT，其優點為透過使用大尺寸基板可以低成本地製造。然而，本發明不限於此。對於底閘 TFT，可以採用的 TFT 結構有通道蝕刻型、通道保護型等。替代的，可以使用頂閘型。此外，不僅可以使用非晶半導體，而且還可以使用多晶半導體。

注意，還可以不在第二基板 5516 上形成遮光膜 5514 來實施本發明。當不形成遮光膜 5514 來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生產率可以提高。另一方面，當透過形成遮光膜 5514 來實施本發明時，可以獲得在暗顯示時具有小的光

洩漏的顯示裝置。

注意，還可以不在第二基板 5516 上形成濾色器 5515 來實施本發明。當不形成濾色器 5515 來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生產率可以提高。另一方面，當透過形成濾色器 5515 來實施本發明時，可以獲得可以進行彩色顯示的顯示裝置。

注意，還可以透過分散球形間隔物而不是提供間隔物 5517 於第二基板 5516 上來實施本發明。當透過分散球形間隔物來實施本發明時，步驟數目減少，製造成本由此可以降低。此外，由於結構簡單，生產率可以提高。另一方面，當透過形成間隔物 5517 來實施本發明時，間隔物的位置沒有變化，從而兩個基板之間的距離可以是均勻的，且可以獲得具有小的顯示不均勻的顯示裝置。

接下來，對於對第一基板 5501 進行的處理，可以採用圖 51A 和 51B 所述的方法；因此省略這部分描述。這裏，第一基板 5501、第一絕緣膜 5502、第一導電層 5503、第二絕緣膜 5504、第一半導體層 5505、第二半導體層 5506、第二導電層 5507、第三絕緣膜 5508、第三導電層 5509 和第一配向膜 5510 分別對應於圖 51A 中的第一基板 5101、第一絕緣膜 5102、第一導電層 5103、第二絕緣膜 5104、第一半導體層 5105、第二半導體層 5106、第二導電層 5107、第三絕緣膜 5108、第三導電層 5109 和第一配向膜 5110。

然而，第四絕緣膜 5519 和第四導電層 5513 可以形成於第一基板 5501 側上，這不同於圖 51A 和 51B。更具體而言，可以在第三導電層 5509 圖案化之後形成第四絕緣膜 5519；可以在第四絕緣膜 5519 圖案化以形成接觸孔之後形成第四導電層 5513；且可以在第四導電層 5513 類似地圖案化之後形成第一配向膜 5510。對於第四絕緣膜 5519 和第四導電層 5513 的材料和加工方法，可以使用與第三絕緣膜 5508 和第三導電層 5509 類似的材料和加工方法。此外，該梳狀電極可電連接到 TFT 5524 的源極端子和汲極端子之一，且平面電極可以電連接到公共電極 5523。因此，橫向電場可以有效地施加於液晶分子 5518。

如上所述形成的第一基板 5501 透過密封劑貼附到設有遮光膜 5514、濾色器 5515、間隔物 5517 和第二配向膜 5512 的第二基板 5516，該第一和第二基板之間的間隙為幾微米，且隨後，液晶材料注入到該兩個基板之間，由此製造液晶面板。注意，儘管圖中未示出，導電層可以形成於第二基板 5516 側上。透過在第二基板 5516 側上形成導電層，來自外部的電磁波雜訊的負面影響可以減少。

接下來，描述參考圖 55A 和 55B 所示的 FFS 模式液晶面板的像素結構的特徵。圖 55A 所示液晶分子 5518 是長且薄的分子，各個分子具有長軸和短軸。在圖 55A 中，各個液晶分子 5518 透過其長度來表達，以示出各個液晶分子的方向。也就是說，液晶分子 5518 的表達為長的長

軸的方向平行於紙面，且當液晶分子 5518 表達為更短時，長軸的方向變得更接近紙面的法線方向。也就是說，在圖 55A 所示的各個液晶分子 5518 配向成長軸的方向總是與相對於基板沿水平方向。儘管圖 55A 示出了未施加電場的狀態下的配向，當電場施加到各個液晶分子 5518 時，各個液晶分子在水平面內旋轉，同時長軸的方向保持總是與相對於基板沿水平方向。採用這種狀態，可以獲得具有寬視角的液晶顯示裝置。

接下來參考圖 55B 描述應用了本發明的 FFS 模式液晶顯示裝置的像素佈局的示例。應用了本發明的該 FFS 模式液晶顯示裝置的像素可包括掃描線 5521、視頻信號線 5522、公共電極 5523、TFT 5524 和像素電極 5525。

由於掃描線 5521 電連接到 TFT 5524 的閘極端子，因此較佳的、該掃描線 5521 由第一導電層 5503 形成。

由於視頻信號線 5522 電連接到 TFT 5524 的源極端子或汲極端子，因此較佳的、該視頻信號線 5522 由第二導電層 5507 形成。此外，由於掃描線 5521 和視頻信號線 5522 佈置成矩陣，因此較佳的、掃描線 5521 和視頻信號線 5522 至少由導電層形成於不同層內。注意，如圖 55B 所示，視頻信號線 5522 可以形成為隨像素內的像素電極 5525 的形狀而彎曲。因此，像素的孔徑率可以增大，從而該液晶顯示裝置的效率可以提高。

公共電極 5523 是透過設為平行於像素電極 5525 而用於產生橫向電場的佈線，且較佳的、該公共電極 5523 由

第一導電層 5503 和第三導電層 5509 形成。注意，公共電極 5523 可以沿視頻信號線 5522 形成，如圖 55B 所示。因此，應保持的電極電位隨著視頻信號線 5522 電位的變化而變化的現象，即所謂的串擾可以降低。另外注意，為了降低與視頻信號線 5522 的交叉電容，第一半導體層 5505 可以提供於公共電極 5523 和視頻信號線 5522 的交叉區域，如圖 55B 所示。

TFT 5524 作為電連接視頻信號線 5522 和像素電極 5525 的開關。注意如圖 55B 所示，TFT 5524 的源極區和汲極區之一可以提供為圍繞該源極區和汲極區的另一個。因此，可以在小的面積內獲得寬的通道，且可以增大開關能力。另外注意，如圖 55B 所示，TFT 5524 的閘極端子可以提供為圍繞第一半導體層 5505。

像素電極 5525 電連接到 TFT 5524 的源極端子和汲極端子之一。像素電極 5525 為用於將信號電壓施加到液晶元件的電極，該信號電壓透過視頻信號線 5522 傳輸。此外，像素電極 5525 和公共電極 5523 可以形成像素電容器 5526。因此，像素電極 5525 還可以具有保持透過視頻信號線 5522 傳輸的信號電壓的功能。注意，像素電極 5525 和梳狀公共電極 5523 的每一個可以具有彎曲的梳狀，如圖 55B 所示。因此，由於可以形成具有液晶分子 5518 的不同配向的多個區域，可以獲得具有寬視角的液晶顯示裝置。此外，對於像素電極 5525 和梳狀公共電極 5523 的每一個使用具有透光性能的材料形成的情形，可以獲得透射

液晶顯示裝置。透射液晶顯示裝置具有高的彩色再現能力，且可以顯示具有高的影像品質的影像。替代的，對於像素電極 5525 和梳狀公共電極 5523 的每一個使用具有反射性的材料形成的情形，可以獲得反射液晶顯示裝置。反射液晶顯示裝置在例如室外的明亮環境中具有高的可見度，且由於不需要背光而可以極大地降低功耗。注意，對於像素電極 5525 和梳狀公共電極 5523 的每一個既使用具有透光性能的材料又使用具有反射性的材料形成的情形，則可以獲得具有上述二者的優點的半透射液晶顯示裝置。另外注意，對於像素電極 5525 和梳狀公共電極 5523 的每一個使用具有反射性的材料形成的情形，像素電極 5525 和梳狀公共電極 5523 的每一個的表面可以不平整。因此，由於反射光被漫反射，則可以獲得反射光強度分佈的角度依存性減小的優點。也就是說，可以獲得在任意角度上亮度是均勻的反射液晶顯示裝置。

儘管梳狀像素電極 5525 是由第四導電層 5513 形成且平面公共電極 5523 是由第三導電層 5509 形成，可以應用本發明的像素結構不限於此且可以恰當地選擇，只要該結構滿足特定條件即可。更具體而言，與平面電極相比，該梳狀電極可以置於從第一基板 5501 觀察時更接近液晶。這是因為橫向電場總是產生於從梳狀電極察看時與平面電極相對的側上。也就是說，這是因為梳狀電極需要置為較平面電極更接近液晶，從而向液晶施加橫向電場。

為了滿足該條件，例如，梳狀電極可由第四導電層

5513 形成且平面電極可由第三導電層 5509 形成；梳狀電極可由第四導電層 5513 形成且平面電極可由第二導電層 5507 形成；梳狀電極可由第四導電層 5513 形成且平面電極可由第一導電層 5503 形成；梳狀電極可由第三導電層 5509 形成且平面電極可由第二導電層 5507 形成；梳狀電極可由第三導電層 5509 形成且平面電極可由第一導電層 5503 形成；或者梳狀電極可由第二導電層 5507 形成且平面電極可由第一導電層 5503 形成。儘管梳狀電極電連接到 TFT 5524 的源極區和汲極區之一且平面電極電連接到公共電極 5523，但是這些連接可以相反。這種情況下，可以單獨形成用於各個像素的平面電極。

注意，對於本發明的液晶顯示裝置所包括的液晶元件的工作模式，可以自由地使用 TN（扭曲向列）模式、IPS（面內切換）模式、FFS（邊緣場切換）模式、MVA（多區域垂直配向）模式、PVA（圖案化垂直配向）模式、ASM（軸對稱配向微單元）模式、OCB（光學補償彎曲）模式、FLC（鐵電液晶）模式、AFLC（反鐵電液晶）模式、PDLC（聚合物分散液晶）模式等。

透過將前述實施例模式所示的顯示裝置的結構應用於液晶顯示裝置，電晶體特性的惡化可以得到抑制。因此，可以防止由於電晶體特性惡化所致的移位暫存器失靈。此外，可以抑制由移位暫存器失靈所致的液晶顯示裝置的顯示缺陷。

注意，本實施例模式所示的像素結構可以與本說明書

中其他實施例模式所示的顯示裝置的結構自由地組合。此外，本實施例模式所示的像素結構可以自由地組合。

[實施例模式 10]

在本實施例模式中，描述實施例模式 1 至 8 所示的顯示裝置中包括的像素的示例，本實施例模式不同於實施例模式 9。

描述圖 65A 的像素結構。圖 65A 所示像素電路包括電容器 6500、第一電晶體 6501、第二電晶體 6502 和顯示元件 6521。像素連接到第一佈線 6511、第二佈線 6512 和第三佈線 6513。在顯示元件 6521 中，發光層夾置於像素電極和相對電極 6522 之間。顯示元件 6521 可以使用電流從像素電極流到相對電極 6522 的 EL 元件。注意，第一佈線 6511 可以稱為信號線；第二佈線 6512 可以稱為電源線；且第三佈線 6513 可以稱為掃描線。第一電晶體 6501 可稱為驅動電晶體，第二電晶體 6502 可稱為選擇電晶體。

描述例如 EL 元件的發光元件作為顯示元件 6521 的情形。

注意，圖中電晶體 6501 和 6502 為 N 通道電晶體；然而這些電晶體可以為 P 通道電晶體。在實施例模式 1 至 4 中，較佳的、N 通道電晶體用作電晶體 6501 和 6502。這是因為，由於非晶矽可以用於電晶體的半導體層，因此可以實現製造方法簡化，製造成本降低以及生產率提高。此

外，這是因為可以形成例如大尺寸顯示面板的半導體裝置。即使當多晶矽或者單晶矽用於電晶體的半導體層時，仍可以實現製造方法的簡化。此外，在實施例模式 5 至 8 中，較佳的、P 通道電晶體用作電晶體 6501 和 6502。這是因為可以實現製造方法簡化，製造成本降低以及生產率提高。

注意，第一佈線 6511 對應於圖 9、11、12 和 44 的各個顯示裝置中所示的信號線 S1 至 Sm 的任何一條。注意，第三佈線 6513 對應於圖 9、11、12 和 44 的各個顯示裝置中所示的掃描線 G1 至 Gn 的任何一條。

另外注意，第二佈線 6512 未示於圖 9、11、12 和 44；然而如上所述，該佈線可根據需要添加到圖 9、11、12 和 44。

第一電晶體 6501 的第一端子連接到第二佈線 6512，且第一電晶體 6501 的第二端子連接到顯示元件 6521 的像素電極。第二電晶體 6502 的第一端子連接到第一佈線 6511，第二電晶體 6502 的第二端子連接到第一電晶體 6501 的閘極端子，且第二電晶體 6502 的閘極端子連接到第三佈線 6513。電容器 6500 的第一電極連接到第二佈線 6512，電容器 6500 的第二電極連接到第一電晶體 6501 的閘極端子。

電容器 6500 具有保持第一電晶體 6501 的閘極端子電壓的功能。因此，儘管電容器 6500 連接在第一電晶體 6501 和第二佈線 6512 之間，但本發明不限於此。下述情

形是可接受的，即，只要電容器 6500 設為保持第一電晶體 6501 的閘極端子電壓；且該電容器 6500 可以連接到其他像素（例如，前一行的像素）的第三佈線 6513。此外，當使用第一電晶體 6501 的閘極電容時，可以省略電容器 6500。

對於操作方法，第三佈線 6513 被選擇，第二電晶體 6502 導通，且視頻信號從第一佈線 6511 輸入到電容器 6500 及第一電晶體 6501 的閘極端子。因此，第一電晶體 6501 依據其閘極-源極電壓施加電流至顯示元件 6521，顯示元件 6521 由此發光。

用於表達灰階的該顯示裝置的驅動方法包括類比灰階方法和數位灰階方法。該類比灰階方法包括以類比方式控制顯示元件的發射強度的方法和以類比方式控制顯示元件的發光周期的方法。在類比灰階方法中，經常使用以類比方式控制顯示元件的發射強度的方法。另一方面，在數位灰階方法中，以數位方式透過控制顯示元件的導通/截止來表達灰階。對於數位灰階方法的情形，由於可以使用數位信號來處理資料，因此具有高雜訊電阻的優點；然而，由於數位驅動方法僅具有發光狀態和不發光狀態的兩種狀態，數位驅動方法僅能單獨地顯示兩個灰階。因此，已經透過與其他方法組合來實現多灰階顯示。多灰階顯示的技術包括面積灰階方法，其中像素的發光面積被加權和選擇以進行灰階顯示，和時間灰階方法，其中發光周期被加權和選擇以進行灰階顯示。

當數位灰階方法和時間灰階方法組合時，一個框周期劃分為多個子框周期（SFn），如圖 68 所示。各個子框周期包括具有初始化周期、臨界值電壓寫入周期和資料寫入周期的位址周期（Ta），以及發光周期（Ts）。注意，一個框周期內提供的子框周期的數目對應於顯示位元的數目 n。此外，在一個框周期內，相應子框周期的發光周期的長度比例設置為 2（n-1）:2（n-2）:...:2:1。在各個發光周期內選擇顯示元件的光發射和不光發射，透過利用一個框周期內該顯示元件發光的總時間的差異來表達灰階。在一個框周期內，當總發光時間長時亮度高，且當總發光時間短時亮度低。圖 68 示出了 4 位灰階的示例，其中一個框周期劃分成四個子框周期，且 $2^4=16$ 個灰階水平可以透過組合發光周期來表達。注意，即使當發光周期的長度的比例不是 2 次冪的比例，仍可以表達灰階。此外，子框周期可以進一步劃分。

注意，當多灰階顯示透過上述時間灰階方法來實現時，低階位的發光周期的長度短；因此，下一框周期的資料寫入操作在該發光周期結束之後立即開始時，交疊前一子框周期的資料寫入操作，正常操作由此無法進行。因此，第三電晶體 6503 設於第一電晶體 6501 的閘極端子和第三佈線 6513 之間，如圖 65B 所示；並且第三電晶體 6503 在該發光周期的一部分內導通且第一電晶體 6501 強制截止，從而提供強制達成不發光狀態的擦除周期，且因此可以表達所有行所需的長度短於資料寫入周期的光發

射。注意，第三電晶體 6503 的導通/截止受第四佈線 6514 控制。因此，無需說，圖 65B 所示結構對於類比灰階方法尤為有效，但是對於組合數位灰階方法和時間灰階方法的方法也是有效的。注意，由於僅要求電流不流到顯示元件從而獲得不發光狀態，因此透過例如降低第二佈線 6512 的電位同時透過如上所述地截止第一電晶體 6501，則可以獲得該不發光狀態。替代的，開關可另外設於第一電晶體 6501 和第二佈線 6512 之間，且第一電晶體 6501 和第二佈線 6512 可以透過使用該開關而不電連接，從而可以獲得不發光狀態。此外，開關可另外設於第一電晶體 6501 和顯示元件 6521 的像素電極之間，且透過使用該開關，電流停止流到顯示元件 6521，從而可以獲得不發光狀態。

接下來，參考圖 66 描述不同於圖 65A 和圖 65B 的像素結構。

描述圖 66 的像素結構。圖 66 所示像素電路包括電容器 6600、第一電晶體 6601、第二電晶體 6602、第三電晶體 6603 和顯示元件 6621。像素連接到第一佈線 6611、第二佈線 6612、第三佈線 6613 和第四佈線 6614。顯示元件 6621 夾置於像素電極和相對電極 6622 之間。顯示元件 6621 可以使用電流從像素電極流到相對電極 6622 的 EL 元件。注意，第一佈線 6611 可以稱為信號線；第二佈線 6612 可以稱為電源線；且第三佈線 6613 和第四佈線 6614 可以稱為第一和第二掃描線。第一電晶體 6601 可稱為驅

動電晶體；且第二電晶體 6602 和第三電晶體 6603 可稱為第一和第二開關電晶體。

描述例如 EL 元件的發光元件作為顯示元件 6621 的情形。

注意，圖中第一、第二和第三電晶體 6601、6602 和 6603 為 N 通道電晶體；然而這些電晶體可以為 P 通道電晶體。在實施例模式 1 至 4 中，較佳的、N 通道電晶體用作第一、第二和第三電晶體 6601、6602 和 6603。這是因為由於非晶矽可以用於電晶體的半導體層，因此可以實現製造方法簡化，製造成本降低以及產率提高。此外，這是因為可以形成例如大尺寸顯示面板的半導體裝置。即使當多晶矽或者單晶矽用於電晶體的半導體層時，仍可以實現製造方法的簡化。此外，在實施例模式 5 至 8 中，較佳的、P 通道電晶體用作第一、第二和第三電晶體 6601、6602 和 6603。這是因為可以實現製造方法簡化，製造成本降低以及生產率提高。

注意，第一佈線 6611 對應於圖 9、11、12 和 44 的各個顯示裝置中所示的信號線 S1 至 Sm 的任何一條。注意，第三佈線 6613 對應於圖 9、11、12 和 44 的各個顯示裝置中所示的掃描線 G1 至 Gn 的任何一條。

另外注意，第二佈線 6612 和第四佈線 6614 未示於圖 9、11、12 和 44；然而如上所述，這些佈線可根據需要添加到圖 9、11、12 和 44。

第一電晶體 6601 的第一端子連接到第二佈線 6612，

且第一電晶體 6601 的第二端子連接到顯示元件 6621 的像素電極。第二電晶體 6602 的第一端子連接到第一佈線 6611，第二電晶體 6602 的第二端子連接到顯示元件 6621 的像素電極，且第二電晶體 6602 的閘極端子連接到第三佈線 6613。第三電晶體 6603 的第一端子連接到第二佈線 6612，第三電晶體 6603 的第二端子連接到第一電晶體 6601 的閘極端子，且第三電晶體 6603 的閘極端子連接到第四佈線 6614。電容器 6600 的第一電極連接到第一電晶體 6601 的閘極端子，且電容器 6600 的第二電極連接到顯示元件 6621 的像素電極。

對於驅動方法，第三佈線 6613 和第四佈線 6614 被選擇，第二電晶體 6602 和第三電晶體 6603 導通，且第二佈線 6612 的電位降低到與相對電極 6622 近似相等的電位。隨後，與視頻信號對應的電流從第二佈線 6612 施加（視頻信號輸入）到第一佈線 6611。因此，第一電晶體 6601 的閘極端子電壓變為對應於該視頻信號的值，且此時，第一電晶體 6601 的閘極-源極電壓（閘極端子和第二端子之間的電位差）保持在電容器 6600 內。隨後，第二電晶體 6602 和第三電晶體 6603 截止，且第二佈線 6612 的電位增加，從而電流開始流到顯示元件 6621。此時，第一電晶體 6601 的閘極-源極電壓被電容器 6600 保持在與視頻信號對應的電位；因此，視頻信號的電流和流到顯示元件 6621 的電流變為相同的值。這樣，顯示元件 6621 發射亮度與視頻信號相對應的光。

接下來，參考圖 67 描述不同於圖 66 的像素結構。

描述圖 67 的像素結構。圖 67 所示像素電路包括電容器 6700、第一電晶體 6701、第二電晶體 6702、第三電晶體 6703、第四電晶體 6704 和顯示元件 6721。像素連接到第一佈線 6711、第二佈線 6712、第三佈線 6713、第四佈線 6714 和第五佈線 6715。在顯示元件 6721 中，發光層夾置於像素電極和相對電極 6722 之間。顯示元件 6721 可以使用電流從像素電極流到相對電極 6722 的 EL 元件。注意，第一佈線 6711 可以稱為信號線；第二佈線 6712 可以稱為電源線；第三佈線 6713 和第四佈線 6714 可以稱為第一和第二掃描線；且第五佈線 6715 可以稱為儲存電容器線。第一電晶體 6701 和第二電晶體 6702 可稱為第一和第二驅動電晶體；且第三電晶體 6703 和第四電晶體 6704 可稱為第一和第二開關電晶體。注意，第一電晶體 6701 和第二電晶體 6702 彼此耦合，從而提供所謂的電流鏡結構。

描述例如 EL 元件的發光元件作為顯示元件 6721 的情形。

注意，圖中第一、第二、第三和第四電晶體 6701、6702、6703 和 6704 為 N 通道電晶體；然而這些電晶體可以為 P 通道電晶體。在實施例模式 1 至 4 中，較佳的、N 通道電晶體用作第一、第二、第三和第四電晶體 6701、6702、6703 和 6704。這是因為由於非晶矽可以用於電晶體的半導體層，因此可以實現製造方法簡化，製造成本降

低以及生產率提高。此外，這是因為可以形成例如大尺寸顯示面板的半導體裝置。即使當多晶矽或者單晶矽用於電晶體的半導體層時，仍可以實現製造方法的簡化。此外，在實施例模式 5 至 8 中，較佳的、P 通道電晶體用作第一、第二、第三和第四電晶體 6701、6702、6703 和 6704。這是因為可以實現製造方法簡化，製造成本降低以及生產率提高。

注意，第一佈線 6711 對應於圖 9、11、12 和 44 的各個顯示裝置中所示的信號線 S1 至 Sm 的任何一條。注意，第三佈線 6713 對應於圖 9、11、12 和 44 的各個顯示裝置中所示的掃描線 G1 至 Gn 的任何一條。

注意，第二、第四和第五佈線 6712、6714 和 6715 未示於圖 9、11、12 和 44；然而如上所述，這些佈線可根據需要添加到圖 9、11、12 和 44。

第一電晶體 6701 的第一端子連接到第二佈線 6712，且第一電晶體 6701 的第二端子連接到顯示元件 6721 的像素電極。第二電晶體 6702 的第一端子連接到第三電晶體 6703 的第二端子，且第二電晶體 6702 的第二端子連接到顯示元件 6721 的像素電極。第三電晶體 6703 的第一端子連接到第一電晶體 6701 的閘極端子和第二電晶體 6702 的閘極端子，且第三電晶體 6703 的閘極端子連接到第四佈線 6714。第四電晶體 6704 的第一端子連接到第一佈線 6711，第四電晶體 6704 的第二端子連接到第一電晶體 6701 的閘極端子和第二電晶體 6702 的閘極端子，且第四

電晶體 6704 的閘極端子連接到第三佈線 6713。電容器 6700 的第一電極連接到第五佈線 6715，且電容器 6700 的第二電極連接到第一電晶體 6701 的閘極端子和第二電晶體 6702 的閘極端子。

注意，電容器 6700 具有保持第一電晶體 6701 和第二電晶體 6702 的閘極端子電壓的功能。因此，儘管電容器 6700 連接在第五佈線 6715 和第一電晶體 6701 及第二電晶體 6702 的閘極端子之間；但本發明不限於此。下述情形是可接受的，即，只要電容器 6700 設為保持第一電晶體 6701 和第二電晶體 6702 的閘極端子電壓，且該電容器 6700 可以連接到其他像素（例如，前一行的像素）的第三佈線 6713。此外，當使用第一電晶體 6701 和第二電晶體 6702 的閘極電容時，可以省略電容器 6700。

對於驅動方法，第三佈線 6713 和第四佈線 6714 被選擇，且第三電晶體 6703 和第四電晶體 6704 導通。隨後，與視頻信號對應的電流從第一佈線 6711 施加（視頻信號輸入）到顯示元件 6721。因此，第一電晶體 6701 和第二電晶體 6702 的閘極端子電壓變為對應於該視頻信號的值，並保持在電容器 6700 內。隨後，第三電晶體 6703 和第四電晶體 6704 截止。隨後，第一電晶體 6701 將與視頻信號對應的電流施加到顯示元件 6721，且顯示元件 6721 發射亮度與視頻信號相對應的光。

接下來，描述圖 69A 和 69B 所示的各個像素的剖面圖。

圖 69A 示出了包括兩個 TFT 的像素中的元件的佈局示例。圖 69B 點陣圖 69A 中沿 X-X'的剖面圖。注意，圖 69A 中的佈局示例可以應用於圖 65A 所示的像素。

如圖 69A 所示，本發明的像素可包括第一 TFT 6905、第一佈線 6906、第二佈線 6907、第二 TFT 6908、第三佈線 6911、相對電極 6912、電容器 6913、像素電極 6915、隔離壁 6916、有機導電膜 6917、有機薄膜 6918 和基板 6919。注意，較佳的、第一 TFT 6905 作為開關 TFT，第一佈線 6906 作為閘極信號線，第二佈線 6907 作為源極信號線，第二 TFT 6908 作為驅動 TFT，且第三佈線 6911 作為電流源線。

如圖 69A 所示，較佳的、第一 TFT 6905 的閘極電極電連接到第一佈線 6906，第一 TFT 6905 的源極端子或汲極端子之一電連接到第二佈線 6907，且第一 TFT 6905 的源極端子或汲極端子的另一個電連接到第二 TFT 6908 的閘極端子和電容器 6913 的一個電極。注意，第一 TFT 6905 的閘極電極可包括多個閘極電極，如圖 69A 所示。因此，第一 TFT 6905 截止狀態下的漏電流可以減小。

較佳的、第二 TFT 6908 的源極端子或汲極端子之一電連接到第三佈線 6911，且第二 TFT 6908 的源極端子或汲極端子的另一個電連接到像素電極 6915。因此，流到像素電極 6915 的電流可以受第二 TFT 6908 控制。

有機導電膜 6917 可以設於像素電極 6915 上方，且有機薄膜（有機化合物層）6918 可以進一步設於該有機導

電膜 6917 上方。相對電極 6912 可設於有機薄膜（有機化合物層）6918 上方。注意，相對電極 6912 可形成於將形成於所有像素的整個表面上方，從而公共地連接到所有像素，或者可以使用陰影掩模等來圖案化。

從有機薄膜（有機化合物層）6918 發射的光透射經過像素電極 6915 或相對電極 6912。這種情況下，在圖 69B 中，光發射到像素電極側，即其上形成了 TFT 等的側的情形稱為底部發射；光發射到相對電極側的情形稱為頂部發射。

對於底部發射的情形，較佳的、像素電極 6915 是由透光導電膜形成。對於頂部發射的情形，較佳的、相對電極 6912 是由透光導電膜形成。

在用於彩色顯示的發光裝置中，具有 RGB 的各種發光顏色的 EL 元件可以單獨地形成，或者具有單一顏色的 EL 元件可以形成於整個表面上，且 RGB 的發光可以透過使用濾色器來獲得。

注意，圖 69A 和 69B 所示的結構為示例，除了圖 69A 和 69B 所示的結構之外，各種結構可以用於像素佈局、剖面結構、EL 元件的電極的層疊順序等。此外，除了圖中所示的由有機薄膜形成的元件之外，發光層可以使用各種元件，例如諸如 LED 的結晶元件和由無機薄膜形成的元件。

接下來，參考圖 70A 描述包括三個 TFT 的像素內的元件的佈局示例。圖 70B 為圖 70A 中沿 X-X'的剖面圖。

注意，圖 70A 中的佈局示例可以應用於圖 65A 所示的像素。

如圖 70A 所示，本發明的像素可包括基板 7000、第一佈線 7001、第二佈線 7002、第三佈線 7003、第四佈線 7004、第一 TFT 7005、第二 TFT 7006、第三 TFT 7007、像素電極 7008、隔離壁 7011、有機導電膜 7012、有機薄膜 7013 和相對電極 7014。注意，較佳的、第一佈線 7001 作為源極信號線，第二佈線 7002 作為用於寫入的閘極信號線，第三佈線 7003 作為用於擦除的閘極信號線，第四佈線 7004 作為電流源線，第一 TFT 7005 作為開關 TFT，第二 TFT 7006 作為擦除 TFT，且第三 TFT 7007 作為驅動 TFT。

如圖 70A 所示，較佳的、第一 TFT 7005 的閘極電極電連接到第二佈線 7002，第一 TFT 7005 的源極端子或汲極端子之一電連接到第一佈線 7001，且第一 TFT 7005 的源極端子或汲極端子的另一個電連接到第三 TFT 7007 的閘極端子。注意，第一 TFT 7005 的閘極電極可包括多個閘極電極，如圖 70A 所示。因此，第一 TFT 7005 截止狀態下的漏電流可以減小。

較佳的、第二 TFT 7006 的閘極電極電連接到第三佈線 7003，第二 TFT 7006 的源極端子或汲極端子之一電連接到第四佈線 7004，且第二 TFT 7006 的源極端子或汲極端子的另一個電連接到第三 TFT 7007 的閘極端子。注意，第二 TFT 7006 的閘極電極可包括多個閘極電極，如

圖 70A 所示。因此，第二 TFT 7006 截止狀態下的漏電流可以減小。

較佳的、第三 TFT 7007 的源極端子或汲極端子之一電連接到第四佈線 7004，第三 TFT 7007 的源極端子或汲極端子的另一個電連接到像素電極 7008。因此，流到像素電極 7008 的電流可以受第三 TFT 7007 控制。

有機導電膜 7012 可以設於像素電極 7008 上方，且有機薄膜（有機化合物層）7013 可以進一步設於該有機導電膜 7012 上方。相對電極 7014 可設於有機薄膜（有機化合物層）7013 上方。注意，相對電極 7014 可形成於將形成於所有像素的整個表面上方，從而公共地連接到所有像素，或者可以使用陰影掩模等來圖案化。

從有機薄膜（有機化合物層）7013 發射的光透射經過像素電極 7008 或相對電極 7014。這種情況下，在圖 70B 中，光發射到像素電極側，即其上形成了 TFT 等的側的情形稱為底部發射；光發射到相對電極側的情形稱為頂部發射。

對於底部發射的情形，較佳的、像素電極 7008 是由透光導電膜形成。對於頂部發射的情形，較佳的、相對電極 7014 是由透光導電膜形成。

在用於彩色顯示的發光裝置中，具有 RGB 的各種發光顏色的 EL 元件可以單獨地形成，或者具有單一顏色的 EL 元件可以形成於整個表面上，且 RGB 的發光可以透過使用濾色器來獲得。

注意，圖 70A 和 70B 所示的結構為示例，除了圖 70A 和 70B 所示的結構之外，各種結構可以用於像素佈局、剖面結構、EL 元件的電極的層疊順序等。此外，除了圖中所示的由有機薄膜形成的元件之外，發光層可以使用各種元件，例如諸如 LED 的結晶元件和由無機薄膜形成的元件。

接下來，參考圖 71A 描述包括四個 TFT 的像素內的元件的佈局示例。圖 71B 為圖 71A 中沿 X-X'的剖面圖。

如圖 71A 所示，本發明的像素可包括基板 7100、第一佈線 7101、第二佈線 7102、第三佈線 7103、第四佈線 7104、第一 TFT 7105、第二 TFT 7106、第三 TFT 7107、第四 TFT 7108、像素電極 7109、第五佈線 7111、第六佈線 7112、隔離壁 7121、有機導電膜 7122、有機薄膜 7123 和相對電極 7124。注意，較佳的、第一佈線 7101 作為源極信號線，第二佈線 7102 作為用於寫入的閘極信號線，第三佈線 7103 作為用於擦除的閘極信號線，第四佈線 7104 作為用於反向偏置的信號線，第一 TFT 7105 作為開關 TFT，第二 TFT 7106 作為擦除 TFT，第三 TFT 7107 作為驅動 TFT，第四 TFT 7108 作為用於反向偏置的 TFT，第五佈線 7111 作為電流源線，且第六佈線 7112 作為用於反向偏置的電源線。

如圖 71A 所示，較佳的、第一 TFT 7105 的閘極電極電連接到第二佈線 7102，第一 TFT 7105 的源極端子或汲極端子之一電連接到第一佈線 7101，且第一 TFT 7105 的

源極端子或汲極端子的另一個電連接到第三 TFT 7107 的閘極端子。注意，第一 TFT 7105 的閘極電極可包括多個閘極電極，如圖 71A 所示。因此，第一 TFT 7105 截止狀態下的漏電流可以減小。

較佳的、第二 TFT 7106 的閘極電極電連接到第三佈線 7103，第二 TFT 7106 的源極端子或汲極端子之一電連接到第五佈線 7111，且第二 TFT 7106 的源極端子或汲極端子的另一個電連接到第三 TFT 7107 的閘極端子。注意，第二 TFT 7106 的閘極電極可包括多個閘極電極，如圖 71A 所示。因此，第二 TFT 7106 截止狀態下的漏電流可以減小。

較佳的、第三 TFT 7107 的源極端子或汲極端子之一電連接到第五佈線 7111，且第三 TFT 7107 的源極端子或汲極端子的另一個電連接到像素電極 7109。因此，流到像素電極 7109 的電流可以受第三 TFT 7107 控制。

較佳的、，第四 TFT 7108 的閘極電極電連接到第四佈線 7104，第四 TFT 7108 的源極端子或汲極端子之一電連接到第六佈線 7112，且第四 TFT 7108 的源極端子或汲極端子的另一個電連接到像素電極 7109。因此，像素電極 7109 的電流可以受第四 TFT 7108 控制，從而反向偏置可以施加到包括有機導電膜 7122、有機薄膜 7123 等的發光元件。當反向偏置施加到有機導電膜 7122、有機薄膜 7123 等的發光元件時，發光元件的可靠性可以顯著改善。

例如，已知當在直流電壓（3.65V）驅動時亮度半衰期約為 400 小時的發光元件在交流電壓（正向偏置 3.7V，反向偏置 1.7V，占空比 50%，且交流頻率為 60Hz）驅動時，亮度半衰期變為 700 小時以上。

有機導電膜 7122 可以設於像素電極 7109 上方，且有機薄膜（有機化合物層）7123 可以進一步設於該有機導電膜 7122 上方。相對電極 7124 可設於有機薄膜（有機化合物層）7123 上方。注意，相對電極 7124 可形成於將形成於所有像素的整個表面上方，從而公共地連接到所有像素，或者可以使用陰影掩模等來圖案化。

從有機薄膜（有機化合物層）7123 發射的光透射經過像素電極 7109 或相對電極 7124。這種情況下，在圖 71B 中，光發射到像素電極側，即其上形成了 TFT 等的側的情形稱為底部發射；光發射到相對電極側的情形稱為頂部發射。

對於底部發射的情形，較佳的、像素電極 7109 是由透光導電膜形成。對於頂部發射的情形，較佳的、相對電極 7124 是由透光導電膜形成。

在用於彩色顯示的發光裝置中，具有 RGB 的各種發光顏色的 EL 元件可以單獨地形成，或者具有單一顏色的 EL 元件可以形成於整個表面上，且 RGB 的發光可以透過使用濾色器來獲得。

注意，圖 71A 和 71B 所示的結構為示例，除了圖 71A 和 71B 所示的結構之外，各種結構可以用於像素佈

局、剖面結構、EL 元件的電極的層疊順序等。此外，除了圖中所示的由有機薄膜形成的元件之外，發光層可以使用各種元件，例如諸如 LED 的結晶元件和由無機薄膜形成的元件。

接下來，描述可以應用於本發明的 EL 元件的結構。

可以應用於本發明的 EL 元件可具有包括層（混合層）的結構，其中例如電洞注入材料、電洞傳送材料、發光材料、電子傳送材料、電子注入材料等的多種材料混合在該層內（下文中稱為混合結類型 EL 元件），以及疊層結構，其中由電洞注入材料形成的電洞注入層、由電洞傳送材料形成的電洞傳送層、由發光材料形成的發光層、由電子傳送材料形成的電子傳送層、由電子注入材料形成的電子注入層等明確地區分。

圖 72A 至 72E 為分別示出了混合結類型 EL 元件的結構的示意圖。在圖 72A 至 72E 中，標號 7201 表示 EL 元件的陽極；7202 表示 EL 元件的陰極；夾置於陽極 7201 和陰極 7202 之間的層對應於 EL 層。

在圖 72A 中，EL 層可具有下述結構，其中 EL 層包括由電洞傳送材料形成的電洞傳送區 7203 和由電子傳送材料形成的電子傳送區 7204，該電洞傳送區 7203 較電子傳送區 7204 更靠近陽極，且既包括電洞傳送材料又包括電子傳送材料的混合區 7205 設於電洞傳送區 7203 和電子傳送區 7204 之間。

這種情況下，沿從陽極 7201 到陰極 7202 的方向，混

合區 7205 中電洞傳送材料的濃度降低且混合區 7205 中電子傳送材料的濃度增大。

注意，在上述結構中，既包括電洞傳送材料又包括電子傳送材料的混合區 7205 中各種功能材料的濃度的比例可以變化（可以形成濃度梯度），不包括僅由電洞傳送材料形成的電洞傳送層 7203。替代的，既包括電洞傳送材料又包括電子傳送材料的混合區 7205 中各種功能材料的濃度的比例可以變化（可以形成濃度梯度），不包括僅由電洞傳送材料形成的電洞傳送層 7203 和僅由電子傳送材料形成的電子傳送層 7204。濃度比例根據與陽極或陰極的距離而變化。此外，該濃度比例可以連續地變化。該濃度梯度可以自由地設置。

混合區 7205 中包括添加有發光材料的區域 7206。EL 元件的發光顏色可以由該發光材料控制。此外，載流子可以被該發光材料俘獲。該發光材料可以使用各種螢光染料以及具有喹啉骨架、苯並惡唑骨架或者苯並噻唑骨架的金屬複合物。透過添加發光材料可以控制 EL 元件的發光顏色。

陽極 7201 較佳的使用功函數高的電極材料，從而有效地注入電洞。例如可以使用由氧化銦錫（ITO）、氧化銦鋅（IZO）、ZnO、SnO_2、In_2O_3 等形成的透明電極。當不需要發光性能時，陽極 7201 可以由不透明金屬材料形成。

電洞傳送材料可以使用芳族胺化合物等。

電子傳送材料可以使用以喹啉衍生物、8-喹啉或其衍生物作為配位元體的金屬複合物（特別是三（8-喹啉）鋁（Alq_3））等。

陰極 7202 較佳的使用功函數低的電極材料，從而有效地注入電子。可以單獨地使用例如鋁、銦、鎂、銀、鈣、銫或鋰的金屬。替代的，可以使用前述金屬的合金或者前述金屬與其他金屬的合金。

圖 72B 為不同於圖 72A 的 EL 元件的結構的示意圖。注意，與圖 72A 相同的部分使用相同標號表示，並省略了對其描述。

在圖 72B 中，不包括添加有發光材料的區域。然而，添加到電子傳送區 7204 的材料可以使用既具有電子傳送性能又具有發光性能的材料（電子傳送和發光材料），例如三（8-喹啉）鋁（Alq_3）；因此可以進行光發射。

替代的，添加到電洞傳送區 7203 的材料可以使用既具有電洞傳送性能又具有發光性能的材料（電洞傳送和發光材料）。

圖 72C 為不同於圖 72A 和 72B 的 EL 元件的結構的示意圖。注意，與圖 72A 和 72B 相同的部分使用相同標號表示，並省略了對其描述。

在圖 72C 中，提供了包括混合區 7205 的區域 7207，區域 7207 添加有電洞阻擋材料，該電洞阻擋材料的最高佔據分子軌道和最低未佔據分子軌道之間的能量差大於該電洞傳送材料。添加有電洞阻擋材料的區域 7207 設為較

混合區域 7205 中添加有發光材料的區域 7206 更靠近陰極 7202；因此，載流子複合率和發光效率可以提高。設有添加有電洞阻擋材料的區域 7207 的前述結構對於利用透過三重態激子的光發射（磷光）的 EL 元件尤為有效。

圖 72D 為不同於圖 72A 至 72C 的 EL 元件的結構的示意圖。注意，與圖 72A 至 72C 相同的部分使用相同標號表示，並省略了對其描述。

在圖 72D 中，提供了包括混合區 7205 的區域 7208，區域 7208 添加有電子阻擋材料，該電子阻擋材料的最高佔據分子軌道和最低未佔據分子軌道之間的能量差大於該電子傳送材料。添加有電子阻擋材料的區域 7208 設為較混合區域 7205 中添加有發光材料的區域 7206 更靠近陽極 7201；因此，載流子複合率和光發射效率可以提高。設有添加有電子阻擋材料的區域 7208 的前述結構對於利用透過三重態激子的光發射（磷光）的 EL 元件尤為有效。

圖 72E 為不同於圖 72A 至 72D 的混合結型 EL 元件的結構的示意圖。圖 72E 示出了添加有金屬材料的區域 7209 包括在與 EL 元件的電極接觸的 EL 層一部分內的結構的示例。在圖 72E 中，與圖 72A 至 72D 相同的部分使用相同標號表示，並省略了對其描述。在圖 72E 中，MgAg（Mg-Ag 合金）可用作陰極 7202，添加有 Al（鋁）合金的區域 7209 例如可包括在與添加有電子傳送材料的區域 7204 的陰極 7202 接觸的區域內。透過前述結構，可以防止陰極的氧化，且可以提高從陰極的電子注入效率。

因此，可以延長該混合結類型 EL 元件的壽命，且可以降低驅動電壓。

前述混合結類型 EL 元件的形成方法可以使用共蒸鍍方法等。

在圖 72A 至 72E 所示的混合結類型 EL 元件中，層之間不存在明確的介面，且電荷集聚可以降低。因此，可以延長該混合結類型 EL 元件的壽命，且可以降低驅動電壓。

注意，圖 72A 至 72E 所示的結構可以彼此自由組合地實施。

注意，混合結類型 EL 元件的結構不限於上述結構。可以自由地使用已知的結構。

注意，形成 EL 層或 EL 元件的有機材料可以是低分子材料或高分子材料，且可以均使用這兩種材料。當低分子材料用做有機化合物材料時，可以透過蒸鍍方法來形成膜。另一方面，當高分子材料用做 EL 層時，高分子材料溶解到溶劑中，且可以透過旋塗方法或噴墨方法來形成膜。

此外，EL 層可以由中分子材料形成。在本說明書中，中分子有機發光材料表示無昇華性能且聚合度約為 20 或以下的有機發光材料。當中間分子材料用做 EL 層時，可以透過噴墨方法等形成膜。

注意，低分子材料、高分子材料和中分子材料可以組合使用。

此外，EL 元件可以利用透過單重態激子的光發射（螢光）或者透過三重態激子的光發射（磷光）。

接下來，參考圖示描述用於形成可以應用本發明的顯示裝置的蒸鍍裝置。

可以應用本發明的顯示裝置可以透過形成 EL 層來製造。EL 層形成為使得在其至少一部分內包括呈現電致發光的材料。EL 層可以由具有不同功能的多層形成。這種情況下，EL 層可以由具有不同功能的層的組合來形成，這些層也稱為電洞注入和傳送層、發光層、電子注入和傳送層等。

圖 73 示出了用於在設有電晶體的元件基板上方形成 EL 層的蒸鍍裝置的結構。在該蒸鍍設備中，多個處理室連接到轉移室 7360 和 7361。各個處理室包括用於供應基板的載入室 7362、用於收集基板的卸載室 7363、熱處理室 7638、電漿處理室 7372、用於沈積 EL 材料的沈積處理室 7369，7370，7371，7373，7374 和 7375、以及用於形成由鋁形成或者使用鋁作為主要成分形成的導電膜作為 EL 元件一個電極的沈積處理室 7376。此外，閘門閥 7377a 至 73771 設於轉移室和處理室之間，從而各個處理室內的壓力可以獨立地受控制，且處理室之間的交叉污染得以防止。

從載入室 7362 引入到轉移室 7360 的基板透過能夠旋轉的臂型轉移裝置 7366 轉移到預定處理室。此外，該基板從特定處理室透過轉移裝置 7366 轉移到另一處理室。

處理室 7360 和 7361 透過沈積處理室 7370 連接，該基板在該沈積處理器 7370 由轉移裝置 7366 和轉移裝置 7367 遞送。

連接到轉移室 7360 和 7361 的各個處理室維持在低壓狀態。因此，在該蒸鍍裝置中，EL 層的沈積處理連續地進行而不將基板暴露於室內空氣。完成 EL 層的製備的顯示面板可能由於濕氣等而惡化；因此，在蒸鍍裝置中，密封處理室 7365 連接到轉移室 7361，該密封處理室 7365 用於在暴露於室內空氣之前進行密封處理從而維持品質。由於密封處理室 7365 處於常壓或者類似的低壓下，中間處理室 7364 還設於轉移室 7361 和密封處理室 7365 之間。中間處理室 7364 提供用於遞送基板和緩衝各室體之間的壓力。

排氣裝置設於載入室、卸載室、轉移室和沈積處理室內，從而維持室內的低壓。該排氣裝置可以使用例如乾泵、渦輪分子泵和擴散泵的各種真空泵。

在圖 73 的蒸鍍裝置中，連接到轉移室 7360 和 7361 的處理室的數目及其結構可以依據 EL 元件的疊層結構恰當地組合。下面描述該組合的示例。

熱處理室 7368 透過加熱基板進行除氣處理，該基板上方首先形成有下電極、絕緣隔離壁等。在電漿處理室 7372 內，使用稀有氣體或氧氣電漿處理下電極的表面。進行該電漿處理以清洗表面，穩定表面狀態，並穩定表面的物理或化學狀態（例如，功函數）。

沈積處理室 7369 是用於形成與 EL 元件的一個電極接觸的電極緩衝層。該電極緩衝層具有載流子注入性能（電洞注入或電子注入性能），並抑制 EL 元件的短路和黑點缺陷的產生。典型地，該電極緩衝層是由有機-無機混合材料形成，且具有 5×10^4 至 $1\times10^6\Omega$ cm 的電阻率，且形成為具有 30 至 300 nm 的厚度。沈積處理室 7371 是用於形成電洞傳送層。

對於發射單一顏色光的情形和對於發射白光的情形，EL 元件內的發光層具有不同的結構。蒸鍍裝置內的沈積處理室較佳的、依據該結構來提供。例如，當在顯示面板內形成分別具有不同光發射顏色的三種 EL 元件時，則需要形成與各種光發射顏色相對應的發光層。這種情況下，沈積處理器 7370 可以用於形成第一發光層，沈積處理室 7373 可以用於形成第二發光層，沈積處理室 7374 可以用於形成第三發光層。透過將不同沈積處理室用於各個發光層，可以防止不同發光材料的交叉污染，且可以提高沈積處理的產量。

替代的，分別具有不同發光顏色的三種 EL 元件可以在沈積處理器 7370、7373 和 7374 的每一個內順序沈積。這種情況下，依據待沈積的區域透過去動陰影掩模來進行蒸鍍。

當形成發白光的 EL 元件時，透過垂直地層疊不同發光顏色的發光層來形成 EL 元件。同樣在這種情況下，該元件基板可以透過沈積處理室順序轉移以形成各個發光

層。替代的，可以在相同沈積處理室內連續地形成不同的發光層。

在沈積處理室 7376 內，電極形成於 EL 層上方。該電極可以透過電子束蒸鍍方法或者濺鍍方法形成，且較佳的、由電阻加熱蒸鍍方法形成。

完成了電極的製備的元件基板透過中間處理室 7364 轉移到密封處理室 7365。密封處理室 7365 填充有例如氦氣、氬氣、氖氣或氮氣的惰性氣體，且在這種氣氛下密封基板附著並密封到形成 EL 層的元件基板側。在密封狀態下，元件基板和密封基板之間的間隙可填充有惰性氣體或樹脂材料。密封處理室 7365 設有提供密封材料的配給器、將密封基板固定面向元件基板的例如臂和固定台的機械元件、使用樹脂材料填充該室的配給器或旋塗器等。

圖 74 示出了沈積處理室的內部結構。該沈積處理器保持在低壓狀態。在圖 74 中，夾在頂板 7491 和底板 7492 之間的空間為內室，該內室維持在低壓狀態。

一個或多個蒸鍍源設於該處理室內。這是因為，當形成具有不同組成的多個層時或者當共蒸鍍不同材料時，較佳的、提供多個蒸鍍源。在圖 74 中，蒸鍍源 7481a、7481b 和 7481c 附著到蒸鍍源支架 7480。蒸鍍源支架 7480 由多鉸鏈臂 7483 支援。多鉸鏈臂 7483 透過伸展鉸鏈使得可以在其可移動範圍內移動該蒸鍍源支架 7480。此外，蒸鍍源支架 7480 可設有距離感測器 7482 以監視蒸鍍源 7481a 至 7481c 和基板 7489 之間的距離，從而可以

控制蒸鍍最佳距離。這種情況下，多鉸鏈臂還能夠朝向上和向下方向（Z方向）移動。

透過使用基板台 7486 和基板卡盤 7487 一起來固定基板 7489。基板台 7486 具有結合有加熱器的結構，從而基板 7489 可以被加熱。基板 7489 透過基板卡盤 7487 固定到基板台 7486 並轉移。蒸鍍時，可根據需要使用設有與沈積圖案對應的開口的陰影掩模 7490。這種情況下，陰影掩模 7490 設於基板 7489 和蒸鍍源 7481a 至 7481c 之間。陰影掩模 7490 透過掩模卡盤 7488 相互緊密接觸地固定到基板 7489 或者其間具有特定間隔。當陰影掩模 7490 需要對準時，透過在該處理室內佈置照相機並為掩模卡盤 7488 提供沿 X-Y-θ方向輕微移動的定位裝置，由此進行該對準。

蒸鍍源 7481a 至 7481c 包括連續地像蒸鍍源供應蒸鍍材料的蒸鍍材料供應裝置。蒸鍍材料供應裝置包括設為與蒸鍍源 7481a 至 7481c 分離的材料供應源 7485a、7485b 和 7485c，以及連接在蒸鍍源和材料供應源之間的材料供應管 7484。典型地，材料供應源 7485a 至 7485c 設為對應於蒸鍍源 7481a 至 7481c。在圖 74 中，材料供應源 7485a 對應於蒸鍍源 7481a；材料供應源 7485b 對應於蒸鍍源 7481b；且材料供應源 7485c 對應於蒸鍍源 7481c。

對於用於供應蒸鍍材料的方法，可以使用空氣流轉移方法、氣溶膠方法等。在空氣流轉移方法中，透過使用惰性氣體等，蒸鍍材料的細微粉末在空氣流中轉移到蒸鍍源

7481a 至 7481c。在氣溶膠方法中，在蒸鍍材料溶解或分散在溶劑中的材料流體透過霧化器轉移和霧化的同時進行蒸鍍，且氣溶膠內的溶劑蒸發。在各種情形中，蒸鍍源 7481a 至 7481c 設有加熱裝置，且透過蒸發轉移到基板 7489 的蒸鍍材料而在基板 7489 上方形成膜。在圖 74 中，材料供應管 7484 可以撓性地彎曲，且由具有足夠剛性從而即使在低壓下仍不變形的細管形成。

當使用空氣流轉移方法或氣溶膠方法時，可以在沈積處理室內在常壓或更低壓力下進行沈積，且較佳的、在 133 至 13300Pa 的低壓下進行。例如氦氣、氬氣、氖氣、氪氣、氙氣或氡氣的惰性氣體填充該沈積處理室或者供應（同時排放）到沈積處理室，從而該壓力可調。此外，在形成氧化物膜的沈積處理室中，可以透過引入例如氧氣或一氧化二氮的氣體來採用氧化氣氛。此外，在形成有機材料的沈積處理室中，可以透過引入例如氫氣的氣體來減少氣氛。

對於用於供應蒸鍍材料的其他方法，可以在材料供應管 7484 內提供螺釘，從而連續地朝蒸鍍源推動蒸鍍材料。

採用這種蒸鍍裝置，即使對於大尺寸顯示面板的情形，也可以連續地形成具有高一致性的膜。此外，由於無需在每次蒸鍍源內的蒸鍍材料用盡時向該蒸鍍源供應蒸鍍材料，因此可以提高產量。

當前述實施例模式所示的各個顯示裝置的結構用於驅

動像素時，可以抑制電晶體特性的惡化。因此可以防止由於電晶體特性惡化所致的移位暫存器失靈。此外，可以抑制由於移位暫存器失靈所致的像素的顯示缺陷。

注意，本實施例模式所示的每一個像素結構可以與本說明書中其他實施例模式所示的各個顯示裝置的結構自由地組合。此外，本實施例模式所示的像素結構可以自由地相互組合。

[實施例模式 11]

在本實施例模式中，描述實施例模式 1 至 8 所示各個顯示裝置包含的信號線驅動器電路。

描述圖 56 中的信號線驅動器電路。圖 56 中的信號線驅動器電路包括驅動器 IC 5601、開關組 5602_1 至 5602_M、第一佈線 5611、第二佈線 5612、第三佈線 5613、以及佈線 5621_1 至 5621_M。開關組 5602_1 至 5602_M 的每一個包括第一開關 5603a、第二開關 5603b 和第三開關 5603c。

驅動器 IC 5601 連接到第一佈線 5611、第二佈線 5612、第三佈線 5613、以及佈線 5621_1 至 5621_M。開關組 5602_1 至 5602_M 的每一個連接到第一佈線 5611、第二佈線 5612、第三佈線 5613、以及對應於各個開關組 5602_1 至 5602_M 的各個佈線 5621_1 至 5621_M。各個佈線 5621_1 至 5621_M 透過第一開關 5603a、第二開關 5603b 和第三開關 5603c 連接到三條信號線。例如，第 J

行中的佈線 5621_J（佈線 5621_1 至 5621_M 之一）透過包含在開關組 5602_J 中的第一開關 5603a、第二開關 5603b 和第三開關 5603c 而連接到信號線 Sj-1、信號線 Sj 和信號線 Sj+1。

注意，驅動器 IC 5601 較佳的、使用單晶基板或玻璃基板形成，或者使用多晶半導體形成。開關組 5602_1 至 5602_M 較佳的、形成於與實施例模式 1 至 8 所示各個像素部相同的基板上。因此，驅動器 IC 5601 和開關組 5602_1 至 5602_M 較佳的、透過 FPC 等連接。

接下來，參考圖 57 的時脈圖描述圖 56 中的信號線驅動器電路的操作。圖 57 的時脈圖示出了第 i 列掃描線 Gi 被選擇的情形。第 i 列掃描線 Gi 的選擇周期可以劃分成第一子選擇周期 T1、第二子選擇周期 T2 和第三子選擇周期 T3。注意，圖 56 中的信號線驅動器電路與圖 57 類似地操作，即使當其他列的掃描線被選擇時。

信號輸入到第一佈線 5611、第二佈線 5612 和第三佈線 5613。第一開關 5603a 的導通/截止受輸入到第一佈線 5611 的信號控制。第二開關 5603b 的導通/截止受輸入到第二佈線 5612 的信號控制。第三開關 5603c 的導通/截止受輸入到第三佈線 5613 的信號控制。

注意，圖 57 的時脈圖示出了下述情形，其中第 J 行的佈線 5621_J 透過第一開關 5603a、第二開關 5603b 和第三開關 5603c 連接到信號線 Sj-1、信號線 Sj 和信號線 Sj+1。

圖 57 的時脈圖示出了當第 i 列掃描線 Gi 被選擇時的時脈，第一開關 5603a 導通/截止的時脈 5703a、第二開關 5603b 導通/截止的時脈 5703b、第三開關 5603c 導通/截止的時脈 5703c、以及輸入到第 J 行佈線 5621_J 的信號 5721_J。

在第一子選擇周期 T1、第二子選擇周期 T2 和第三子選擇周期 T3 中，不同視頻信號輸入到佈線 5621_1 至 5621_M。例如，在第一子選擇周期 T1 輸入到佈線 5621_J 的視頻信號輸入到信號線 Sj-1，在第二子選擇周期 T2 輸入到佈線 5621_J 的視頻信號輸入到信號線 Sj，且在第三子選擇周期 T3 輸入到佈線 5621_J 的視頻信號輸入到信號線 Sj+1。在第一子選擇周期 T1、第二子選擇周期 T2 和第三子選擇周期 T3 中，輸入到佈線 5621_J 的視頻信號用 Dataj-1、Dataj 和 Dataj+1 表示。

如圖 57 所示，在第一子選擇周期 T1，第一開關 5603a 導通，且第二開關 5603b 和第三開關 5603c 截止。此時，輸入到佈線 5621_J 的 Dataj-1 透過第一開關 5603a 輸入到信號線 Sj-1。在第二子選擇周期 T2，第二開關 5603b 導通，且第一開關 5603a 和第三開關 5603c 截止。此時，輸入到佈線 5621_J 的 Dataj 透過第二開關 5603b 輸入到信號線 Sj。在第三子選擇周期 T3，第三開關 5603c 導通，且第一開關 5603a 和第二開關 5603b 截止。此時，輸入到佈線 5621_J 的 Dataj+1 透過第三開關 5603c 輸入到信號線 Sj+1。

如上所述，在圖 56 的信號線驅動器電路中，一個閘極選擇周期劃分為三個；因此，在一個閘極選擇周期內的視頻信號可以輸入到來自一條佈線 5621 的三條信號線。因此，在圖 56 的信號線驅動器電路中，設有驅動器 IC 5601 的基板和設有像素部的基板相連接的連接數目近似為信號線數目的三分之一。連接數目減少為信號線數目的約三分之一；因此，圖 56 中的信號線驅動器電路的可靠性、生產率等可以提高。

透過將本實施例模式的信號線驅動器電路應用於實施例模式 1 至 8 所示的各個顯示裝置，設有像素部的基板和外部基板相連接的連接數目可以進一步減少。因此，本發明的顯示裝置的可靠性和生產率可以提高。

接下來，參考圖 59 描述 N 通道電晶體用於第一開關 5603a、第二開關 5603b 和第三開關 5603c 的情形。注意，與圖 56 類似的部分使用相同的標號表示，且省略了對相同部分或具有相似功能的部分的詳細描述。

第一電晶體 5903a 對應於第一開關 5603a。第二電晶體 5903b 對應於第二開關 5603b。第三電晶體 5903c 對應於第三開關 5603c。

例如，對於開關組 5602_J 的情形，第一電晶體 5903a 的第一端子連接到佈線 5621_J，第一電晶體 5903a 的第二端子連接到信號線 Sj-1，且第一電晶體 5903a 的閘極端子連接到第一佈線 5611。第二電晶體 5903b 的第一端子連接到佈線 5621_J，第二電晶體 5903b 的第二端子連接到信

號線 Sj，且第二電晶體 5903b 的閘極端子連接到第二佈線 5612。第三電晶體 5903c 的第一端子連接到佈線 5621_J，第三電晶體 5903c 的第二端子連接到信號線 Sj+1，且第三電晶體 5903c 的閘極端子連接到第三佈線 5613。

注意，第一電晶體 5903a、第二電晶體 5903b 和第三電晶體 5903c 分別作為開關電晶體。此外，第一電晶體 5903a、第二電晶體 5903b 和第三電晶體 5903c 的每一個當輸入各個閘極電極的信號為高電位時導通，且當輸入各個閘極電極的信號為低電位時截止。

當 N 通道電晶體用於第一電晶體 5903a、第二電晶體 5903b 和第三電晶體 5903c 時，非晶矽可以用於電晶體的半導體層；因此可以實現製造方法簡化，製造成本降低以及產率提高。此外，可以形成例如大尺寸顯示面板的半導體裝置。即使當多晶矽或者單晶矽用於電晶體的半導體層時，仍可以實現製造方法的簡化。因此，圖 59 的信號線驅動器電路較佳的、應用於實施例模式 1 至 4 所示的各個顯示裝置。

在圖 59 的信號線驅動器電路中，N 通道電晶體用於第一電晶體 5903a、第二電晶體 5903b 和第三電晶體 5903c；然而，P 通道電晶體可以用於第一電晶體 5903a、第二電晶體 5903b 和第三電晶體 5903c。在後一種情形中，各個電晶體當輸入到閘極電極的信號為低電位時導通，且當輸入到閘極電極的信號為高電位時截止。當 P 通道電晶體用於第一電晶體 5903a、第二電晶體 5903b 和第

三電晶體 5903c 時，該信號線驅動器電路較佳的應用於實施例模式 5 至 8 所示的各個顯示裝置。

注意，開關的佈置、數目、驅動方法等沒有限制；只要如圖 56 所示，一個閘極選擇周期劃分為多個子選擇周期，且在各個該多個子選擇周期內視頻信號輸入到來自一條佈線的多條信號線。例如，當視頻信號在該三個以上子選擇周期的每一個內輸入到來自一條佈線的三條以上信號線時，可以添加開關和用於控制該開關的佈線。注意，當一個選擇周期劃分為四個以上子選擇周期時，一個子選擇周期變短。因此，一個選擇周期較佳的、劃分為兩個以上子選擇周期。

例如，如圖 58 的時脈圖所示，一個選擇周期可以劃分為預充電周期 Tp、第一子選擇周期 T1、第二子選擇周期 T2 和第三子選擇周期 T3。圖 58 的時脈圖示出了當第 i 列掃描線 Gi 被選擇時的時脈，第一開關 5603a 導通/截止的時脈 5803a、第二開關 5603b 導通/截止的時脈 5803b、第三開關 5603c 導通/截止的時脈 5803c、以及輸入到第 J 行佈線 5621_J 的信號 5821_J。如圖 58 所示，第一開關 5603a、第二開關 5603b 和第三開關 5603c 在預充電周期 Tp 內導通。此時，輸入到佈線 5621_J 的預充電電壓 Vp 透過第一開關 5603a、第二開關 5603b 和第三開關 5603c 輸入到信號線 Sj-1、信號線 Sj 和信號線 Sj+1 的每一個。在第一子選擇周期 T1，第一開關 5603a 導通，且第二開關 5603b 和第三開關 5603c 截止。此時，輸入到佈線

5621_J 的 Dataj-1 透過第一開關 5603a 輸入到信號線 Sj-1。在第二子選擇周期 T2，第二開關 5603b 導通，且第一開關 5603a 和第三開關 5603c 截止。此時，輸入到佈線 5621_J 的 Dataj 透過第二開關 5603b 輸入到信號線 Sj。在第三子選擇周期 T3，第三開關 5603c 導通，且第一開關 5603a 和第二開關 5603b 截止。此時，輸入到佈線 5621_J 的 Dataj+1 透過第三開關 5603c 輸入到信號線 Sj+1。

如上所述，在依照圖 58 的時脈圖操作的圖 56 的信號線驅動器電路中，由於預充電選擇周期設於子選擇周期之前，信號線可以預充電；因此視頻信號可以高速地寫入像素。此外，由於信號線預充電，該像素可以保持在正確的視頻信號。無需說，在依照圖 58 的時脈圖操作的圖 56 的信號線驅動器電路中，設有驅動器 IC 5601 的基板和設有像素部的基板相連接的連接數目近似為信號線數目的三分之一；類似於依照圖 57 的時脈圖操作的圖 56 的信號線驅動器電路。因此，可靠性、生產率等可以提高。注意，與圖 57 類似的部分使用相同的標號表示，且省略了對相同部分或具有相似功能的部分的詳細描述。

此外在圖 60 中，可以如圖 56 所示，一個閘極選擇周期劃分為多個子選擇周期，且在各個該多個子選擇周期內視頻信號輸入到來自一條佈線的多條信號線。注意，圖 60 僅示出了信號線驅動器電路中的第 J 行的開關組 6022_J。開關組 6022_J 包括第一電晶體 6001、第二電晶體 6002、第三電晶體 6003、第四電晶體 6004、第五電晶

體 6005 和第六電晶體 6006。第一電晶體 6001、第二電晶體 6002、第三電晶體 6003、第四電晶體 6004、第五電晶體 6005 和第六電晶體 6006 為 N 通道電晶體。開關組 6022_J 連接到第一佈線 6011、第二佈線 6012、第三佈線 6013、第四佈線 6014、第五佈線 6015、第六佈線 6016、佈線 5621_J、信號線 Sj-1、信號線 Sj 和信號線 Sj+1。

第一電晶體 6001 的第一端子連接到佈線 5621_J，第一電晶體 6001 的第二端子連接到信號線 Sj-1，且第一電晶體 6001 的閘極端子連接到第一佈線 6011。第二電晶體 6002 的第一端子連接到佈線 5621_J，第二電晶體 6002 的第二端子連接到信號線 Sj-1，且第二電晶體 6002 的閘極端子連接到第二佈線 6012。第三電晶體 6003 的第一端子連接到佈線 5621_J，第三電晶體 6003 的第二端子連接到信號線 Sj，且第三電晶體 6003 的閘極端子連接到第三佈線 6013。第四電晶體 6004 的第一端子連接到佈線 5621_J，第四電晶體 6004 的第二端子連接到信號線 Sj，且第四電晶體 6004 的閘極端子連接到第四佈線 6014。第五電晶體 6005 的第一端子連接到佈線 5621_J，第五電晶體 6005 的第二端子連接到信號線 Sj+1，且第五電晶體 6005 的閘極端子連接到第五佈線 6015。第六電晶體 6006 的第一端子連接到佈線 5621_J，第六電晶體 6006 的第二端子連接到信號線 Sj+1，且第六電晶體 6006 的閘極端子連接到第六佈線 6016。

注意，第一電晶體 6001、第二電晶體 6002、第三電

晶體 6003、第四電晶體 6004、第五電晶體 6005 和第六電晶體 6006 分別作為開關電晶體。此外，第一電晶體 6001、第二電晶體 6002、第三電晶體 6003、第四電晶體 6004、第五電晶體 6005 和第六電晶體 6006 的每一個當輸入各個閘極電極的信號為高電位時導通，且當輸入各個閘極電極的信號為低電位時截止。

注意，第一佈線 6011 和第二佈線 6012 對應於圖 59 中的第一佈線 5911。第三佈線 6013 和第四佈線 6014 對應於圖 59 中的第二佈線 5912。第五佈線 6015 和第六佈線 6016 對應於圖 59 中的第三佈線 5913。第一電晶體 6001 和第二電晶體 6002 對應於圖 59 中的第一電晶體 5903a。第三電晶體 6003 和第四電晶體 6004 對應於圖 59 中的第二電晶體 5903b。第五電晶體 6005 和第六電晶體 6006 對應於圖 59 中的第三電晶體 5903c。

在圖 60 中，在如圖 57 所示的第一子選擇周期 T1，第一電晶體 6001 或第二電晶體 6002 之一導通。在第二子選擇周期 T2，第三電晶體 6003 或第四電晶體 6004 之一導通。在第三子選擇周期 T3，第五電晶體 6005 或第六電晶體 6006 之一導通。此外，在圖 58 所示的預充電周期 Tp，第一電晶體 6001、第三電晶體 6003 和第五電晶體 6005 導通，或者第二電晶體 6002、第四電晶體 6004 和第六電晶體 6006 導通。

因此在圖 60 中，由於各個電晶體的導通時間縮短，可以抑制電晶體的特性惡化。這是因為，例如在如圖 57

所示的第一子選擇周期 T1，當第一電晶體 6001 或第二電晶體 6002 之一導通時，視頻信號可以輸入到信號線 Sj-1。注意，在如圖 57 所示的第一子選擇周期 T1，例如當第一電晶體 6001 和第二電晶體 6002 同時均導通時，視頻信號可以高速地輸入到信號線 Sj-1。

注意，當 N 通道電晶體用於第一電晶體 6001、第二電晶體 6002、第三電晶體 6003、第四電晶體 6004、第五電晶體 6005 和第六電晶體 6006 時，非晶矽可以用於電晶體的半導體層。因此可以實現製造方法簡化，製造成本降低以及產率提高。此外，可以形成例如大尺寸顯示面板的半導體裝置。即使當多晶矽或者單晶矽用於電晶體的半導體層時，仍可以實現製造方法的簡化。因此，圖 60 的信號線驅動器電路較佳的、應用於實施例模式 1 至 4 所示的各個顯示裝置。

注意，在圖 60 中，兩個電晶體並聯連接在佈線 5621 和信號線之間；然而，本發明不限於此，且三個以上電晶體可以並聯連接在佈線 5621 和信號線之間。因此，可以進一步抑制各個電晶體的特性惡化。

注意，本實施例模式所示的每一個信號線驅動器電路可以與本說明書中其他實施例模式所示的各個顯示裝置的結構自由地組合。此外，本實施例模式所示的信號線驅動器電路的結構可以自由地相互組合。

[實施例模式 12]

在本實施例模式中，描述實施例模式 1 至 8 所示顯示裝置中用於防止靜電放電損傷所致缺陷的結構。

注意，靜電放電損傷是指，當儲存在人體或物體內的正或負電荷觸及半導體裝置時透過半導體裝置的輸入/輸出端子的暫態放電，以及透過供應在半導體裝置內流動的大電流導致的損傷。

圖 61A 示出了透過保護二極體用於防止掃描線中導致的靜電放電損傷的結構。圖 61A 示出了保護二極體設於佈線 6111 和掃描線之間的結構。儘管未示出，多個像素連接到第 i 列掃描線 Gi。注意，電晶體 6101 作為該保護二極體。電晶體 6101 為 N 通道電晶體；然而，可以使用 P 通道電晶體，且電晶體 6101 的極性可以與掃描線驅動器電路或像素中包含的電晶體的極性相同。

注意，此處佈置了一個保護二極體；然而，可以串聯地、並聯地或者串聯-並聯地佈置多個保護二極體。

電晶體 6101 的第一端子連接到第 i 列掃描線 Gi，電晶體 6101 的第二端子連接到佈線 6111，且電晶體 6101 的閘極端子連接到第 i 列掃描線 Gi。

描述圖 61A 的操作。特定電位輸入到佈線 6111，該電位低於輸入到第 i 列掃描線 Gi 的信號的低電位。當正或負電荷不釋放到第 i 列掃描線 Gi 時，第 i 列掃描線 Gi 的電位處於高電位或低電位，從而電晶體 6101 截止。另一方面，當負電荷釋放到第 i 列掃描線 Gi 時，第 i 列掃描線 Gi 的電位瞬間減小。此時，第 i 列掃描線 Gi 的電位低

於透過將佈線 6111 的電位減去電晶體 6101 臨界值電壓而得到的值，電晶體 6101 由此導通，且電流透過電晶體 6101 流到佈線 6111。因此，圖 61A 所示結構可以防止大電流流到像素，從而可以防止像素的靜電放電損傷。

圖 61B 示出了用於防止當正電荷釋放到第 i 列掃描線 Gi 時的靜電放電損傷的結構。作為保護二極體的電晶體 6102 設於掃描線和佈線 6112 之間。注意，此處佈置了一個保護二極體；然而，可以串聯地、並聯地或者串聯-並聯地佈置多個保護二極體。電晶體 6102 為 N 通道電晶體；然而，可以使用 P 通道電晶體，且電晶體 6102 的極性可以與掃描線驅動器電路或像素中包含的電晶體的極性相同。電晶體 6102 的第一端子連接到第 i 列掃描線 Gi，電晶體 6102 的第二端子連接到佈線 6112，且電晶體 6102 的閘極端子連接到佈線 6112。注意，電位輸入到佈線 6112，該電位高於輸入到第 i 列掃描線 Gi 的信號的高電位。因此當電荷不釋放到第 i 列掃描線 Gi 時，電晶體 6102 截止。另一方面，當正電荷釋放到第 i 列掃描線 Gi 時，第 i 列掃描線 Gi 的電位瞬間增大。此時，第 i 列掃描線 Gi 的電位高於佈線 6112 的電位和電晶體 6102 臨界值電壓之和，電晶體 6102 由此導通，且電流透過電晶體 6102 流到佈線 6112。因此，圖 61B 所示結構可以防止大電流流到像素，從而可以防止像素的靜電放電損傷。

如圖 61C 所示，採用組合了圖 61A 和 61B 的結構，可以防止當正或負電荷釋放到第 i 列掃描線 Gi 時像素的

靜電放電損傷。注意，與圖 61A 和 61B 類似的部分使用相同的標號表示，且省略了對相同部分或具有相似功能的部分的詳細描述。

圖 62A 示出了作為保護二極體的電晶體 6201 連接在掃描線和儲存電容器線之間的結構。注意，此處佈置了一個保護二極體；然而，可以串聯地、並聯地或者串聯-並聯地佈置多個保護二極體。電晶體 6201 為 N 通道電晶體；然而，可以使用 P 通道電晶體，且電晶體 6201 的極性可以與掃描線驅動器電路或像素中包含的電晶體的極性相同。佈線 6211 作為儲存電容器線。電晶體 6201 的第一端子連接到第 i 列掃描線 Gi，電晶體 6201 的第二端子連接到佈線 6211，且電晶體 6201 的閘極端子連接到第 i 列掃描線 Gi。注意，電位輸入到佈線 6211，該電位低於輸入到第 i 列掃描線 Gi 的信號的高電位。因此當電荷不釋放到第 i 列掃描線 Gi 時，電晶體 6201 截止。另一方面，當負電荷釋放到第 i 列掃描線 Gi 時，第 i 列掃描線 Gi 的電位瞬間減小。此時，第 i 列掃描線 Gi 的電位低於透過將佈線 6211 的電位減去電晶體 6201 臨界值電壓而得到的值，電晶體 6201 由此導通，且電流透過電晶體 6201 流到佈線 6211。因此，圖 62A 所示結構可以防止大電流流到像素，從而可以防止像素的靜電放電損傷。此外，由於儲存電容器線用於釋放圖 62A 所示結構內的電荷，因此不需要增加佈線。

圖 62B 示出了用於防止當正電荷釋放到第 i 列掃描線

Gi 時的靜電放電損傷的結構。這裏，電位輸入到佈線 6211，該電位高於輸入到第 i 列掃描線 Gi 的信號的高電位。因此當電荷不釋放到第 i 列掃描線 Gi 時，電晶體 6202 截止。另一方面，當正電荷釋放到第 i 列掃描線 Gi 時，第 i 列掃描線 Gi 的電位瞬間增大。此時，第 i 列掃描線 Gi 的電位高於佈線 6211 的電位和電晶體 6202 臨界值電壓之和，電晶體 6202 由此導通，且電流透過電晶體 6202 流到佈線 6211。因此，圖 62B 所示結構可以防止大電流流到像素，從而可以防止像素的靜電放電損傷。此外，由於儲存電容器線用於釋放圖 62B 所示結構內的電荷，因此不需要增加佈線。注意，與圖 62A 類似的部分使用相同的標號表示，且省略了對相同部分或具有相似功能的部分的詳細描述。

接下來，圖 64A 示出了透過保護二極體用於防止掃描線中導致的靜電放電損傷的結構。圖 64A 示出了保護二極體設於佈線 6411 和掃描線之間的結構。儘管未示出，多個像素連接到第 j 行信號線 Sj。注意，電晶體 6401 作為該保護二極體。注意，電晶體 6401 為 N 通道電晶體；然而，可以使用 P 通道電晶體，且電晶體 6401 的極性可以與掃描線驅動器電路或像素中包含的電晶體的極性相同。

注意，此處佈置了一個保護二極體；然而，可以串聯地、並聯地或者串聯-並聯地佈置多個保護二極體。

電晶體 6401 的第一端子連接到第 j 行信號線 Sj，電晶體 6401 的第二端子連接到佈線 6411，且電晶體 6401

的閘極端子連接到第 j 行信號線 Sj。

描述圖 64A 的操作。特定電位輸入到佈線 6411，該電位低於輸入到第 j 行信號線 Sj 的視頻信號的最低值。當正或負電荷不釋放到第 j 行信號線 Sj 時，第 j 行信號線 Sj 的電位與視頻信號相同，從而電晶體 6401 截止。另一方面，當負電荷釋放到第 j 行信號線 Sj 時，第 j 行信號線 Sj 的電位瞬間減小。此時，第 j 行信號線 Sj 的電位低於透過將佈線 6411 的電位減去電晶體 6401 臨界值電壓而得到的值，電晶體 6401 由此導通，且電流透過電晶體 6401 流到佈線 6411。因此，圖 64A 所示結構可以防止大電流流到像素，從而可以防止像素的靜電放電損傷。

圖 64B 示出了用於防止當正電荷釋放到第 j 行信號線 Sj 時的靜電放電損傷的結構。作為保護二極體的電晶體 6402 設於掃描線和佈線 6412 之間。注意，此處佈置了一個保護二極體；然而，可以串聯地、並聯地或者串聯-並聯地佈置多個保護二極體。電晶體 6402 為 N 通道電晶體；然而，可以使用 P 通道電晶體，且電晶體 6402 的極性可以與掃描線驅動器電路或像素中包含的電晶體的極性相同。電晶體 6402 的第一端子連接到第 j 行信號線 Sj，電晶體 6402 的第二端子連接到佈線 6412，且電晶體 6402 的閘極端子連接到佈線 6412。注意，電位輸入到佈線 6412，該電位高於輸入到第 j 行信號線 Sj 的信號的視頻信號的最高值。因此當電荷不釋放到第 j 行信號線 Sj 時，電晶體 6402 截止。另一方面，當正電荷釋放到第 j

行信號線 Sj 時，第 j 行信號線 Sj 的電位瞬間增大。此時，第 j 行信號線 Sj 的電位高於佈線 6412 的電位和電晶體 6402 臨界值電壓之和，電晶體 6402 由此導通，且電流透過電晶體 6402 流到佈線 6412。因此，圖 64B 所示結構可以防止大電流流到像素，從而可以防止像素的靜電放電損傷。

如圖 64C 所示，採用組合了圖 64A 和 64B 的結構，可以防止當正或負電荷釋放到第 j 行信號線 Sj 時像素的靜電放電損傷。注意，與圖 64A 和 64B 類似的部分使用相同的標號表示，且省略了對相同部分或具有相似功能的部分的詳細描述。

在本實施例模式中，描述了用於防止連接到掃描線和信號線的像素的靜電放電損傷的結構。然而，本實施例模式中的結構僅用於防止連接到掃描線和信號線的像素的靜電放電損傷。例如，當本實施例模式用於信號或電位輸入的佈線時，其中該佈線連接到實施例模式 1 至 8 所示掃描線驅動器電路和信號線驅動器電路，則該掃描線驅動器電路和信號線驅動器電路的靜電放電損傷可以得到防止。

注意，本實施例模式所示的每一個顯示裝置可以與本說明書中其他實施例模式所示的各個顯示裝置的結構自由地組合。此外，本實施例模式所示的顯示裝置的結構可以自由地相互組合。

[實施例模式 13]

在本實施例模式中，描述可以應用於實施例模式 1 至 8 所示各個顯示裝置的顯示裝置的另一種結構。

圖 63A 示出了連接成二極體的電晶體設於掃描線和另一條掃描之間的結構。圖 63A 示出了二極體連接的電晶體 6301a 設於第 i-1 列掃描線 Gi-1 和第 i 列掃描線 Gi 之間且二極體連接的電晶體 6301b 設於第 i 列掃描線 Gi 和第 i+1 列掃描線 Gi+1 之間的結構。注意，電晶體 6301a 和 6301b 為 N 通道電晶體；然而，可以使用 P 通道電晶體，且電晶體 6301a 和 6301b 的極性可以與掃描線驅動器電路或像素中包含的電晶體的極性相同。

注意，在圖 63A 中典型地示出了第 i-1 列掃描線 Gi-1、第 i 列掃描線 Gi 和第 i+1 列掃描線 Gi+1，且連接成二極體的電晶體類似地設於其他掃描線之間。

電晶體 6301a 的第一端子連接到第 i 列掃描線 Gi，電晶體 6301a 的第二端子連接到第 i-1 列掃描線 Gi-1，且電晶體 6301a 的閘極端子連接到第 i-1 列掃描線 Gi-1。電晶體 6301b 的第一端子連接到第 i+1 列掃描線 Gi+1，電晶體 6301b 的第二端子連接到第 i 列掃描線 Gi，且電晶體 6301b 的閘極端子連接到第 i 列掃描線 Gi。

描述圖 63A 的操作。在實施例模式 1 至 4 所示各個掃描線驅動器電路中，第 i-1 列掃描線 Gi-1、第 i 列掃描線 Gi 和第 i+1 列掃描線 Gi+1 在非選擇周期內維持在低電位。因此電晶體 6301a 和 6301b 截止。然而，例如當第 i 列掃描線 Gi 的電位由於雜訊等增大時，像素被第 i 列掃

描線 Gi 選擇且錯誤的視頻信號寫入該像素。因此，透過如圖 63A 所示在掃描線之間提供連接成二極體的電晶體，可以防止錯誤的視頻信號寫入像素。這是因為，當第 i 列掃描線 Gi 的電位增大至大於第 i-1 列掃描線 Gi-1 的電位和電晶體 6301a 的臨界值電壓之和時，電晶體 6301a 導通且第 i 列掃描線 Gi 的電位降低；因此，像素不被該第 i 列掃描線 Gi 選擇。

當掃描線驅動器電路和像素部形成於相同基板上時，圖 63A 的結構尤為有用，因為在僅包括 N 通道電晶體或僅包括 P 通道電晶體的掃描線驅動器電路中，掃描線有時處於浮置狀態且在掃描線中容易引發雜訊。

圖 63B 示出了設於掃描線之間的連接成二極體的電晶體的方向與圖 63A 相反的結構。注意，電晶體 6302a 和 6302b 為 N 通道電晶體；然而，可以使用 P 通道電晶體，且電晶體 6302a 和 6302b 的極性可以與掃描線驅動器電路或像素中包含的電晶體的極性相同。在圖 63B 中，電晶體 6302a 的第一端子連接到第 i 列掃描線 Gi，電晶體 6302a 的第二端子連接到第 i-1 列掃描線 Gi-1，且電晶體 6302a 的閘極端子連接到第 i 列掃描線 Gi。電晶體 6302b 的第一端子連接到第 i+1 列掃描線 Gi+1，電晶體 6302b 的第二端子連接到第 i 列掃描線 Gi，且電晶體 6302b 的閘極端子連接到第 i+1 列掃描線 Gi+1。在 63B 中，類似於圖 63A，當第 i 列掃描線 Gi 的電位增大至大於第 i+1 列掃描線 Gi+1 的電位和電晶體 6302b 的臨界值電壓之和時，電晶

體 6302b 導通且第 i 列掃描線 Gi 的電位降低。因此，像素不被該第 i 列掃描線 Gi 選擇且可以防止錯誤的視頻信號寫入該像素。

如圖 63C 所示，採用組合了圖 63A 和 63B 的結構，即使當第 i 列掃描線 Gi 的電位增大時，電晶體 6301a 和 6301b 導通，從而第 i 列掃描線 Gi 的電位降低。注意，在圖 63C 中，由於電流流過兩個電晶體，更多的雜訊可以除去。注意，與圖 63A 和 63B 類似的部分使用相同的標號表示，且省略了對相同部分或具有相似功能的部分的詳細描述。

注意，如圖 62A 和 62B 所示，當連接成二極體的電晶體設於掃描線和儲存電容器線之間時，可以獲得與圖 63A、63B 和 63C 相似的效果。

注意，本實施例模式所示的每一個顯示裝置可以與本說明書中其他實施例模式所示的各個顯示裝置的結構自由地組合。此外，本實施例模式所示的顯示裝置的結構可以自由地相互組合。

[實施例模式 14]

在本實施例模式中，參考圖 100A 和 100B 描述包括前述實施例模式所示像素結構的顯示面板的結構。

圖 100A 為示出顯示面板的俯視圖，圖 100B 為圖 100A 沿 A-A'的剖面圖。該顯示面板包括虛線示出的信號控制電路 10001、像素部 10002、第一閘極驅動器 10003

和第二閘極驅動器 10006。該顯示面板還包括密封基板 10004 和密封材料 10005。密封材料 10005 包圍的部分形成空間 10007。

注意，佈線 10008 是用於傳輸輸入到第一閘極驅動器 10003、第二閘極驅動器 10006 和信號控制電路 10001 的信號，並從為外部輸入端子的 FPC（撓性印刷電路）10009 接收視頻信號、時鐘信號、開始信號等。IC 晶片（包括記憶體電路、緩衝器電路等的半導體晶片）10019 透過 COG（玻璃上晶片）等安裝在 FPC 10009 和顯示面板的連接部上。注意，儘管此處僅示出 FPC 10009，但印刷佈線板（PWB）可附著到該 FPC。本說明書中的顯示裝置不僅包括顯示面板的主體，還包括附著有 FPC 或 PWB 的顯示面板和其上安裝有 IC 晶片等的顯示面板。

接下來，參考圖 100B 描述剖面結構。像素部 10002 和週邊驅動器電路（第一閘極驅動器 10003、第二閘極驅動器 10006 和信號控制電路 10001）形成於基板 10010 上。此處示出了信號控制電路 10001 和像素部 10002。

注意，信號控制電路 10001 使用為 N 通道電晶體的電晶體 10020 和電晶體 10021 的單極電晶體形成。可以透過使用圖 46A、46B、65A、65B、66 和 67 任意之一的像素結構，使用單晶電晶體來形成像素。因此，當週邊驅動器電路使用 N 通道電晶體形成時，可以形成單極顯示面板。無需說，可以使用 P 通道電晶體以及單極電晶體形成 CMOS 電路。

注意，對於電晶體 10020 和 10021 為 P 通道電晶體的情形，當週邊驅動器電路使用 P 通道電晶體形成時，可以形成單極顯示面板。無需說，可以使用 N 通道電晶體以及單極電晶體形成 CMOS 電路。

在本實施例模式中，示出了週邊驅動器電路形成於相同基板上的顯示面板；然而並不一定如此，週邊驅動器電路的全部或部分可以形成於 IC 晶片等上，且該 IC 晶片可以透過 COG 等來安裝。這種情況下，驅動器電路不需要是單極的，且 N 通道電晶體和 P 通道電晶體可以組合使用。

像素部 10002 包括電晶體 10011 和電晶體 10012。注意，電晶體 10012 的源極端子連接到第一電極（像素電極）10013。絕緣體 10014 形成為覆蓋第一電極 10013 的端部。這裏，絕緣體 10014 使用正光敏丙烯酸樹脂。

為了良好覆蓋，絕緣體 10014 形成為具有在絕緣體 10014 的上端部或下端部具有曲率的曲面。例如，當正光敏丙烯酸樹脂作為絕緣體 10014 的材料時，較佳的、僅絕緣體 10014 的上端部具有具有曲率半徑（0.2 至 3 μ m）的曲面。此外，絕緣體 10014 可以使用透過光照射部溶於蝕刻劑的負光敏丙烯酸樹脂或者透過光照射可以溶於蝕刻劑的正光敏丙烯酸樹脂。

第二電極（相對電極）10017 和包含有機化合物的層 10016 形成於第一電極 10013 上方。這裏，作為陽極的第一電極 10013 的材料較佳的使用功函數高的材料。例如可

以使用 ITO（氧化銦錫）膜、氧化銦鋅（IZO）膜、氮化鈦膜、鉻膜、鎢膜、Zn 膜、Pt 膜等的單層膜；氮化鈦膜及包含鋁為其主要成分的膜的疊層結構；氮化鈦膜、包含鋁為其主要成分的膜和氮化鈦膜的三層結構等。注意，對於疊層結構的情形，作為佈線的電阻低，可以獲得良好的歐姆接觸，且可以獲得作為陽極的功能。

透過使用蒸鍍掩模的蒸鍍方法或者透過噴墨方法形成包含有機化合物的層 10016。使用元素周期表 4 族的金屬的金屬複合物用於該包含有機化合物的層 10016 的一部分，且低分子材料或高分子材料可以組合使用。此外，對於用於該包含有機化合物的層的材料，經常使用有機化合物的單層或疊層；在本實施例模式中，無機化合物可包括在由有機化合物形成的膜的一部分內。此外還可以使用已知的三重態材料。

此外，用於形成於包含有機化合物的層 10016 上方的第二電極 10017 的材料，可以使用功函數低的材料（Al、Ag、Li、Ca，或者其合金，例如 MgAg、MgIn、AlLi、CaF_2 或氮化鈣）。注意，當包含有機化合物的層 10016 內產生的光透射經過第二電極 10017 時，第二電極（陰極）10017 較佳的使用金屬薄膜和發光導電膜（ITO（氧化銦錫）、氧化銦-氧化鋅合金（In_2O_3-ZnO）、氧化鋅（ZnO）等）的疊層結構。

此外，密封基板 10004 透過密封材料 10005 附著到基板 10010 以具有下述結構，其中發光元件 10018 設於由基

板 10010、密封基板 10004 和密封材料 10005 包圍的空間 10007 內。注意，空間 10007 可填充有密封材料 10005 或填充有惰性氣體（例如氮氣或氬氣）。

注意，環氧樹脂基樹脂較佳的用於密封材料 10005。此外，較佳的、這些材料盡可能傳輸少的濕氣或氧氣。另外，用於密封基板 10004 的材料，除了玻璃基板或石英基板之外，還可以使用由 FRP（玻璃纖維強化塑膠）、PVF（聚氟乙烯）、聚酯、丙烯酸等形成的塑膠基板。

如上所述，可以獲得包括本發明的顯示裝置的像素結構的顯示面板。注意，前述結構是示例，本發明顯示裝置的顯示面板的結構不限於此。

如圖 100A 和 100B 所示，信號控制電路 10001、像素部 10002、第一閘極驅動器 10003 和第二閘極驅動器 10006 形成於相同基板上；因此可以實現顯示裝置的成本降低。此外，在這種情況下，當單極電晶體用於信號控制電路 10001、像素部 10002、第一閘極驅動器 10003 和第二閘極驅動器 10006 時，可以實現製造方法的簡化，且因此可以實現進一步成本降低。

注意，顯示面板的結構不限於圖 100A 所示的結構，其中信號控制電路 10001、像素部 10002、第一閘極驅動器 10003 和第二閘極驅動器 10006 形成於相同基板上，且對應於信號控制電路 10001 的圖 101A 的信號控制電路 10101，可以形成於 IC 晶片上並透過 COG 等安置在顯示面板上。另外注意，圖 101A 中的基板 10100、像素部

10102、第一閘極驅動器 10103、第二閘極驅動器 10106、FPC 10105、IC 晶片 10106、IC 晶片 10107、密封基板 10108 和密封材料 10109 對應於圖 100A 中的基板 10010、像素部 10002、第一閘極驅動器 10003、第二閘極驅動器 10006、FPC 10009、IC 晶片 10019、密封基板 10004 和密封材料 10005。

也就是說，僅僅是要求高速操作的信號線驅動器電路使用 CMOS 等形成為 IC 晶片，且因此實現了更低的功耗。此外，當使用矽晶片等形成的半導體晶片用作 IC 晶片時，可以實現更高速度的操作和更低的功耗。

透過將第二驅動器 10103 和第一閘極驅動器 10104 形成於與像素部 10102 相同的基板上，可以實現成本減少。注意，當單極電晶體用於第二驅動器 10103、第一閘極驅動器 10104 和像素部 10102 時，可以實現進一步的成本減少。像素部 10102 中包含的像素的結構可以採用實施例模式 10 所示的像素。

如上所述，可以實現高清晰度顯示裝置的成本減少。此外，透過在 FPC 10105 和基板 10100 的連接部上安裝包括功能電路（記憶體或緩衝器）的 IC 晶片，則可以有效地利用基板面積。

此外，對應於圖 100A 中的信號控制電路 10001、第一閘極驅動器 10003 和第二閘極驅動器 10006 的圖 101B 中的信號控制電路 10111、第一閘極驅動器 10114 和第二閘極驅動器 10113 可以形成於 IC 晶片上方，且透過 COG

等安裝在顯示面板上。這種情況下，可以實現高清晰度顯示裝置的成本減少。因此，為了獲得具有更低功耗的顯示裝置，非晶矽較佳的用於該像素部中使用的電晶體的半導體層。注意，圖 101B 中的基板 10110、像素部 10112、FPC 10115、IC 晶片 10116、IC 晶片 10117、密封基板 10118 和密封材料 10119 對應於圖 100A 中的基板 10010、像素部 10002、FPC 10009、IC 晶片 10019、IC 晶片 10022、密封基板 10004 和密封材料 10005。

此外，透過將非晶矽用於像素部 10112 內電晶體的半導體層，可以實現進一步成本減少。另外，還可以製造大顯示面板。

另外，第二閘極驅動器、第一閘極驅動器和信號線控制電路不總是沿像素的列方向和行方向提供。例如，如圖 75A 所示形成於 IC 晶片上方的週邊驅動器電路 7501 可具有圖 101B 中第一閘極驅動器 10114、第二閘極電極驅動器 10113 和信號控制電路 10111 的功能。注意，圖 75A 中的像素部 7502、FPC 7504、IC 晶片 7505、IC 晶片 7506、密封基板 7507 和密封材料 7508 對應於圖 100A 中的基板 10010、像素部 10002、FPC 10009、IC 晶片 10019、IC 晶片 10022、密封基板 10004 和密封材料 10005。

圖 75B 為圖 75A 所示顯示裝置的佈線連接的示意圖。顯示裝置包括基板 7510、週邊驅動器電路 7511、像素部 7512、FPC 7513 和 FPC 7514。信號和電源電位在外

部從 FPC 7513 輸入到週邊驅動器電路 7511。來自週邊驅動器電路 7511 的輸出沿列方向和行方向輸入到佈線，其中這些佈線連接到像素部 7512 包含的像素。

圖 76A 和 76B 示出了可以應用於發光元件 10018 的發光元件的示例。也就是說，參考圖 76A 和 76B 描述可以應用於前述實施例模式的像素的發光元件的結構。

圖 76A 中的發光元件具有下述元件結構，其中，陽極 7602、由電洞注入材料形成的電洞注入層 7603、由電洞傳送材料形成的電洞傳送層 7604、發光層 7605、由電子傳送材料形成的電子傳送層 7606、由電子注入材料形成的電子注入層 7607、以及陰極 7608 層疊在基板 7601 上。這裏，發光層 7605 在某些情形下僅由一種發光材料形成，在其他情形下由兩種以上材料形成。注意，該元件的結構不限於此。

除了圖 76A 所示的其中層疊了功能層的疊層結構之外，還存在許多變化，例如使用高分子化合物形成的元件，以及在發光層中利用三重態發光材料的高效率元件，其中該三重態發光材料在從三重激發態返回時發光。這些變化也可以應用於發白光的元件，其中透過將發光區域劃分為兩個區域，透過使用電洞阻擋層等控制載流子的複合區域可以獲得這種發白光的元件。

對於圖 76A 所示本實施例模式的元件形成方法，電洞注入材料、電洞傳送材料和發光材料順序沈積在包括陽極 7602（ITO）的基板 7601 上。接著，沈積電子傳送材料和

電子注入材料，且最後透過蒸鍍形成陰極 7608。

接著，下文描述電洞注入材料、電洞傳送材料、電子傳送材料、電子注入材料和發光材料的較佳的材料。

對於電洞注入材料，例如卟啉基化合物、酞菁（下文中稱為 H_2PC）、銅酞菁（下文中稱為 CuPc）等是有效的。電洞注入材料還可以使用電位能低於所使用的電洞傳送材料且具有電洞傳送功能的材料。此外還可以採用透過化學摻雜導電高分子化合物而得到的材料，例如摻有聚磺苯乙烯（下文中稱為 PSS）的聚乙烯二羥基噻吩（下文中稱為 PEDOT）。此外，絕緣高分子化合物對於陽極的平整化是有效的，且經常使用聚醯亞胺（下文中稱為 PI）。另外，還使用無機化合物，例如氧化鋁的超薄膜（下文中稱為氧化鋁）以及例如金或鉑的金屬的薄膜。

對於電洞傳送材料，最廣泛使用芳族胺基化合物（即，具有苯環-氮鍵的化合物）。廣泛用做電洞傳送材料的材料包括 4,4'-二（二苯基氨基）-聯苯（下文中稱為 TAD）、例如 4,4'-二[N-（3-甲基苯基）-N-苯基氨基]-聯苯（下文中稱為 TPD）和 4,4'-二[N-（1-萘基）-N-苯基氨基]-聯苯（下文中稱為 α-NPD）的衍生物、以及例如 4,4',4"-三（N,N-二苯基氨基）-三苯基胺（下文中稱為 TDATA）和 4,4',4"-三[N-（3-甲基苯基）-N-苯基氨基]-三苯基胺（下文中稱為 MTDATA）的星爆型芳族胺化合物。

對於電子傳送材料，經常使用金屬複合物，包括具有

喹啉骨架或苯並喹啉骨架的金屬複合物，例如 Alq、BAlq、三（4-甲基-8-喹啉）鋁（下文中稱為 Almq）和二（10-羧基苯[h]-喹啉）鈹（下文中稱為 BeBq）。此外，可以採用具有惡唑基或噻唑基配體的金屬複合物，例如二[2-（2'-羥苯基）苯並惡唑]鋅（下文中稱為 $Zn(BOX)_2$）和二[2-（2'-羥基苯）苯並噻唑]鋅（下文中稱為 $Zn(BTZ)_2$）。此外，除了金屬複合物之外，例如 2-（4-二苯基）-5-（4-四丁基苯基）-1,3,4-惡二唑（下文中稱為 PBD）和 OXD-7 的惡二唑衍生物，例如 TAZ 和 3-（4-四丁基苯基）-4-（4-乙基苯）-5-（4-聯苯）-1,2,4-三唑（下文中稱為 p-EtTAZ）的三唑衍生物，以及例如紅菲繞啉（下文中稱為 BPhen）和 BCP 的菲繞啉衍生物具有電子傳送性能。

對於電子注入材料，可以使用上述電子傳送材料。此外，經常使用絕緣體的超薄膜，例如，諸如氟化鈣、氟化鋰或氟化銫的金屬鹵化物，或者諸如氧化鋰的鹼金屬氧化物。此外，例如乙醯丙酮鋰（下文中稱為 Li(acac)）或 8-喹啉鋰（下文中稱為 Liq）的鹼金屬複合物也是有效的。

對於發光材料，除了例如 Alq、Almq、BeBq、BAlq、$Zn(BOX)_2$ 和 $Zn(BTZ)_2$ 的上述金屬複合物之外，各種螢光色素是有效的。螢光色素包括藍色的 4,4'-二（2,2-二苯基乙烯）聯苯、紅桔色的 4-二氰亞甲基-2-甲基-6-（p-二甲胺苯乙烯）-4H-吡喃等。此外，還可以使用主要包括以鉑或銥為中心金屬的複合物的三重態發光材料。對

於該三重態發光材料，三（2-苯吡啶）銥、二（2-（4'-甲苯基）苯吡啶-$N,C^{2'}$）乙醯丙酮銥（下文中稱為$(acac)Ir(tpy)_2$）、2,3,7,8,12,13,17,18-八乙基-21H,23H 卟啉鉑等是已知的。

透過組合使用具有如上所述各種功能的材料，可以形成具有高可靠性的發光元件。

其中層按照與圖 76A 相反的順序形成的發光元件也可以用於實施例模式 10 的顯示元件 6521。也就是說，陰極 7618、由電子注入材料形成的電子注入層 7617、由電子傳送材料形成的電子傳送層 7616、發光層 7615、由電洞傳送材料形成的電洞傳送層 7614、由電洞注入材料形成的電洞注入層 7613 和陽極 7612 順序層疊在基板 7611 上。

此外，該發光元件的陽極和陰極至少之一需要是透明的，從而提取光發射。電晶體和發光元件形成於基板上方。本發明的顯示裝置的像素結構可以應用於具有下述任意一種發射結構：頂部發射結構，其中從與基板相對側的表面提取光發射；底部發射結構，其中從基板側的表面提取光發射；以及雙向發射結構，其中從基板側的表面以及與基板相對側的表面提取光發射。本發明的顯示裝置的像素結構可以應用於具有任何一種發射結構的發光元件。

參考圖 77A 描述具有頂部發射結構的發光元件。

驅動電晶體 7701 形成於基板 7700 上方。第一電極 7702 形成為接觸驅動電晶體 7701 的源極端子，且層 7703

和第二電極 7704 形成於該第一電極 7702 上方，其中該層 7703 包含有機化合物。

第一電極 7702 為發光元件的陽極。第二電極 7704 為發光元件的陰極。也就是說，包含有機化合物的層 7703 夾置於第一電極 7702 和第二電極 7704 之間的區域作為發光元件。

對於用於作為陽極的第一電極 7702 的材料，較佳的使用功函數高的材料。例如可以使用氮化鈦膜、鉻膜、鎢膜、Zn 膜、Pt 膜等的單層膜；氮化鈦膜及包含鋁為其主要成分的膜的疊層結構；氮化鈦膜、包含鋁為其主要成分的膜和氮化鈦膜的三層結構等。注意，對於疊層結構的情形，作為佈線的電阻低，可以獲得良好的歐姆接觸，且還可以獲得作為陽極的功能。透過使用反射光的金屬膜，可以形成不透光的陽極。

對於用於作為陰極的第二電極 7704 的材料，較佳的使用功函數低的材料（Al、Ag、Li、Ca，或者其合金，例如 MgAg、MgIn、AlLi、CaF_2 或氮化鈣）形成的薄金屬膜和透明導電膜（ITO（氧化銦錫）、氧化銦鋅（IZO）、氧化鋅（ZnO）等）的疊層結構。透過使用具有透光性能的薄金屬膜和透明導電膜，可以形成能夠透光的陰極。

如上所述，可以如圖 77A 中箭頭所示從頂面提取來自發光元件的光。也就是說，當採用圖 100A 和 100B 所示顯示面板時，光發射朝向密封基板 10004 側。因此，當在顯示裝置中採用具有頂部發射結構的發光元件時，具有透

光性能的基板作為密封基板 10004。

當提供光學膜時，該密封基板 10004 設有光學膜。

注意，用於陰極的由功函數低的材料形成的金屬膜，例如 MgAg、MgIn 或 AlLi 可以用於第一電極 7702。這種情況下，例如 ITO（氧化銦錫）膜或氧化銦鋅（IZO）膜的透光導電膜可以用於第二電極 7704。因此，採用這種結構可以改善頂部光發射的透射率。

接下來，參考圖 77B 描述底部發射結構的發光元件。因為除了光發射結構之外，該發光元件的結構與圖 77A 相同，因此使用與圖 77A 相同的標號。

這裏，用於作為陽極的第一電極 7702 的材料較佳的使用功函數高的材料。例如可以使用諸如 ITO（氧化銦錫）膜或氧化銦鋅（IZO）膜的透明導電膜。透過使用具有透光性能的透明導電膜，可以形成能夠透光的陽極。

用於作為陰極的第二電極 7704 的材料，較佳的使用由功函數低的材料（Al、Ag、Li、Ca，或者其合金，例如 MgAg、MgIn、AlLi、CaF_2 或 Ca_3N_2）形成的金屬膜。透過使用反射光的金屬膜，可以形成不透光的陰極。

如上所述，可以如圖 77B 中箭頭所示從底面提取來自發光元件的光。也就是說，當採用圖 100A 和 100B 所示顯示面板時，光發射朝向基板 10010 側。因此，當在顯示裝置中採用具有底部發射結構的發光元件時，具有透光性能的基板作為基板 10010。

當提供光學膜時，該基板 10010 設有光學膜。

接下來，參考圖 77C 描述雙向發射結構的發光元件。因為除了光發射結構之外，該發光元件的結構與圖 77A 相同，因此使用與圖 77A 相同的標號。

這裏，用於作為陽極的第一電極 7702 的材料較佳的使用功函數高的材料。例如可以使用諸如 ITO（氧化銦錫）膜或氧化銦鋅（IZO）膜的透明導電膜。透過使用具有透光性能的透明導電膜，可以形成能夠透光的陽極。

用於作為陰極的第二電極 7704 的材料，較佳的使用功函數低的材料（Al、Ag、Li、Ca，或者其合金，例如 MgAg、MgIn、AlLi、CaF_2 或氮化鈣）形成的薄金屬膜和透明導電膜（ITO（氧化銦錫）、氧化銦-氧化鋅合金（In_2O_3-ZnO）、氧化鋅（ZnO）等）的疊層結構。透過使用具有透光性能的薄金屬膜和透明導電膜，可以形成能夠透光的陰極。

如上所述，可以如圖 77C 中箭頭所示從兩側提取來自發光元件的光。也就是說，當採用圖 100A 和 100B 所示顯示面板時，光發射朝向基板 10010 側和密封基板 10004 側。因此，當在顯示裝置中採用具有雙向發射結構的發光元件時，具有透光性能的基板作為基板 10010 和密封基板 10004。

當提供光學膜時，基板 10010 和密封基板 10004 均設有光學膜。

此外，本發明可以應用於其中透過使用發白光的元件和濾色器實現全彩色顯示的顯示裝置。

如圖 78 所示，底膜 7802 形成於基板 7800 上方，且驅動電晶體 7801 形成於底膜 7802 上。第一電極 7803 形成為接觸驅動電晶體 7801 的源極端子，且層 7804 層和第二電極 7805 形成於該第一電極 7803 上方，其中該層 7804 包含有機化合物。

第一電極 7803 為發光元件的陽極。第二電極 7805 為發光元件的陰極。也就是說，包含有機化合物的層 7804 夾置於第一電極 7803 和第二電極 7805 之間的區域作為發光元件。在圖 78 所示的結構中，發射白光。紅色濾光片 7806R、綠色濾光片 7806G 和藍色濾光片 7806B 設於發光元件上方；因此可以進行全彩色顯示。此外，提供了分離這些濾色器的黑矩陣（也稱為 BM）7807。

前述的發光元件結構可以組合使用，且可以恰當地應用於本發明的顯示裝置。上述的顯示面板和發光元件的結構是示例，該像素結構也可以應用於具有其他結構的顯示裝置。

接下來，示出了顯示面板中像素部的部分剖面圖。

首先，參考圖 79A、79B、80A 和 80B 描述結晶半導體膜（多晶矽（p-Si:H）膜）用於電晶體的半導體層的情形。

這裏，例如透過採用已知膜形成方法在基板上方形成非晶矽（a-Si）膜，由此獲得該半導體層。注意，並不限於使用非晶矽膜，可以使用具有非晶狀態的任何半導體膜（包括微晶半導體膜）。此外，可以使用具有非晶結構的

化合物半導體膜，例如非晶鍺矽膜。

隨後，透過鐳射晶化方法、使用 RTA 或退火爐的熱晶化方法、使用促進結晶的金屬元素的熱晶化方法等，使該非晶矽膜結晶。無需說，這些晶化方法可以組合進行。

前述晶化的結果為，在該非晶半導體膜的一部分內形成結晶區。

此外，其中部分晶化程度更高的該結晶半導體膜被圖案化成期望形狀，且由該結晶區形成島狀半導體膜。該半導體膜用做電晶體的半導體層。

如圖 79A 所示，底膜 7902 形成於基板 7901 上方，且半導體層形成於該底膜 7902 上方。該半導體層包括通道形成區 7903、將成為驅動電晶體 7918 的源極區或汲極區的雜質區 7905；以及通道形成區 7906、LDD 區 7907 和將成為電容器 7919 的下電極的雜質區 7908。注意，可以對通道形成區 7903 和 7906 進行通道摻雜。

該基板可以使用玻璃基板、石英基板、陶瓷基板、塑膠基板等。底膜 7902 可以使用氮化鋁、氧化矽、氮氧化矽等的單層或其疊層。

閘極電極 7910 和電容器的上電極 7911 形成於半導體層上方，閘極絕緣膜 7909 夾置其間。

層間絕緣體 7912 形成為覆蓋驅動電晶體 7918 和電容器 7919。佈線 7913 透過接觸孔接觸層間絕緣體 7912 上方的雜質區 7905。像素電極 7914 形成為接觸佈線 7913。第二層間絕緣體 7915 形成為覆蓋像素電極 7914 的端部以

及佈線 7913。這裏，第二層間絕緣體 7915 使用正光敏丙烯酸樹脂膜形成。隨後，層 7916 和相對電極 7917 形成於像素電極 7914 上方，其中該層 7916 包含有機化合物。發光元件 7920 形成於包含有機化合物的層 7916 夾置於像素電極 7914 和相對電極 7917 之間的區域內。

替代的，如圖 79B 所示，區域 7921 可設為使得形成電容器 7919 下電極的一部分的 LDD 區交疊上電極 7911。注意，與圖 79A 相同的部分使用相同的標號表示，且省略了對其的描述。

替代的，如圖 80A 所示，可以包括第二上電極 8091，該第二上電極 8091 形成於與驅動電晶體 7918 雜質區域 7905 接觸的佈線 7913 相同的層內。注意，與圖 79A 相同的部分使用相同的標號表示，且省略了對其的描述。層間絕緣體 7912 夾置於第二上電極 8091 和上電極 7911 之間以形成第二電容器。由於第二上電極 8091 接觸雜質區 7908，具有底膜 7902 夾置於上電極 7911 和通道形成區 7906 之間的結構的第一電容器和具有層間絕緣體 7912 夾置於上電極 7911 和第二上電極 8091 之間的結構的第二電容器並聯連接，從而形成包括該第一電容器和第二電容器的電容器 8092。由於電容器 8092 具有該第一電容器和第二電容器的總電容，因此可以在小面積內形成大電容的電容器。也就是說，當該電容器用於本發明的顯示裝置的像素結構中的電容器時，可以進一步提高孔徑率。

替代的，電容器可具有如圖 80B 所示的結構。底膜

8002 形成於基板 8001 上方，且半導體層形成於該底膜 8002 上方。該半導體層包括通道形成區 8003 和將成為驅動電晶體 8018 的源極區或汲極區的雜質區 8005。注意，可以對通道形成區 8003 進行通道摻雜。

該基板可以使用玻璃基板、石英基板、陶瓷基板、塑膠基板等。底膜 8002 可以使用氮化鋁、氧化矽、氮氧化矽等的單層或其疊層。

閘極電極 8007 和第一電極 8008 形成於半導體層上方，閘極絕緣膜 8006 夾置其間。

第一層間絕緣體 8009 形成為覆蓋驅動電晶體 8018 和第一電極 8008。佈線 8010 透過接觸孔接觸第一層間絕緣體 8009 上方的雜質區 8005。第二電極 8011 由與佈線 8010 相同的材料形成，且形成於與佈線 8010 相同的層內。

此外，第二層間絕緣體 8012 形成為覆蓋佈線 8010 和第二電極 8011。像素電極 8013 形成為透過接觸孔接觸第二層間絕緣體 8012 上方的佈線 8010。第三電極 8014 由與像素電極 8013 相同的材料形成，且形成於與像素電極 8013 相同的層內。此處形成包括第一電極 8008、第二電極 8011 和第三電極 8014 的電容器 8019。

第三層間絕緣體 8015 形成為覆蓋像素電極 8013 和第三電極 8014。隨後，層 8016 和相對電極 8017 形成於第三層間絕緣體 8015 和第三電極 8014 上方，其中該層 8016 包含有機化合物。發光元件 8020 形成於包含有機化

合物的層 8016 夾置於像素電極 8013 和相對電極 8017 之間的區域內。

如上所述，圖 79A、79B、80A 和 80B 所示結構為其中形成結晶半導體膜作為半導體層的電晶體的結構的示例。注意，圖 79A、79B、80A 和 80B 所示電晶體的結構為頂閘電晶體的示例。也就是說，該電晶體可以是 P 通道電晶體或 N 通道電晶體。對於 N 通道電晶體的情形，LDD 區可以交疊閘極電極或者不交疊閘極電極，或者該 LDD 區的一部分可交疊該閘極電極。此外，該閘極電極可具有漸縮形狀，且 LDD 區可按照自對準方式設於閘極電極的漸縮部分的下方。此外，閘極電極的數目不限於 2，且可以採用具有三個以上閘極電極的多個閘極結構，或者還可以採用單個閘極結構。

透過將結晶半導體膜用於本發明顯示裝置的像素中包含的電晶體的半導體層（例如，通道形成區、源極區和汲極區），例如，第一閘極驅動器 10003、第二閘極驅動器 10006 和信號控制電路 10001 容易形成於與圖 100A 中像素部 10002 相同的基板上。

對於使用多晶矽作為半導體層的電晶體的結構，圖 81A 和 81B 分別示出了使用電晶體的顯示面板的部分剖面圖，其中該電晶體具有閘極電極夾置於基板和半導體層之間的結構，即，閘極電極置於半導體層下方的底閘結構。

底膜 8102 形成於基板 8101 上方。隨後，閘極電極 8103 形成於該底膜 8102 上方。第一電極 8104 形成於與

閘極電極 8103 相同的層內，且由與閘極電極 8103 相同的材料形成。閘極電極 8103 的材料可以使用添加磷的多晶矽。除了多晶矽之外，可以使用為金屬與矽的化合物的矽化物。

隨後，閘極絕緣膜 8105 形成為覆蓋閘極電極 8103 和第一電極 8104。閘極絕緣膜 8105 使用氧化矽膜、氮化矽膜等。

半導體層形成於閘極絕緣膜 8105 上方。該半導體層包括通道形成區 8106、LDD 區域 8107 和將成為驅動電晶體 8122 的源極區或汲極區的雜質區 8108；以及通道形成區 8109、LDD 區 8110 和將成為電容器 8123 的第二電極的雜質區 8111。注意，可以對通道形成區 8106 和 8109 進行通道摻雜。

該基板可以使用玻璃基板、石英基板、陶瓷基板、塑膠基板等。底膜 8102 可以使用氮化鋁、氧化矽、氮氧化矽等的單層或其疊層。

第一層間絕緣體 8112 形成為覆蓋該半導體層。佈線 8113 透過接觸孔接觸第一層間絕緣體 8112 上方的雜質區 8108。第三電極 8114 形成於與佈線 8113 相同的層內，且由與佈線 8113 相同的材料形成。形成了包括第一電極 8104、第二電極、和第三電極 8114 的電容器 8123。

此外，開口 8115 形成於第一層間絕緣體 8112 內。第二層間絕緣體 8116 形成為覆蓋驅動電晶體 8122、電容器 8123 和開口 8115。像素電極 8117 透過接觸孔形成於第二

層間絕緣體 8116 上方。隨後，例如透過使用正光敏丙烯酸樹脂膜，絕緣體 8118 形成為覆蓋像素電極 8117 的端部。層 8119 和相對電極 8120 形成於像素電極 8117 上方，其中該層 8119 包含有機化合物。發光元件 8121 形成於包含有機化合物的層 8119 夾置於像素電極 8117 和相對電極 8120 之間的區域內。開口 8115 位於發光元件 8121 下方。也就是說，當從基板側提取從發光元件 8121 發射的光時，由於提供了開口 8115 而可以改善透射率。

此外，可以採用圖 81B 所示的結構，其中第四電極 8124 形成於與圖 81A 中像素電極 8117 相同的層內，且由與像素電極 8117 相同的材料形成。因此形成了包括第一電極 8104、第二電極、第三電極 8114 和第四電極 8124 的電容器 8123。

接下來，描述當非晶矽（a-Si:H）膜用於電晶體的半導體層的情形。圖 82A 和 82B 示出了頂閘電晶體的情形。圖 83A、83B、84A 和 84B 示出了底閘電晶體的情形。

圖 82A 示出了其中非晶矽用於半導體層的頂閘電晶體的剖面圖。底膜 8202 形成於基板 8201 上方。像素電極 8203 形成於底膜 8202 上方。第一電極 8204 形成於與像素電極 8203 相同的層內，且由與像素電極 8203 相同的材料形成。

該基板可以使用玻璃基板、石英基板、陶瓷基板等。底膜 8202 可以使用氮化鋁、氧化矽、氮氧化矽等的單層

或其疊層。

佈線 8205 和佈線 8206 形成於底膜 8202 上方，且像素電極 8203 的端部覆蓋有佈線 8205。具有 n 型導電性的 n 型半導體層 8207 和 n 型半導體層 8208 形成於佈線 8205 和佈線 8206 上方。此外，半導體層 8209 形成於佈線 8205 和佈線 8206 之間以及底膜 8202 上方。部分半導體層 8209 延伸到 n 型半導體層 8207 和 8208 上方。注意，該半導體層是由例如非晶矽（a-Si:H）膜或微晶半導體（μ-Si:H）膜的非結晶半導體膜形成。此外，閘極絕緣膜 8210 形成於半導體層 8209 上方。絕緣膜 8211 也形成於第一電極 8204 上方，其中該絕緣膜 8211 形成於與閘極絕緣膜 8210 相同的層內且由與閘極絕緣膜 8210 相同的材料形成。注意，閘極絕緣膜 8210 使用氧化矽膜、氮化矽膜等。

閘極電極 8212 形成於閘極絕緣膜 8210 上方。第二電極 8213 形成於第一電極 8204 上方，絕緣膜 8211 夾置其間，其中該第二電極 8213 形成於與閘極電極相同的層內且由與閘極電極相同的材料形成。形成了其中絕緣膜 8211 夾置於第一電極 8204 和第二電極 8213 之間的電容器 8219。層間絕緣膜 8214 形成為覆蓋像素電極 8203 的端部、驅動電晶體 8218 和電容器 8219。

層 8215 和相對電極 8216 形成於層間絕緣層 8214 以及置於層間絕緣層 8214 開口內的像素電極 8203 上方，其中層 8215 包含有機化合物。發光元件 8217 形成於包含有

機化合物的層 8215 夾置於像素電極 8203 和相對電極 8216 之間的區域內。

如圖 82B 所示，可以形成第一電極 8220 替代圖 82A 中的第一電極 8204。第一電極 8220 形成於與佈線 8205 和 8206 相同的層內，且由與佈線 8205 和 8206 相同的材料形成。

圖 83A 示出了其中非晶矽用於半導體層的底閘電晶體的部分剖面圖。閘極電極 8303 形成於底膜 8302 上方。第一電極 8304 形成於與閘極電極相同的層內，且由與閘極電極相同的材料形成。閘極電極 8303 的材料可以使用添加磷的多晶矽。除了多晶矽之外，可以採用為金屬和矽的化合物的矽化物。

閘極絕緣膜 8305 形成為覆蓋閘極電極 8303 和第一電極 8304。閘極絕緣膜 8305 使用氧化矽膜、氮化矽膜等。

半導體層 8306 形成於閘極絕緣膜 8305 上方。半導體層 8307 形成於與半導體層 8306 相同的層內，且由與半導體層 8306 相同的材料形成。

該基板可以使用玻璃基板、石英基板、陶瓷基板等。底膜 8302 可以使用氮化鋁、氧化矽、氮氧化矽等的單層或其疊層。

具有 n 型導電性的 n 型半導體層 8308 和 8309 形成於半導體層 8306 上方。n 型半導體層 8310 形成於半導體層 8307 上方。

佈線 8311 和 8312 分別形成於 n 型半導體層 8308 和

8309 上方。導電層 8313 形成於 n 型半導體層 8310 上方，該導電層 8313 形成於與佈線 8311 和 8312 相同的層內且由與佈線 8311 和 8312 相同的材料形成。

形成包括半導體層 8307、n 型半導體層 8310 和導電層 8313 的第二電極。注意，形成了其中底膜 8302 夾置於第一電極 8304 和第二電極之間的電容器 8320。

佈線 8311 的一個端部延伸，且像素電極 8314 形成於延伸佈線 8311 上並接觸該佈線 8311。

絕緣體 8315 形成為覆蓋像素電極 8314 的端部、驅動電晶體 8319 和電容器 8320。

層 8316 和相對電極 8316 形成於像素電極 8314 和絕緣體 8315 上方，其中層 8316 包含有機化合物。發光元件 8318 形成於包含有機化合物的層 8316 夾置於像素電極 8314 和相對電極 8317 之間的區域內。

注意，不總是形成為電容器 8320 第二電極的一部分的半導體層 8307 和 n 型半導體層 8310。也就是說，電容器 8320 的第二電極可以是導電層 8313，從而電容器 8320 具有其中閘極絕緣膜夾置於第一電極 8304 和導電層 8313 之間的結構。

注意，在圖 83A 中，當在形成佈線 8311 之前形成像素電極 8314 時，可以形成如圖 83B 所示的電容器 8322，其中閘極絕緣膜 8305 夾置於第一電極 8304 和由像素電極 8314 形成的第二電極 8321 之間。

注意，儘管圖 83A 和 83B 示出了反向交錯通道蝕刻

電晶體，但是還可以使用通道保護電晶體。參考圖 84A 和 84B 描述通道保護電晶體。

圖 84A 的通道保護電晶體與圖 83A 所示具有通道蝕刻結構的驅動電晶體 8319 的不同在於，將作為蝕刻掩模的絕緣體 8401 設於形成半導體層 8306 通道的區域的上方。使用相同的標號表示除此以外的相同部分。

類似地，圖 84B 的通道保護電晶體與圖 83B 所示具有通道蝕刻結構的驅動電晶體 8319 的不同在於，將作為蝕刻掩模的絕緣體 8401 設於形成半導體層 8306 通道的區域的上方。使用相同的標號表示除此以外的相同部分。

當非晶半導體膜用於本發明顯示裝置的像素包含的電晶體的半導體層（例如，通道形成區、源極區和汲極區）時，製造成本可以降低。例如，當使用圖 66 和 67 所示像素結構時，可以採用非晶半導體膜。

注意，可以應用於本發明顯示裝置的像素結構的電晶體和電容器結構不限於前述結構，且可以採用各種電晶體和電容器結構。

當前述實施例模式所示的各個顯示裝置的結構用於驅動顯示面板時，可以抑制電晶體特性的惡化。因此可以防止由於電晶體特性惡化所致的移位暫存器失靈。此外，可以抑制由於移位暫存器失靈所致的顯示面板的顯示缺陷。

注意，本實施例模式所示的每一個顯示面板結構可以與本說明書中其他實施例模式所示的各個顯示裝置的結構自由地組合。此外，本實施例模式所示的顯示面板結構可

以自由地相互組合。

[實施例模式 15]

在本實施例模式中，參考圖示描述可以應用本發明且包括薄膜電晶體（TFT）的半導體裝置的形成方法。

圖 85A 至 85G 為示出了可以應用本發明的半導體裝置所包含的 TFT 的結構和製造方法的示例的圖示。圖 85A 為示出了可以應用本發明的半導體裝置所包含的 TFT 的結構的示例的圖示。圖 85B 至 85G 為示出了可以應用本發明的半導體裝置所包含的 TFT 的製造方法的示例的圖示。注意，可以應用本發明的半導體裝置所包含的 TFT 的結構和製造方法不限於圖 85A 至 85G 所示，而可以使用各種結構和製造方法。

首先，參考圖 85A 描述可以應用本發明的半導體裝置所包含的 TFT 的結構。圖 85A 為分別具有不同結構的多個 TFT 的剖面圖。這裏，在用於描述可以應用本發明的半導體裝置所包含的 TFT 的結構的圖 85A 中，具有不同結構的多個 TFT 並置。因此，可以應用本發明的半導體裝置所包含的 TFT 不需要實際上如圖 85A 所示並置，可以根據需要分離地形成。

接下來，描述形成可以應用本發明的半導體裝置所包含的 TFT 的各層的特性。

基板 8511 可以是使用鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃等的玻璃基板；石英基板；陶瓷基板；包含不銹鋼的

金屬基板等。此外，也可以使用典型地由聚對苯二甲酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯（PEN）或者聚醚碸（PES）形成的基板，或者由例如丙烯酸樹脂的撓性合成樹脂形成的基板。透過使用撓性基板，可以形成能夠彎曲的半導體裝置。此外，這種基板在其面積或形狀上沒有嚴格限制。因此，例如當各邊長為 1 米以上的矩形基板用做基板 8511 時，生產率可以顯著提高。與使用圓形矽基板的情形相比，這個優點極為有利。

絕緣膜 8512 作為底膜，並被提供以防止來自基板 8511 的鹼土金屬或者例如 Na 的鹼金屬對半導體元件特性產生負面影響。絕緣膜 8512 可以具有例如氧化矽、氮化矽、氮氧化矽或氧氮化矽的包含氧或氮的絕緣膜的單層結構或疊層結構。例如，當絕緣膜 8512 設為具有雙層結構時，較佳的、氧氮化矽膜作為第一絕緣膜，氮氧化矽膜作為第二絕緣膜。當絕緣膜 8512 設為具有三層結構時，較佳的、氮氧化矽膜作為第一絕緣膜，氧化矽膜作為第二絕緣膜，且氮氧化矽膜作為第三絕緣膜。

半導體膜 8513、8514 和 8515 可以使用非晶半導體或半非晶半導體（SAS）形成。替代的可以使用多晶半導體膜。SAS 為具有介於非晶和結晶（包括單晶和多晶）結構之間的中間結構並具有自由能是穩定的第三態的半導體。另外，SAS 包括具有短程有序和晶格畸變的結晶區。在膜的至少一部分內可以觀察到 0.5 至 20 nm 的結晶區。當矽為主要成分時，拉曼光譜頻移到低於 $520cm^{-1}$ 的波數側。

認為源於矽結晶晶格的（111）和（220）衍射峰透過 X 射線衍射觀察到。SAS 包含至少 1 原子%以上的氫或鹵素以終止懸垂鍵。SAS 是透過輝光放電分解（電漿 CVD）包含矽的氣體而形成。除了 SiH_4 之外，該包含矽的氣體可以使用 Si_2H_6、SiH_2Cl_2、$SiHCl_3$、$SiCl_4$、SiF_4 等。此外，可以混合 GeF_4。替代的，該包含矽的氣體可以使用下述氣體稀釋：H_2；或者 H_2 與選自 He、Ar、Kr 和 Ne 的一種或多種稀有氣體元素。稀釋比例在 2 至 1000 倍的範圍內，壓力在約 0.1 至 133Pa 的範圍內，電源頻率為 1 至 120 MHz 且較佳的、為 13 至 60 MHz，且基板加熱溫度可以為 300℃或以下。作為該膜內的雜質元素，空氣成分中的雜質例如氧、氮和碳的濃度較佳的、為 $1\times10^{20}cm^{-1}$ 以下。具體而言，氧濃度為 $5\times10^{19}cm^{-3}$ 或以下，且較佳的為 $1\times10^{19}cm^{-3}$ 或以下。這裏，透過已知方法（例如濺鍍方法、LPCVD 方法或電漿 CVD 方法），使用包含矽（Si）為主要成分的材料（例如，Si_xGe_{1-x}）來形成非晶矽膜。隨後，透過已知晶化方法，例如鐳射晶化方法、使用 RTA 或退火爐的熱晶化方法或者使用促進結晶的金屬元素的熱晶化方法，使該非晶矽膜結晶。

絕緣膜 8516 可以具有例如氧化矽、氮化矽、氮氧化矽或氧氮化矽的包含氧或氮的絕緣膜的單層結構或疊層結構。

閘極電極 8517 可以具有導電膜的單層結構或者兩個或三個導電膜的疊層結構。閘極電極 8517 的材料可以使

用已知導電膜。例如可以使用：例如鉭（Ta）、鈦（Ti）、鉬（Mo）、鎢（W）、鉻（Cr）、矽（Si）等的元素的單質膜；包含該元素的氮化物膜（典型地，氮化鉭膜、氮化鎢膜或者氮化鈦膜）；這些元素組合的合金膜（典型地，Mo-W 合金或 Mo-Ta 合金）；包含該元素的矽化物膜（典型地，矽化鎢膜或矽化鈦膜）等。注意，前述單質膜、氮化物膜、合金膜、矽化物膜等可以具有單層結構或疊層結構。

透過已知方法（例如濺鍍方法或電漿 CVD 方法），絕緣膜 8518 可以具有例如氧化矽、氮化矽、氮氧化矽或氧氮化矽的包含氧或氮的絕緣膜，或者例如 DLC（類金剛石碳）的包含碳的膜的單層結構或疊層結構。

除了例如氧化矽、氮化矽、氮氧化矽或氧氮化矽的包含氧或氮的絕緣膜，或者例如 DLC（類金剛石碳）的包含碳的膜之外，絕緣膜 8519 可以具有例如環氧樹脂、聚醯亞胺、聚醯胺、聚乙烯酚醛、苯環丁烯或丙烯酸樹脂的有機材料，或者矽氧烷樹脂的單層結構或疊層結構。注意，矽氧烷樹脂對應於具有 Si-O-Si 鍵的樹脂。矽氧烷包括矽（Si）和氧（O）的鍵的骨架結構。至少包括氫的有機基團（例如，烷基基團或芳香烴）作為取代基。替代的，取代基還可以使用含氟的基團，或者含氟的基團和至少包含氫的有機基團。注意，在本發明的半導體裝置中，絕緣膜 8519 可以設為直接覆蓋閘極電極 8517，而不提供絕緣膜 8518。

導電膜 8523 可以使用例如 Al、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au、Mn 等的單質膜；包含該元素的氮化物膜；這些元素組合的合金膜；包含該元素的矽化物膜等。例如，包含多種元素的合金可以使用包含 C 和 Ti 的 Al 合金、包含 Ni 的 Al 合金、包含 C 和 Ni 的 Al 合金、包含 C 和 Mn 的 Al 合金等。對於疊層結構的情形，該結構可以是 Al 夾置於 Mo、Ti 等之間；因此，Al 對熱量和化學反應的抗性可以提高。

接下來，參考圖 85A 的分別具有不同結構的多個 TFT 的剖面圖描述各個結構的特性。

標號 8501 表示單汲極 TFT。由於該 TFT 可以由簡單方法形成，因此具有低製造成本和高產率的優點。這裏，導電膜 8513 和 8515 分別具有不同的雜質濃度，且半導體膜 8513 作為通道區，半導體膜 8515 作為源極區和汲極區。透過此方式控制雜質的數量，可以控制半導體膜的電阻率。此外，半導體膜和導電膜 8523 的電連接狀態可以更接近歐姆接觸。注意，分離地形成分別包含不同數量雜質的半導體膜的方法可以使用以閘極電極 8517 為掩模將雜質摻入半導體膜的方法。

標號 8502 表示閘極電極 8517 具有特定錐角以上的 TFT。由於該 TFT 可以由簡單方法形成，因此具有低製造成本和高生產率的優點。這裏，導電膜 8513、8514 和 8515 分別具有不同的雜質濃度。半導體膜 8513 作為通道區，半導體膜 8514 作為輕摻雜汲（LDD）區，且半導體

膜 8515 作為源極區和汲極區。透過此方式控制雜質的數量，可以控制半導體膜的電阻率。此外，半導體膜和導電膜 8523 的電連接狀態可以更接近歐姆接觸。另外，由於該 TFT 包括 LDD 區，高電場難以施加到該 TFT，因此由於熱載流子所致的元件惡化可以得到抑制。注意，分離地形成分別包含不同數量雜質的半導體膜的方法可以使用以閘極電極 8517 為掩模將雜質摻入半導體膜的方法。在 TFT 8502 中，由於閘極電極 8517 具有特定錐角以上，透過閘極電極 8517 摻入半導體膜的雜質的濃度梯度可以由此產生，且 LDD 區域可以容易地形成。

標號 8503 表示閘極電極 8517 包括至少兩層且下閘極電極長於上閘極電極的 TFT。當閘極電極 8517 具有這種形狀時，可以形成 LDD 區域而不添加光掩模。注意，類似 TFT 8503，LDD 區交疊閘極電極 8517 的結構具體地稱為 GOLD（閘極交疊 LDD）結構。可以使用下述方法作為形成具有這種形狀的閘極電極 8517 的方法。首先，當閘極電極 8517 圖案化時，下和上閘極電極透過乾蝕刻來蝕刻，從而其側表面傾斜（漸縮）。隨後，透過各向異性蝕刻將上閘極電極的傾斜加工成幾乎垂直。因此，形成了下閘極電極長於上閘極電極的閘極電極。隨後，雜質元素摻入兩次，從而形成作為通道區的半導體膜 8513、作為 LDD 區的半導體膜 8514 以及作為源極區和汲極區的半導體膜 8515。

注意，與閘極電極 8517 交疊的部分 LDD 區稱為 Lov

區，不與閘極電極 8517 交疊的部分 LDD 區稱為 Loff 區。Loff 區對於抑制截止電流值是高度有效的，而對於透過減輕汲極附近中的電場來防止熱載流子所致的導通電流值的惡化不是非常有效。另一方面，Lov 區對於透過減輕汲極附近中的電場來防止導通電流值的惡化是高度有效的，而對於抑制截止電流值不是非常有效。因此，較佳的、形成具有與各種電路的每一個所要求的 TFT 特性相對應的結構的 TFT。例如，當本發明的半導體裝置用於顯示裝置時，具有 Loff 區的 TFT 較佳的、作為像素 TFT，從而抑制截止電流。另一方面，具有 Lov 區的 TFT 較佳的、作為週邊電路中的 TFT，從而透過減輕汲極附近中的電場來防止導通電流值的惡化。

標號 8504 表示包括與閘極電極 8517 側表面接觸的側壁 8521 的 TFT。當 TFT 包括側壁 8521 時，與側壁 8521 交疊的區域可以製成為 LDD 區。

標號 8505 表示透過使用掩模在半導體膜中摻雜形成 LDD（Loff）區的 TFT。因此，LDD 區可以確定地形成，且 TFT 的截止電流可以減小。

標號 8506 表示透過使用掩模在半導體膜中摻雜形成 LDD（Lov）區的 TFT。因此，LDD 區可以確定地形成，且導通電流值的惡化可以透過減輕汲極附近中的電場而得以防止。

接下來，參考圖 85B 至 85G 描述可以應用本發明的半導體裝置所包含的 TFT 的製造方法的示例。注意，可

以應用本發明的半導體裝置所包含的 TFT 的結構和製造方法不限於圖 85A 至 85G 所示，而可以使用各種結構和製造方法。

在本發明中，基板 8511、絕緣膜 8512、半導體膜 8513、半導體膜 8514。半導體膜 8515。絕緣膜 8516、絕緣膜 8518 或絕緣膜 8519 的表面透過電漿處理被氧化或氮化，從而該半導體膜或絕緣膜可以被氧化或氮化。按照這種方式透過電漿處理氧化或氮化該半導體膜或絕緣膜，該半導體膜或絕緣膜的表面被改性，且該絕緣膜可以形成為比透過 CVD 方法或濺鍍方法形成的絕緣膜更緻密；因此，例如小孔的缺陷可得到抑制，且半導體裝置的特性等可以改善。

首先，基板 8511 的表面使用氫氟酸（HF）、鹼或純水清洗。基板 8511 可以是使用鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃等的玻璃基板；石英基板；陶瓷基板；包含不銹鋼的金屬基板等。此外，也可以使用典型地由聚對苯二甲酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯（PEN）或者聚醚碸（PES）形成的基板，或者由例如丙烯酸樹脂的撓性合成樹脂形成的基板。這裏示出了基板 8511 使用玻璃基板的情形。

此處，透過電漿處理氧化或氮化基板 8511 的表面，可以在基板 8511 表面上形成氧化物膜或氮化物膜（圖 85B）。下文中，透過對表面進行電漿處理形成的例如氧化物膜或氮化物膜的絕緣膜也稱為電漿處理絕緣膜。在圖

85B，絕緣膜 8531 為電漿處理絕緣膜。一般而言，當例如薄膜電晶體的半導體元件設於由玻璃、塑膠等形成的基板上方時，包含在玻璃、塑膠等中諸如鹼金屬（例如，Na）或鹼土金屬的雜質元素會混入到半導體元件，該半導體元件因此受污染；因此，半導體元件的特性會受到負面影響。然而，對由玻璃、塑膠等形成的基板的表面進行氮化，可以防止包含在基板中諸如鹼金屬（例如，Na）或鹼土金屬的雜質元素混入到半導體元件。

注意，當表面透過電漿處理被氧化時，該電漿處理在氧氣氣氛（例如，在氧氣（O_2）和稀有氣體（包含 He、Ne、Ar、Kr 和 Xe 中的至少一種）的氣氛；在氧氣、氫氣（H_2）和稀有氣體的氣氛；或者在一氧化二氮和稀有氣體的氣氛）中進行。另一方面，當表面透過電漿處理氮化時，該電漿處理在氮氣氣氛（例如，在氮氣（N_2）和稀有氣體（包含 He、Ne、Ar、Kr 和 Xe 中的至少一種）的氣氛；在氮氣、氫氣（H_2）和稀有氣體的氣氛；或者在 NH_3 和稀有氣體的氣氛）中進行。稀有氣體例如可以使用 Ar。此外，還可以使用 Ar 和 Kr 混合的氣體。因此，該電漿處理的絕緣膜包含用於電漿處理的稀有氣體（包含 He、Ne、Ar、Kr 和 Xe 中的至少一種）。例如，當使用 Ar 時，該電漿處理的絕緣膜包含 Ar。

較佳的、在電子濃度範圍為 1×10^{11} 至 $1\times10^{13}cm^{-3}$ 且電漿電子溫度範圍為 0.5 至 1.5eV 的條件下，在包含前述氣體的氣氛中進行電漿處理。由於電漿電子溫度高且待處理

物件附近的電子溫度低，因此可以防止對待處理物件的電漿損傷。此外，由於電漿電子濃度高達 $1\times10^{11}cm^{-3}$ 或以上，透過電漿處理氧化或氮化待處理物件而形成的氧化物膜或氮化物膜在厚度均勻性等方面優於透過 CVD 方法、濺鍍方法等形成的膜，且該氧化物膜或氮化物膜是緻密的。此外，由於電漿電子溫度低至 1eV 或以下，與習知電漿處理或熱氧化相比，可以在更低溫度下進行氧化或氮化。例如，即使在比玻璃基板的應變點低 100 度或以上的溫度下進行電漿處理時，仍可以充分地進行氧化或氮化。注意，電漿發生頻率可以使用例如微波（2.45GHz）的高頻波。注意，在下文中，使用前述條件進行電漿處理，除非另外指明。

注意，圖 85B 示出了對基板 8511 表面進行電漿處理形成電漿處理的絕緣膜的情形；然而，本發明包括電漿處理的絕緣膜不形成於基板 8511 表面上的情形。

注意，透過對待處理物件表面的電漿處理形成的電漿處理的絕緣膜未示於圖 85C 至 85G；然而，本發明包括透過電漿處理形成的電漿處理的絕緣膜存在於基板 8511、絕緣膜 8512、半導體膜 8513、半導體膜 8514。半導體膜 8515。絕緣膜 8516、絕緣膜 8518 或絕緣膜 8519 的表面上的情形。

接下來，絕緣膜 8512 透過已知方法（例如，濺鍍方法、LPCVD 方法或者電漿 CVD 方法）形成於基板 8511 上方（圖 85C）。絕緣膜 8512 可以使用氧化矽膜或氮氧

化矽膜。

這裏，可以透過電漿處理氧化或氮化絕緣膜 8512 的表面，在絕緣膜 8512 的表面上形成電漿處理的絕緣膜。透過氧化絕緣膜 8512 的表面，絕緣膜 8512 的表面被改性，且可以獲得例如小孔的缺陷更少的緻密膜。此外，透過氧化絕緣膜 8512 的表面，可以形成包含少量 N 原子的電漿處理的絕緣膜；因此，當該半導體膜設於電漿處理的絕緣膜上方時，該半導體膜和電漿處理的絕緣膜之間的介面特性得到改善。該電漿處理的絕緣膜包含用於電漿處理的稀有氣體（包含 He、Ne、Ar、Kr 和 Xe 中的至少一種）。注意，可以在前述條件下類似地進行該電漿處理。

接下來，島狀半導體膜 8513 和 8514 形成於絕緣膜 8512 上方（圖 85D）。島狀半導體膜 8513 和 8514 可以按照特定方式形成，從而透過已知方法（例如濺鍍方法、LPCVD 方法或電漿 CVD 方法）使用包含矽（Si）為主要成分的材料（例如，Si_xGe_{1-x}）形成非晶矽膜，該非晶半導體膜晶化，且該半導體膜被選擇性地蝕刻。注意，可以透過已知晶化方法，例如鐳射晶化方法、使用 RTA 或退火爐的熱晶化方法、使用促進結晶的金屬元素的熱晶化方法、或者這些方法組合的方法，進行該非晶半導體膜的晶化。這裏，島狀半導體膜的端部設為具有約 90 度的角（θ=85 至 100 度）。替代的，可以使用掩模透過摻入雜質來形成將成為低濃度汲極區的半導體膜 8514。

這裏，可以透過電漿處理來氧化或氮化半導體膜

8513 和 8514 的表面，在半導體膜 8513 和 8514 的表面上形成電漿處理的絕緣膜。例如，當 Si 作為半導體膜 8513 和 8514 時，氧化矽或氮化矽形成為該電漿處理的絕緣膜。另外，透過電漿處理氧化半導體膜 8513 和 8514 之後，可以再次進行電漿處理來氮化半導體膜 8513 和 8514。這種情況下，氧化矽形成為接觸半導體膜 8513 和 8514，且氧氮化矽形成於氧化矽表面上。當半導體膜透過電漿處理被氧化時，該電漿處理在氧氣氣氛（例如，在氧氣（O_2）和稀有氣體（包含 He、Ne、Ar、Kr 和 Xe 中的至少一種）的氣氛；在氧氣、氫氣（H_2）和稀有氣體的氣氛；或者在一氧化二氮和稀有氣體的氣氛）中進行。另一方面，當半導體膜透過電漿處理被氮化時，該電漿處理在氮氣氣氛（例如，在氮氣（N_2）和稀有氣體（包含 He、Ne、Ar、Kr 和 Xe 中的至少一種）的氣氛；在氮氣、氫氣（H_2）和稀有氣體的氣氛；或者在 NH_3 和稀有氣體的氣氛）中進行。稀有氣體例如可以使用 Ar。此外，還可以使用 Ar 和 Kr 混合的氣體。因此，該電漿處理的絕緣膜包含用於電漿處理的稀有氣體（包含 He、Ne、Ar、Kr 和 Xe 中的至少一種）。例如，當使用 Ar 時，該電漿處理的絕緣膜包含 Ar。

接下來，形成絕緣膜 8516（圖 85E）。透過已知方法（例如濺鍍方法、LPCVD 方法或電漿 CVD 方法），絕緣膜 8516 可以具有例如氧化矽、氮化矽、氮氧化矽或氧氮化矽的包含氧或氮的絕緣膜的單層結構或疊層結構。注

意，當透過對半導體膜 8513 和 8514 的表面進行電漿處理，在半導體膜 8513 和 8514 表面上形成電漿處理的絕緣膜時，該電漿處理的絕緣膜可以用作絕緣膜 8516。

這裏，絕緣膜 8516 的表面可以透過電漿處理被氧化或氮化，因此電漿處理的絕緣膜形成於絕緣膜 8516 表面上。注意，該電漿處理的絕緣膜包含用於電漿處理的稀有氣體（包含 He、Ne、Ar、Kr 和 Xe 中的至少一種）。注意，可以在前述條件下類似地進行該電漿處理。

替代的，透過在氧氣氣氛中進行一次電漿處理氧化絕緣膜 8516 之後，可以在氮氣氣氛中再次進行電漿處理來氮化絕緣膜 8516。按照這種方式透過電漿處理氧化或氮化該絕緣膜 8516，該絕緣膜 8516 的表面被改性，且形成緻密的膜。與透過 CVD 方法、濺鍍方法等形成的絕緣膜相比，透過電漿處理獲得的絕緣膜更緻密，且例如小孔的缺陷更少；因此，薄膜電晶體的特性等可以改善。

接下來，形成閘極電極 8517（圖 85F）。閘極電極 8517 可以透過已知方法（例如濺鍍方法、LPCVD 方法或電漿 CVD 方法）形成。

在 TFT 8501 中，可以在閘極電極 8517 形成之後，透過摻入雜質形成用作源極區和汲極區的半導體膜 8515。

在 TFT 8502 中，可以在閘極電極 8517 形成之後，透過摻入雜質形成用作 LDD 區的半導體膜 8514 以及用作源極區和汲極區的半導體膜 8515。

在 TFT 8503 中，可以在閘極電極 8517 形成之後，透

過摻入雜質形成用作 LDD 區的半導體膜 8514 以及用作源極區和汲極區的半導體膜 8515。

在 TFT 8504 中，可以在閘極電極 8517 側表面上形成側壁 8521 之後，透過摻入雜質形成用作 LDD 區的半導體膜 8514 以及用作源極區和汲極區的半導體膜 8515。注意，氧化矽或氮化矽可以用於側壁 8521。在閘極電極 8517 側表面上形成側壁 8521 的方法例如可以使用下述方法，其中在閘極電極 8517 形成之後，透過已知方法形成氧化矽膜或氮化矽膜，且隨後透過各向異性蝕刻來蝕刻該氧化矽膜或氮化矽膜。因此，該氧化矽或氮化矽膜僅保留在閘極電極 8517 的側表面上，從而側壁 8521 可以形成於閘極電極 8517 的側表面上。

在 TFT 8505 中，可以在掩模 8522 形成以覆蓋閘極電極 8517 之後，透過摻入雜質形成用作 LDD（Loff）區的半導體膜 8514 以及用作源極區和汲極區的半導體膜 8515。

在 TFT 8506 中，可以在閘極電極 8517 形成之後，透過摻入雜質形成用作 LDD（Lov）區的半導體膜 8514 以及用作源極區和汲極區的半導體膜 8515。

接下來，形成絕緣膜 8518（圖 85G）。透過已知方法（例如濺鍍方法或電漿 CVD 方法），絕緣膜 8518 可以具有例如氧化矽、氮化矽、氮氧化矽或氧氮化矽的包含氧或氮的絕緣膜；或者例如 DLC（類金剛石碳）的包含碳的膜的單層結構或疊層結構。

這裏，絕緣膜 8518 的表面可以透過電漿處理被氧化或氮化，因此電漿處理的絕緣膜形成於絕緣膜 8518 表面上。注意，該電漿處理的絕緣膜包含用於電漿處理的稀有氣體（包含 He、Ne、Ar、Kr 和 Xe 中的至少一種）。注意，可以在前述條件下類似地進行該電漿處理。

接下來，形成絕緣膜 8519。透過已知方法（例如濺鍍方法或電漿 CVD 方法），除了例如氧化矽、氮化矽、氮氧化矽或氧氮化矽的包含氧或氮的絕緣膜，或者例如 DLC（類金剛石碳）的包含碳的膜之外，絕緣膜 8519 可以具有例如環氧樹脂、聚醯亞胺、聚醯胺、聚乙烯酚醛、苯環丁烯或丙烯酸樹脂的有機材料；或者矽氧烷樹脂的單層結構或疊層結構。注意，矽氧烷樹脂對應於具有 Si-O-Si 鍵的樹脂。矽氧烷包括矽（Si）和氧（O）的鍵的骨架結構。至少包括氫的有機基團（例如，烷基基團或芳香烴）作為取代基。替代的，取代基還可以使用含氟的基團，或者含氟的基團和至少包含氫的有機基團。該電漿處理的絕緣膜包含用於電漿處理的稀有氣體（包含 He、Ne、Ar、Kr 和 Xe 中的至少一種）。例如，當使用 Ar 時，該電漿處理的絕緣膜包含 Ar。

當例如環氧樹脂、聚醯亞胺、聚醯胺、聚乙烯酚醛、苯環丁烯或丙烯酸樹脂的有機材料或者矽氧烷樹脂用於絕緣膜 8519 時，可以透過電漿處理來氧化或氮化絕緣膜 8519 的表面而對該表面改性。表面改性改善了絕緣膜 8519 的強度，且例如當形成開口時產生的諸如裂紋的物

理損傷，或者蝕刻時的膜減少可以降低。此外，當導電膜 8523 形成於絕緣膜 8519 上方時，絕緣膜 8519 表面改性改善了與導電膜的附著。例如，當或者矽氧烷樹脂用於絕緣膜 8519 且透過電漿處理被氮化時，透過氮化或者矽氧烷樹脂的表面形成了包含氮或稀有氣體的電漿處理的絕緣膜，且改善了物理強度。

接下來，在絕緣膜 8519、8518 和 8516 內形成接觸孔，以形成電連接到導電膜 8515 的導電膜 8523。注意，該接觸孔具有漸縮的形狀。因此，與導電膜 8523 的覆蓋可以改善。

注意，本實施例模式所示的半導體裝置形成方法可以應用於本說明書中其他實施例模式所示的顯示裝置形成方法。此外，本實施例模式所示的半導體裝置形成方法可以自由地相互組合。

[實施例模式 16]

在本實施例模式中，描述作為例如電晶體的半導體裝置的形成處理的半色調方法。

圖 104 的剖面圖示出了包括電晶體、電容器和電阻器的半導體裝置。圖 104 示出了 N 通道電晶體 10401、電容器 10404、電阻器 10405 和 P 通道電晶體 10403。各個電晶體包括半導體層 10505、絕緣膜 10508 和閘極電極 10509。閘極電極 10509 具有第一導電層 10503 和第二 10502 的疊層結構。圖 105A 至 105E 為對應於圖 104 中的

電晶體、電容器和電阻器的俯視圖，這些俯視圖可用作參考。

在圖 104，沿 N 通道電晶體 10401 的通道長度方向（載流子流動的方向），雜質區 10507（也稱為輕摻雜汲（LDD））形成於閘極電極的相對側上以及半導體層 10505 內，該雜質區 10507 摻入雜質的濃度低於電連接到佈線 10504 的形成源極區和汲極區的雜質區 10506。當 N 通道電晶體 10401 形成時，磷等作為產生 n 型導電性的雜質被添加到雜質區 10506 和 10507。LDD 形成，以抑制熱電子退化和短通道效應。

如圖 105A 所示，在 N 通道電晶體 10401 的閘極電極 10509 內，第一導電層 10503 形成為延伸超出第二導電層 10502 的各側。這種情況下，第一導電層 10503 形成為比第二導電層 10502 薄。第一導電層 10503 形成為具有用 10 至 100kV 電場加速的離子物質足以穿過的厚度。雜質區 10507 形成為交疊閘極電極 10509 的第一導電層 10503。也就是說，形成與閘極電極 10509 交疊的 LDD 區。在這種結構中，在閘極電極 10509 內，以第二導電層 10502 為掩模，透過第一導電層 10503 添加具有一種導電類型的雜質（至半導體層 10505），從而以自對準的方式形成雜質區 10507。也就是說，按照自對準的方式形成與閘極電極交疊的 LDD 區。

在圖 104，在 N 通道電晶體 10402 中，雜質區 10507 形成於閘極電極的一側上以及半導體層 10505 內，該雜質

區 10507 摻入雜質的濃度低於雜質區 10506。如圖 105B 所示，在 N 通道電晶體 10402 的閘極電極 10509 內，第一導電層 10503 形成為延伸超出第二導電層 10502 的一側。同樣這種情況下，可以以第二導電層 10502 為掩模，透過第一導電層 10503 添加具有一種導電類型的雜質（至半導體層 10505），從而以自對準的方式形成 LDD。

在一側上具有 LDD 的電晶體可以用作其中僅正電壓或負電壓施加於源極端子和汲極端子之間的電晶體。具體而言，這種電晶體可以用作形成例如反相器、NAND 電路、NOR 電路或者鎖存器電路的邏輯電路的電晶體；或者形成例如讀出放大器、恒壓發生電路或 VCO 的類比電路的電晶體。

在圖 104，形成電容器 10404，其中絕緣層 10508 夾置於第一導電層 10503 和半導體層 10505 之間。用於形成電容器 10404 的半導體層 10505 包括雜質區 10510 和 10511。雜質區 10511 形成於半導體層 10505 的位置，該雜質區 10511 交疊第一導電層 10503。雜質區 10510 電連接到佈線 10504。由於具有一種導電類型的雜質可以透過第一導電層 10503 添加到雜質區 10511，雜質區 10510 和 10511 中包含的雜質的濃度可以控制為相同或不同。在任一情況下，由於電容器 10404 內的半導體層 10505 作為電極，因此較佳的、透過添加具有一種導電類型的雜質而降低半導體層 10505 的電阻。此外，透過利用第二導電層 10502 作為輔助電極，第一導電層 10503 可以完全作為電

極，如圖 105C 所示。按照這種方式，透過形成其中第一導電層 10503 和第二導電層 10502 組合的複合電極結構，可以以自對準方式形成電容器 10404。

在圖 104，電阻器 10405 由第一導電層 10503 形成。第一導電層 10503 形成具有 30 至 150 nm 的厚度；因此，透過設置第一導電層 10503 的寬度或長度可以恰當地形成該電阻器。

該電阻器可包括薄金屬層或者包含高濃度雜質元素的半導體層。金屬層是較佳的，因為其電阻值是由膜的厚度和品質決定，且因此具有小的變化，而半導體層的電阻值是由膜的厚度和品質、雜質的濃度和啟動率等決定。圖 105D 為電阻器 10405 的俯視圖。

在圖 104，P 通道電晶體 10403 內的半導體層 10505 設有雜質區 10512。該雜質區 10512 形成了形成與佈線 10504 的接觸的源極區和汲極區。閘極電極 10509 具有其中第一導電層 10503 和第二導電層 10502 彼此交疊的結構。P 通道電晶體 10403 為具有單汲極結構的電晶體，該電晶體中未設有 LDD。當該 P 通道電晶體 10403 形成時，硼等作為產生 p 型導電性的雜質被添加到雜質區 10512。另一方面，如果磷添加到雜質區 10512，則還可以形成具有單汲極結構的 N 通道電晶體。圖 105E 為 P 通道電晶體 10403 的俯視圖。

可以採用其中透過微波激發的高密度電漿處理，在電子溫度為 2eV 以下、離子能量為 5eV 以下且電子濃度範

圍約為 10^{11} 至 $10^{13}cm^{-3}$ 的條件下，氧化或氮化半導體層 10505 和絕緣層 10508 之一或二者。此時，透過在氧氣氣氛（例如，O_2 或 N_2O）或氮氣氣氛（例如，N_2 或 NH_3）中將基板溫度設定於 300 至 450℃來處理該層，可以降低半導體層 10505 和絕緣層 10508 之間介面處的缺陷水平。絕緣層 10508 可以透過這種處理變得緻密。也就是說，可以抑制電荷缺陷的發生，並可以抑制電晶體臨界值電壓的波動。此外，對於使用 3V 或以下電壓驅動電晶體的情形，透過電漿處理氧化或氮化的層可以用作絕緣層 10508。對於使用 3V 或以上電壓驅動電晶體的情形，透過將由電漿處理形成於半導體層 10505 表面上的絕緣層與由 CVD 方法（電漿 CVD 方法或熱 CVD 方法）沈積的絕緣層組合，可以形成絕緣層 10508。類似地，這種絕緣層也可以用作電容器 10404 的介電層。這種情況下，由電漿處理形成的該絕緣層是厚 1 至 10 nm 的緻密膜；因此，可以形成具有高電荷容量的電容器。

如參考圖 104 和 105A 至 105E 所述，可以由具有不同厚度的導電層的組合形成各種結構。使用由半透射膜形成且具有降低光強的功能的具有衍射光柵圖案或輔助圖案的光掩模或分劃板，可以形成其中僅形成第一導電層的區域和其中第一導電層和第二導電層均形成的區域。也就是說，在光微影步驟，透過控制當光敏抗蝕劑曝光時透射穿過該光掩模的光量，改變被顯影的抗蝕劑掩模厚度。這種情況下，透過提供具有解析度極限以下的狹縫的光掩模或

分劃板，可以形成具有前述複雜形狀的抗蝕劑。此外，由光敏抗蝕劑材料形成的該掩模圖案在顯影之後可以在約200℃下透過烘烤而轉變。

透過使用由半透射膜形成且具有降低光強的功能的具有衍射光柵圖案或輔助圖案的光掩模或分劃板，可以連續地形成其中僅形成第一導電層的區域和其中第一導電層和第二導電層層疊的區域。如圖 105A 所示，其中僅形成第一導電層的區域可以選擇性地形成於半導體層上方。這種區域在半導體層上方是有效的，而在其他區域（連接到閘極電極的佈線區）中不需要。使用這種光掩模或分劃板，其中僅形成第一導電層的區域不一定形成於佈線部分內；因此，佈線密度可以顯著提高。

在圖 104 和 105A 至 105E 中，使用例如鎢（W）、鉻（Cr）、鉭（Ta）、氮化鉭或鉬（Mo）的難熔金屬；或者包含這種金屬為主要成分的合金或化合物，形成厚 30 至 50 nm 的第一導電層。使用例如鎢（W）、鉻（Cr）、鉭（Ta）、氮化鉭或鉬（Mo）的難熔金屬；或者包含這種金屬為主要成分的合金或化合物，形成厚 300 至 600 nm 的第二導電層。例如，第一導電層和第二導電層使用不同導電材料形成，從而各個導電層的蝕刻速率在後面進行的蝕刻步驟中可以改變。例如，氮化鉭膜可以用於第一導電層，鎢膜可以用於第二導電層。

本實施例模式示出了透過使用由半透射膜形成且具有降低光強的功能的具有衍射光柵圖案或輔助圖案的光掩模

或分劃板，透過相同的圖案化步驟可以分離地形成具有不同電極結構的電晶體、電容器和電阻器。因此，可以根據電路的特性形成和整合具有不同模式的元件，而不增加製造步驟的數目。

注意，本實施例模式所示的半導體裝置形成方法可以應用於本說明書中其他實施例模式所示的顯示裝置形成方法。此外，本實施例模式所示的半導體裝置形成方法可以自由地相互組合。

[實施例模式 17]

在本實施例模式中，參考圖 86A 至 86C 和 102A 至 102C 描述可以應用於本發明顯示裝置設有發光元件的情形的另一種結構。

根據發光材料是有機化合物還是無機化合物，對利用電致發光的發光元件進行分類。一般而言，前者稱為有機 EL 元件，後者稱為無機 EL 元件。

無機 EL 元件分類為分散型無機 EL 元件或者薄膜型無機 EL 元件，視其元件結構而定。這些元件不同之處在於，前者包括其中發光材料的粒子分散在結合劑內的電致發光層，而後者包括由發光材料的薄膜形成的電致發光層。然而，前者和後者相同之處在於，均需要透過高電場加速的電子。所獲得的光發射的機制為：利用施主能級和受主能級的施主-受主複合光發射，以及利用金屬離子的內殼層電子躍遷的局部光發射。一般而言，在分散型無機

EL 元件中採用施主-受主複合光發射，許多情形下在薄膜型無機 EL 元件中採用局部光發射。

可以用於本發明的發光材料包括基底材料和將為發光中心的雜質元素。透過改變所包括的雜質元素，可以獲得各種顏色的光發射。發光材料可以使用各種方法形成，例如固相方法或液相方法（共析出方法）。此外，可以使用的液相方法為例如噴霧熱解方法、複分解方法、採用前驅體的熱解反應的方法、反膠束方法、其中這些方法之一種或多種與高溫烘烤組合的方法、或者冷凍乾燥方法等。

固相方法是指這樣的方法，其中，基底材料和雜質元素或包含雜質元素的化合物被稱重，在研缽中混合，並在電爐中加熱和烘烤而反應；雜質元素由此包含在基底材料中。烘烤溫度較佳的為 700 至 1500℃。這是因為當溫度太低時固相反應不進行，且溫度太高時基底材料分解。注意，材料可以按照粉末的形式來烘烤；然而，較佳的、按照丸狀的形式來烘烤。與諸如液相方法的其他方法相比，固相方法需要比較高的溫度，但是固相方法簡單，因此具有高產率且適於量產。

液相方法（共析出方法）是指這樣的方法，其中基底材料或包含基底材料的化合物，與雜質元素或包含雜質元素的化合物在溶液中反應，乾燥且隨後烘烤。發光材料的粒子均勻地分佈，且即使當粒子小且烘烤溫度低於固相方法的溫度時，該反應仍可以進行。

用於發光材料的基底材料可以使用硫化物、氧化物或

氮化物。硫化物可以使用例如硫化鋅、硫化鎘、硫化鈣、硫化釔、硫化鎵、硫化鍶、硫化鋇、硫化鋇等。氧化物可以使用例如氧化鋅、氧化釔等。氮化物可以使用例如氮化鋁、氮化鎵、氮化銦等。替代的，可以使用硒化鋅、碲化鋅等；或者諸如硫化鈣鎵、硫化鋇鎵、或硫化鋇鎵的三元混晶。

用於局部光發射的發光中心可以使用例如錳（Mn）、銅（Cu）、釤（Sm）、鈦（Te）、鉺（Er）、銩（Tm）、銪（Eu）、鈰（Ce）、鐠（Pr）等。此外可以添加例如氟（F）或氯（Cl）的鹵素元素用於電荷補償。

另一方面，用於施主-受主複合光發射的發光中心可以使用包含形成施主能級的第一雜質元素和形成受主能級的第二雜質元素的發光材料。該第一雜質元素可以使用例如氟（F）、氯（Cl）、鋁（Al）等。該第二雜質元素可以使用例如銅（Cu）、銀（Ag）等。

當用於施主-受主複合光發射的發光材料使用固相方法合成時，基底材料、第一雜質元素或包含第一雜質元素的化合物、以及第二雜質元素或包含第二雜質元素的化合物被稱重，在研缽中混合，並在電爐中加熱和烘烤。基底材料可以使用前述的基底材料。第一雜質元素或包含第一雜質元素的化合物可以使用氟（F）、氯（Cl）、硫化鋁等。第二雜質元素或包含第二雜質元素的化合物可以使用銅（Cu）、銀（Ag）、硫化銅、硫化銀等。烘烤溫度較佳的為 700 至 1500℃。這是因為當溫度太低時固相反應

不進行，且溫度太高時基底材料分解。注意，材料可以按照粉末的形式來烘烤；然而，較佳的、按照丸狀的形式來烘烤。

替代的，使用固相反應時的雜質元素，可以組合使用由第一雜質元素和第二雜質元素形成的化合物。這種情況下，雜質元素容易擴散且固相反應易於進行；因此，可以獲得均勻的發光材料。此外，由於不包含不需要的雜質元素，可以獲得高純度的發光材料。由第一雜質元素和第二雜質元素形成的化合物可以使用例如氯化銅、氯化銀等。

注意，這些雜質元素相對於基底材料的濃度範圍為0.01至10原子%，較佳的範圍為0.05至5原子%。

對於薄膜型無機EL元件的情形，電致發光層包括前述發光材料，且可以使用下述方法形成：諸如電阻加熱蒸鍍方法或電子束蒸鍍（EB蒸鍍）方法的真空蒸鍍方法、諸如濺鍍方法的物理氣相沈積（PVD）方法、諸如金屬有機物CVD方法或低壓氫化物傳送CVD方法的化學氣相沈積（CVD）方法、原子層外延（ALE）方法等。

圖86A至86C分別示出了可以用作該發光元件的薄膜型無機EL元件的示例。在圖86A至86C中，發光元件包括第一電極層8600、電致發光層8602和第二電極層8603。

圖86B和86C中的發光元件均具有絕緣層設於圖86A發光元件內的電極層和電致發光層之間的結構。圖86B的發光元件包括介於第一電極層8600和電致發光層8602之

間的絕緣層 8604。圖 86C 的發光元件包括介於第一電極層 8600 和電致發光層 8602 之間的絕緣層 8604a，和介於第二電極層 8603 和電致發光層 8602 之間的絕緣層 8604b。因此，絕緣層可以設於電致發光層和夾置該電致發光層的電極層之一之間，或者可以設於該電致發光層和夾置該電致發光層的每一個電極層之間。此外，該絕緣層可以是單層或者包括多個層的疊層。

注意，圖 86B 中絕緣層 8604 設為接觸第一電極層 8600；然而，透過顛倒絕緣層和電致發光層的位置，絕緣層 8604 可以設為接觸第二電極層 8603。

對於分散型無機 EL 的情形，透過將微粒的發光材料分散在結合劑中形成膜形電致發光層。當透過形成該發光材料的方法無法充分地獲得具有期望尺寸的粒子時，可以透過在研缽等中碾碎而將該發光材料加工成粒子。結合劑是用於將微粒的發光材料固定成分散狀態並將形狀維持為電致發光層的物質。發光材料均勻地分散在電致發光層內並透過該結合劑固定。

對於分散型無機 EL 元件的情形，形成電致發光層的方法可以使用可以選擇性地形成電致發光層的小滴釋放方法、印刷方法（例如，絲網印刷或平板印刷）、諸如旋轉塗敷方法的塗敷方法、浸漬方法、配給方法等。電致發光層的厚度沒有具體限制，但是較佳的範圍為 10 至 1000 nm。此外，在包括該發光材料和結合劑的電致發光層中，發光材料的比例較佳的為 50 重量%或以上和 80 重量

%或以下。

圖 102A 至 102C 分別示出了可以用作發光元件的分散型無機 EL 元件的示例。圖 102A 中的發光元件具有第一電極層 10200、電致發光層 10202 和第二電極層 10203 的疊層結構。電致發光層 10202 包括由結合劑保持的發光材料 10201。

本實施例模式中可以使用的結合劑可以使用有機材料或無機材料，或者包含有機材料和無機材料的混合材料。該有機材料可以使用具有比較高介電常數的聚合物，諸如氰乙基纖維素基樹脂，或者例如聚乙烯、聚丙烯、聚苯乙烯基樹脂、矽酮樹脂、環氧樹脂或偏二氟乙烯的樹脂。替代的，可以使用耐熱聚合物，諸如芳族聚醯胺或聚苯並咪唑，或者矽氧烷樹脂。注意，矽氧烷樹脂對應於具有 Si-O-Si 鍵的樹脂。矽氧烷包括矽（Si）和氧（O）的鍵的骨架結構。至少包括氫的有機基團（例如，烷基基團或芳香烴）作為取代基。替代的，取代基還可以使用含氟的基團，或者含氟的基團和至少包含氫的有機基團。此外，可以使用樹脂材料，例如，諸如聚乙烯醇或聚乙烯醇縮丁醛的乙烯基樹脂、酚醛樹脂、熱塑性酚醛樹脂、丙烯酸樹脂、蜜胺樹脂、聚氨酯樹脂、惡唑樹脂（聚苯並惡唑）等。此外，具有高介電常數的精細粒子，例如鈦酸鋇或鈦酸鍶的粒子，可以充分地與這些材料混合以調整介電常數。

結合劑中包含的無機材料可以使用氧化矽、氮化矽、

包含氧和氮的矽、氮化鋁、包含氧和氮的鋁、氧化鋁、氧化鈦、鈦酸鋇、鈦酸鍶、鈦酸鉛、鈮酸鉀、鈮酸鉛、氧化鉭、鉭酸鋇、鉭酸鋰、氧化釔、氧化鋯、硫化鋅、或者包含無機絕緣材料的物質。當有機材料中包含具有高介電常數的無機材料（透過添加等）時，由該發光材料與結合劑形成的電致發光層的介電常數可以更有效地受控制且可以進一步提高。

在製造方法中，發光材料分散在包含結合劑的溶液中。對於可以用於本實施例模式的用於包含結合劑的溶液的溶劑，可以恰當地選擇可以溶解結合劑材料且可以形成具有特定粘稠度的溶液的溶劑，其中該粘稠度適於形成期望厚度的電致發光層的方法（各種濕法處理）。可以使用有機溶劑等。例如，當矽氧烷樹脂用作該結合劑時，該溶劑可以使用丙二醇-甲基醚、丙二醇-甲基醚乙酸酯（也稱為 PGMEA）、3-甲氧基-3-甲基丁醇（也稱為 MMB）等。

圖 102B 和 102C 中的發光元件具有絕緣層設於圖 102A 的發光元件中電極層和電致發光層之間的結構。圖 102B 的發光元件包括介於第一電極層 10200 和電致發光層 10202 之間的絕緣層 10204。圖 102C 的發光元件包括介於第一電極層 10200 和電致發光層 10202 之間的絕緣層 10204a，以及介於第二電極層 10203 和電致發光層 10202 之間的絕緣層 10204b。因此，絕緣層可以設於電致發光層和夾置該電致發光層的電極層之一之間，或者可以設於該電致發光層和夾置該電致發光層的每一個電極層之間。

此外，該絕緣層可以是單層或者包括多個層的疊層。

注意，圖 102B 中絕緣層 10204 設為接觸第一電極層 10200；然而，透過顛倒絕緣層和電致發光層的位置，絕緣層 10204 可以設為接觸第二電極層 10203。

諸如圖 86A 和 86B 中的絕緣層 8604 以及圖 102A 和 102B 中的絕緣層 10204 的絕緣層沒有具體限制，但是較佳的、具有高的耐受電壓且是緻密的膜。此外，該絕緣層較佳的、具有高的介電常數。例如，可以使用氧化矽、氧化釔、氧化鈦、氧化鋁、氧化鉿、氧化鉭、鈦酸鋇、鈦酸鍶、鈦酸鉛、氮化矽、氧化鋯；或者這些材料的混合膜或者包括兩種以上這些材料的疊層膜。絕緣膜可以透過濺鍍、蒸鍍、CVD 等形成。替代的可以透過將這些絕緣材料的粒子分散在結合劑中來形成絕緣層。使用與包含在電致發光層內的結合劑相似的材料，採用與其類似的方法來行結合劑材料。絕緣層的厚度沒有具體限制，但是較佳的範圍為 10 至 1000 nm。

當電壓施加於夾置電致發光層的一對電極層之間時，本實施例模式中的發光元件可以發光。該發光元件可以透過直流驅動或交流驅動來工作。

注意，本實施例模式所示的各個顯示裝置可以與本說明書中其他實施例模式所示的各個顯示裝置的結構自由地組合來實施。此外，本實施例模式所示的顯示裝置的結構可以自由地相互組合。

[實施例模式 18]

圖 87 示出了組合了顯示面板 8701 和電路板 8702 的顯示模組。電路板 8702 設有例如控制電路 8703、信號驅動電路 8704 等。顯示面板 8701 和電路板 8702 透過連接佈線 8708 相互連接。

顯示面板 8701 包括像素部 8705，其中各個像素設有顯示元件 6621；掃描線驅動器電路 8706；以及信號線驅動器電路 8707，將視頻信號供應至選定像素。該像素類似於實施例模式 9 和 10 中的像素。掃描線驅動器電路 8706 類似於實施例模式 1 至 8 中的掃描線驅動器電路。信號線驅動器電路 8707 類似於實施例模式 11 中的信號線驅動器電路。

如上文所述，不總是需要信號線驅動器電路 8707，且可以透過連接佈線 8708 將視頻信號從電路板 8702 供應到選定像素。此外，掃描線驅動器電路 8706 可以設於像素部 8705 的相對側上。

透過該顯示模組可以實現液晶電視接收機或 EL 電視接收機。圖 88 為示出了電視接收機的主要結構的方塊圖。調諧器 8801 接收視頻信號和音頻信號。該視頻信號由下述電路處理：視頻信號放大器電路 8802；視頻信號處理電路 8803，其將從視頻信號放大器電路 8802 輸出的信號轉換成對應於紅、綠和藍各種顏色的顏色信號；以及控制電路 8804，其將該視頻信號轉換成驅動器 IC 的輸入規格。控制電路 8804 將信號輸出到掃描線和信號線的每

一個。當進行數位驅動時，可以採用其中信號分割電路 8805 設於信號線側上的結構，從而輸入數位信號被劃分為 m 個信號而被供應。

在調諧器 8801 接收的信號中，音頻信號輸送到音頻信號放大器電路 8806，且其輸出透過音頻信號處理電路 8807 供應到揚聲器。控制電路 8809 從輸入部 8810 接收有關接收站的控制資訊（接收頻率）和音量，並將信號輸送到調諧器 8801 和音頻信號處理電路 8807。

如圖 89 所示，該顯示模組結合到外殼 8901，從而可以實現電視接收機。使用該顯示模組形成顯示面板 8902。該電視接收機恰當地設有揚聲器 8903、操作開關 8904 等。

由於該電視接收機形成包括顯示面板 8902，部件的數目可以減少。因此可以低成本地製造該電視接收機。

無需說，本發明不限於電視接收機，而可以應用於各種用途，特別是例如個人電腦的監視器；火車站、機場等的資訊顯示板；或者街道的廣告顯示板的大尺寸顯示媒體。

注意，本實施例模式所示的顯示面板和顯示模組的結構可以與本說明書中其他實施例模式所示的各個顯示裝置的結構自由地組合來實施。此外，本實施例模式所示的顯示面板和顯示模組的結構可以自由地相互組合。

[實施例模式 19]

圖 90A 示出了組合了顯示面板 9001 和印刷佈線板 9002 的模組。顯示面板 9001 包括設有多個像素的像素部 9003、第一掃描線驅動器電路 9004、第二掃描線驅動器電路 9005 和信號線驅動器電路 9006。無需說，顯示面板 9001 的結構可類似於圖 9、11、12 和 44 所示的結構。

印刷佈線板 9002 設有控制器 9007、中央處理器（CPU）9008、記憶體 9009、電源電路 90010、音頻處理電路 90011、發送/接收電路 90012 等。印刷佈線板 9002 和顯示面板 9001 透過 FPC（撓性印刷電路）90013 來連接。FPC 90013 可以具有這樣的結構，其中電容器、緩衝器電路等被提供以防止電源電壓或信號的雜訊或者遲鈍的信號上升。此外，控制器 9007、音頻處理電路 90011、記憶體 9009、CPU 9008、電源電路 90010 等可以透過 COG（玻璃上晶片）方法安裝到顯示面板 9001。透過使用 COG 方法，印刷佈線板 9002 的尺寸可以減小。

透過印刷佈線板 9002 中包含的介面（I/F）部 90014，輸入和輸出各種控制信號。該印刷佈線板 9002 中包括用於發送信號到天線和從天線接收信號的天線埠 90015。

圖 90B 為圖 90A 所示模組的方塊圖。該模組包括 VRAM 90016、DRAM 90017、快閃記憶體 90018 等作為記憶體 9009。VRAM 90016 儲存有關顯示於面板上的影像的資料，DRAM 90017 儲存視頻資料或音頻資料，且快閃記憶體 90018 儲存各種程式。

電源電路 90010 供應用於操作顯示面板 9001、控制器 9007、CPU 9008、音頻處理電路 90011、記憶體 9009 和發送/接收電路 90012 的電功率。視面板規格而定，在某些情形下電源電路 90010 設有電流源。

CPU 9008 包括控制信號產生電路 90020、解碼器 90021、暫存器 90022、運算電路 90023、RAM 90024、用於 CPU 9008 的介面 90019 等。透過介面 90019 輸入到 CPU 9008 的各種信號一次儲存於暫存器 90022，且隨後輸入到運算電路 90023、解碼器 90021 等。運算電路 90023 基於輸入到其的信號進行運算，從而指定各種指令發送到的位置。另一方面，輸入到解碼器 90021 的信號被解碼並輸入到控制信號產生電路 90020。控制信號產生電路 90020 基於輸入到其的信號產生包括各種指令的信號，並將該信號發送到由運算電路 90023 指定的位置，特別是例如記憶體 9009、發送/接收電路 90012、音頻處理電路 90011 和控制器 9007 的位置。

記憶體 9009、發送/接收電路 90012、音頻處理電路 90011 和控制器 9007 依據其接收的指令而操作。下文中簡述該操作。

從輸入裝置 90025 輸入的信號，透過介面部 90014 發送到安裝於印刷佈線板 9002 的 CPU 9008。控制信號產生電路 90020 將儲存於 VRAM 90016 的視頻資料轉換成視從例如指點裝置或鍵盤的輸入裝置 90025 輸入的信號而定的預定格式，並將轉換資料發送到控制器 9007。

控制器 9007 依據面板規格對包括從 CPU 9008 輸入的視頻資料的信號進行資料處理，並供應該信號至顯示面板 9001。此外，基於來自電源電路 90010 的電源電壓和從 CPU 9008 輸入的各種信號，控制器 9007 產生 Hsync 信號、Vsync 信號、時鐘信號 CLK、交變電壓（AC Cont）和開關信號 L/R，並供應這些信號至顯示面板 9001。

發送/接收電路 90012 處理由天線 90028 以電波形式接收和發送的信號。具體而言，發送/接收電路 90012 包括例如隔離器的高頻電路、帶通濾波器、VCO（壓控振蕩器）、LPF（低通濾波器）、耦合器、或者平衡到不平衡轉換變壓器（balun）。依據來自 CPU 9008 的指令，發送/接收電路 90012 發送和接收的信號中包括音頻資訊的信號被發送到音頻處理電路 90011。

依據來自 CPU 9008 的指令被發送的包括音頻資訊的信號，被音頻處理電路 90011 解調成音頻信號並發送到揚聲器 90027。此外，依據來自 CPU 9008 的指令，來自微音器 90026 的音頻信號被音頻處理電路 90011 調制並發送到發送/接收電路 90012。

控制器 9007、CPU 9008、電源電路 90010、音頻處理電路 90011 和記憶體 9009 可以安裝成本實施例模式的封裝。本實施例模式可以應用於例如隔離器的高頻電路、帶通濾波器、VCO（壓控振蕩器）、LPF（低通濾波器）、耦合器、或者平衡到不平衡轉換變壓器之外的任何電路。

注意，本實施例模式所示的顯示面板和顯示模組的結

構可以與本說明書中其他實施例模式所示的各個顯示裝置的結構自由地組合來實施。此外，本實施例模式所示的顯示面板和顯示模組的結構可以自由地相互組合。

[實施例模式 20]

圖 91 示出了包括實施例模式 19 的模組的行動電話的一個模式。顯示面板 9101 可拆卸地結合到框架 91030。框架 91030 的形狀和尺寸可以根據顯示面板 9101 的尺寸而恰當地改變。固定顯示面板 9101 的框架 91030 安裝在印刷電路板 91031 內，將組裝成模組。

顯示面板 9101 透過 FPC 91013 連接到印刷電路板 91031。揚聲器 91032、微音器 91033、發送/接收電路 91034、以及包括 CPU、控制器等的信號處理電路 91035 形成於印刷電路板 91031 上方。該模組、輸入裝置 91036 和電池 91037 組合並儲存在框架 91039 內。顯示面板 9101 的像素部設為從形成於框架 91039 內的開口窗戶可以看見。

顯示面板 9101 包括掃描線驅動器電路和含有多個像素的像素部。透過將掃描線驅動器電路形成於與像素部相同的基板上方，可以低成本地製造圖 91 中的行動電話。此外，顯示模組中部件的數目可以減少，因此可以獲得例如產率提高和重量及尺寸減小的優點。

根據本實施例模式的行動電話可以依據其功能和用途而按照各種模式改變。例如，當該行動電話設有多個顯示

面板或者當框架恰當地劃分為多個部分且可以使用鉸鏈開啓和閉合時，可以獲得前述效果。

注意，本實施例模式所示的顯示面板和顯示模組的結構可以與本說明書中其他實施例模式所示的各個顯示裝置的結構自由地組合來實施。此外，本實施例模式所示的顯示面板和顯示模組的結構可以自由地相互組合。

[實施例模式 21]

本實施例模式示出了包含實施例模式 19 的顯示模組的行動電話 10300 完成的示例。

在圖 103 所示的行動電話中，設有操作開關 10304、微音器 10305 等的主體（A）10301 透過使用鉸鏈 10310 連接到設有顯示面板（A）10308、顯示面板（B）10309、揚聲器 10306 等的主體（B）10302，從而該行動電話可以開啓和關閉。顯示面板（A）10308 和顯示面板（B）10309 與電路板 10307 一起置於主體（B）10302 的框架 10303 內。顯示面板（A）10308 和顯示面板（B）10309 的像素部佈置成從形成於框架 10303 內的開口窗戶可以看見。

顯示面板（A）10308 和顯示面板（B）10309 的規格例如像素數目，可以依據行動電話 10300 的功能而恰當地設置。例如，作為主螢幕的顯示面板（A）10308 和作為子螢幕的顯示面板（B）10309 可以組合。

顯示面板（A）10308 和顯示面板（B）10309 分別包

括掃描線驅動器電路和含有多個像素的像素部。透過將掃描線驅動器電路形成於與像素部相同的基板上方，可以低成本地製造圖 103 中的行動電話。此外，顯示模組中部件的數目可以減少，因此可以獲得例如生產率提高和重量及尺寸減小的優點。

透過使用這種顯示面板，顯示面板（A）10308 可以作為具有高清晰度的彩色顯示幕，且顯示面板（B）10309 可以作為顯示文本資訊的單色的資訊顯示幕。具體而言，當顯示面板（B）10309 為主動矩陣類型面板從而實現更高清晰度時，各個文本資訊可以被顯示；因此，每個螢幕的資訊顯示密度可以提高。例如，當顯示面板（A）10308 是尺寸為 2 至 2.5 英寸、64 灰階、以及具有 26 萬色的 QVGA（320 點x240 點）的面板，且顯示面板（B）10309 是單色、2 至 8 灰階、以及 180 至 220ppi 的高清晰度面板時，除了羅馬字母、平假名和片假名之外，還可以顯示中文字元、阿拉伯字母等。

根據本實施例模式的行動電話可以依據其功能和用途而按照各種模式改變。例如，透過將成像元件結合到鉸鏈 10310，該行動電話可以稱為配備有相機的行動電話。當操作開關 10304、顯示面板（A）10308 和顯示面板（B）10309 置於一個框架內時，可以獲得前述效果。此外，當本實施例模式的結構應用於配備有多個顯示部分的資訊顯示終端時，可以獲得類似的效果。

注意，本實施例模式所示的顯示面板和顯示模組的結

構可以與本說明書中其他實施例模式所示的各個顯示裝置的結構自由地組合來實施。此外，本實施例模式所示的顯示面板和顯示模組的結構可以自由地相互組合。

[實施例模式 22]

本發明可以應用於各種電子裝置，具體而言應用於電子裝置的顯示部分。這些電子裝置包括：例如視頻相機和數位相機的相機、護目鏡型顯示器、導航系統、音頻再現裝置（例如汽車音頻設備、音響部件組合）、電腦、遊戲機、攜帶型資訊終端（例如移動電腦、行動電話、攜帶型遊戲機和電子書）、設有記錄媒體的影像再現裝置（具體而言，用於再現諸如數位化多功能光碟（DVD）的記錄媒體的內容且具有用於顯示再現影像的顯示裝置的裝置）等。

圖 93A 示出了發光裝置，其包括框架 93001、支撐底座 93002、顯示部分 93003、揚聲器部分 93004、視頻輸入端 93005 等。本發明的顯示裝置可以用作顯示部分 93003。注意，該發光裝置包括用於資訊顯示的各種發光裝置，例如用於個人電腦、電視廣播接收、廣告的發光裝置。使用本發明的顯示裝置作為顯示部分 93003 的該發光裝置可以減少由截止電流產生的輕微光發射並進行清晰的顯示。

圖 93B 示出了相機，其包括主體 93101、顯示部分 93102、影像接收部分 93103、操作鍵 93104、外部連接埠

93105、快門按鈕 93106 等。

使用本發明的顯示裝置作為顯示部分 93102 的該數位相機可以減少由截止電流產生的輕微光發射並進行清晰的顯示。

圖 93C 示出了電腦，其包括主體 93201、框架 93202、顯示部分 93203、鍵盤 93204、外部連接埠 93205、指標裝置 93206 等。使用本發明的顯示裝置作為顯示部分 93203 的該電腦可以減少由截止電流產生的輕微光發射並進行清晰的顯示。

圖 93D 示出了移動電腦，其包括主體 93301、顯示部分 93302、開關 93303、操作鍵 93304、紅外線埠 93305 等。使用本發明的顯示裝置作為顯示部分 93302 的該移動電腦可以減少由截止電流產生的輕微光發射並進行清晰的顯示。

圖 93E 示出了具有記錄媒體的便攜影像再現裝置（特別地指 DVD 播放器），其包括主體 93401、框架 93402、顯示部分 A 93403、顯示部分 B 93404、記錄媒體（例如，DVD）讀取部分 93405、操作鍵 93406、揚聲器部分 93407 等。顯示部分 A 93403 主要顯示影像資訊，顯示部分 B 93404 主要顯示文本資訊。使用本發明的顯示裝置作為顯示部分 A 93403 的該影像再現裝置可以減少由截止電流產生的輕微光發射並進行清晰的顯示。

圖 93F 示出了護目鏡型顯示器，其包括主體 93501、顯示部分 93502 和臂部分 93503。使用本發明的顯示裝置

作為顯示部分 93402 的該護目鏡型顯示器可以減少由截止電流產生的輕微光發射並進行清晰的顯示。

圖 93G 示出了視頻相機，其包含主體 93601、顯示部分 93602、框架 93603、外部連接埠 93604、遙控器接收部分 93605、影像接收部分 93606、電池 93607、音頻輸入部分 93608、操作鍵 93609 等。使用本發明的顯示裝置作為顯示部分 93602 的該視頻相機可以減少由截止電流產生的輕微光發射並進行清晰的顯示。

圖 93H 示出了行動電話，其包含主體 93701、框架 93702、顯示部分 93703、音頻輸入部分 93704、音頻輸出部分 93705、操作鍵 93706、外部連接埠 93707、天線 93708 等。使用本發明的顯示裝置作為顯示部分 93703 的該行動電話可以減少由截止電流產生的輕微光發射並進行清晰的顯示。

如前所述，本發明可以應用於各種電子裝置。

注意，本實施例模式所示的電子裝置的結構可以與本說明書中其他實施例模式所示的各個顯示裝置的結構自由地組合來實施。

[實施例模式 23]

在本實施例模式中，參考應用模式的圖示描述使用顯示面板的應用例，在該顯示面板中本發明的顯示裝置的像素結構被用於顯示部分。其中本發明的顯示裝置的像素結構用於顯示部分的該顯示面板還可以與運動物體、建築物

體等結合。

圖 94A 和 94B 示出了結合有顯示裝置的運動物體，作為在顯示部分內包括本發明的顯示裝置的像素結構的顯示面板的示例。作為結合有顯示裝置的運動物體的示例，圖 94A 示出了用於火車 9401 車門的玻璃部分的顯示面板 9402。在圖 94A 的顯示面板 9402，其中本發明的顯示裝置的像素結構被用於顯示部分，顯示於該顯示部分上的影像可以透過來自外部的信號容易地切換。因此，該顯示面板上的影像在火車上旅客的類型變化的每一個時間周期切換，且可以實現更有效的廣告。

注意，在顯示部分內包括本發明的顯示裝置的像素結構的顯示面板不限於應用於圖 94A 的火車車門的玻璃部分，且可以透過改變成各種形狀而應用於任何位置。參考圖 94B 描述該顯示面板的示例。

圖 94B 示出了該火車車廂的內部。除了在圖 94A 中所示車門的玻璃部分內的顯示面板 9402 之外，圖 94B 中還示出了設於玻璃窗戶內的顯示面板 9403 和從天花板懸吊的顯示面板 9404。具有本發明顯示裝置的像素結構的顯示面板 9403 包括自發光顯示元件；因此，當廣告影像在高峰時間顯示以及在非高峰時間不顯示時，也可以從火車窗戶看到風景。此外，在具有本發明顯示裝置的像素結構的顯示面板 9404 中，當例如有機電晶體的開關元件設於膜形基板上方且該自發光顯示元件被驅動時，該顯示面板也可以在彎折狀態下進行顯示。

圖 95 示出了另一種應用模式，作為結合有顯示裝置的運動物體的示例，該顯示裝置使用了在顯示部分內包括本發明的顯示裝置的像素結構的顯示面板。

圖 95 示出了結合有顯示裝置的運動物體，作為在顯示部分內包括本發明的顯示裝置的像素結構的顯示面板的示例。作為結合有顯示裝置的運動物體的示例，圖 95 示出了結合到汽車的主體 9501 的顯示面板 9502。圖 95 的顯示面板 9502 在顯示部分包括了本發明的顯示裝置的像素結構，該顯示面板 9502 結合到汽車的主體，並具有請求式顯示該汽車主體的操作和從汽車主體內部或外部輸入的資料的功能以及將汽車導航到其目的地的功能。

注意，在顯示部分內包括本發明的顯示裝置的像素結構的顯示面板不限於應用於圖 95 的汽車主體的前部，且可以透過改變成各種形狀而應用於例如玻璃窗戶或主體的任何位置。

圖 96A 和 96B 示出了另一種應用模式，作為結合有顯示裝置的運動物體的示例，該顯示裝置在顯示部分內使用包括本發明的顯示裝置的像素結構的顯示面板。

圖 96A 和 96B 示出了結合有顯示裝置的運動物體，作為在顯示部分內包括本發明的顯示裝置的像素結構的顯示面板的示例。作為結合有顯示裝置的運動物體的示例，圖 96A 示出了附著到飛機的主體 9601 的旅客席上方的天花板的顯示面板 9602。圖 96A 所示的顯示面板 9602 在顯示部分包括了本發明的顯示裝置的像素結構，該顯示面板

9602 透過鉸鏈部分 9603 結合到飛機的主體 9601，且乘客可以透過伸展鉸鏈部分 9603 可以觀看顯示面板 9602。顯示面板 9602 具有顯示資料以及作為廣告或者透過旅客操作作為娛樂裝置的功能。此外，當該鉸鏈部分彎折並置於飛機的主體 9601 內時，如圖 96B 所示，可以保證起飛和著陸時的安全。另外，當顯示面板內的顯示元件在緊急情況下發光時，該顯示面板也可以用作飛機的主體 9601 的撤離燈。

注意，在顯示部分內包括本發明的顯示裝置的像素結構的顯示面板不限於應用於圖 96A 和 96B 的飛機的主體 9601 的天花板，且可以透過改變成各種形狀而應用於例如座位或艙門的任何位置。例如，顯示面板設於座位背側上，並被操作和觀看。

注意，在本實施例模式中，火車、汽車和飛機的主體被示為運動物體；然而，運動物體不限於此並包括各種物體，例如摩托車、四輪驅動汽車（包括小汽車、公共汽車等）、火車（包括單軌火車、有軌電車燈）以及飛船。透過採用本發明的顯示裝置的像素結構，可以實現顯示面板的尺寸和功耗減小，且可以提供包括有利地操作的顯示媒體的運動物體。具體而言，由於運動物體內顯示面板上的顯示可以使用來自外部的信號容易立即切換，該顯示面板對於用於未指定數目的客戶的廣告顯示板或者用於緊急事件或災難的資訊顯示板而言是極為有用的。

圖 97 示出了建築物體的一種應用模式，作為使用在

顯示部分內包括本發明的顯示裝置的像素結構的顯示面板的示例。

圖 97 示出了顯示面板的一個應用示例，其中例如有機電晶體的開關元件設於膜形基板上方且該自發光顯示元件被驅動，從而該顯示面板可以在彎折狀態下進行顯示，作為在顯示部分內包括本發明的顯示裝置的像素結構的顯示面板的示例。在圖 97，顯示面板設於柱狀物體的彎曲表面上，該柱狀物體設於戶外作為建築物體，例如電線桿。這裏，描述設有顯示面板 9702 的電線桿 9701 作為柱狀物體。

圖 97 所示的顯示面板 9702 置於該電線桿的高度中部附近，且設於高於人的視點的位置。因此，可以從運動物體 9703 觀看到顯示面板 9702 上的影像。當相同的影像顯示於設於戶外的大量一起豎立的電線桿的顯示面板 9702 上時，觀察者可以觀看到資訊顯示和廣告顯示。由於在圖 97 設於電線桿 9701 內的顯示面板 9702 外部容易顯示相同的影像，因此可以實現很有效的資訊顯示和廣告效果。此外，當自發光顯示元件設為本發明的顯示裝置的顯示面板內的顯示元件時，該顯示面板可以有效地用作可見度高的顯示媒體，即使是在夜晚。

圖 98 示出了不同於圖 97 的建築物體的另一種應用模式，作為在顯示部分內使用本發明的顯示裝置的像素結構的顯示面板的示例。

圖 98 示出了顯示面板的一個應用示例，其中該顯示

面板在顯示部分內包括本發明的顯示裝置的像素結構。圖98示出了結合到預製浴器9801側壁的顯示面板9802，作為結合有顯示裝置的建築物體的示例。圖98中的顯示面板9802包括具有本發明的顯示裝置的像素結構的顯示部分，該顯示面板9802結合到預製浴器9801，洗浴的人可以觀看該顯示面板9802。顯示面板9802具有顯示資料以及作為廣告或透過洗浴的人的操作而作為娛樂裝置的功能。

注意，在顯示部分內包括本發明的顯示裝置的像素結構的顯示面板不限於應用於圖98的預製浴器9801的側壁，且可以透過改變成各種形狀而應用於例如鏡子或浴缸的一部分的任何位置。

圖99示出了具有大顯示部分的電視裝置設於建築物體內部的示例。圖99的電視裝置包括框架9910、顯示部分9911、為操作部分的遙控裝置9912、揚聲器部分9913等。在顯示部分內包括本發明的顯示裝置的像素結構的顯示面板被應用於形成顯示部分9911。圖99的電視裝置結合到該建築物體成為壁掛式，且可以不需要大的空間來提供該電視裝置。

在本實施例模式中，為柱狀主體的電線桿、預製浴器等被示出作為建築物體的示例；然而，本實施例模式不限於此，且可以採用可以設有顯示面板的任何建築物體。當應用本發明的顯示裝置的像素結構時，可以實現顯示裝置的尺寸和功耗的減小，且可以提供包括有利地操作的顯示

媒體的運動物體。

注意，本實施例模式所示顯示面板的各種結構可以與本說明書中其他實施例模式所示的各個顯示裝置的結構自由地組合來實施。

【符號說明】

101：第一電晶體

102：第二電晶體

103：第三電晶體

104：第四電晶體

111：第一佈線

112：第二佈線

113：第三佈線

114：第四佈線

115：第五佈線

116：第六佈線

121：節點

213：訊號

214：訊號

215：訊號

216：訊號

221：電位

401：電容器

611：第一佈線

612：第二佈線

613：第三佈線

614：第四佈線

615：第五佈線

616：第六佈線

622：佈線

601：正反器

9201：第一導電膜

9202：半導體層

9203：接點

9204：第二導電膜

722：訊號

901：信號線驅動器電路

902：掃描線驅動器電路

903：像素部

904：像素

1101：第一掃描線驅動器電路

1102：第二掃描線驅動器電路

1201：第一掃描線驅動器電路

1202：第二掃描線驅動器電路

4402：第一掃描線驅動器電路

4403：第二掃描線驅動器電路

1305：第五電晶體

1317：第七佈線

1501：電容器

1701：正反器

1801：緩衝器

1906：第六電晶體

1907：第七電晶體

1908：第八電晶體

1909：第九電晶體

2022：電位

1922：節點

1923：節點

2101：電容器

2310：第十電晶體

2311：第十一電晶體

2312：第十二電晶體

2324：節點

2424：電位

2501：電容器

2701：第一電晶體

2702：第二電晶體

2703：第三電晶體

2704：第四電晶體

2711：第一佈線

2712：第二佈線

2713：第三佈線

2714：第四佈線

2715：第五佈線

2716：第六佈線

2813：訊號

2814：訊號

2815：訊號

2816：訊號

2821：電位

3001：電容器

3217：第七佈線

3205：第五電晶體

3401：電容器

3606：第六電晶體

3607：第七電晶體

3608：第八電晶體

3609：第九電晶體

3622：節點

3623：節點

3723：電位

3801：電容器

4010：第十電晶體

4011：第十一電晶體

4012：第十二電晶體

4024：節點

4201：電容器

4601：電晶體

4602：電容器

4621：顯示元件

4611：第一佈線

4612：第二佈線

4613：第三佈線

4631：液晶元件

4622：相對電極

4623：像素電極

4701：編碼電路

4702：框記憶體

4703：校正電路

4704：D/A 轉換電路

4712：框記憶體

4713：校正電路

4801：電晶體

4802：輔助電容器

4803：顯示元件

4804：視頻信號線

4805：掃描線

4806：公共線

4811：電晶體

4812：輔助電容器

4813：顯示元件

4814：視頻信號線

4815：掃描線

4816：第一公共線

4817：第二公共線

4901：漫射板

4902：冷陰極螢光燈

4911：漫射板

4912：光源

5001：框的亮影像

5002：框的暗影像

5003：亮影像

5004：暗影像

5011：亮影像

5012：暗影像

5013：亮影像

5014：暗影像

5021：亮影像

5022：暗影像

5023：亮影像

5024：暗影像

5025：亮影像

5026：暗影像

5027：亮影像

5028：暗影像

5101：第一基板

5116：第二基板

5112：第二配向膜

5113：第四導電層

5114：遮光膜

5115：濾色器

5117：間隔物

5102：第一絕緣膜

5103：第一導電層

5104：第二絕緣膜

5105：第一半導體膜

5106：第二半導體膜

5107：第二導電層

5108：第三絕緣膜

5109：第三導電層

5110：第一配向膜

5118：液晶分子

5121：掃描線

5122：視頻信號線

5123：電容器線

5124：TFT

5125：像素電極

5126：像素電容器

5201：第一基板

5216：第二基板

5212：第二配向膜

5213：第四導電層

5214：遮光膜

5215：濾色器

5217：間隔物

5219：配向控制凸出

5202：第一絕緣膜

5203：第一導電層

5204：第二絕緣膜

5205：第一半導體層

5206：第二半導體層

5207：第二導電層

5208：第三絕緣膜

5209：第三導電層

5210：第一配向膜

5218：液晶分子

5221：掃描線

5222：視頻信號線

5223：電容器線

5224：TFT

5225：像素電極

5226：像素電容器

5301：第一基板

5316：第二基板

5312：第二配向膜

5313：第四導電層

5314：遮光膜

5315：濾色器

5317：間隔物

5302：第一絕緣膜

5303：第一導電層

5304：第二絕緣膜

5305：第一半導體層

5306：第二半導體層

5307：第二導電層

5308：第三絕緣膜

5309：第三導電層

5310：第一配向膜

5318：液晶分子

5319：電極槽口部

5321：掃描線

5322：視頻信號線

5323：電容器線

5324：TFT

5325：像素電極

5326：像素電容器

5401：第一基板

5416：第二基板

5412：第二配向膜

5414：遮光膜

5415：濾色器

5417：間隔物

5402：第一絕緣膜

5403：第一導電層

5404：第二絕緣膜

5405：第一半導體層

5406：第二半導體層

5407：第二導電層

5408：第三絕緣膜

5409：第三導電層

5410：第一配向膜

5418：液晶分子

5423：公共電極

5424：TFT

5421：掃描線

5422：視頻信號線

5425：像素電極

5523：公共電極

5525：像素電極

5501：第一基板

5516：第二基板

5512：第二配向膜

5514：遮光膜

5515：濾色器

5517：間隔物

5502：第一絕緣膜

5503：第一導電層

5504：第二絕緣膜

5505：第一半導體層

5506：第二半導體層

5507：第二導電層

5508：第三絕緣膜

5509：第三導電層

5510：第一配向膜

5519：第四絕緣膜

5513：第四導電層

5518：液晶分子

5523：公共電極

5524：TFT

5521：掃描線

5522：視頻信號線

5525：像素電極

6500：電容器

6501：第一電晶體

6502：第二電晶體

6521：顯示元件

6522：相對電極

6511：第一佈線

6512：第二佈線

6513：第三佈線

6600：電容器

6601：第一電晶體

6602：第二電晶體

6603：第三電晶體

6621：顯示元件

6611：第一佈線

6612：第二佈線

6613：第三佈線

6614：第四佈線

6622：相對電極

6700：電容器

6701：第一電晶體

6702：第二電晶體

6703：第三電晶體

6704：第四電晶體

6721：顯示元件

6711：第一佈線

6712：第二佈線

6713：第三佈線

6714：第四佈線

6715：第五佈線

6722：相對電極

6905：第一 TFT

6906：第一佈線

6907：第二佈線

6908：第二 TFT

6911：第三佈線

6912：相對電極

6913：電容器

6915：像素電極

6916：隔離壁

6917：有機導電膜

6918：有機薄膜

6919：基板

7000：基板

7001：第一佈線

7002：第二佈線

7003：第三佈線

7004：第四佈線

7005：第一 TFT

7006：第二 TFT

7007：第三 TFT

7008：像素電極

7011：隔離壁

7012：有機導電膜

7013：有機薄膜

7014：相對電極

7100：基板

7101：第一佈線

7102：第二佈線

7103：第三佈線

7104：第四佈線

7105：第一 TFT

7106：第二 TFT

7107：第三 TFT

7108：第四 TFT

7109：像素電極

7111：第五佈線

7112：第六佈線

7121：隔離壁

7122：有機導電膜

7123：有機薄膜

7124：相對電極

7201：陽極

7202：陰極

7203：電洞傳送區

7204：電子傳送區

7205：混合區

7206：區域

7207：區域

7208：區域

7209：區域

7360：轉移室

7361：轉移室

7362：載入室

7363：卸載室

7368：熱處理室

7372：電漿處理室

7369：沈積處理室

7370：沈積處理室

7371：沈積處理室

7373：沈積處理室

7374：沈積處理室

7375：沈積處理室

7376：沈積處理室

7377a-73771：閘門閥

7366：臂型轉移裝置

7367：轉移裝置

7365：密封處理室

7364：中間處理室

7372：電漿處理室

7491：頂板

7492：底板

7481a、7481b、7481c：蒸鍍源

7480：蒸鍍源支架

7483：多鉸鏈臂

7482：距離感測器

7489：基板

7486：基板台

7487：基板卡盤

7490：陰影掩模

7488：掩模卡盤

7485a、7485b、7485c：材料供應源

7484：材料供應管

5601：驅動器 IC

5602：開關

5611：第一佈線

5612：第二佈線

5613：第三佈線

5621：佈線

5603a：第一開關

5603b：第二開關

5603c：第三開關

5703a：時脈

5703b：時脈

5703c：時脈

5903a：第一電晶體

5903b：第二電晶體

5903c：第三電晶體

5803a：時脈

5803b：時脈

5803c：時脈

6022：開關

6001：第一開關

6002：第二開關

6003：第三開關

6004：第四開關

6005：第五開關

6011：第一佈線

6012：第二佈線

6013：第三佈線

6014：第四佈線

6015：第五佈線

6016：第六佈線

6006：第六電晶體

6111：佈線

6101：電晶體

6102：電晶體

6112：佈線

6201：電晶體

6211：佈線

6202：電晶體

6411：佈線

6401：電晶體

6402：電晶體

6412：佈線

6301a、6301b：電晶體

6302a、6302b：電晶體

10001：信號控制電路

10002：像素部

10003：第一閘極驅動器

10004：密封基板

10005：密封材料

10006：第二閘極驅動器

10007：空間

10008：佈線

10009：FPC

10019：IC 晶片

10010：基板

10020：電晶體

10021：電晶體

10011：電晶體

10012：電晶體

10013：第一電極

10014：絕緣體

10016：含有機化合物的層

10017：第二電極

10018：發光元件

10101：信號控制電路

10100：基板

10102：像素部

10103：第一閘極驅動器

10104：第二閘極驅動器

10105：FPC

10106：IC 晶片

10107：IC 晶片

10108：密封基板

10109：密封材料

10111：信號控制電路

10114：第一閘極驅動器

10113：第二閘極驅動器

10110：基板

10112：像素部

10115：FPC

10116：IC 晶片

10117：IC 晶片

10118：密封基板

10119：密封材料

10022：IC 晶片

7501：週邊驅動器電路

7500：基板

7502：像素部

7504：FPC

7505：IC 晶片

7506：IC 晶片

7507：密封基板

7508：密封材料

7510：基板

7511：週邊驅動器電路

7512：像素部

7513：FPC

7514：FPC

7602：陽極

7603：電洞注入層

7604：電洞傳送層

7605：發光層

7606：電子傳送層

7607：電子注入層

7608：陰層

7611：基板

7612：陽極

7613：電洞注入層

7614：電洞傳送層

7615：發光層

7616：電子傳送層

7617：電子注入層

7618：陰極

7700：基板

7701：驅動電晶體

7702：第一電極

7703：含有機化合物的層

7704：第二電極

7800：基板

7801：驅動電晶體

7802：底膜

7803：第一電極

7804：含有機化合物的層

7805：第二電極

7806R：紅色濾光片

7806G：綠色濾光片

7806B：藍色濾光片

7807：黑矩陣

7901：基板

7902：底膜

7903：通道形成區

7905：雜質區

7906：通道形成區

7907：LDD 區

7918：驅動電晶體

7908：雜質區

7919：電容器

7910：閘極電極

7911：上電極

7909：閘極絕緣膜

7912：層間絕緣體

7913：佈線

7914：像素電極

7915：第二層間絕緣體

7916：含有機化合物的層

7917：相對電極

7920：發光元件

7921：區域

8091：第二上電極

8092：電容器

8001：基板

8002：底膜

8003：通道形成區

8005：雜質區

8018：驅動電晶體

8006：閘極絕緣膜

8007：閘極電極

8008：第一電極

8009：第一層間絕緣膜

8010：佈線

8011：第二電極

8012：第二層間絕緣膜

8013：像素電極

8014：第三電極

8019：電容器

8015：第三層間絕緣膜

8016：含有機化合物的層

8017：相對電極

8020：發光件

8101：基板

8102：底膜

8103：閘極電極

8104：第一電極

8105：閘極絕緣膜

8106：通道形成區

8107：LDD 區

8108：雜質區

8109：通道形成區

8110：LDD 區

8111：雜質區

8122：驅動電晶體

8123：電容器

8112：第一層間絕緣體

8113：佈線

8114：第三電極

8115：開口

8116：第二層間絕緣體

8117：像素電極

8118：絕緣體

8119：含有機化合物的層

8120：相對電極

8121：發光元件

8124：第四電極

8201：基板

8202：底膜

8203：像素電極

8204：第一電極

8205：佈線

8206：佈線

8207：n 型半導體層

8208：n 型半導體層

8209：半導體層

8210：閘極絕緣膜

8211：絕緣膜

8212：閘極電極

8213：第二電極

8214：層間絕緣膜

8215：含有機化合物的層

8216：相對電極

8218：驅動電晶體

8219：電容器

8217：發光元件

8220：第一電極

8301：基板

8302：底膜

8303：閘極電極

8304：第一電極

8305：閘極絕緣膜

8306：半導體層

8307：半導體層

8308：n型半導體層

8309：n型半導體層

8310：n型半導體層

8311：佈線

8312：佈線

8313：導電層

8314：像素電極

8320：電容器

8315：絕緣體

8319：驅動電晶體

8316：含有機化合物的層

8317：相對電極

8318：發光元件

8401：絕緣體

8511：基板

8512：絕緣膜

8513：半導體膜

8514：半導體膜

8515：半導體膜

8516：絕緣膜

8517：閘極電極

8518：絕緣膜

8519：絕緣膜

8523：導電膜

8501：單汲極 TFT

8502：單汲極 TFT

8503：單汲極 TFT

8504：單汲極 TFT

8521：側壁

8505：TFT

8506：TFT

8531：絕緣膜

8522：掩模

10401：n 通道電晶體

10402：n 通道電晶體

10403：p 通道電晶體

10404：電容器

10405：電阻器

10505：半導體層

10508：絕緣膜

10509：閘極電極

10502：第二導電層

10503：第一導電層

10507：雜質區

10506：雜質區

10504：佈線

10510：雜質區

10511：雜質區

10512：雜質區

8600：第一電極層

8602：電致發光層

8603：第二電極層

8604：絕緣層

10200：第一電極層

10201：發光材料

10202：電致發光層

10203：第二電極層

10204：絕緣層

8701：顯示面板

8705：像素部

8706：掃描線驅動器電路

8707：信號線驅動器電路

8702：電路板

8708：連接佈線

8801：調諧器

8802：視頻信號放大器電路

8803：視頻信號處理電路

8804：控制電路

8805：信號分割電路

8806：音頻信號放大器電路

8807：音頻信號處理電路

8809：控制電路

8810：輸入部

8808：揚聲器

8901：外殼

8902：顯示面板

8903：揚聲器

8904：操作開關

9001：顯示面板

9002：印刷佈線板

9003：像素部

9004：第一掃描線驅動器電路

9005：第二掃描線驅動器電路

9006：信號線驅動器電路

9007：控制器

9008：CPU

9009：記憶體

90010：電源電路

90011：音頻處理電路

90012：發送/接收電路

90013：FPC

90014：介面部

90015：天線埠

90016：VRAM

90017：DRAM

90018：快閃記憶體

90019：介面

90020：控制信號產生電路

90021：解碼器

90022：暫存器

90023：運算電路

90024：RAM

90025：輸入裝置

90028：天線

90026：微音器

90027：揚聲器

9101：顯示面板

91030：外殼

91031：印刷佈線板

91013：FPC

91032：揚聲器

91033：微音器

91034：傳送/接收電路

91035：訊號處理電路

91036：輸入裝置

91037：電池

91039：外殼

10300：行動電話

10301：主體（A）

10302：主體（B）

10303：外殼

10304：操作開關

10305：微音器

10306：揚聲器

10307：電路板

10308：顯示面板（A）

10309：顯示面板（B）

93001：外殼

93002：支撐底座

93003：顯示部分

93004：揚聲器部分

93005：視頻輸入端子

93101：主體

93102：顯示部分

93103：影像接收部

93104：操作鍵

93105：外部連接埠

93106：快門按鈕

93201：主體

93202：外殼

93203：顯示部分

93204：鍵盤

93205：外部連接埠

93206：指標裝置

93301：主體

93302：顯示部分

93303：開關

93304：操作鍵

93305：紅外線埠

93401：主體

93402：外殼

93403：顯示部分 A

93404：顯示部分 B

93405：記錄媒體讀取部分

93406：操作鍵

93407：揚聲器部分

93501：主體

93502：顯示部分

93503：臂部分

93601：主體

93602：顯示部分

93603：外殼

93604：外部連接埠

93605：遙控器接收部分

93606：影像接收部分

93607：電池

93608：音頻輸入部分

93609：操作鍵

93701：主體

93702：外殼

93703：顯示部分

93704：音頻輸入部分

93705：音頻輸出部分

93706：操作鍵

93707：外部連接埠

93708：天線

9401：火車

9402：顯示面板

9403：顯示面板

9404：顯示面板

9501：主體

9502：顯示面板

9601：主體

9602：顯示面板

9701：電線桿

9702：顯示面板

9703：運動物體

9801：預製浴器

9802：顯示面板

9910：外殼

9911：顯示部分

9912：遙控裝置

9913：揚聲器部分

201945799

發明摘要

【發明名稱】(中文/英文)

液晶顯示裝置

LIQUID CRYSTAL DISPLAY DEVICE

【中文】

本發明提供了第一電晶體、第二電晶體、第三電晶體和第四電晶體。在第一電晶體中，第一端子電連接到第一佈線；第二端子電連接到第二電晶體的閘極端子；且閘極端子電連接到該第五佈線。在第二電晶體中，第一端子電連接到第三佈線；第二端子電連接到第六佈線。在第三電晶體中，第一端子電連接到第二佈線；第二端子電連接到該第二電晶體的閘極端子；且閘極端子電連接到第四佈線。在第四電晶體中，第一端子電連接到第二佈線；第二端子電連接到第六佈線；和閘極端子電連接到第四佈線。

【英文】

A first transistor, a second transistor, a third transistor, a fourth transistor are provided. In the first transistor, a first terminal is electrically connected to a first wiring; a second terminal is electrically connected to a gate terminal of the second transistor; a gate terminal is electrically connected to a fifth wiring. In the second transistor, a first terminal is electrically connected to a third wiring; a second terminal is electrically connected to a sixth wiring. In the third transistor, a first terminal is electrically connected to a second wiring; a second terminal is electrically connected to the gate terminal of the second transistor; a gate terminal is electrically connected to a fourth wiring. In the fourth transistor, a first terminal is electrically connected to the second wiring; a second terminal is electrically connected to the sixth wiring; a gate terminal is connected to the fourth wiring.

【代表圖】

【本案指定代表圖】：第(23)圖。

【本代表圖之符號簡單說明】：

101：第一電晶體　　102：第二電晶體

103：第三電晶體　　104：第四電晶體

111：第一佈線　　112：第二佈線

113：第三佈線　　114：第四佈線

115：第五佈線　　116：第六佈線

121：節點　　1305：第五電晶體

1317：第七佈線　　1906：第六電晶體

1907：第七電晶體　　1908：第八電晶體

1909：第九電晶體　　1922：節點

1923：節點　　2310：第十電晶體

2311：第十一電晶體　　2312：第十二電晶體

2324：節點

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1.一種半導體裝置，包含：

第一至第七電晶體；

其中該第一電晶體的源極或汲極的一者，與該第二電晶體的源極或汲極的一者電連接，

其中該第三電晶體的源極或汲極的一者，與該第四電晶體的源極或汲極的一者電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第一電晶體的閘極電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第七電晶體的閘極電連接，

其中該第五電晶體的源極或汲極的一者，與該第四電晶體的閘極電連接，

其中該第六電晶體的源極或汲極的一者，與該第七電晶體的源極或汲極的一者電連接，

其中該第六電晶體的該源極或該汲極的該一者，與該第五電晶體的閘極電連接，

其中該第二電晶體的該源極或該汲極的另一者，與第一佈線電連接，

其中該第四電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第七電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第五電晶體的該源極或該汲極的另一者，與該

第二佈線電連接，

其中該第二電晶體的閘極，與該第二佈線電連接，以及

其中該第六電晶體的該源極或該汲極的另一者，與該第六電晶體的閘極電連接。

2.一種半導體裝置，包含：

第一至第九電晶體；

其中該第一電晶體的源極或汲極的一者，與該第二電晶體的源極或汲極的一者電連接，

其中該第一電晶體的該源極或該汲極的該一者，與該第八電晶體的源極或汲極的一者電連接，

其中該第三電晶體的源極或汲極的一者，與該第四電晶體的源極或汲極的一者電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第一電晶體的閘極電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第七電晶體的閘極電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第九電晶體的閘極電連接，

其中該第五電晶體的源極或汲極的一者，與該第四電晶體的閘極電連接，

其中該第六電晶體的源極或汲極的一者，與該第七電晶體的源極或汲極的一者電連接，

其中該第六電晶體的該源極或該汲極的該一者，與該

第五電晶體的閘極電連接，

其中該第二電晶體的該源極或該汲極的另一者，與第一佈線電連接，

其中該第四電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第七電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第八電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第九電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第五電晶體的該源極或該汲極的另一者，與第二佈線電連接，

其中該第二電晶體的閘極，與該第二佈線電連接，

其中該第六電晶體的該源極或該汲極的另一者，與該第六電晶體的閘極電連接，

其中該第八電晶體的閘極與第三佈線電連接，以及

其中該第九電晶體的閘極與該第三佈線電連接。

3.一種半導體裝置，包含：

第一至第七電晶體；

其中該第一電晶體的源極或汲極的一者，與該第二電晶體的源極或汲極的一者電連接，

其中該第三電晶體的源極或汲極的一者，與該第四電晶體的源極或汲極的一者電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第一電晶體的閘極電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第七電晶體的閘極電連接，

其中該第五電晶體的源極或汲極的一者，與該第四電晶體的閘極電連接，

其中該第六電晶體的源極或汲極的一者，與該第七電晶體的源極或汲極的一者電連接，

其中該第六電晶體的該源極或該汲極的該一者，與該第五電晶體的閘極電連接，

其中該第二電晶體的該源極或該汲極的另一者，與第一佈線電連接，

其中該第四電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第七電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第五電晶體的該源極或該汲極的另一者，與第二佈線電連接，

其中該第二電晶體的閘極與該第二佈線電連接，

其中該第六電晶體的該源極或該汲極的另一者，與該第六電晶體的閘極電連接，以及

其中該第三電晶體的該源極或該汲極的另一者，與該第三電晶體的閘極電連接。

4.一種半導體裝置，包含：

第一至第九電晶體；

其中該第一電晶體的源極或汲極的一者，與該第二電晶體的源極或汲極的一者電連接，

其中該第一電晶體的該源極或該汲極的該一者，與該第八電晶體的源極或汲極的一者電連接，

其中該第三電晶體的源極或汲極的一者，與該第四電晶體的源極或汲極的一者電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第一電晶體的閘極電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第七電晶體的閘極電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第九電晶體的閘極電連接，

其中該第五電晶體的源極或汲極的一者，與該第四電晶體的閘極電連接，

其中該第六電晶體的源極或汲極的一者，與該第七電晶體的源極或汲極的一者電連接，

其中該第六電晶體的該源極或該汲極的該一者，與該第五電晶體的閘極電連接，

其中該第二電晶體的該源極或該汲極的另一者，與第一佈線電連接，

其中該第四電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第七電晶體的該源極或該汲極的另一者，與該

第一佈線電連接，

其中該第八電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第九電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第五電晶體的該源極或該汲極的另一者，與第二佈線電連接，

其中該第二電晶體的閘極，與該第二佈線電連接，

其中該第六電晶體的該源極或該汲極的另一者，與該第六電晶體的閘極電連接，

其中該第八電晶體的閘極，與第三佈線電連接，

其中該第九電晶體的閘極，與該第三佈線電連接，以及

其中該第三電晶體的該源極或該汲極的另一者，與該第三電晶體的閘極電連接。

5.一種半導體裝置，包含：

第一至第七電晶體；

其中該第一電晶體的源極或汲極的一者，與該第二電晶體的源極或汲極的一者電連接，

其中該第三電晶體的源極或汲極的一者，與該第四電晶體的源極或汲極的一者電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第一電晶體的閘極電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該

第七電晶體的閘極電連接，

其中該第五電晶體的源極或汲極的一者，與該第四電晶體的閘極電連接，

其中該第六電晶體的源極或汲極的一者，與該第七電晶體的源極或汲極的一者電連接，

其中該第六電晶體的該源極或該汲極的該一者，與該第五電晶體的閘極電連接，

其中該第二電晶體的該源極或該汲極的另一者，與第一佈線電連接，

其中該第四電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第七電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第五電晶體的該源極或該汲極的另一者，與第二佈線電連接，

其中該第二電晶體的閘極與該第二佈線電連接，

其中該第六電晶體的該源極或該汲極的另一者，與該第六電晶體的閘極電連接，以及

其中該第一電晶體的通道寬度大於該第三電晶體的通道寬度。

6.一種半導體裝置，包含：

第一至第九電晶體；

其中該第一電晶體的源極或汲極的一者，與該第二電晶體的源極或汲極的一者電連接，

其中該第一電晶體的該源極或該汲極的該一者，與該第八電晶體的源極或汲極的一者電連接，

其中該第三電晶體的源極或汲極的一者，與該第四電晶體的源極或汲極的一者電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第一電晶體的閘極電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第七電晶體的閘極電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第九電晶體的閘極電連接，

其中該第五電晶體的源極或汲極的一者，與該第四電晶體的閘極電連接，

其中該第六電晶體的源極或汲極的一者，與該第七電晶體的源極或汲極的一者電連接，

其中該第六電晶體的該源極或該汲極的該一者，與該第五電晶體的閘極電連接，

其中該第二電晶體的該源極或該汲極的另一者，與第一佈線電連接，

其中該第四電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第七電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第八電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第九電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第五電晶體的該源極或該汲極的另一者，與第二佈線電連接，

其中該第二電晶體的閘極，與該第二佈線電連接，

其中該第六電晶體的該源極或該汲極的另一者，與該第六電晶體的閘極電連接，

其中該第八電晶體的閘極，與第三佈線電連接，

其中該第九電晶體的閘極，與該第三佈線電連接，以及

其中該第一電晶體的通道寬度大於該第三電晶體的通道寬度。

7.一種半導體裝置，包含：

第一至第七電晶體；

其中該第一電晶體的源極或汲極的一者，與該第二電晶體的源極或汲極的一者電連接，

其中該第三電晶體的源極或汲極的一者，與該第四電晶體的源極或汲極的一者電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第一電晶體的閘極電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第七電晶體的閘極電連接，

其中該第五電晶體的源極或汲極的一者，與該第四電晶體的閘極電連接，

其中該第六電晶體的源極或汲極的一者，與該第七電晶體的源極或汲極的一者電連接，

其中該第六電晶體的該源極或該汲極的該一者，與該第五電晶體的閘極電連接，

其中該第二電晶體的該源極或該汲極的另一者，與第一佈線電連接，

其中該第四電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第七電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第五電晶體的該源極或該汲極的另一者，與第二佈線電連接，

其中該第二電晶體的閘極與該第二佈線電連接，

其中該第六電晶體的該源極或該汲極的另一者，與該第六電晶體的閘極電連接，

其中該第三電晶體的該源極或該汲極的另一者，與該第三電晶體的閘極電連接，以及

其中該第一電晶體的通道寬度大於該第三電晶體的通道寬度。

8.一種半導體裝置，包含：

第一至第九電晶體；

其中該第一電晶體的源極或汲極的一者，與該第二電晶體的源極或汲極的一者電連接，

其中該第一電晶體的該源極或該汲極的該一者，與該

第八電晶體的源極或汲極的一者電連接，

其中該第三電晶體的源極或汲極的一者，與該第四電晶體的源極或汲極的一者電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第一電晶體的閘極電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第七電晶體的閘極電連接，

其中該第三電晶體的該源極或該汲極的該一者，與該第九電晶體的閘極電連接，

其中該第五電晶體的源極或汲極的一者，與該第四電晶體的閘極電連接，

其中該第六電晶體的源極或汲極的一者，與該第七電晶體的源極或汲極的一者電連接，

其中該第六電晶體的該源極或該汲極的該一者，與該第五電晶體的閘極電連接，

其中該第二電晶體的該源極或該汲極的另一者，與第一佈線電連接，

其中該第四電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第七電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第八電晶體的該源極或該汲極的另一者，與該第一佈線電連接，

其中該第九電晶體的該源極或該汲極的另一者，與該

第一佈線電連接，

其中該第五電晶體的該源極或該汲極的另一者，與第二佈線電連接，

其中該第二電晶體的閘極與該第二佈線電連接，

其中該第六電晶體的該源極或該汲極的另一者，與該第六電晶體的閘極電連接，

其中該第八電晶體的閘極，與第三佈線電連接，

其中該第九電晶體的閘極與該第三佈線電連接，

其中該第三電晶體的該源極或該汲極的另一者，與該第三電晶體的閘極電連接，以及

其中該第一電晶體的通道寬度大於該第三電晶體的通道寬度。

圖式

圖1

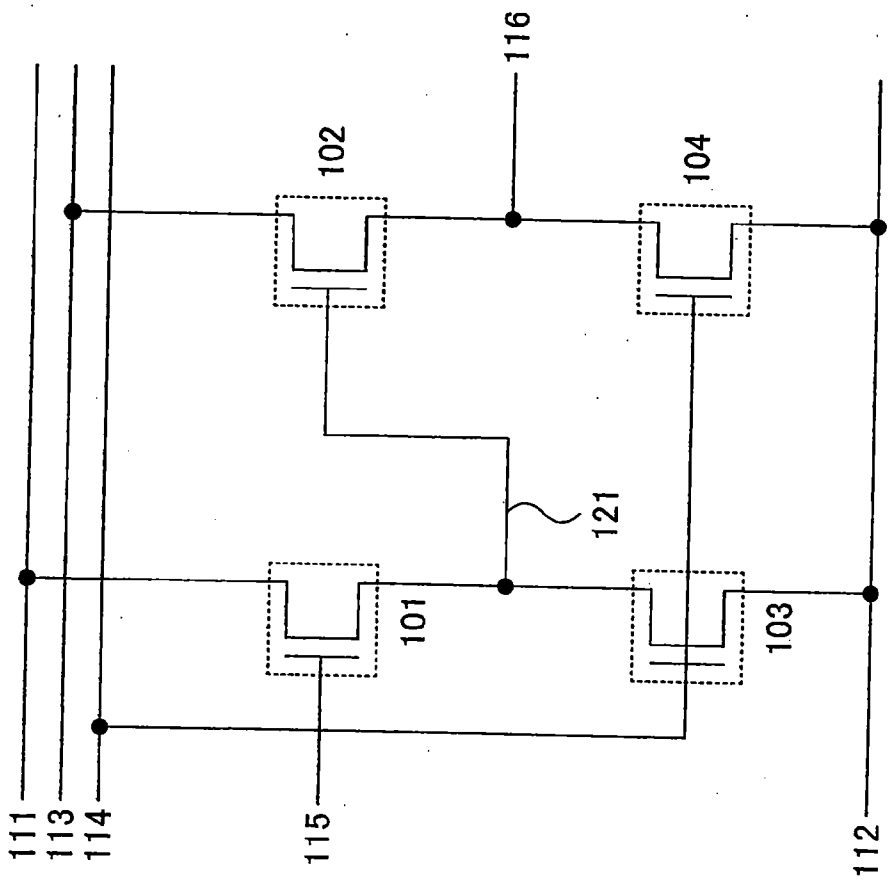


圖2

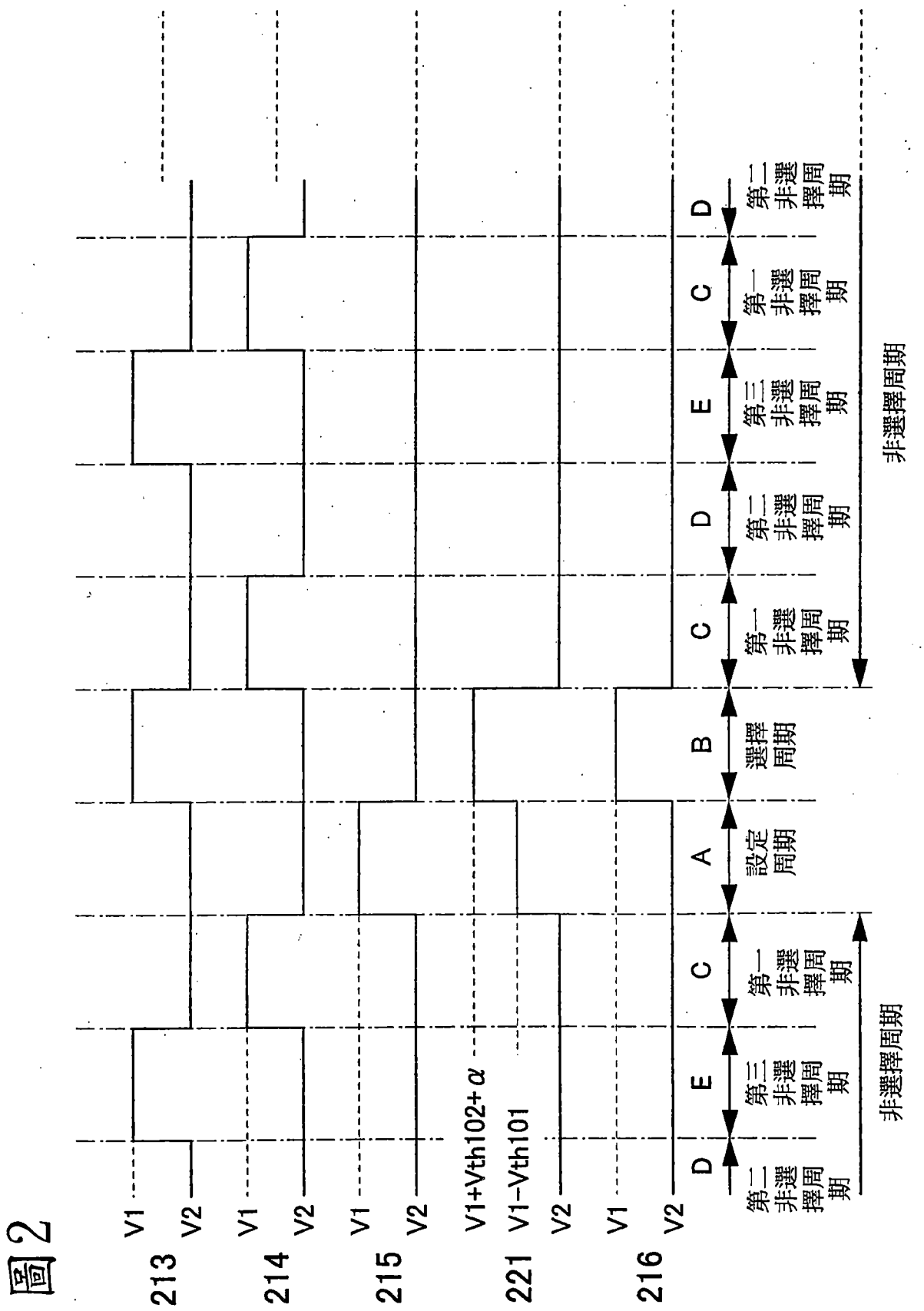

213
214
215
221
216
V1
V2
V1+Vth102+α
V1−Vth101
A
B
C
D
E
設定周期
選擇周期
第一非選擇周期
第二非選擇周期
第三非選擇周期
非選擇周期

圖3A

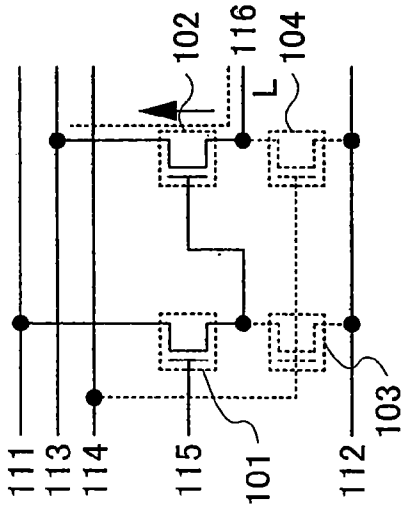


圖3B

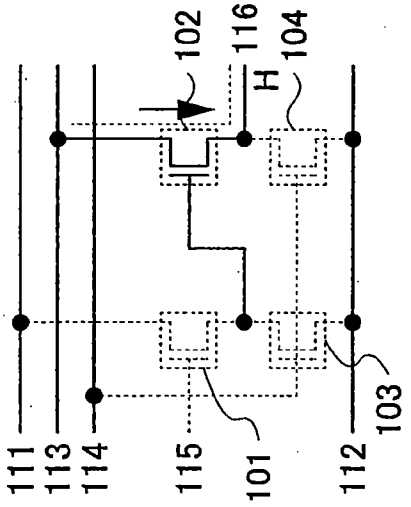


圖3C

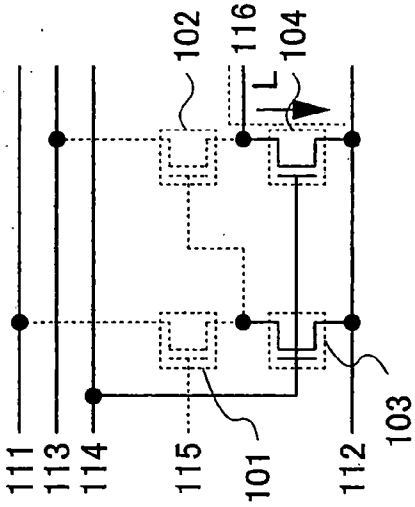


圖3D

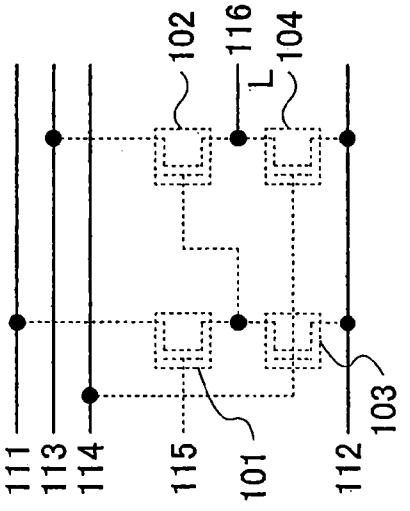
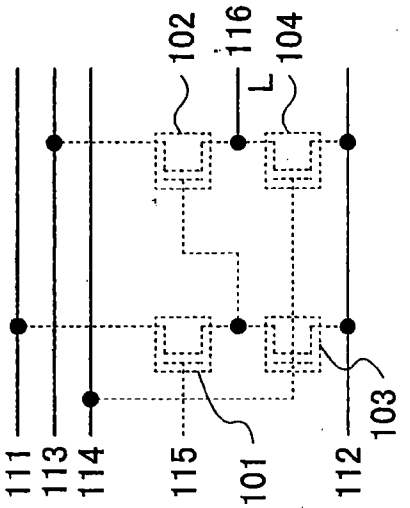


圖3E



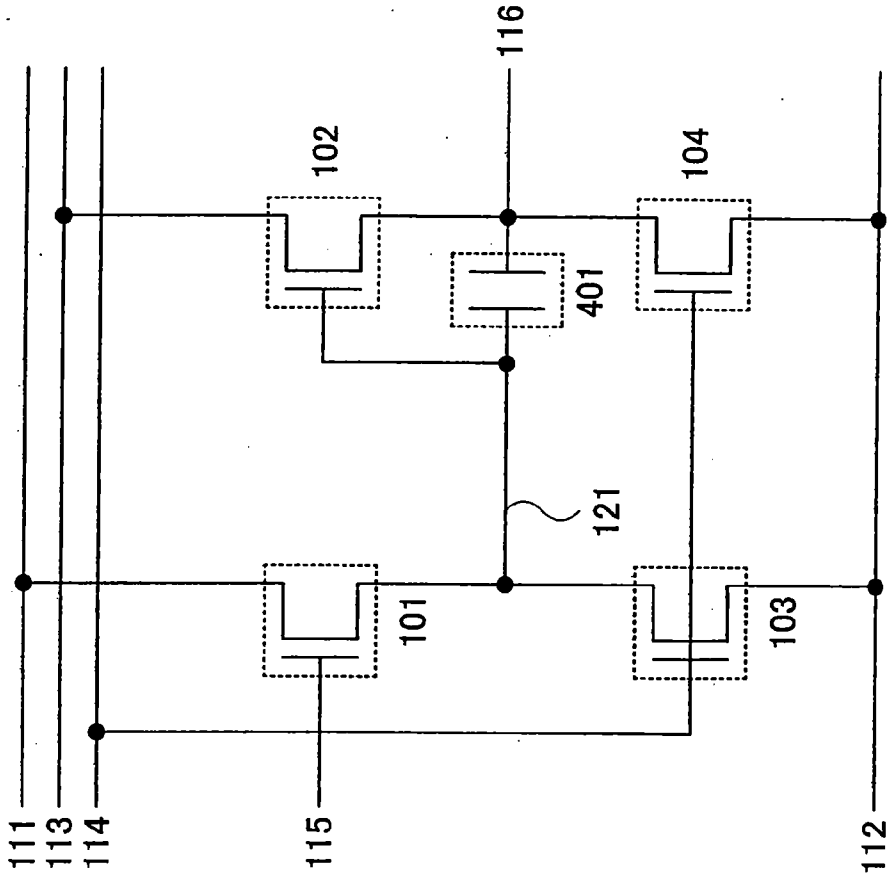


圖4

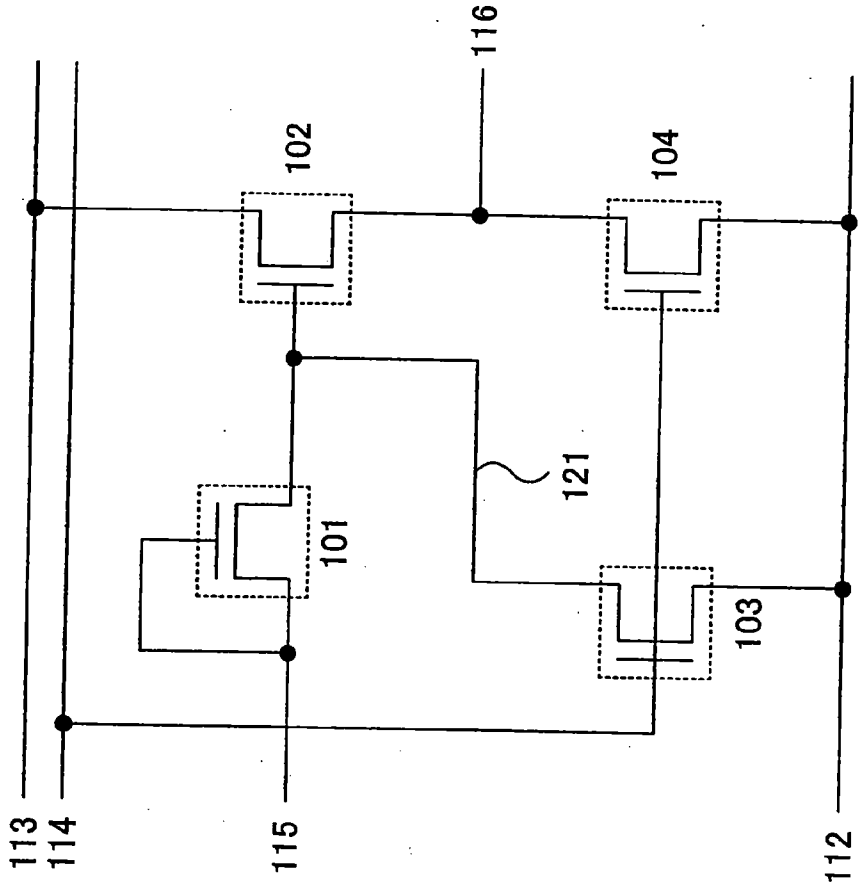
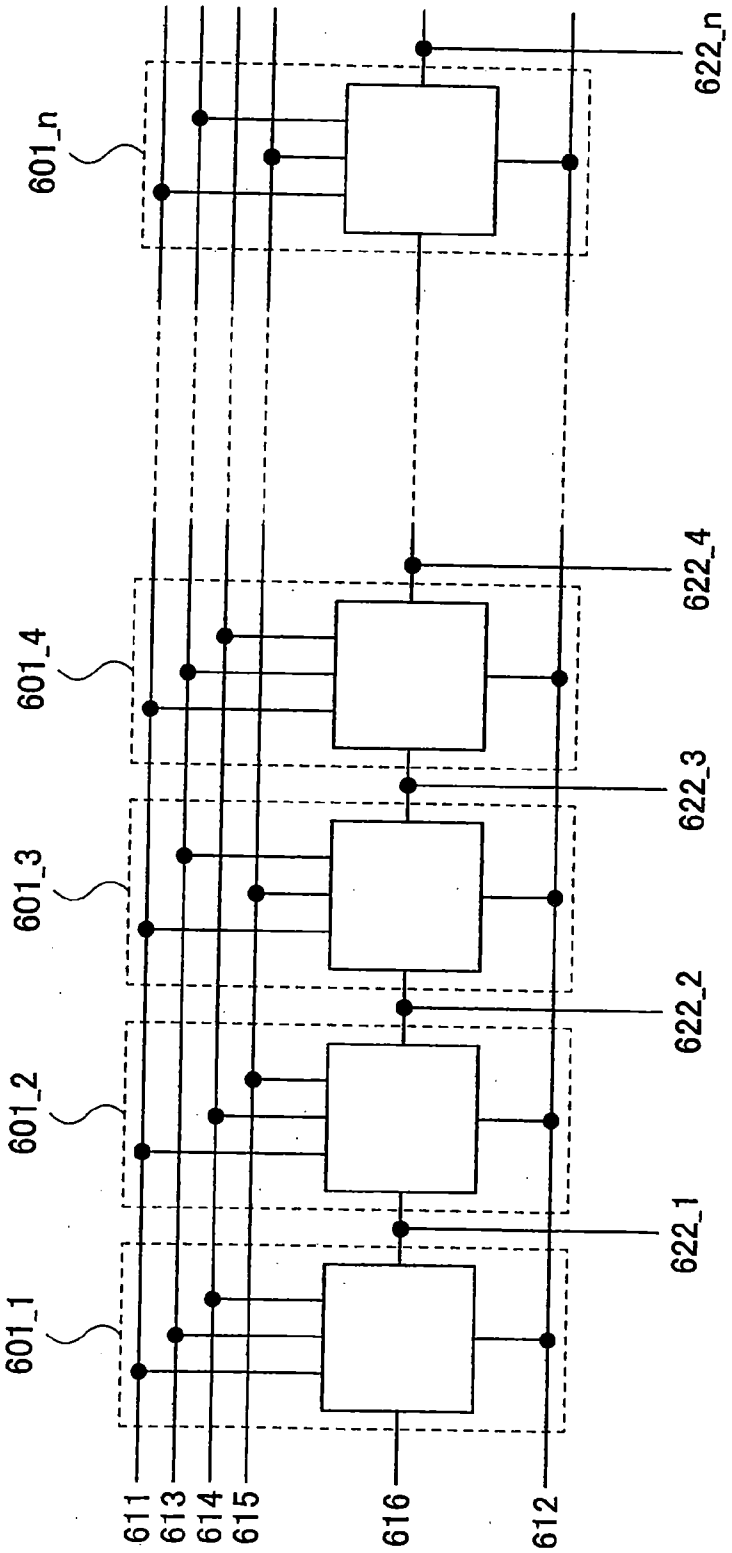


圖5

圖6


601_1
601_2
601_3
601_4
601_n
611
613
614
615
616
612
622_1
622_2
622_3
622_4
622_n

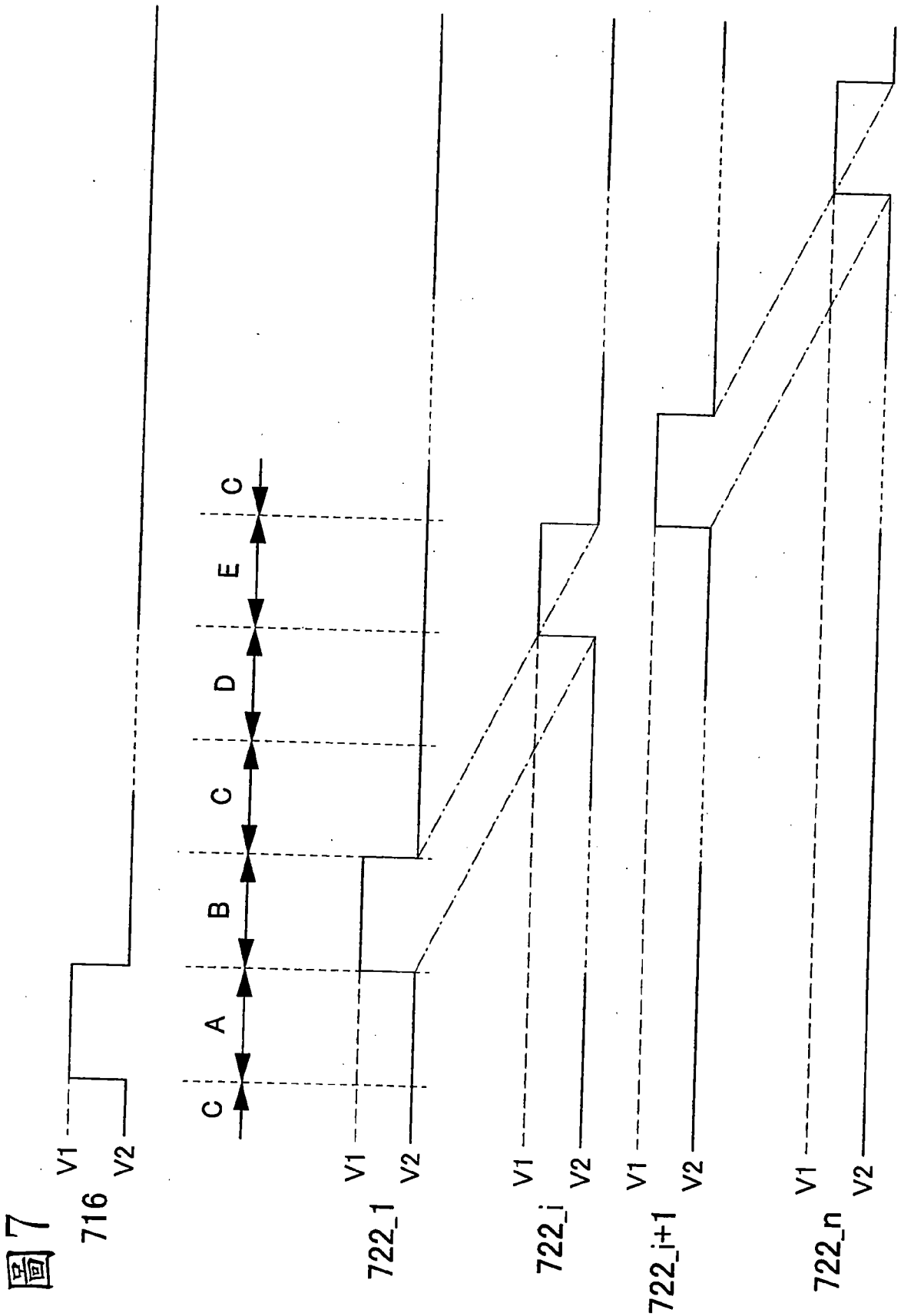
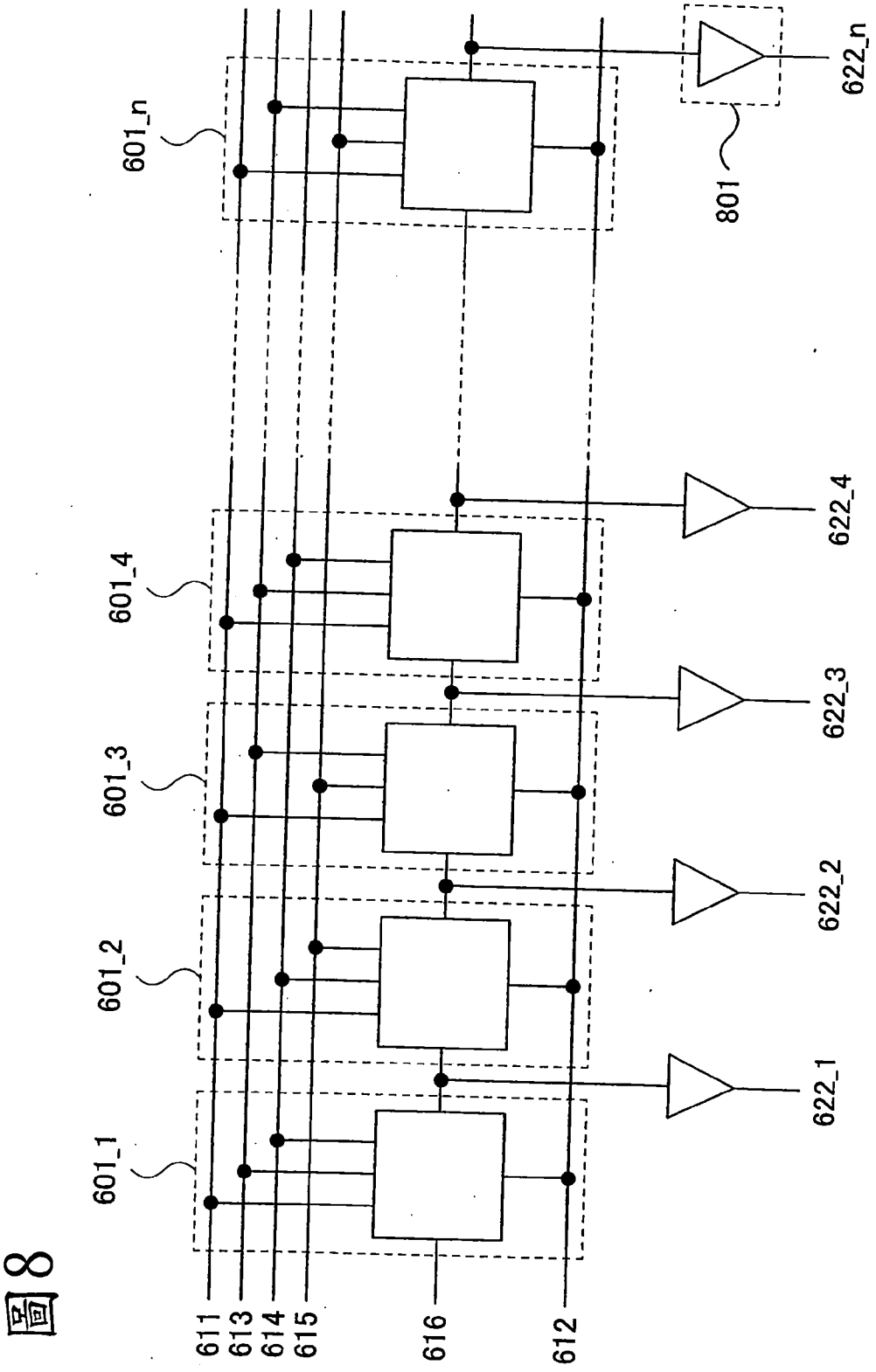


圖7

圖8


601_n
601_4
601_3
601_2
601_1
801
622_n
622_4
622_3
622_2
622_1
611
613
614
615
616
612

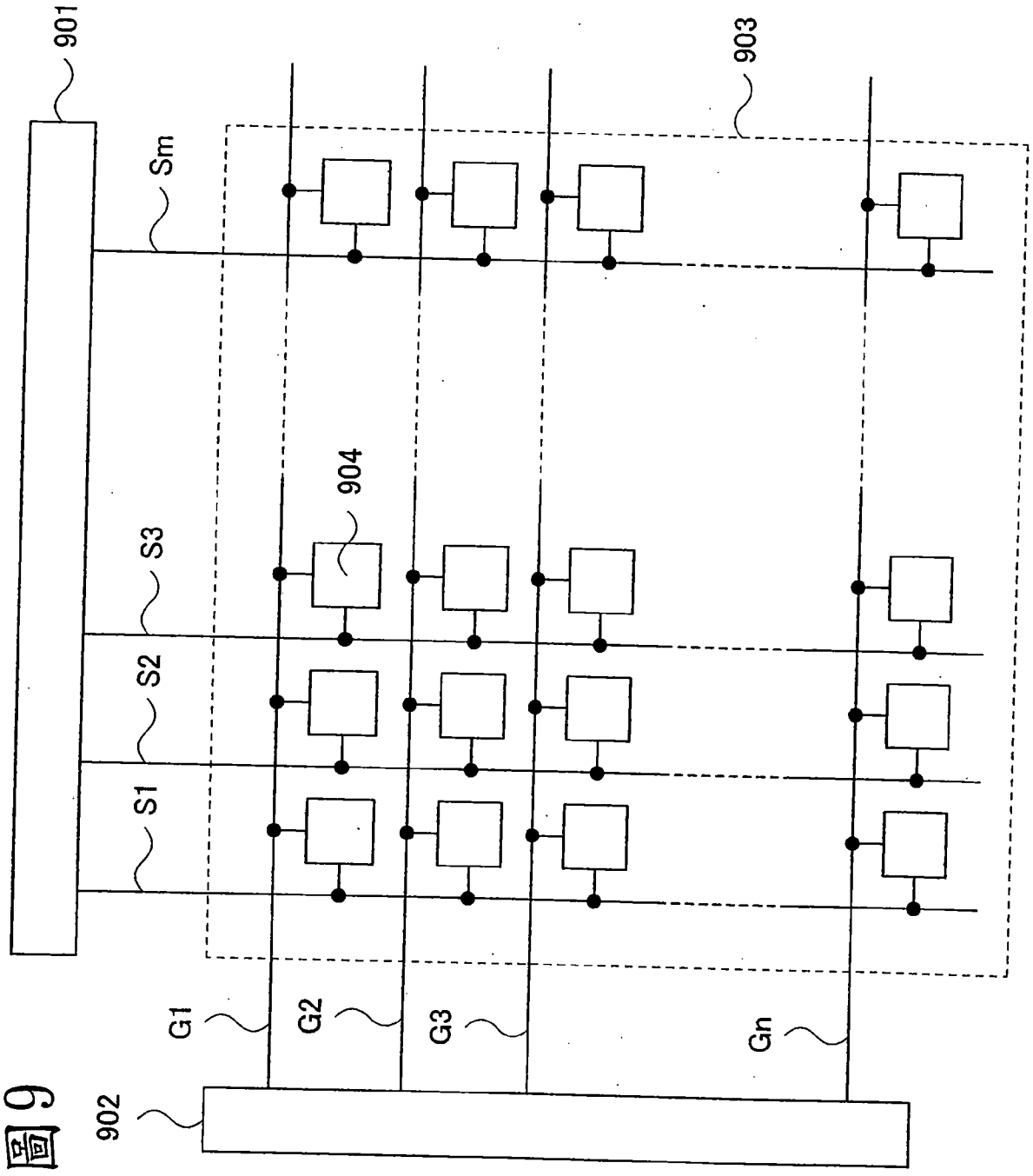
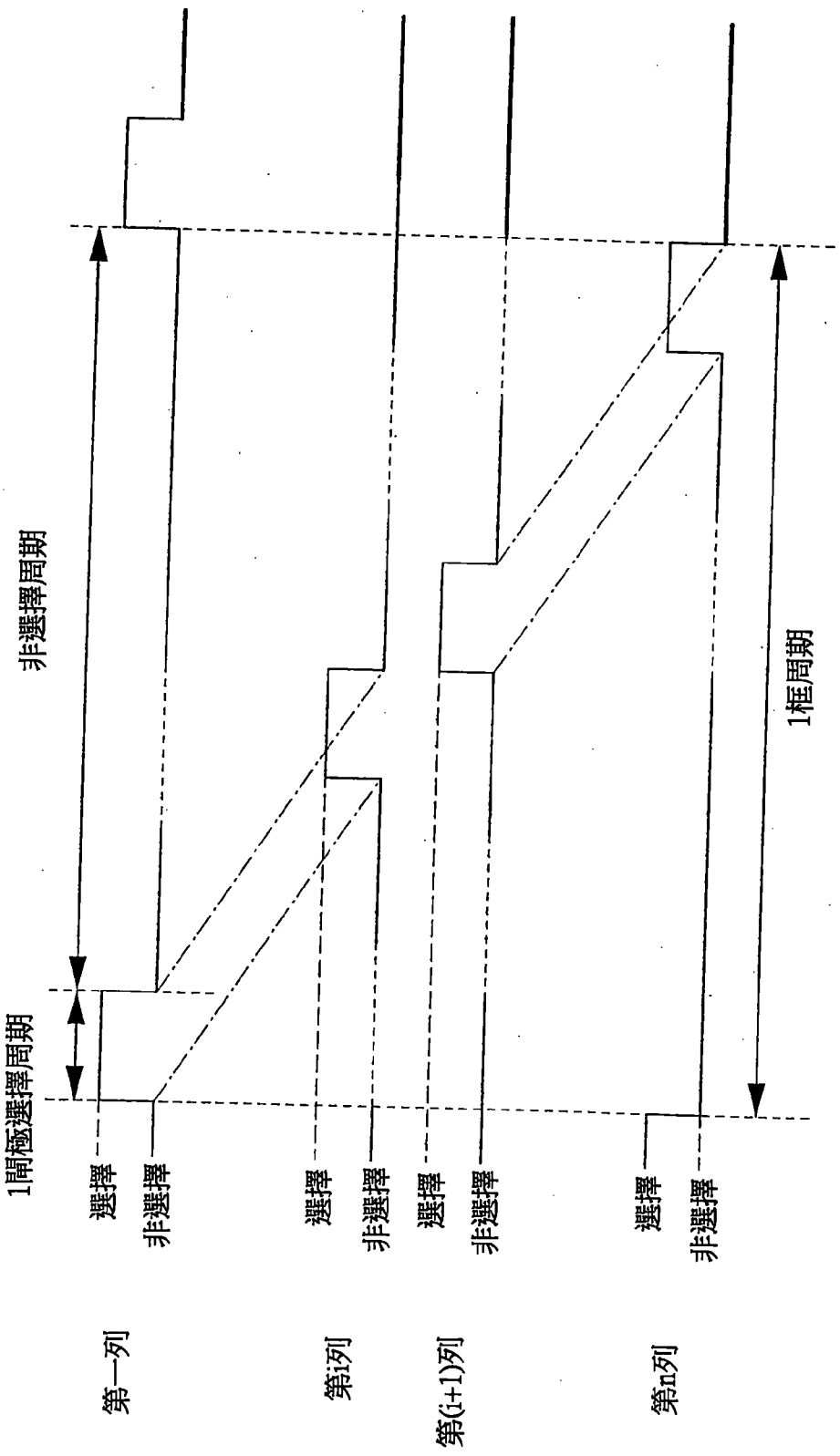


圖9

圖10



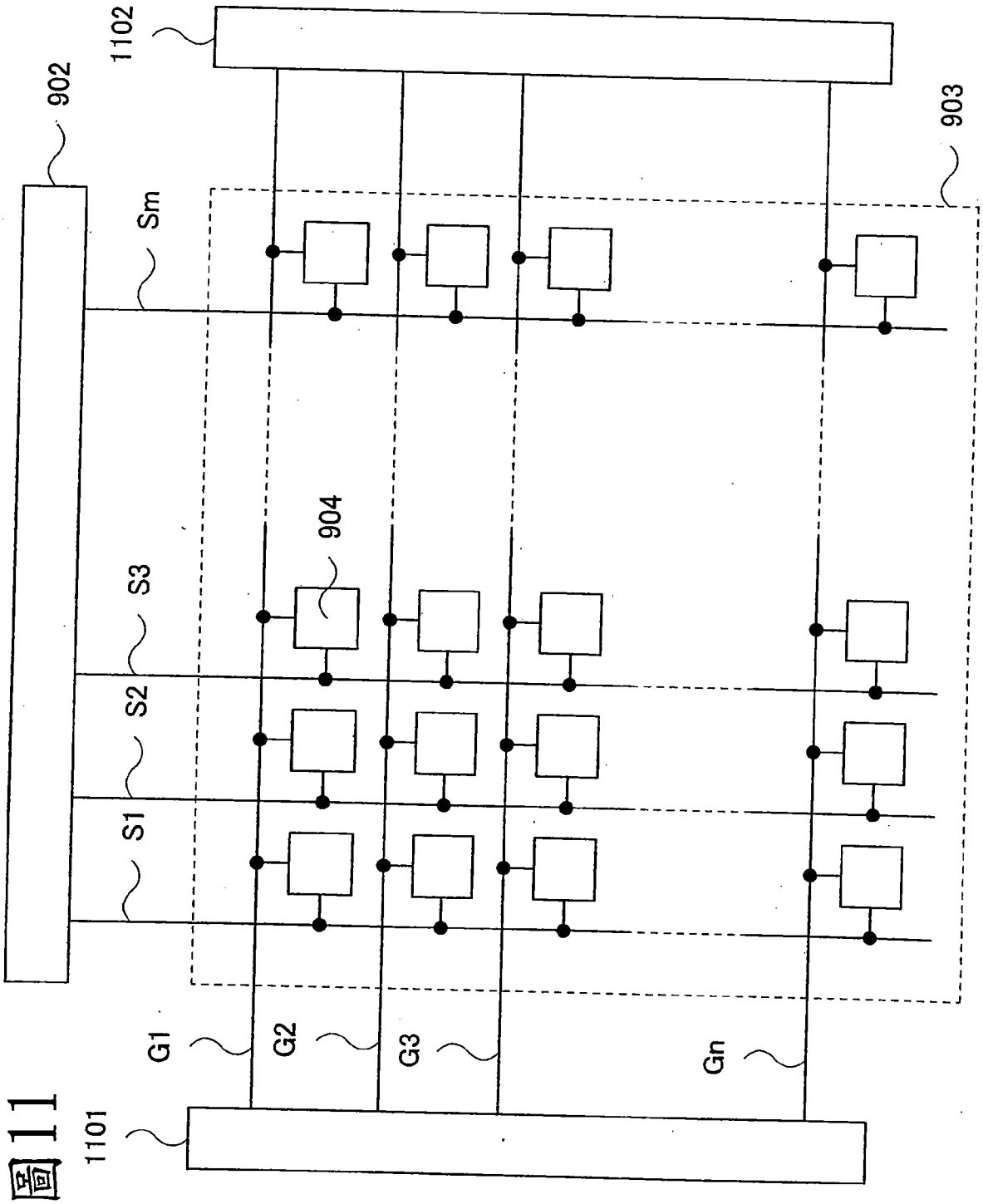


図11

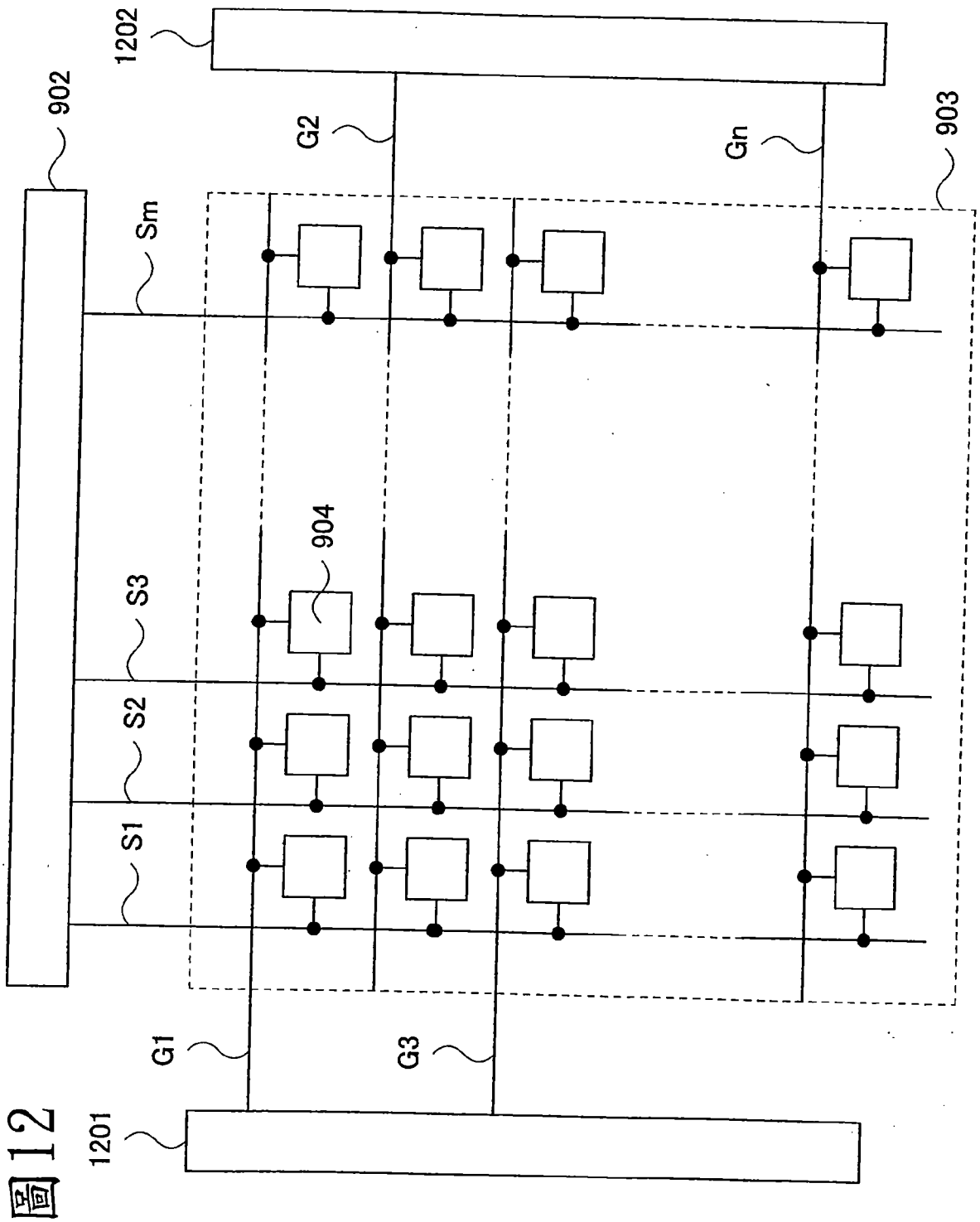


圖12

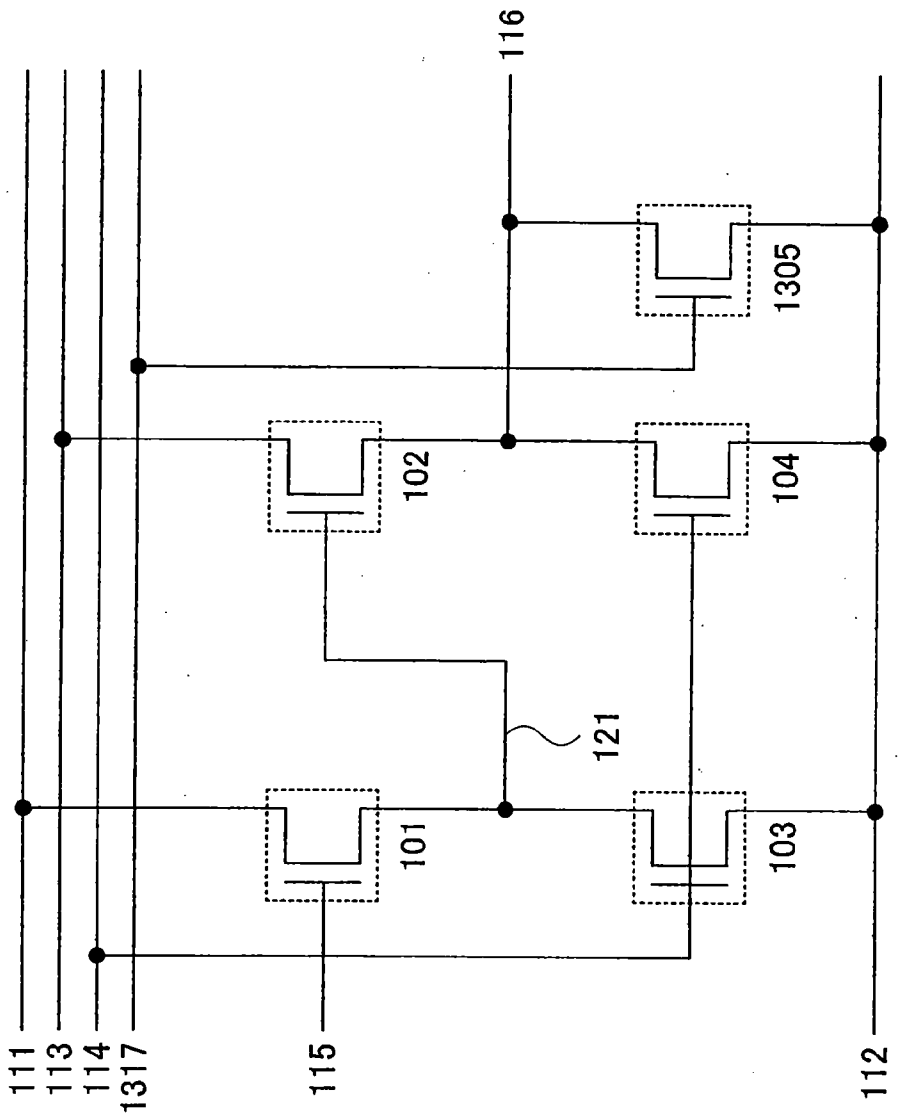


圖13

圖14

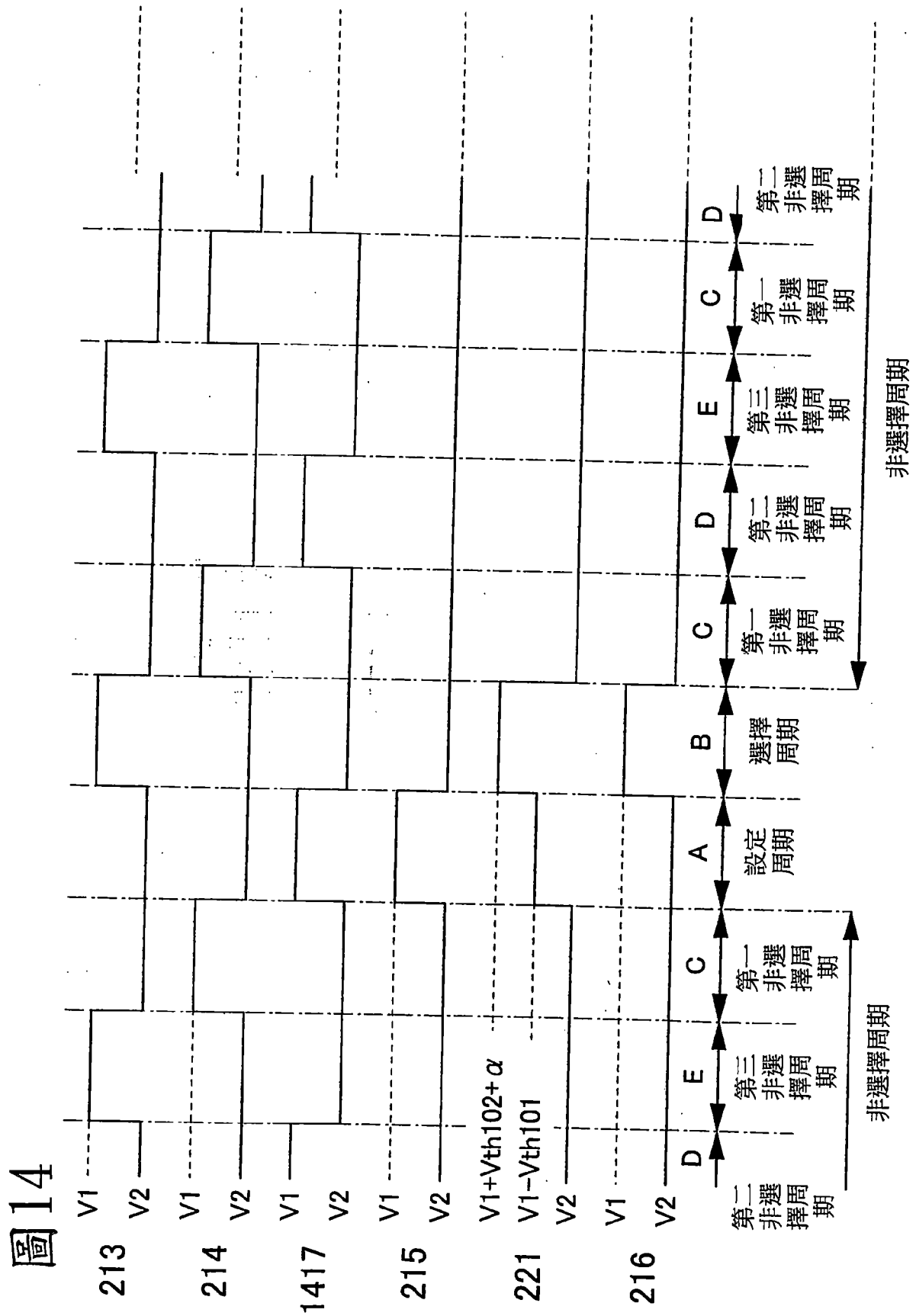

213
214
1417
215
221
216
V1
V2
V1+Vth102+α
V1−Vth101
第二非選擇周期
第三非選擇周期
第一非選擇周期
設定周期
選擇周期
第一非選擇周期
第二非選擇周期
第三非選擇周期
第一非選擇周期
第二非選擇周期
A
B
C
D
E
C
D
非選擇周期
非選擇周期

圖15

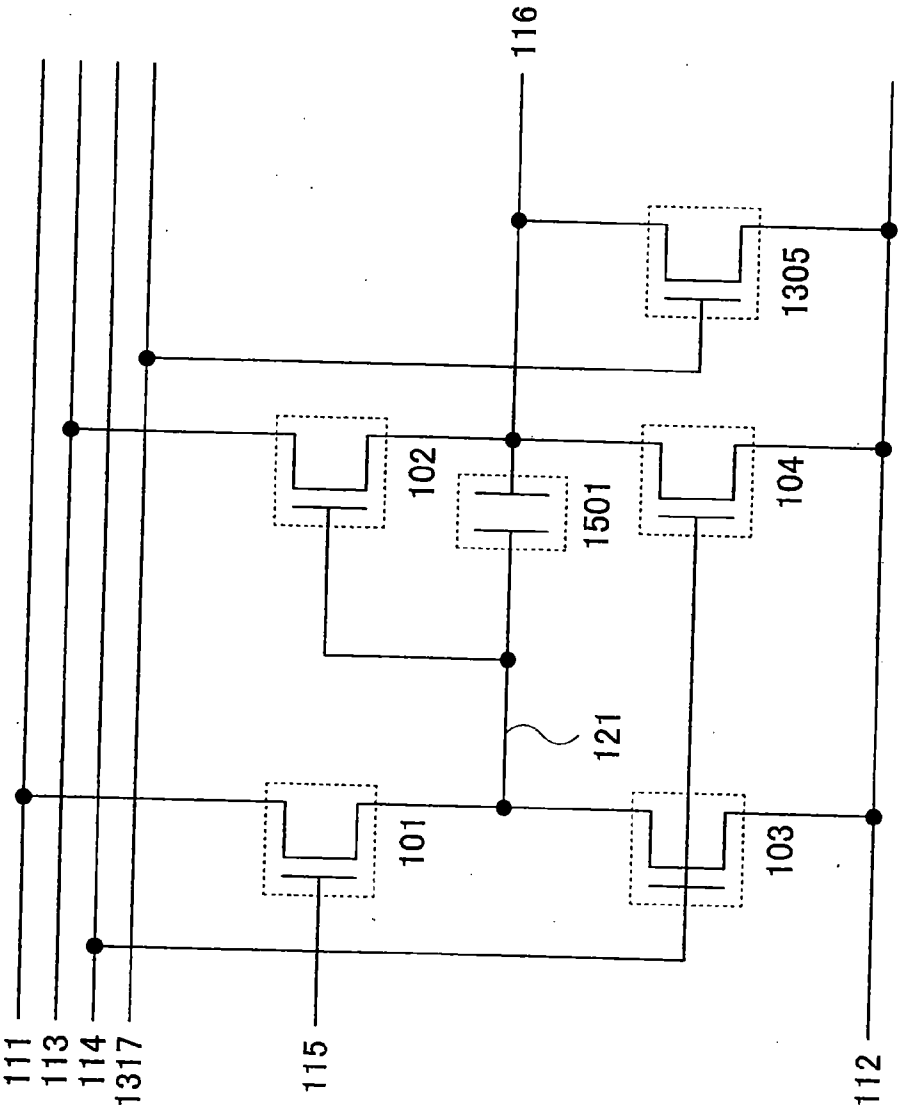


圖16

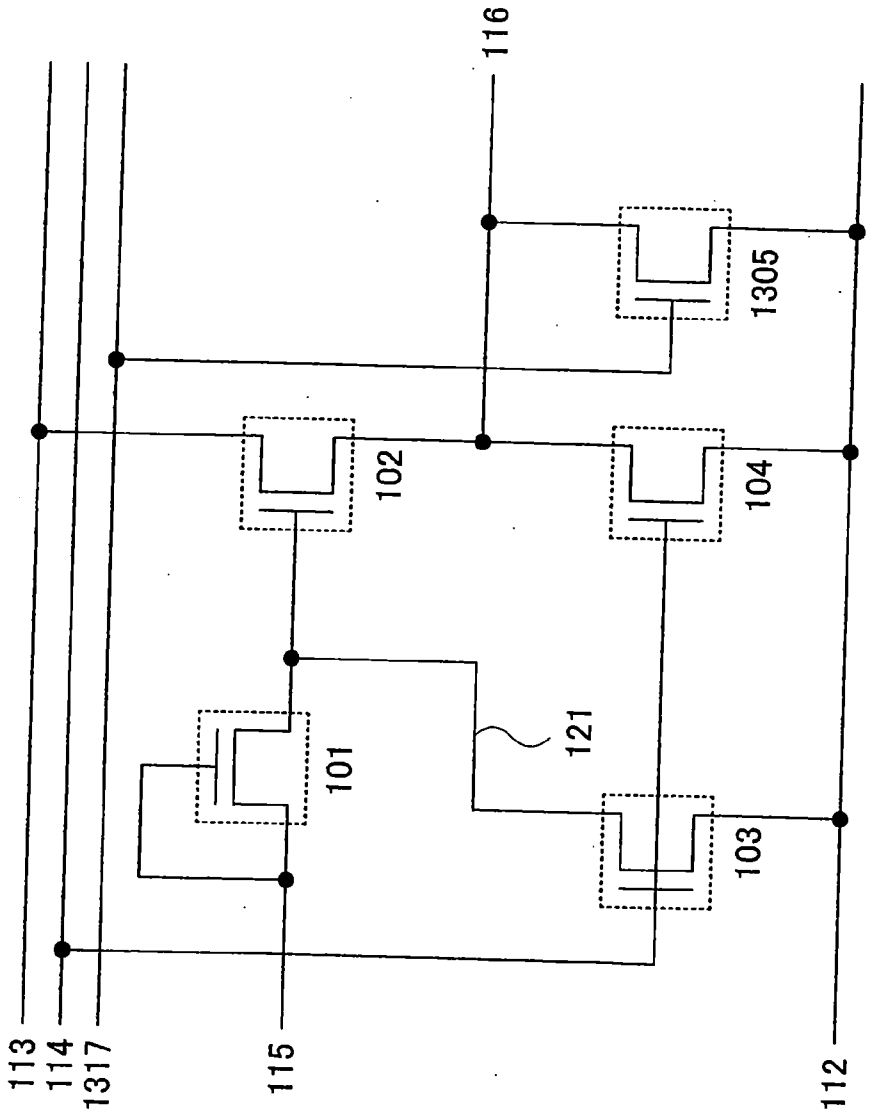


圖17

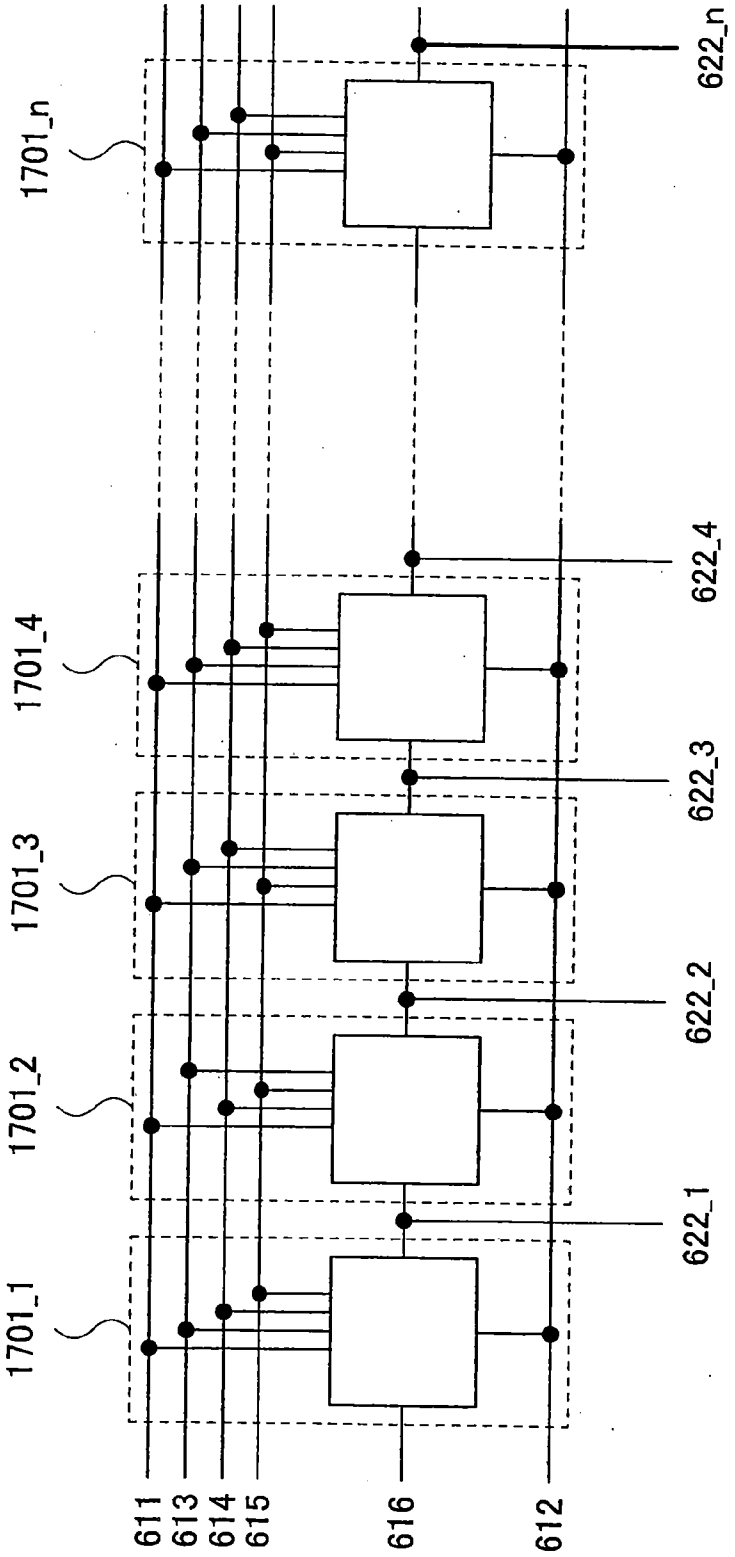

1701_n
1701_4
1701_3
1701_2
1701_1
622_n
622_4
622_3
622_2
622_1
611
613
614
615
616
612

圖18

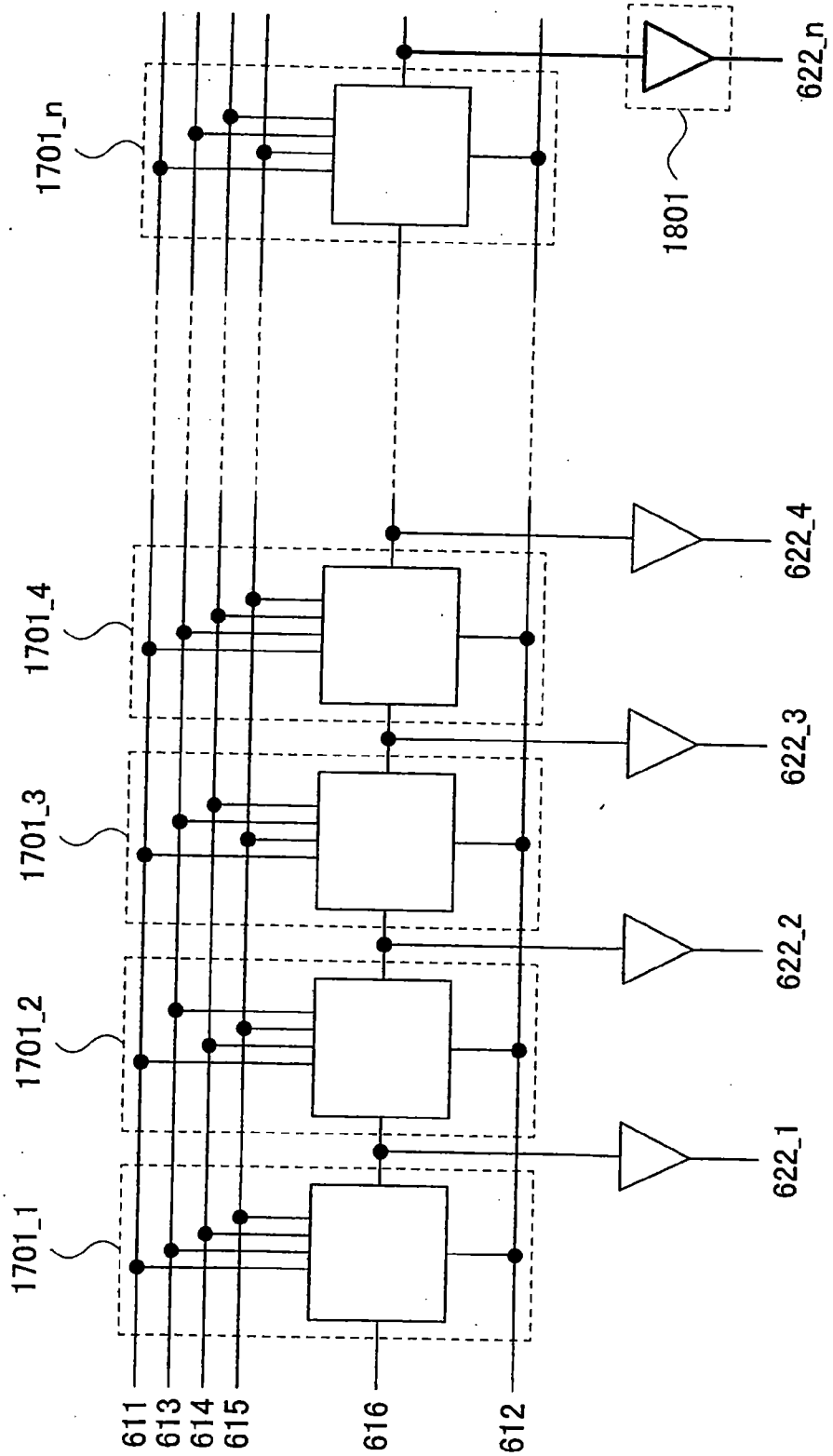

1701_n
1701_4
1701_3
1701_2
1701_1
1801
622_n
622_4
622_3
622_2
622_1
611
613
614
615
616
612

圖19

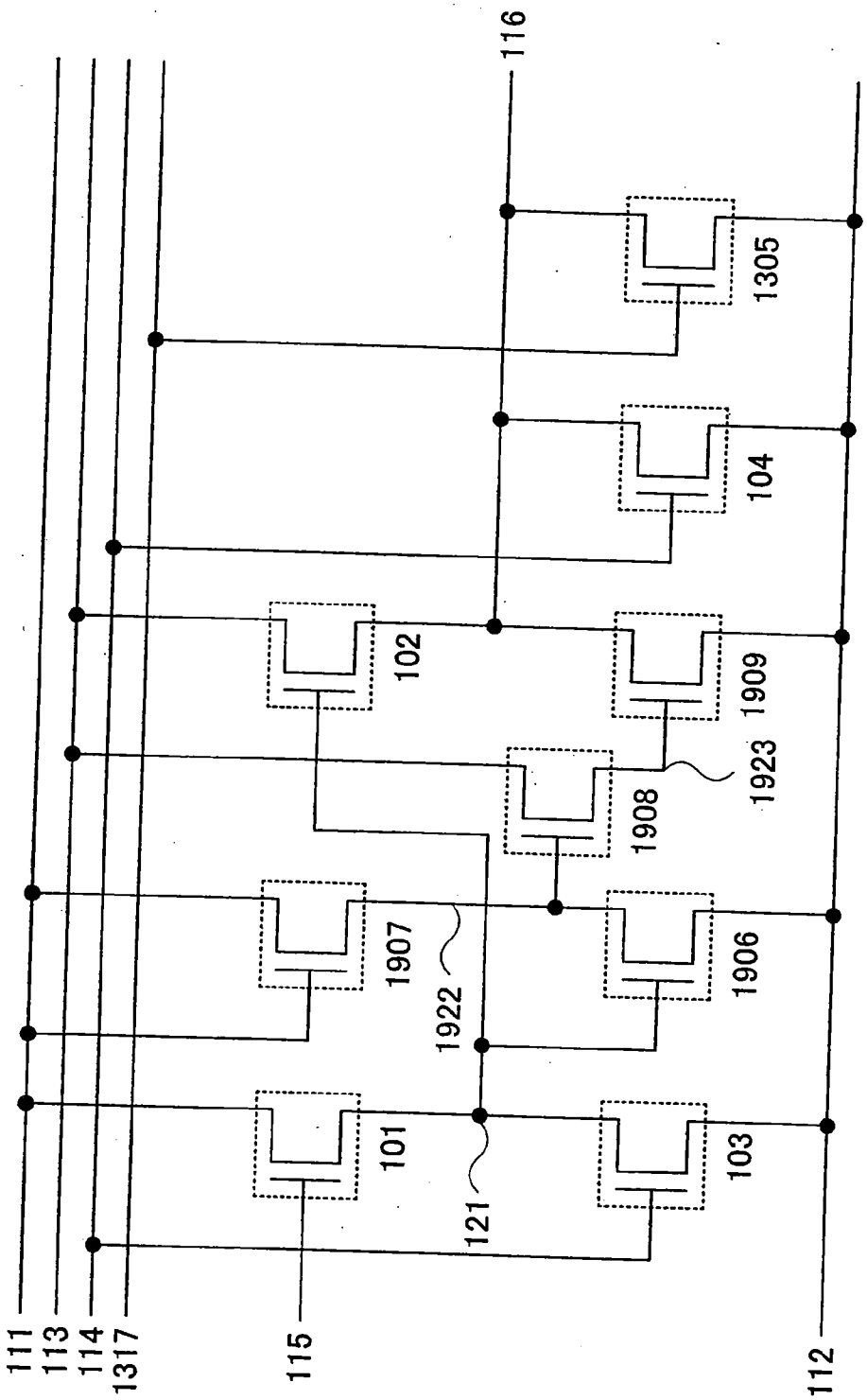

111
113
114
1317
115
116
112
101
102
103
104
1305
1906
1907
1908
1909
1922
1923
121

圖20

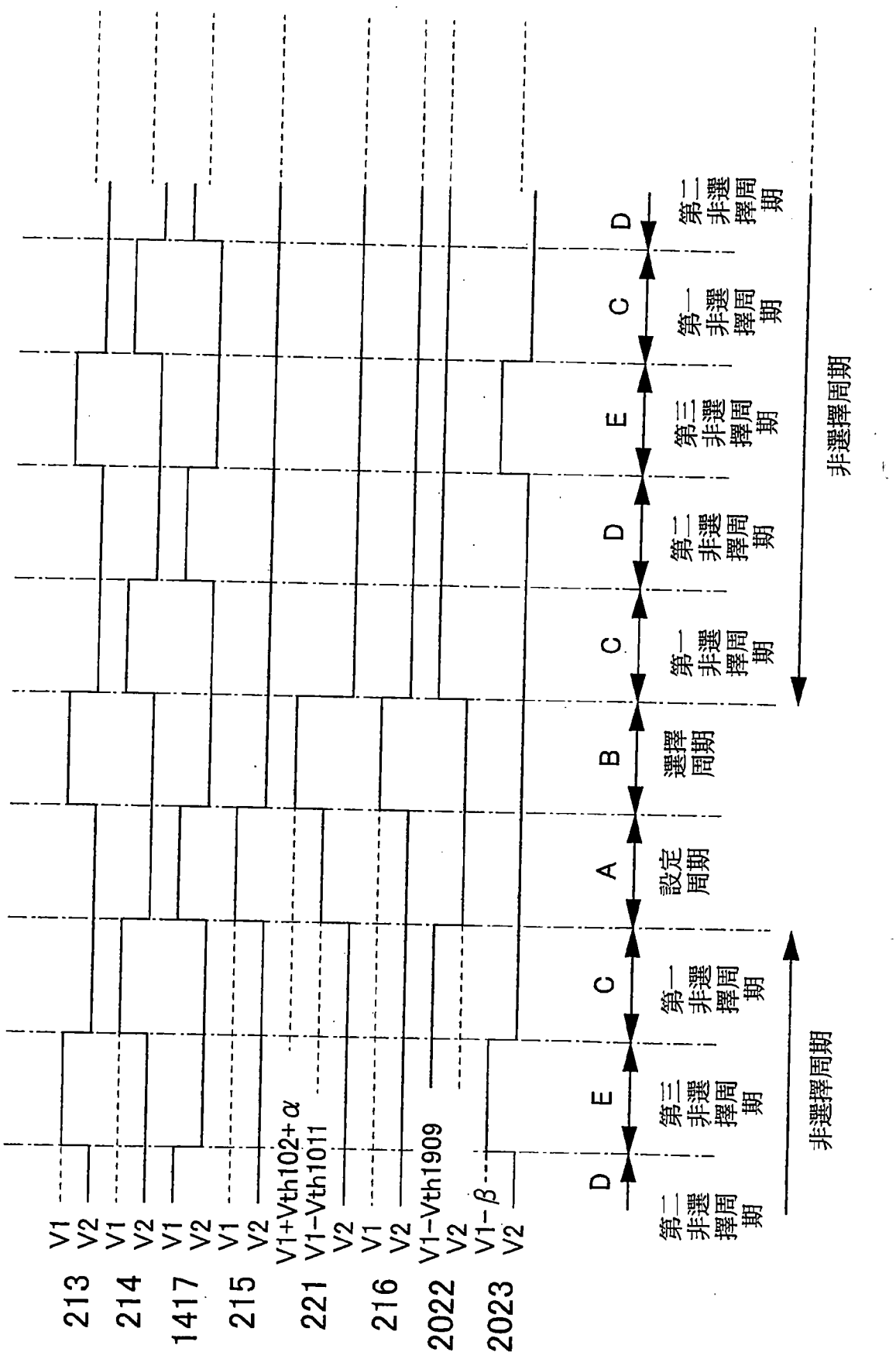

213
214
1417
215
221
216
2022
2023
V1
V2
V1+Vth102+α
V1−Vth1011
V1−Vth1909
V1−β
A
B
C
D
E
設定周期
選擇周期
第一非選擇周期
第二非選擇周期
第三非選擇周期
非選擇周期

圖21

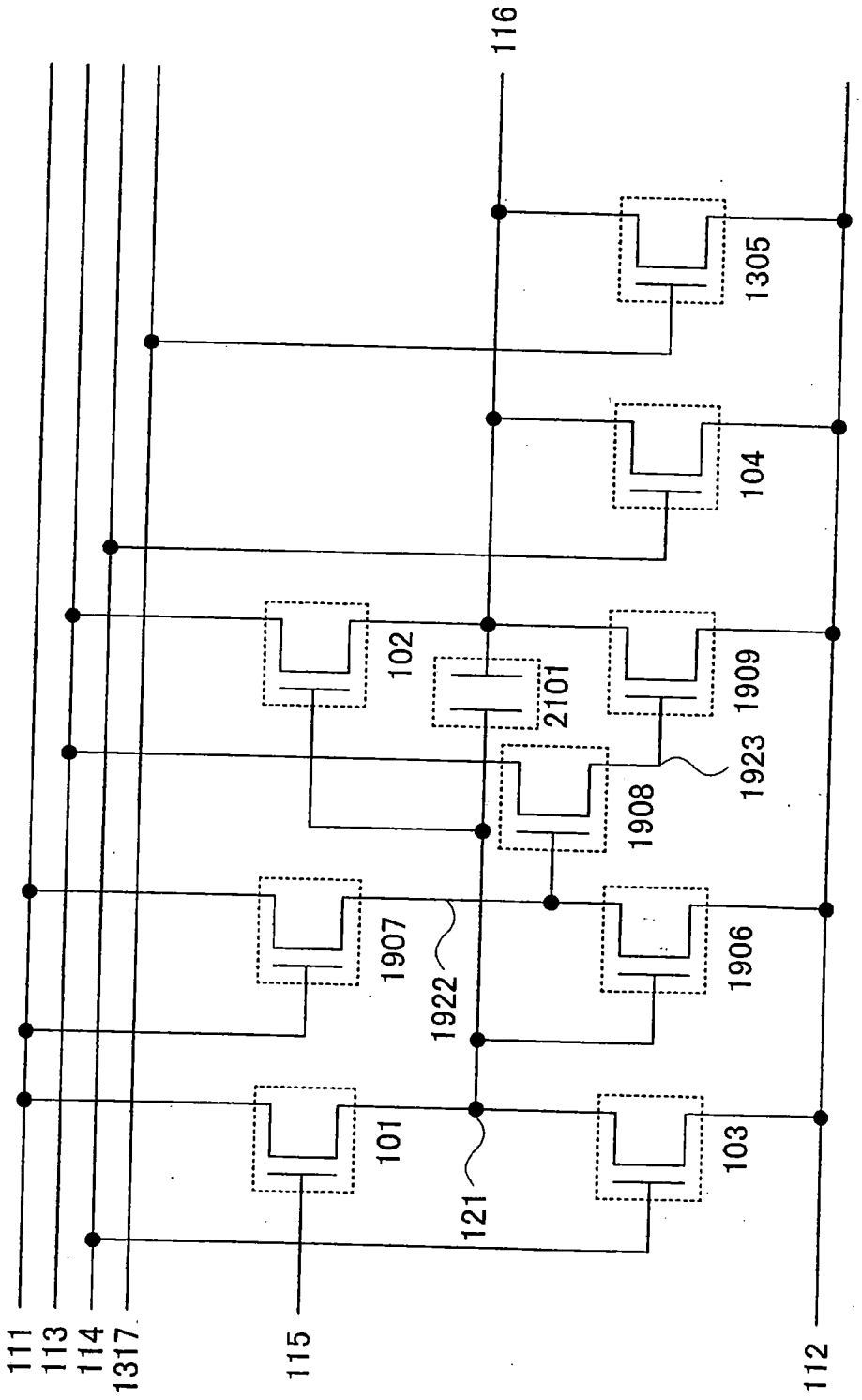

111
113
114
1317
115
116
112
101
102
103
104
1305
1906
1907
1908
1909
2101
1922
1923
121

圖22

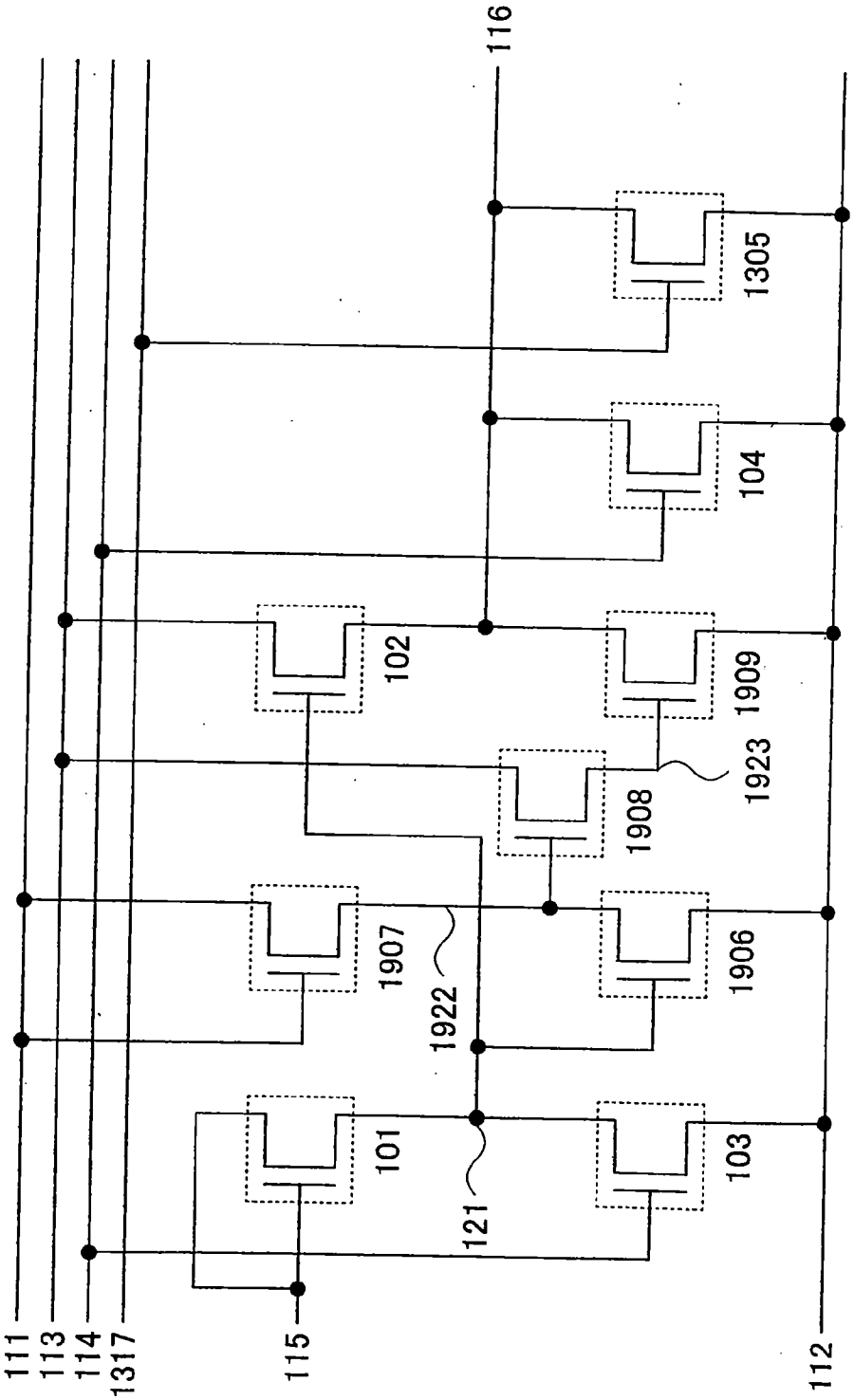

111
113
114
1317
115
116
112
101
102
103
104
1305
1906
1907
1908
1909
1922
1923
121

圖23

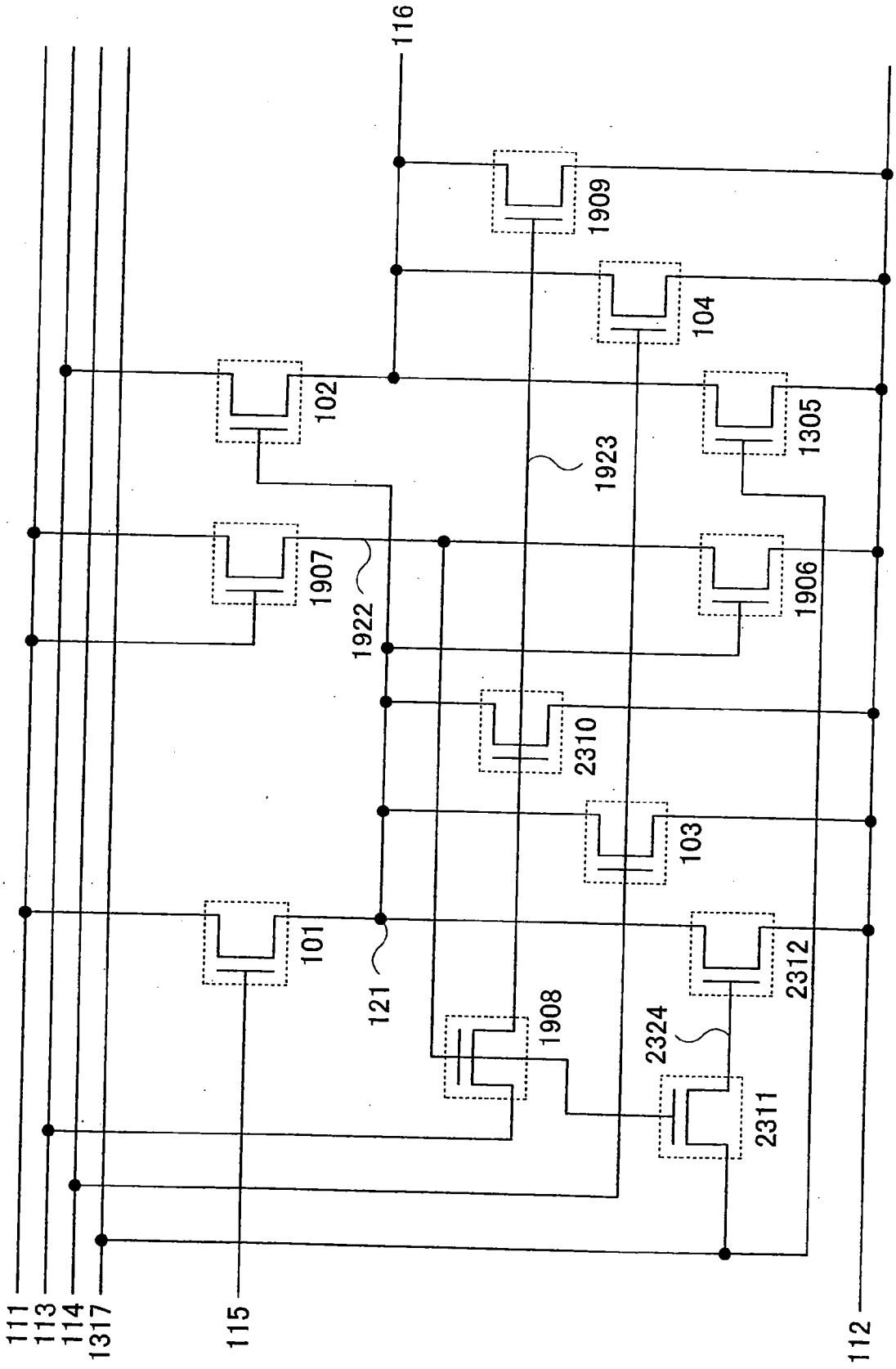
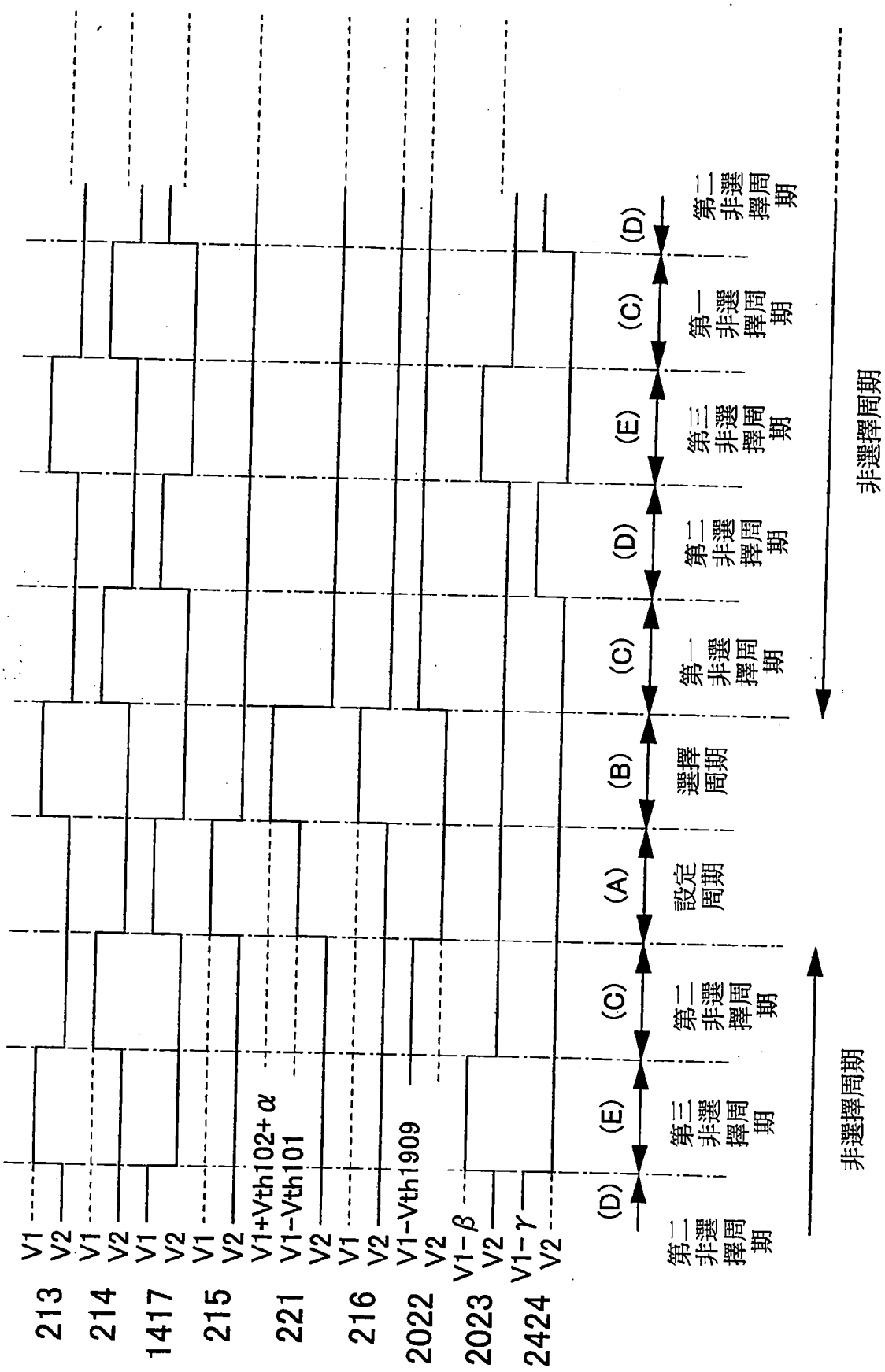

111
113
114
1317
115
116
112
101
102
103
104
1305
1906
1907
1908
1909
2310
2311
2312
121
1922
1923
2324

圖24


213
214
1417
215
221
216
2022
2023
2424
V1
V2
V1+Vth102+α
V1-Vth101
V1-Vth1909
V1-β
V1-γ
(D)
(E)
(C)
(A)
(B)
(C)
(D)
(E)
(C)
(D)
第二非選擇周期
第三非選擇周期
第二非選擇周期
設定周期
選擇周期
第一非選擇周期
第二非選擇周期
第三非選擇周期
第一非選擇周期
第二非選擇周期
非選擇周期
非選擇周期

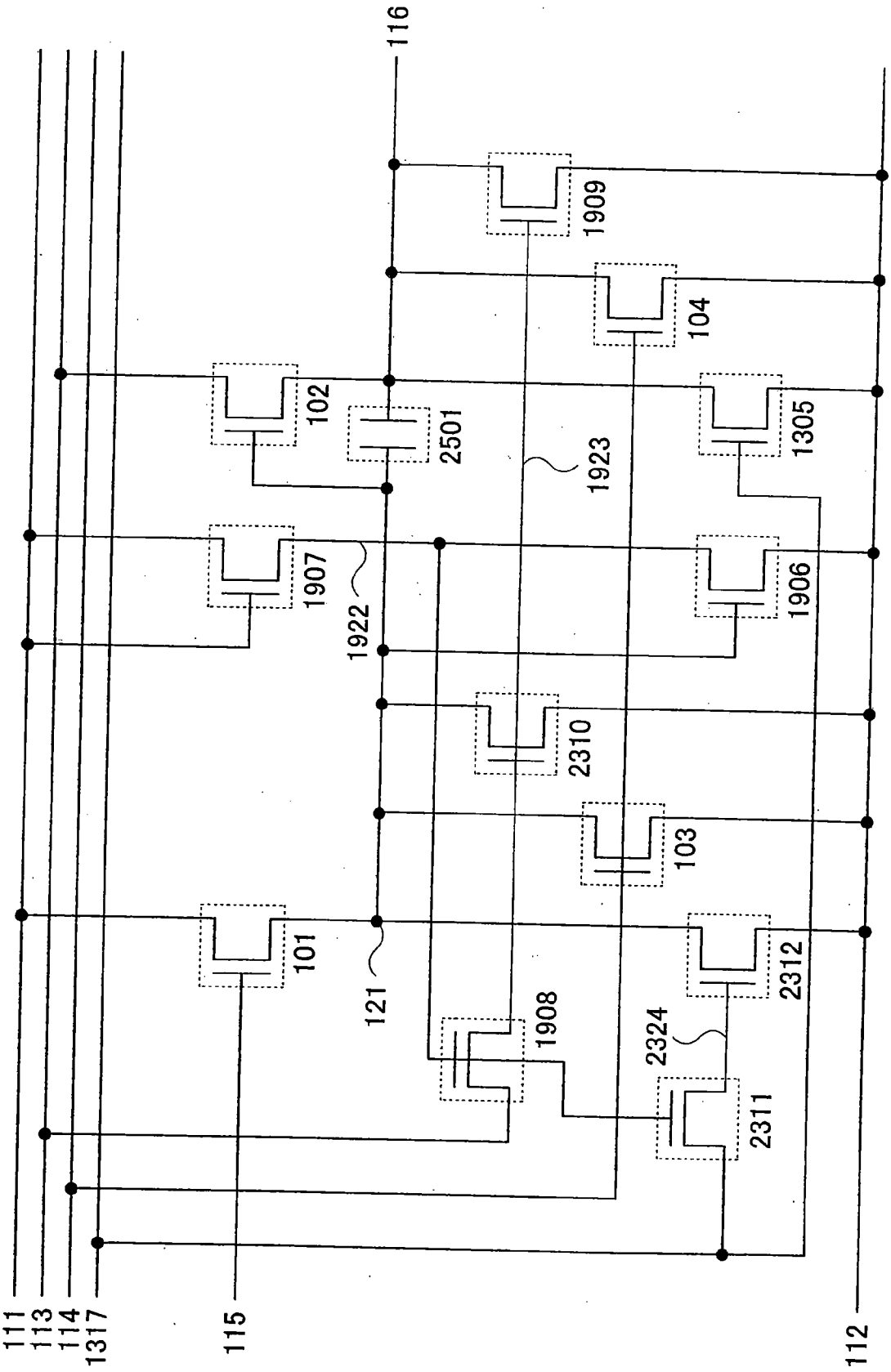
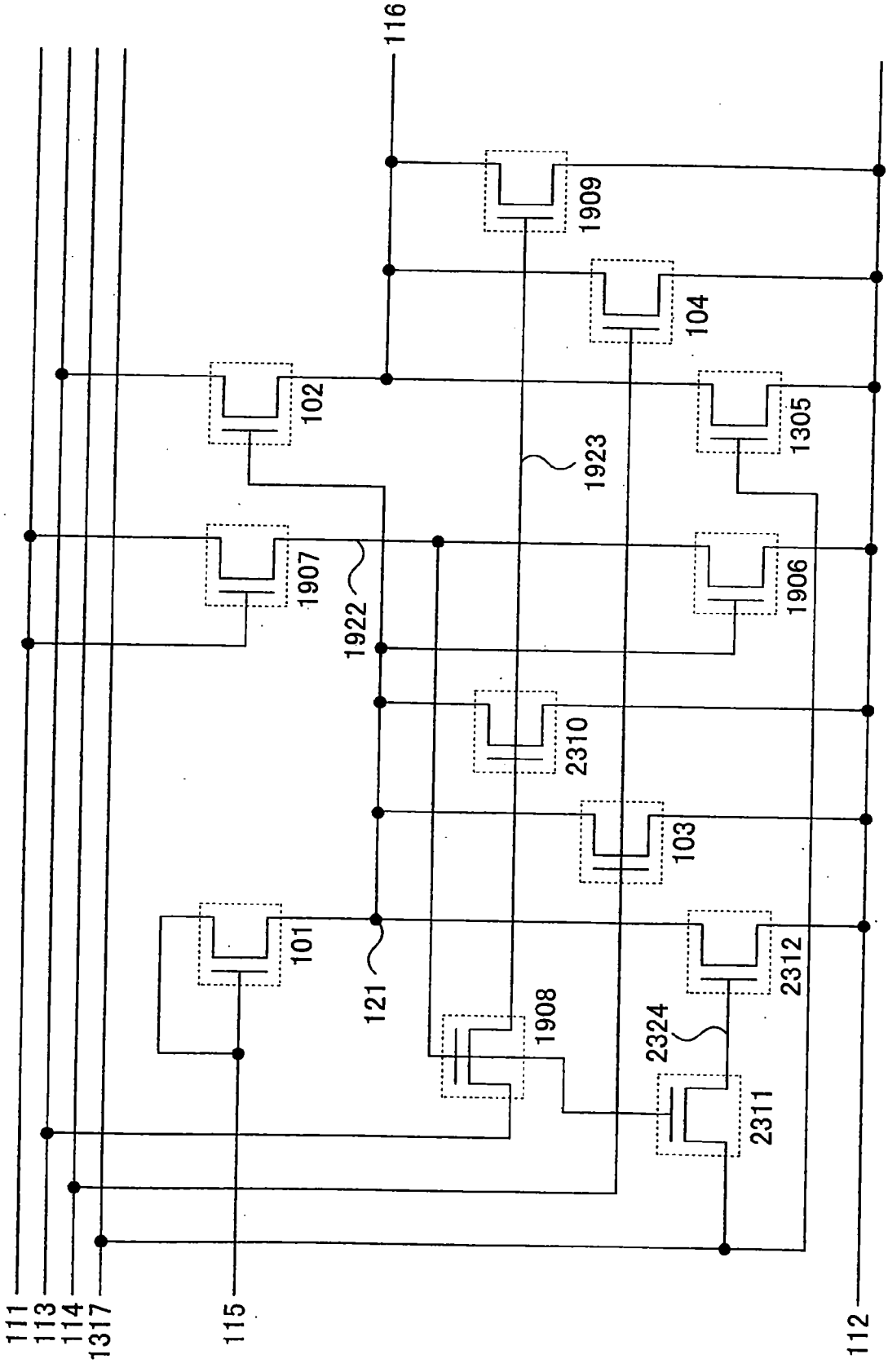

111
113
114
1317
115
116
112
101
102
103
104
1305
1906
1907
1908
1909
2310
2311
2312
2324
2501
1922
1923
121

圖25

圖26


111
113
114
1317
115
116
112
101
102
103
104
1305
1906
1907
1908
1909
2310
2311
2312
1922
1923
121
2324

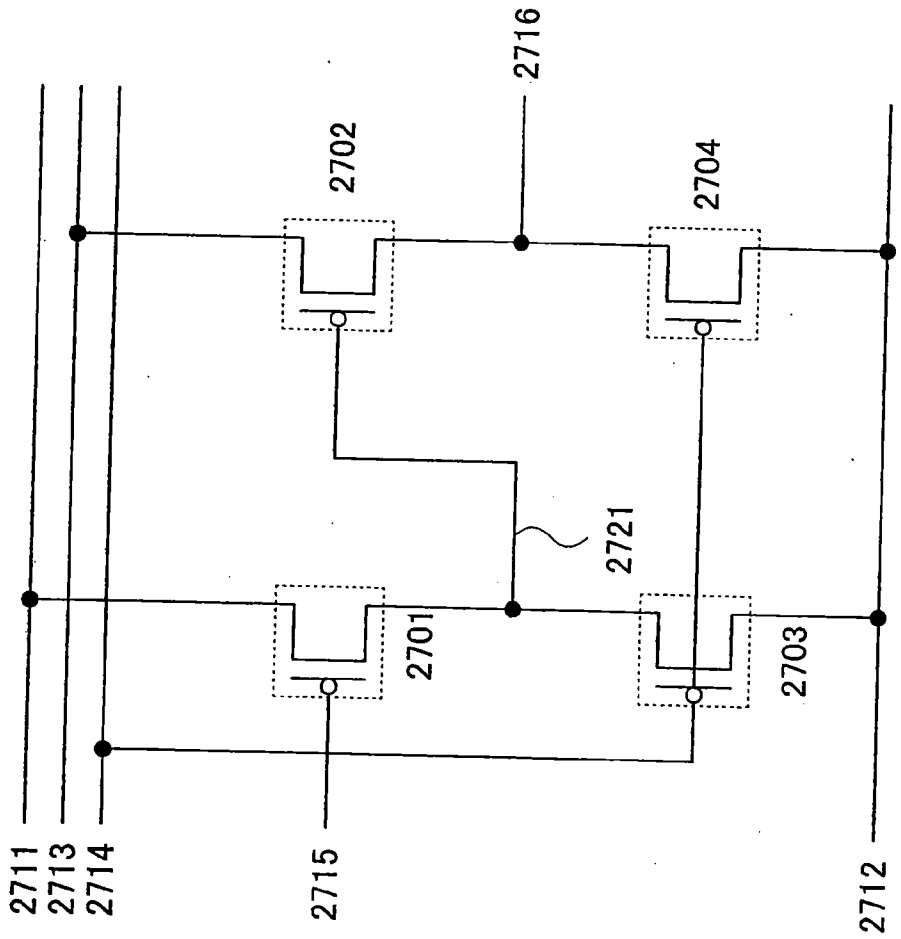


圖27

圖28

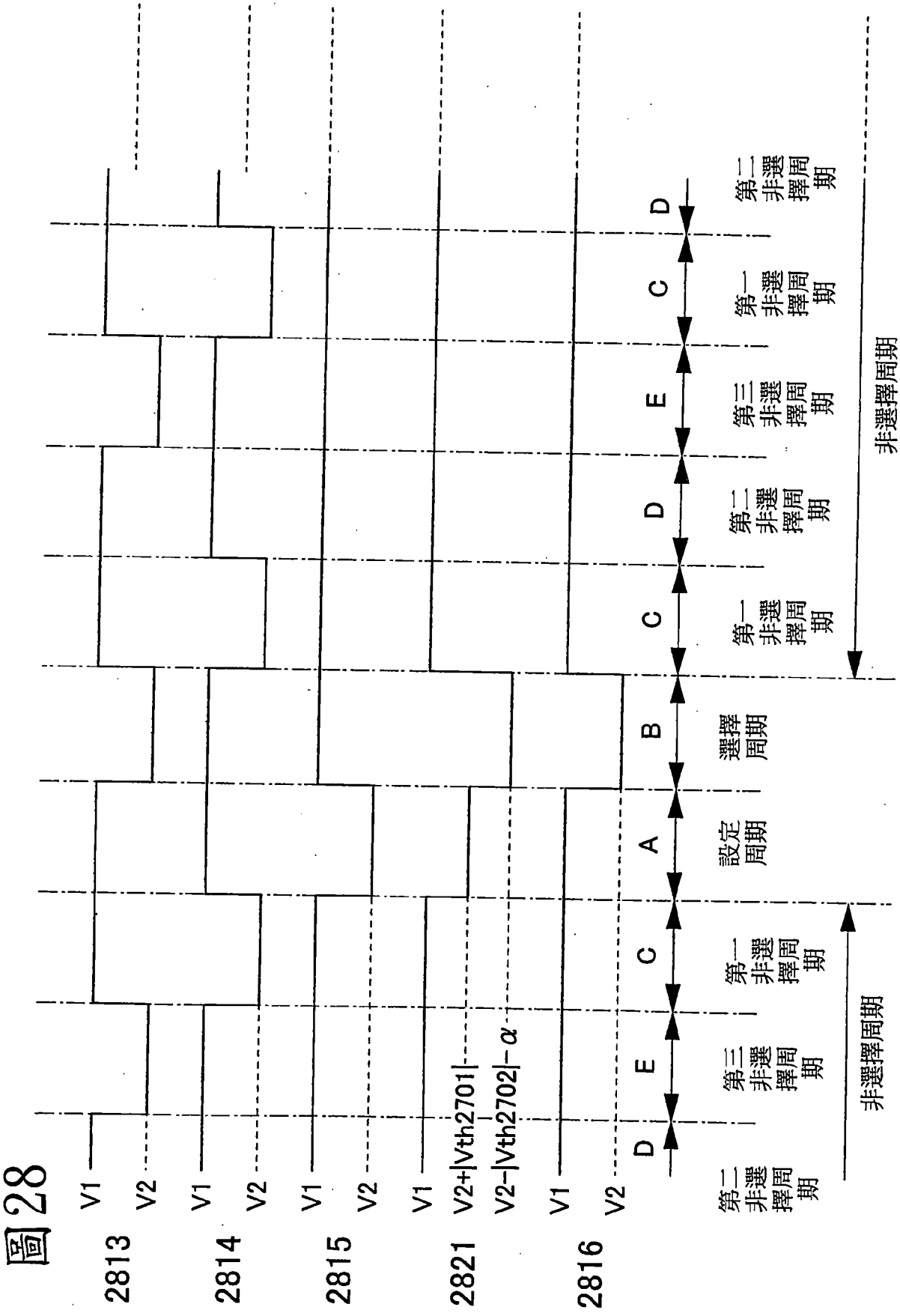

2813
2814
2815
2821
2816
V1
V2
V2+|Vth2701|
V2-|Vth2702|-α
第二非選擇周期
第三非選擇周期
第一非選擇周期
設定周期
選擇周期
第一非選擇周期
第二非選擇周期
第三非選擇周期
第一非選擇周期
第二非選擇周期
非選擇周期
非選擇周期
A
B
C
D
E
C
D
E
C
D

圖29A

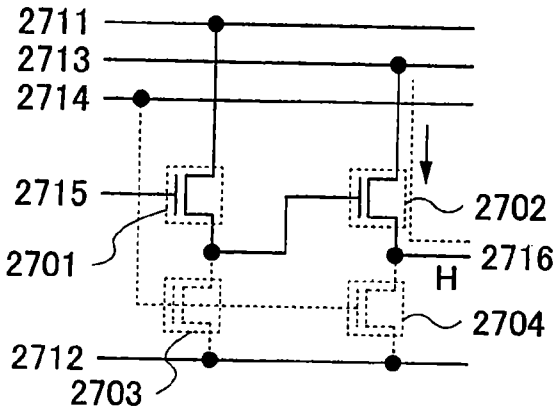


圖29B

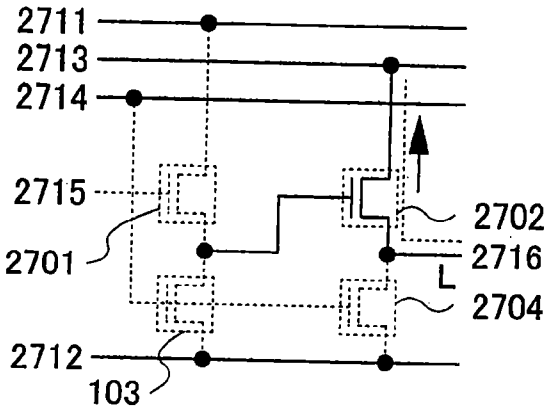


圖29C

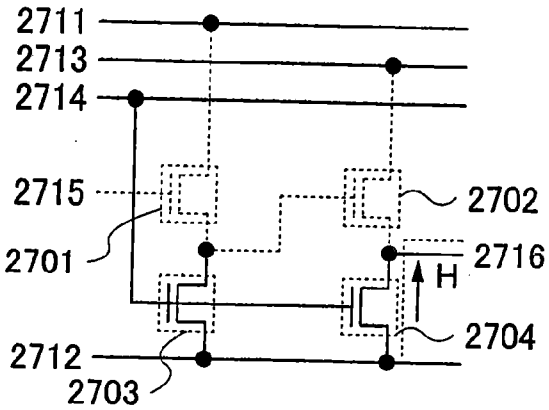


圖29D

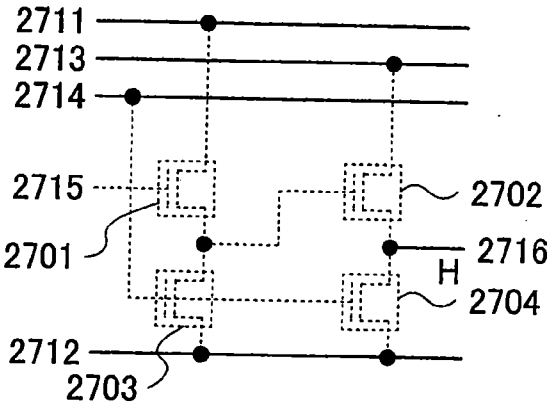
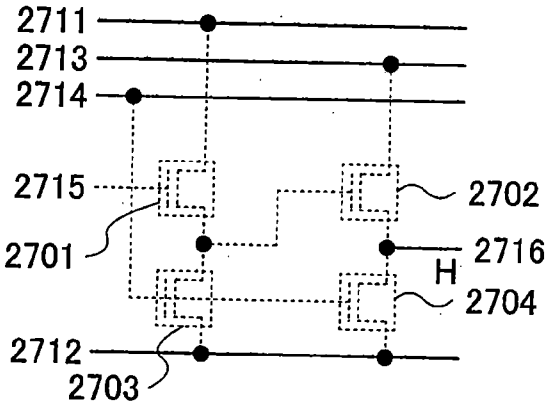


圖29E



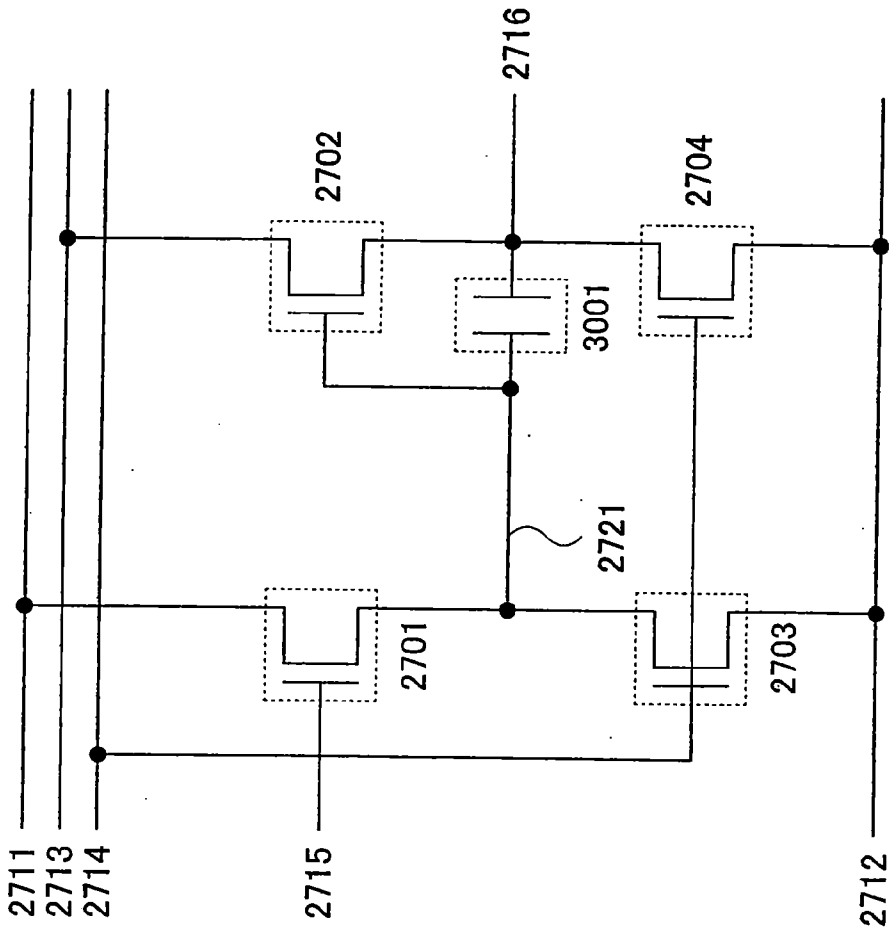


圖30

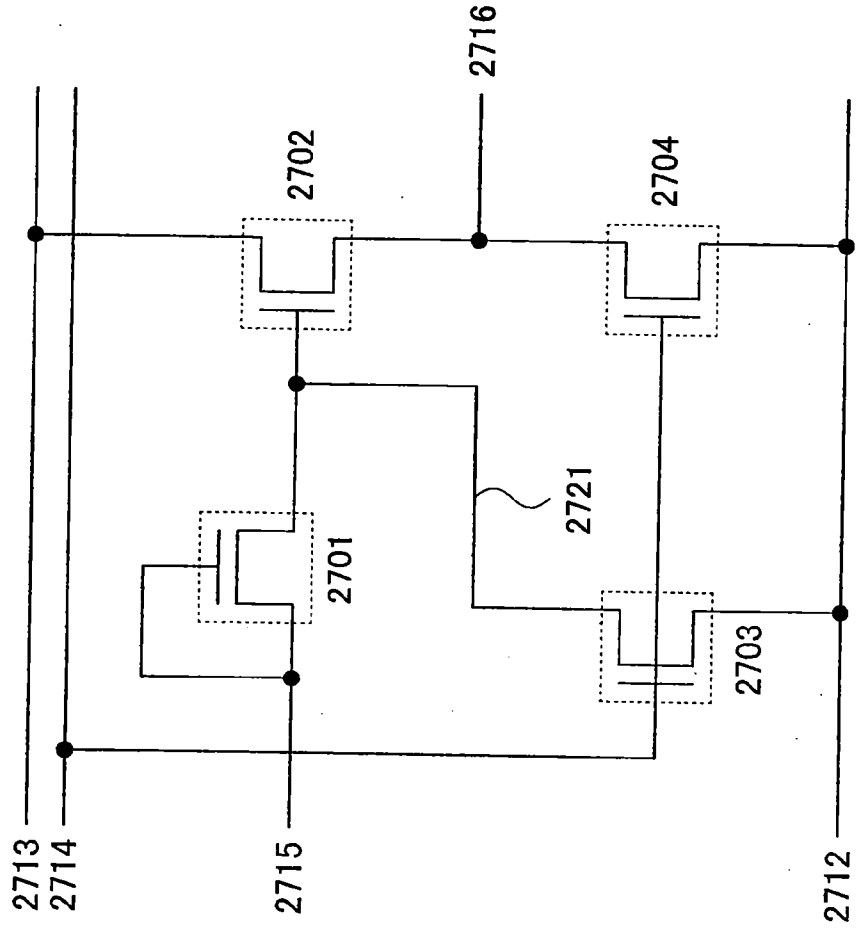


圖31

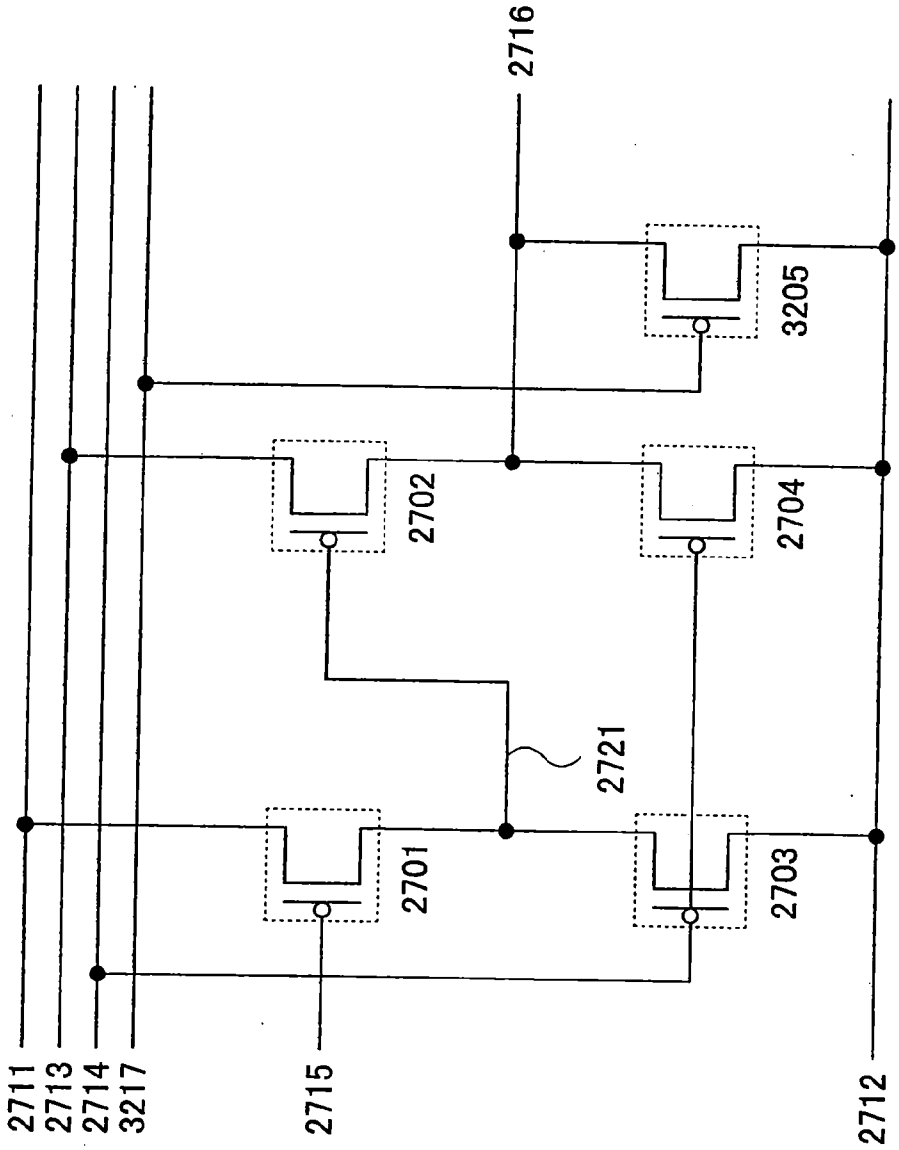

2716
3205
2702
2704
2721
2701
2703
2711
2713
2714
3217
2715
2712

圖32

圖33

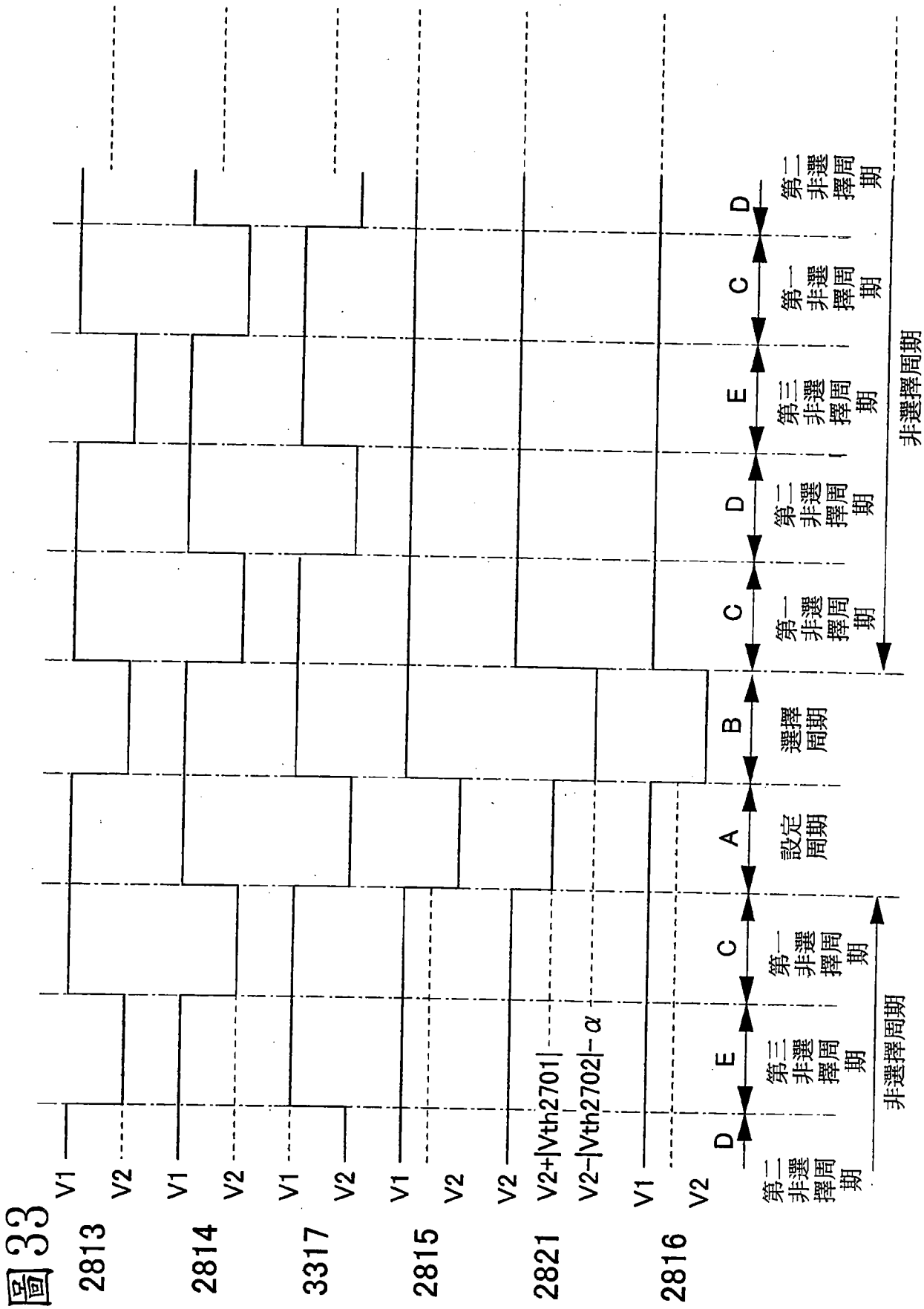
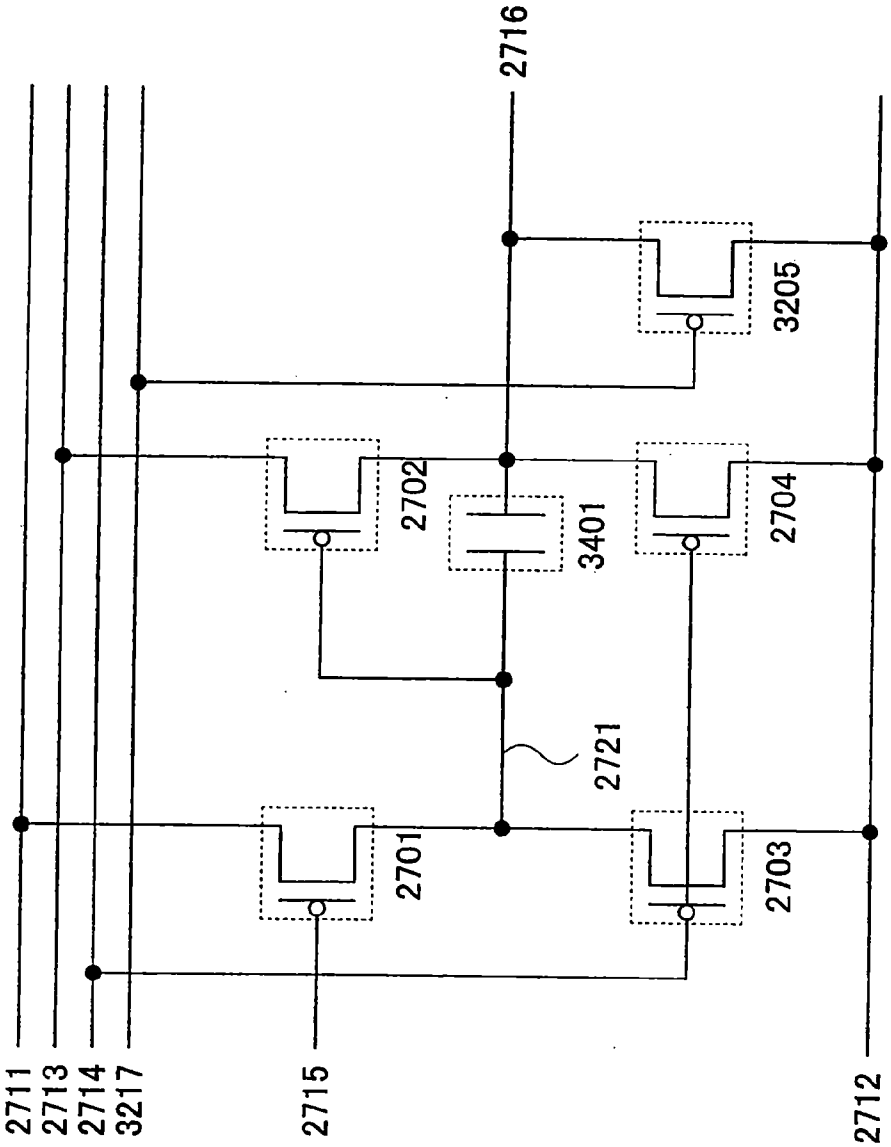

2813
2814
3317
2815
2821
2816
V1
V2
V2+|Vth2701|
V2−|Vth2702|−α
A
B
C
D
E
設定周期
選擇周期
第一非選擇周期
第二非選擇周期
第三非選擇周期
非選擇周期

圖34


2716
3205
2702
3401
2704
2721
2701
2703
2711
2713
2714
3217
2715
2712

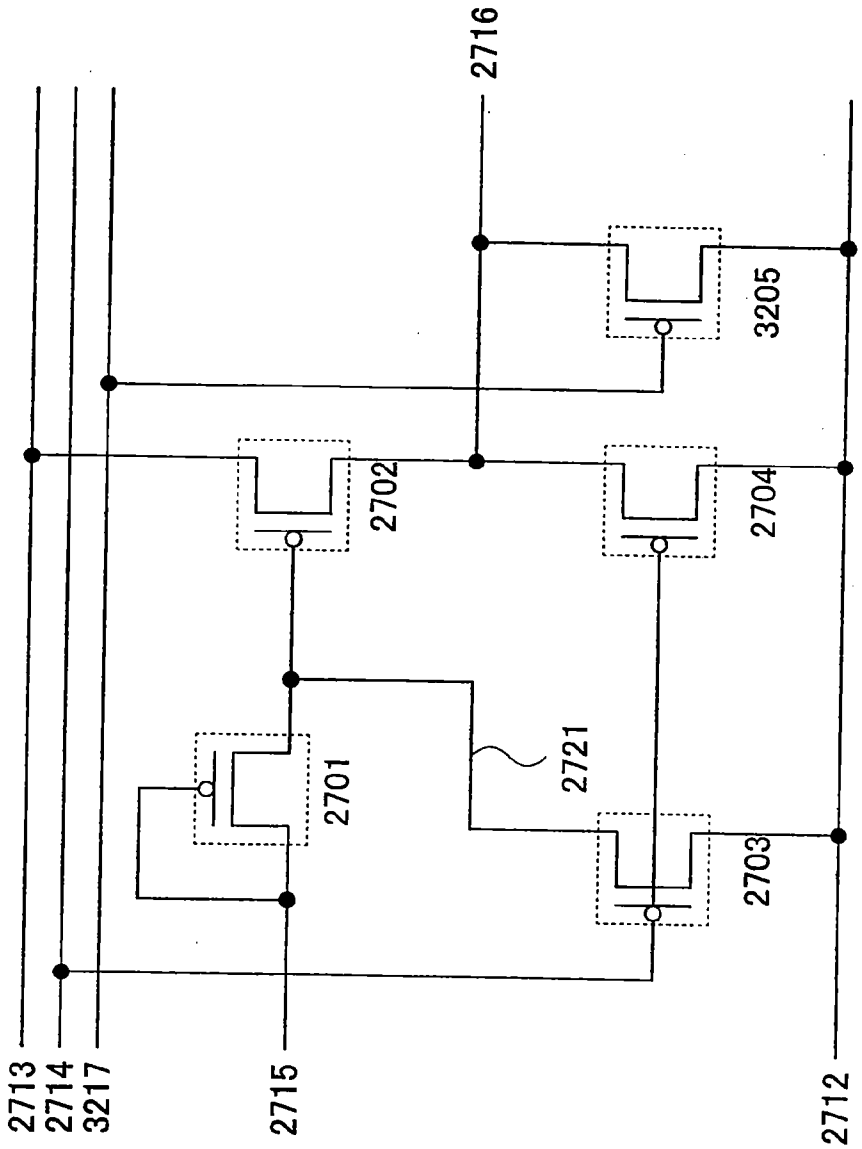


圖35

圖36

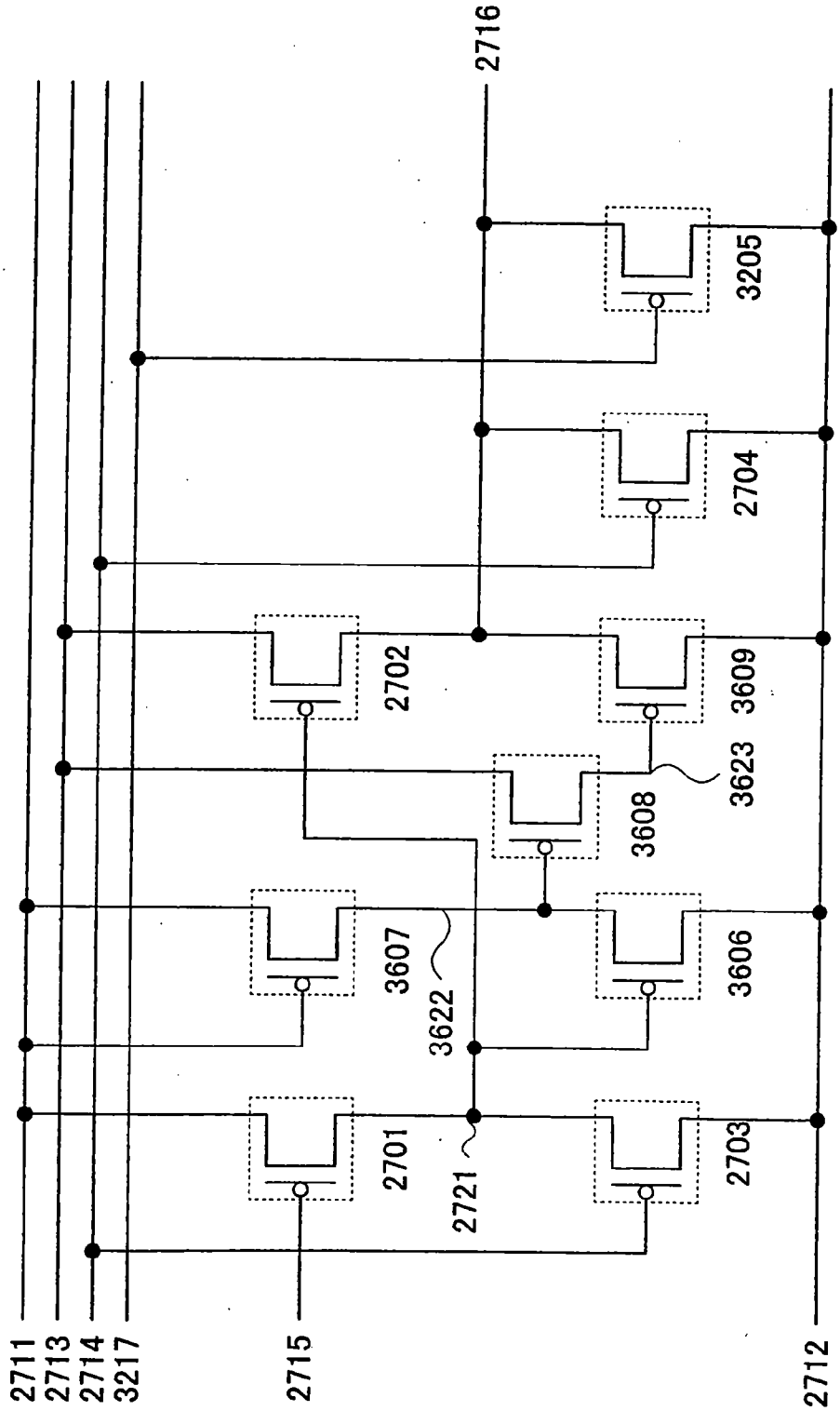

2716
3205
2704
2702
3609
3623
3608
3607
3622
3606
2701
2721
2703
2711
2713
2714
3217
2715
2712

圖37

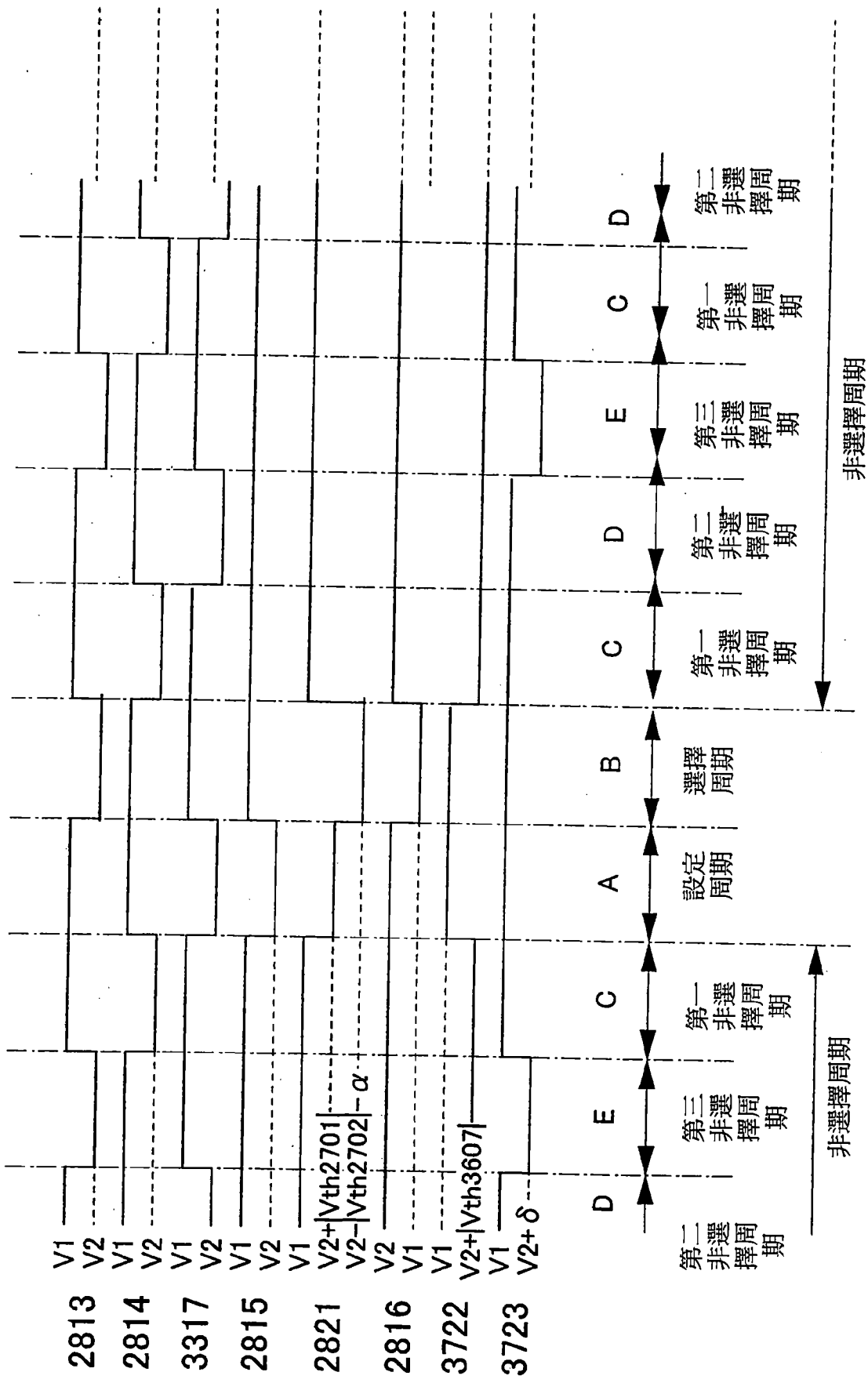

2813
2814
3317
2815
2821
2816
3722
3723
V1
V2
V2+|Vth2701|
V2−|Vth2702|−α
V2+|Vth3607|
V2+δ
D
E
C
A
B
C
D
E
C
D
第二非選擇周期
第三非選擇周期
第一非選擇周期
設定周期
選擇周期
第一非選擇周期
第二非選擇周期
第三非選擇周期
第一非選擇周期
第二非選擇周期
非選擇周期
非選擇周期

圖38

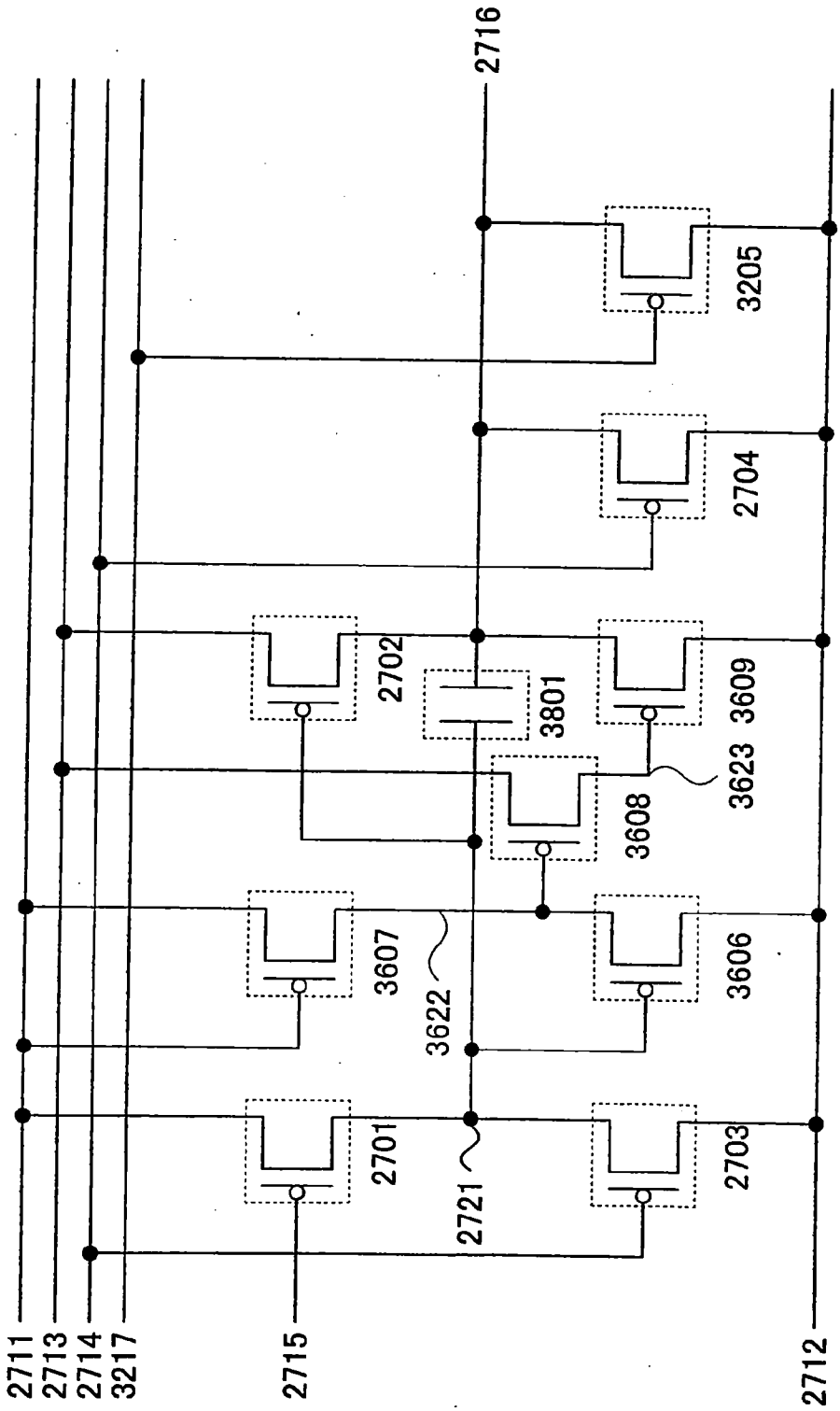

2711
2713
2714
3217
2715
2716
2712
2701
2702
2703
2704
3205
3606
3607
3608
3609
3622
3623
3801
2721

圖39

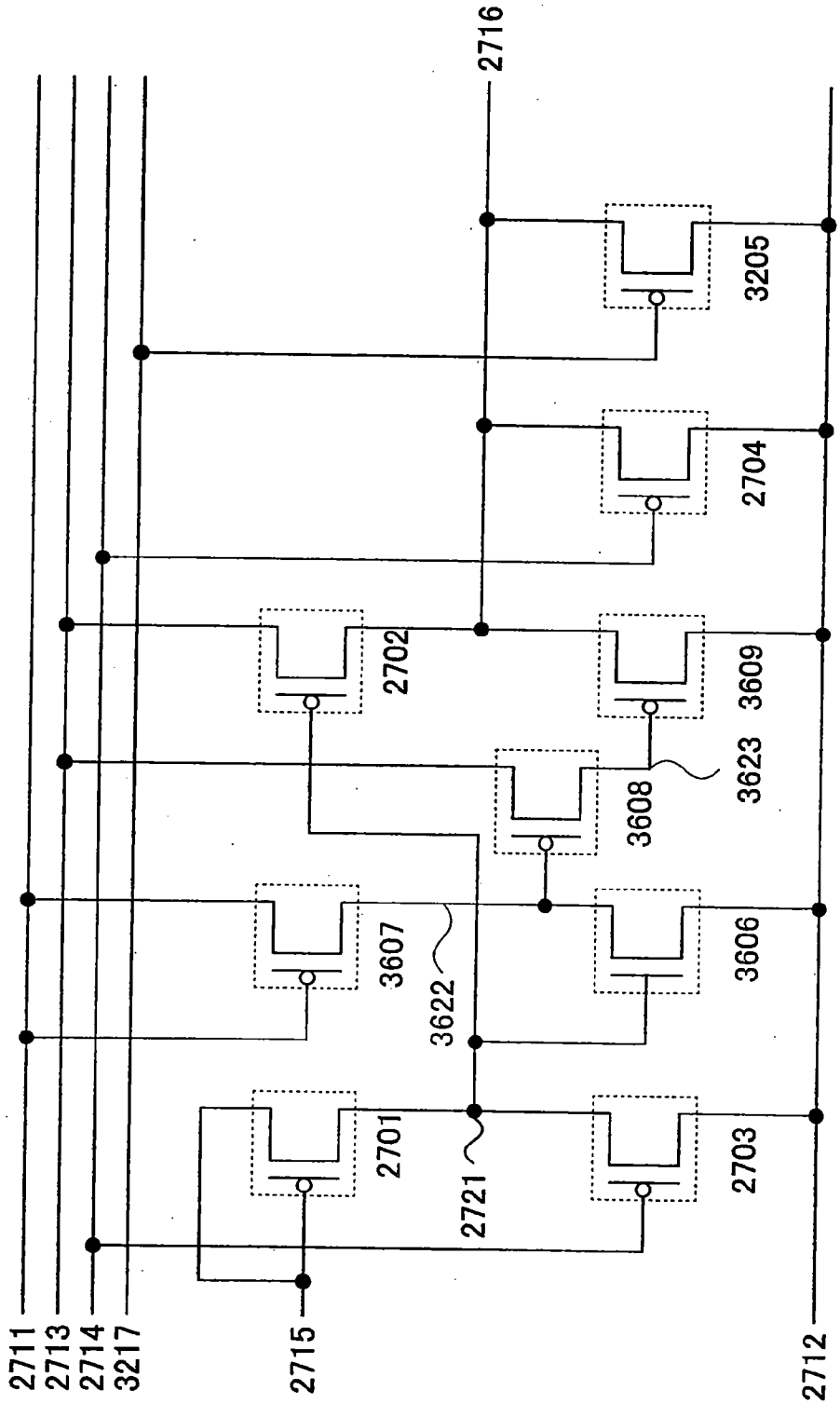

2711
2713
2714
3217
2715
2716
2712
2701
2702
2703
2704
3205
3606
3607
3608
3609
3622
3623
2721

圖40

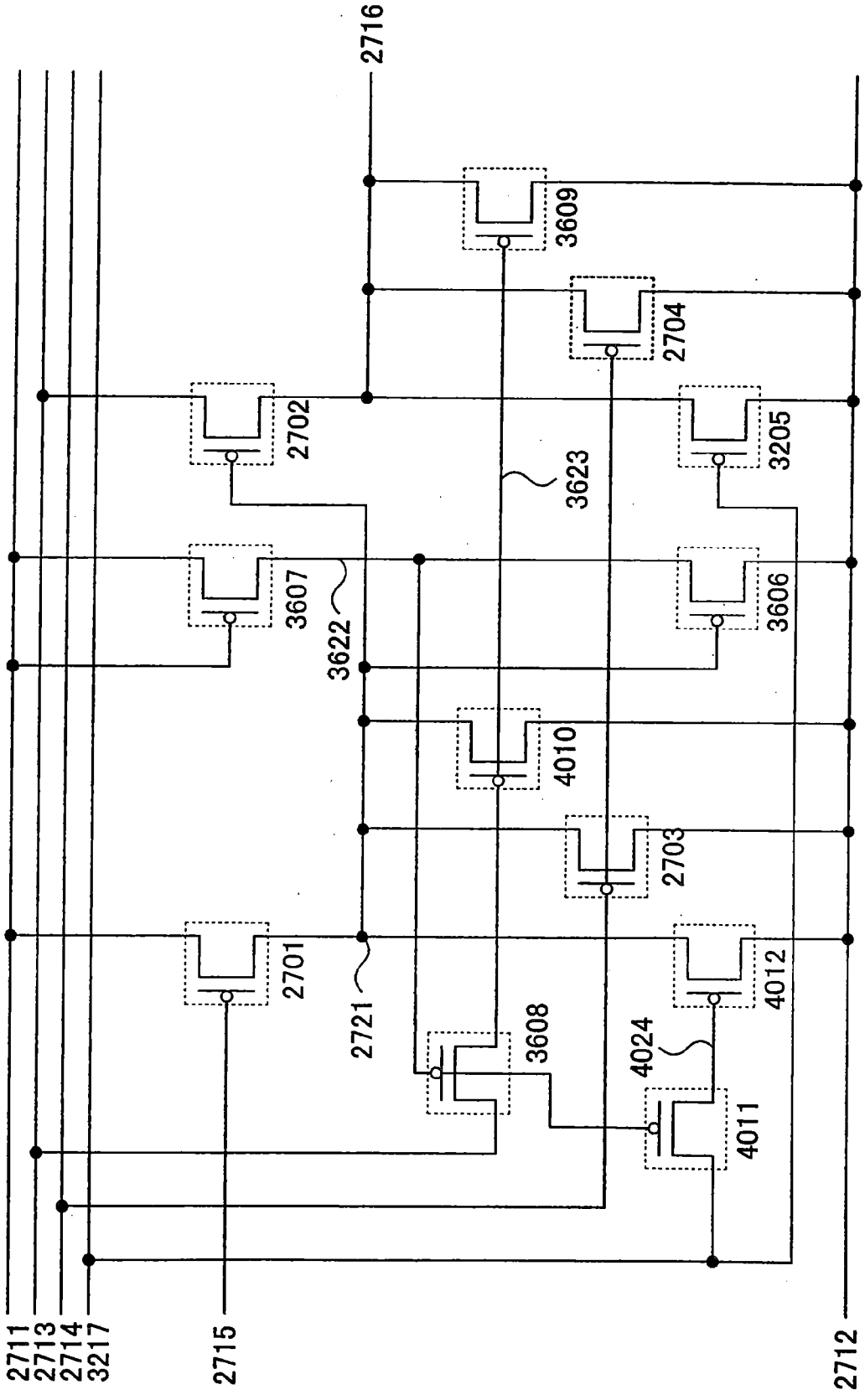

2711
2713
2714
3217
2715
2716
2712
2701
2702
2703
2704
3205
3606
3607
3609
4010
4012
4011
3608
3622
3623
2721
4024

圖41

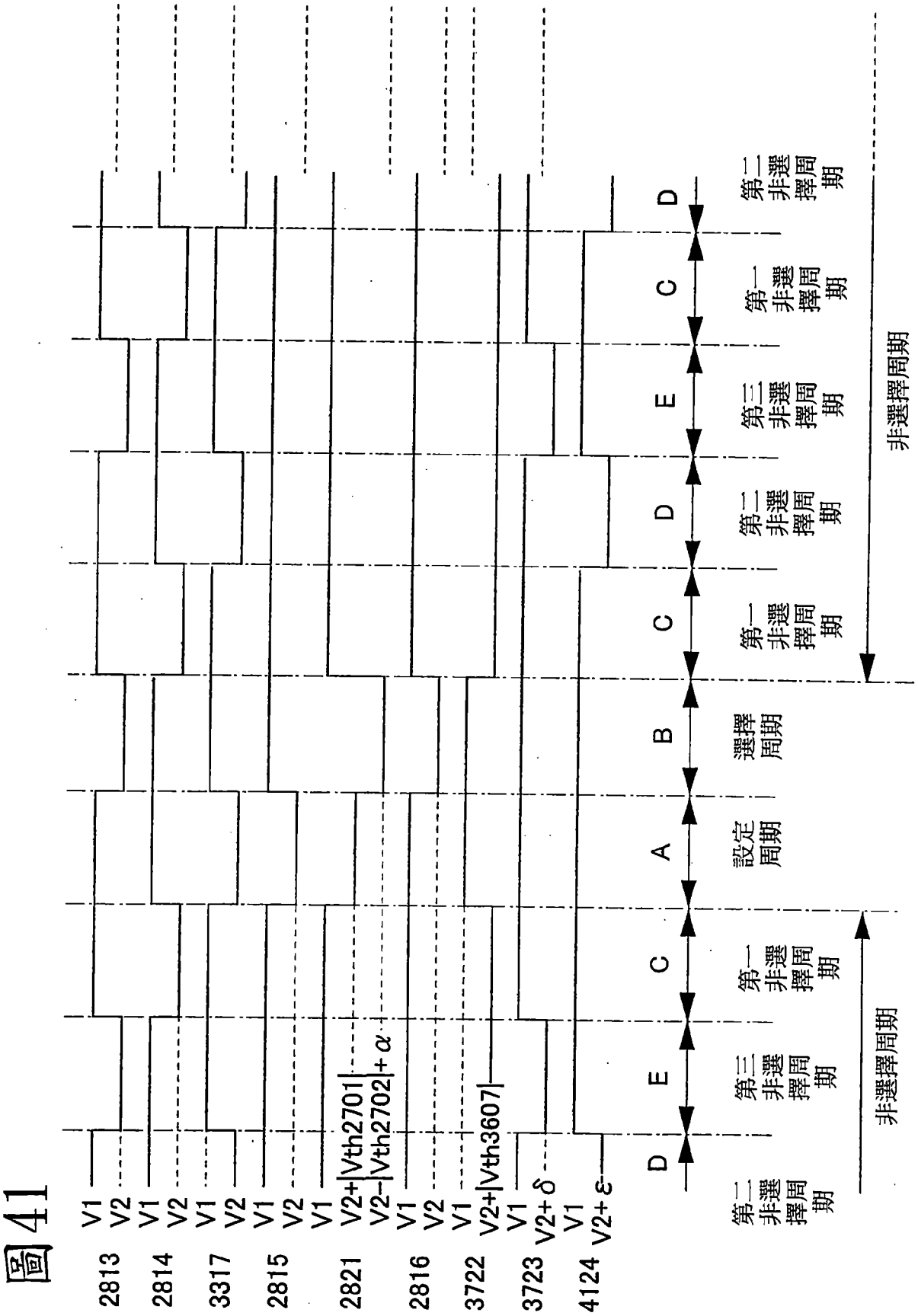

2813
2814
3317
2815
2821
2816
3722
3723
4124
V1
V2
V2+|Vth2701|
V2−|Vth2702|+α
|Vth3607|
V2+δ
V2+ε
A
B
C
D
E
設定周期
選擇周期
第一非選擇周期
第二非選擇周期
第三非選擇周期
非選擇周期

圖42

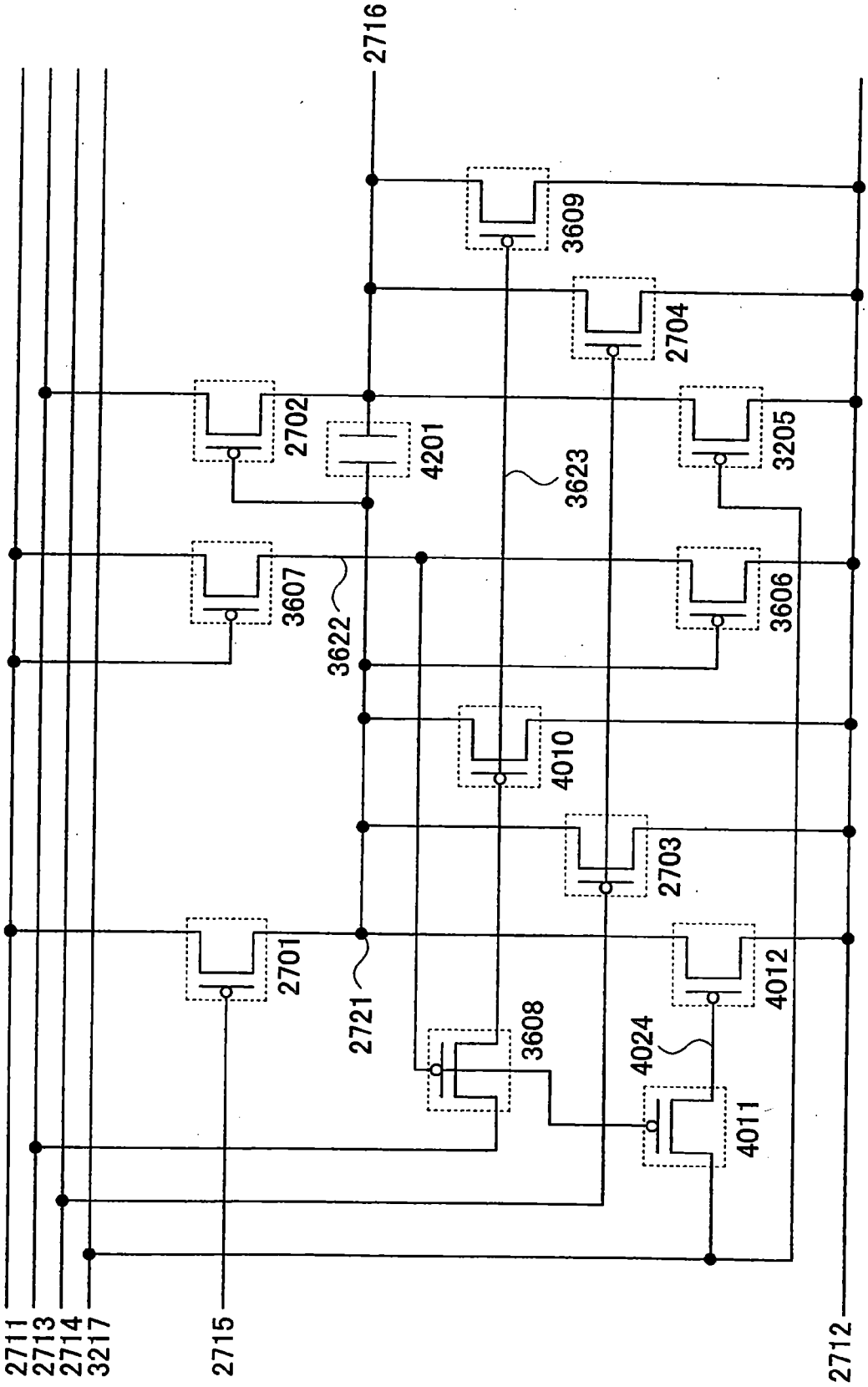
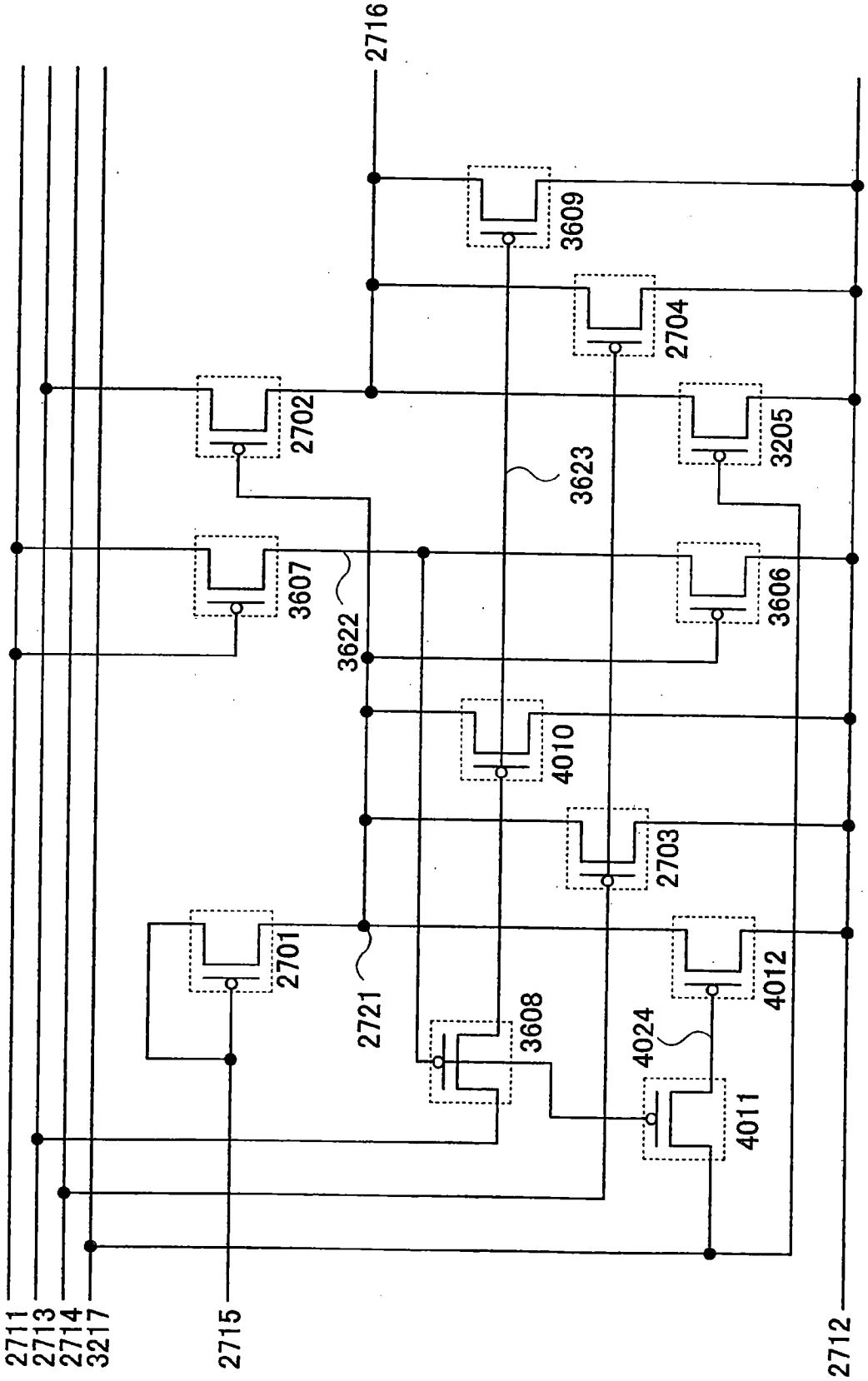

2711
2713
2714
3217
2715
2716
2712
2701
2702
2703
2704
3607
3609
3606
3205
3608
4010
4011
4012
4201
3622
3623
2721
4024

圖 43


2711
2713
2714
3217
2715
2716
2712
2701
2702
2703
2704
3205
3606
3607
3608
3609
4010
4011
4012
2721
3622
3623
4024

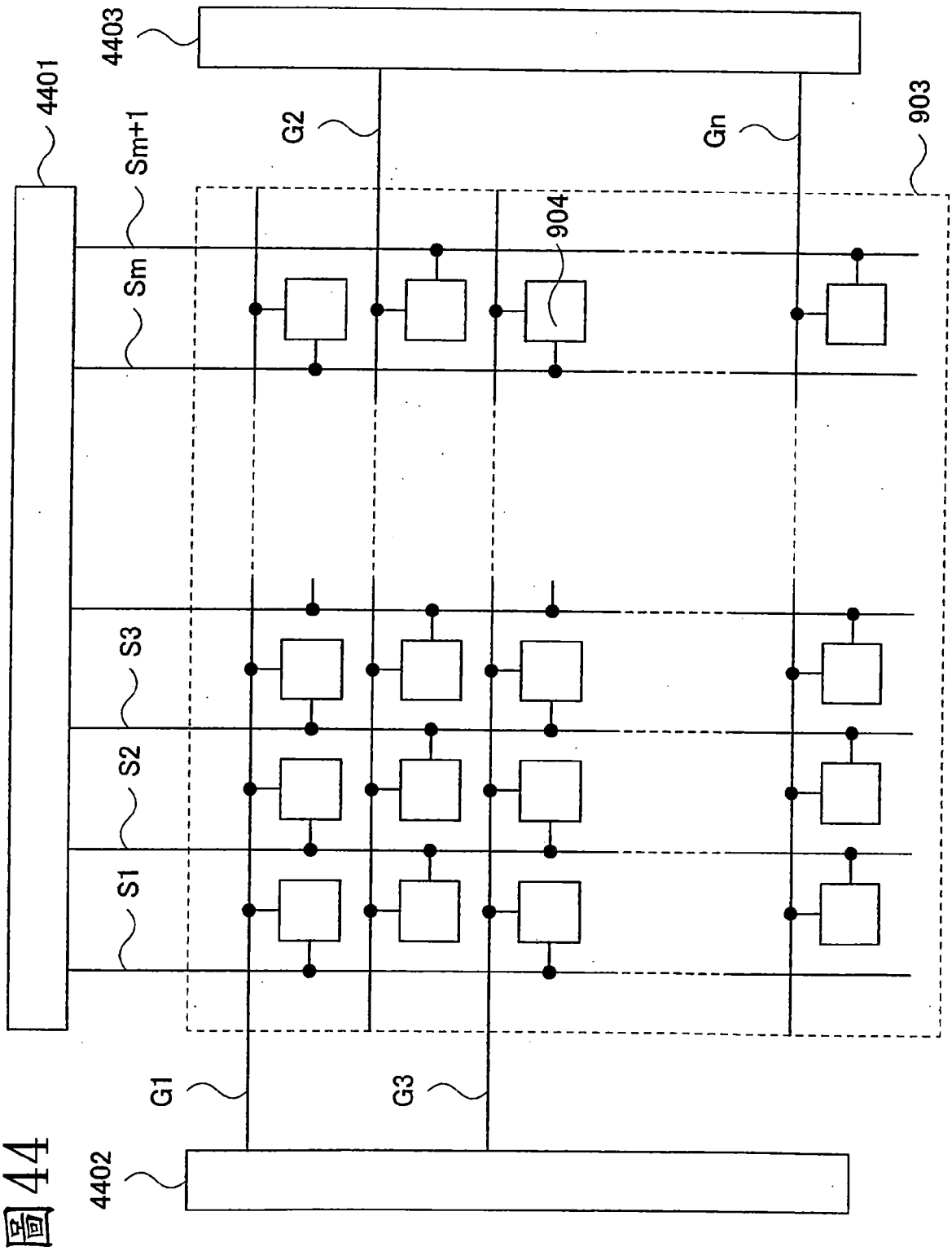


圖44

圖45

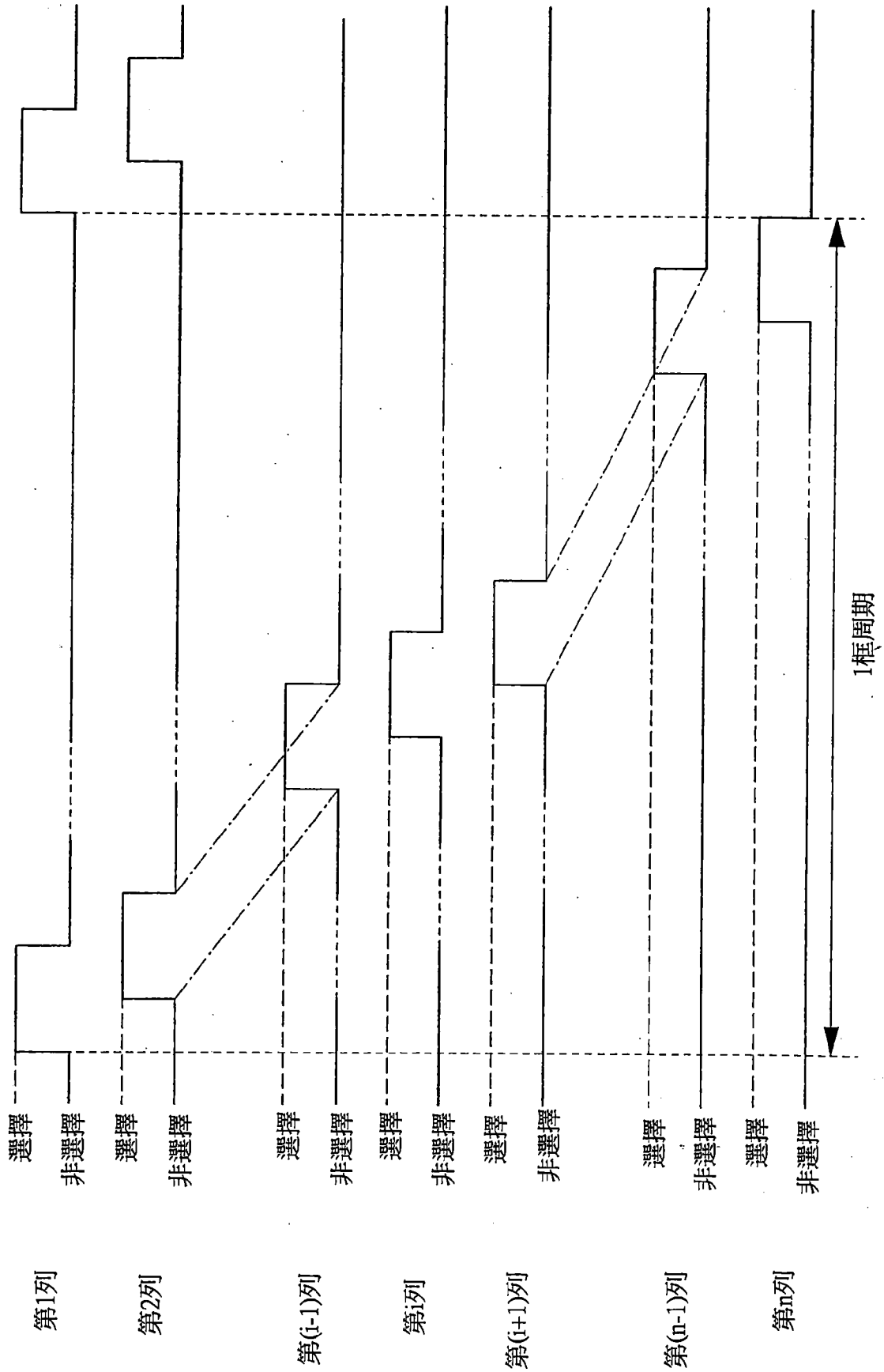


圖46A

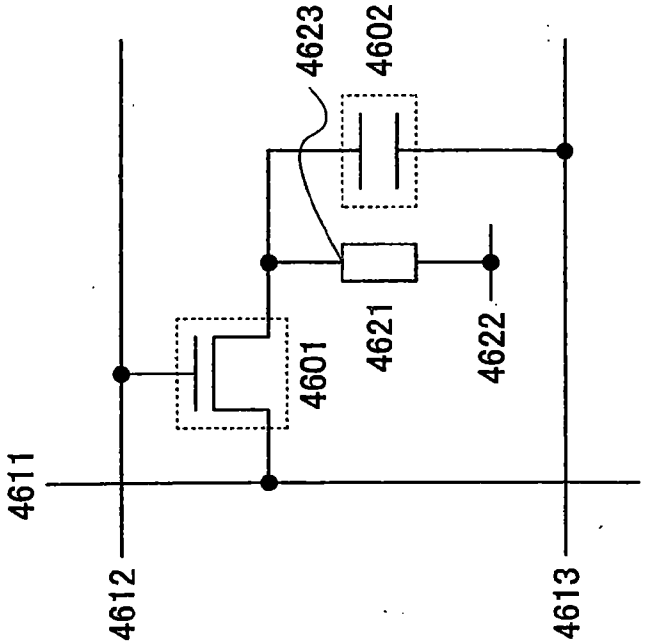

4623
4602
4611
4601
4621
4622
4612
4613

圖46B

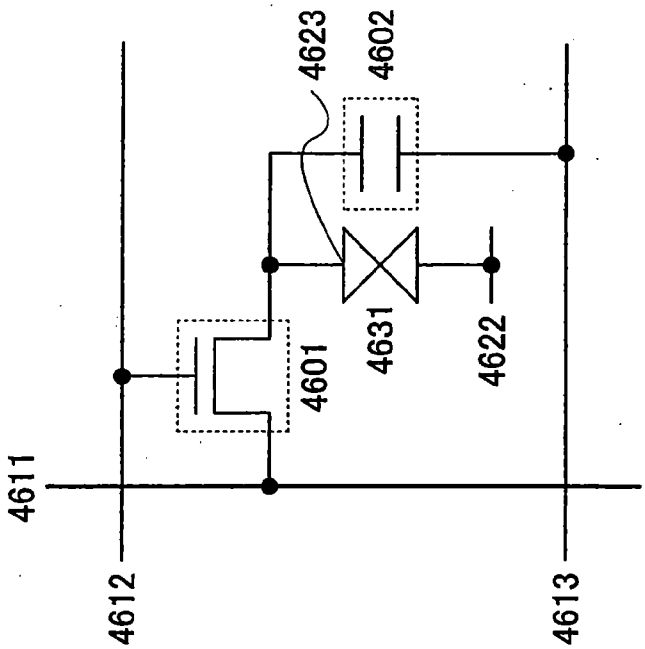

4623
4602
4611
4601
4631
4622
4612
4613

圖47A

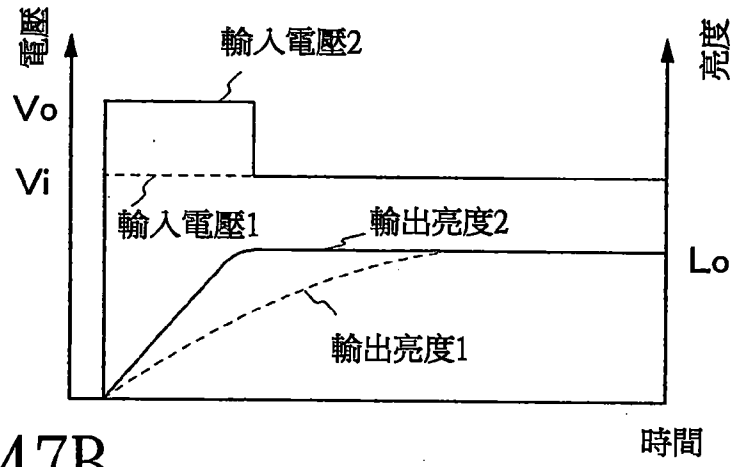


圖47B

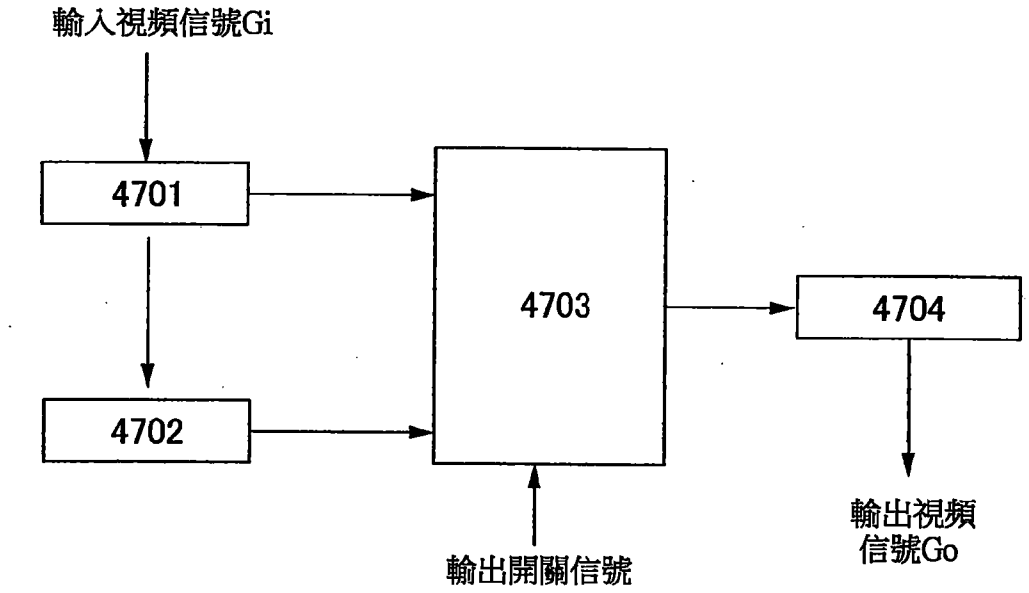


圖47C

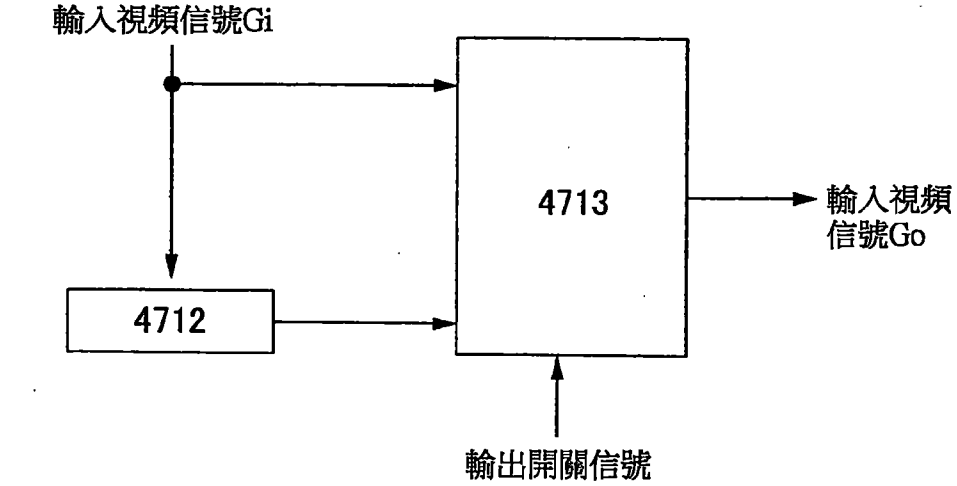


圖48A

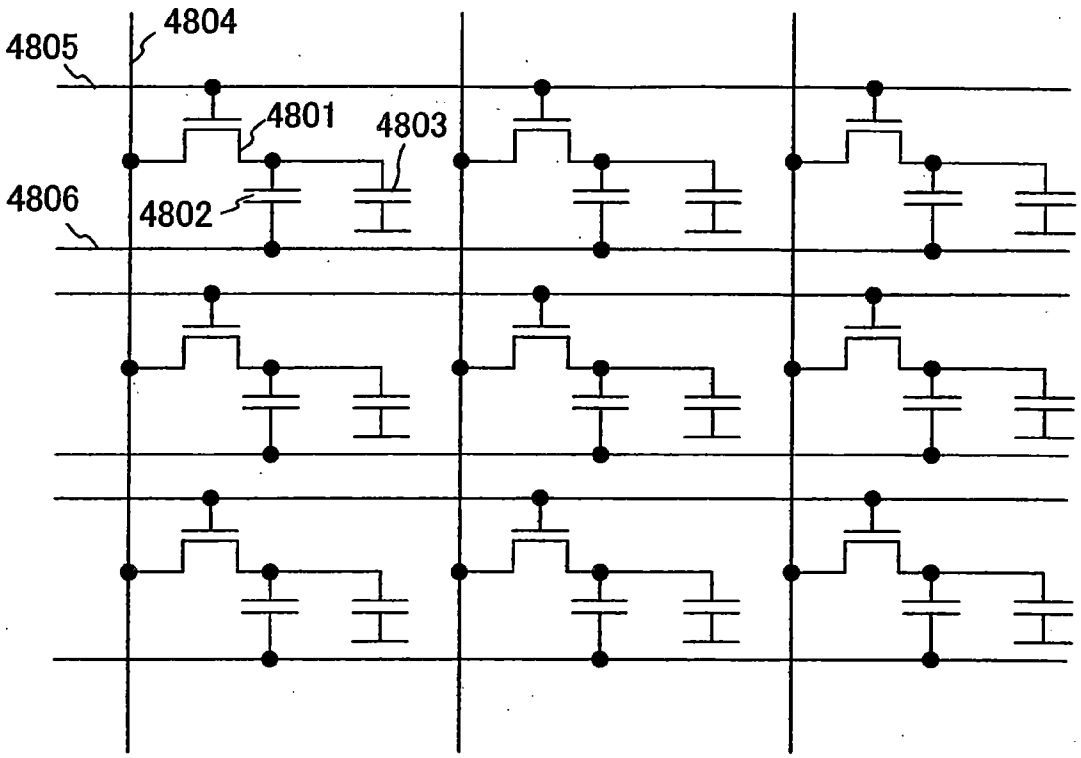

4804
4805
4801
4803
4806
4802

圖48B

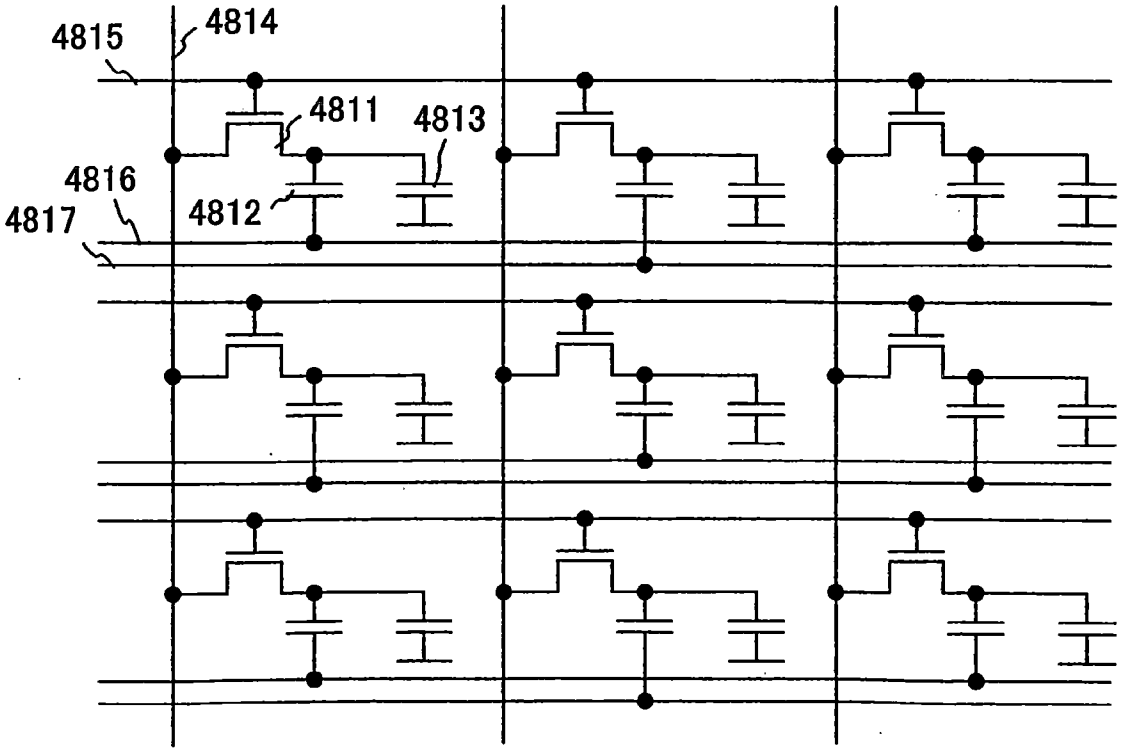

4815
4814
4811
4813
4816
4817
4812

圖49A

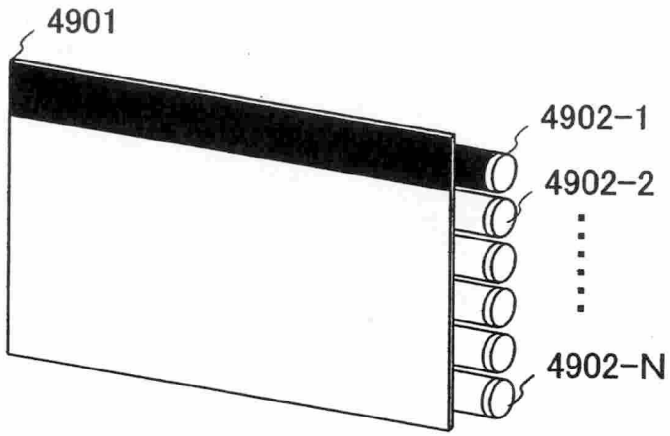


圖49B

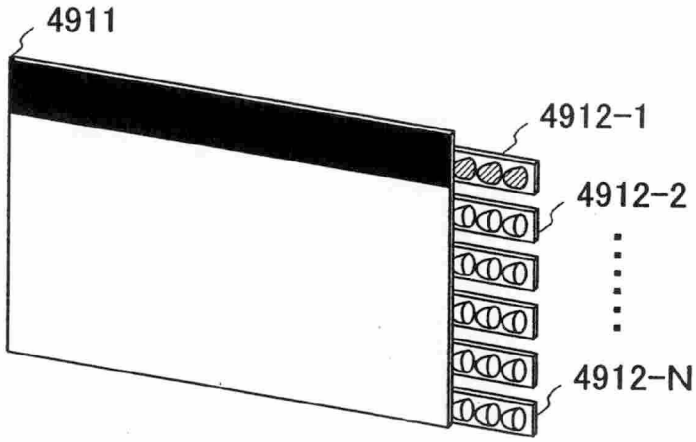


圖49C

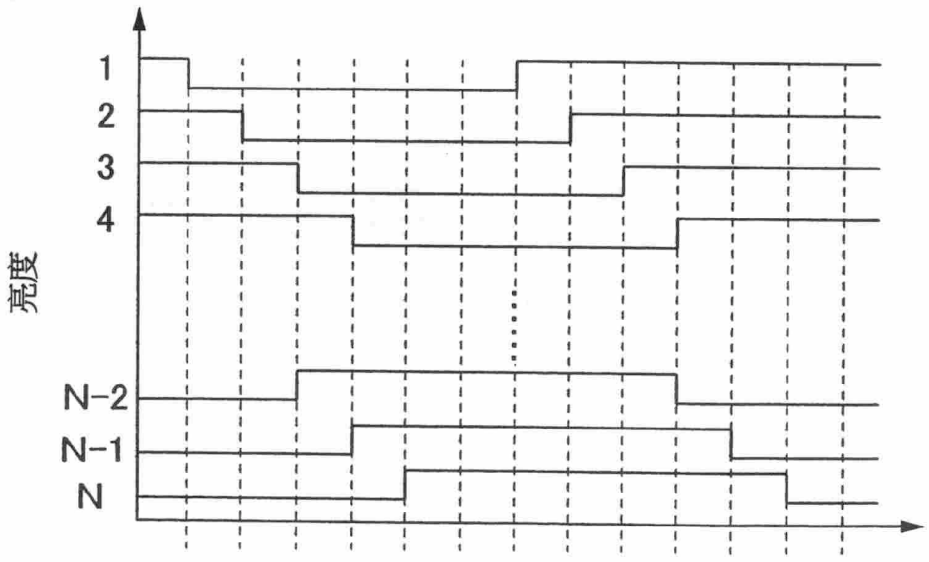


圖50A

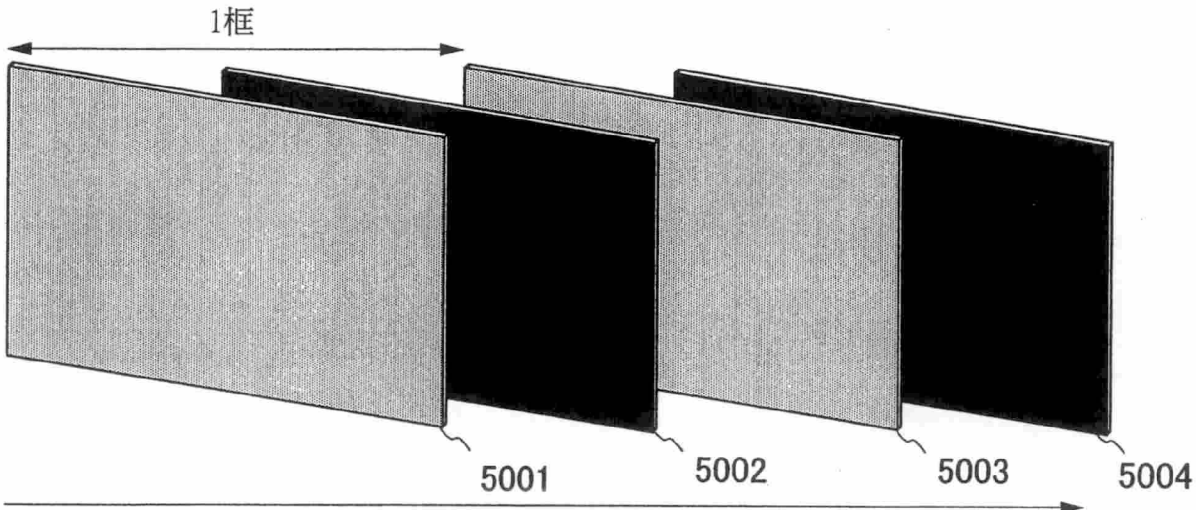


圖50B

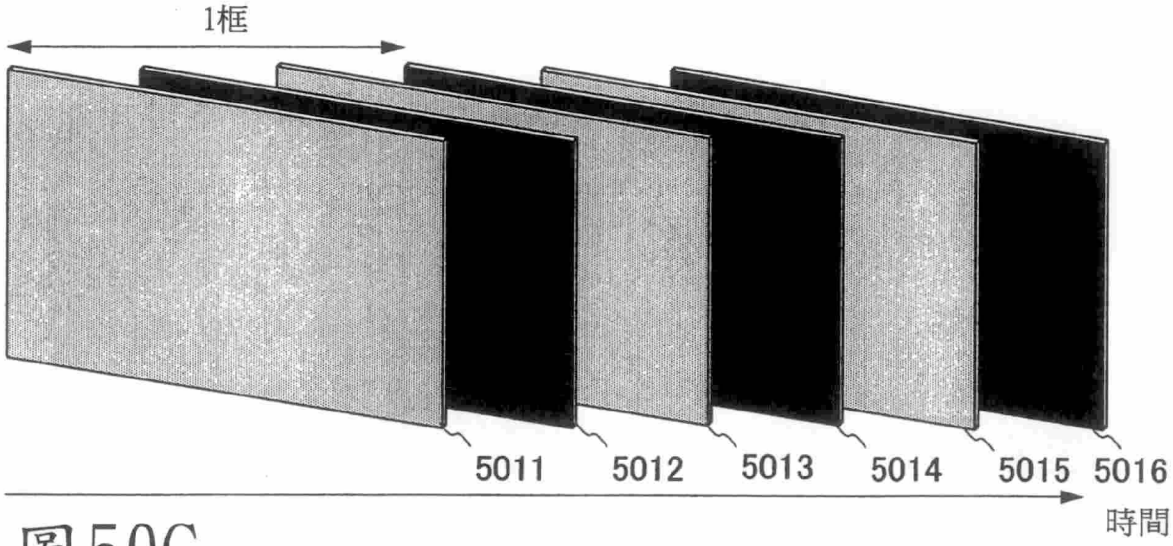


圖50C

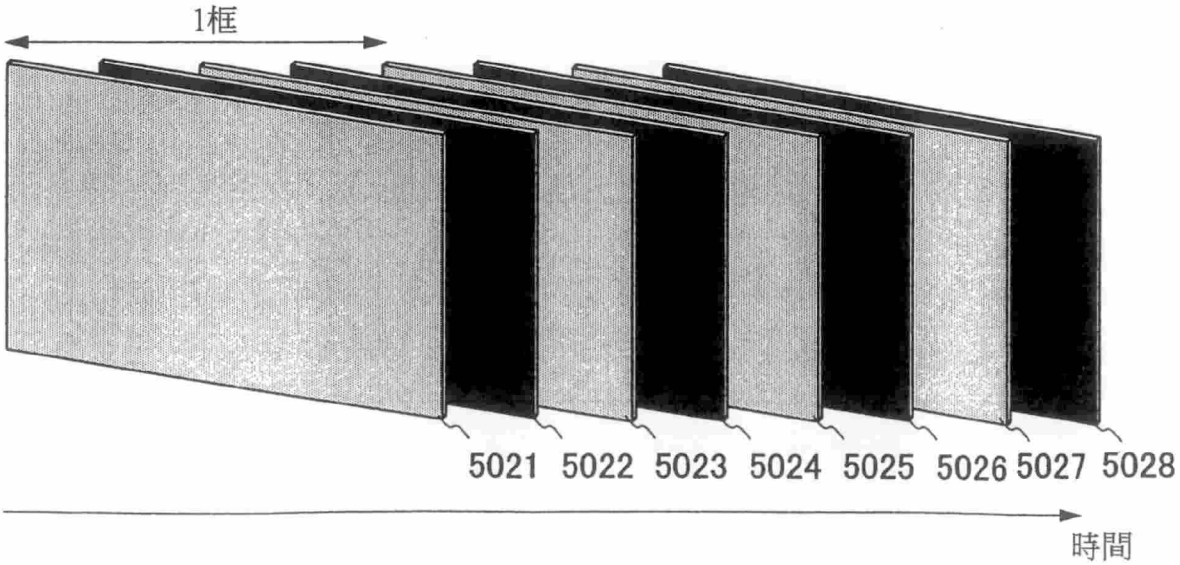


圖51A

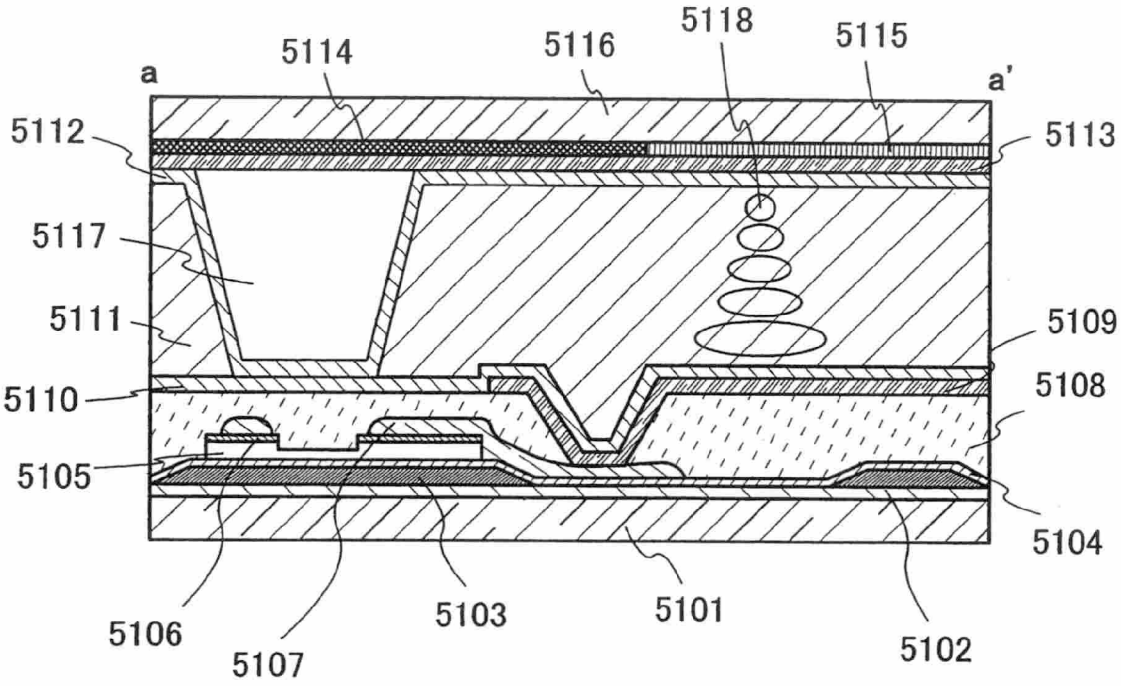

a
a'
5114
5116
5118
5115
5112
5113
5117
5111
5109
5110
5108
5105
5104
5106
5107
5103
5101
5102

圖51B

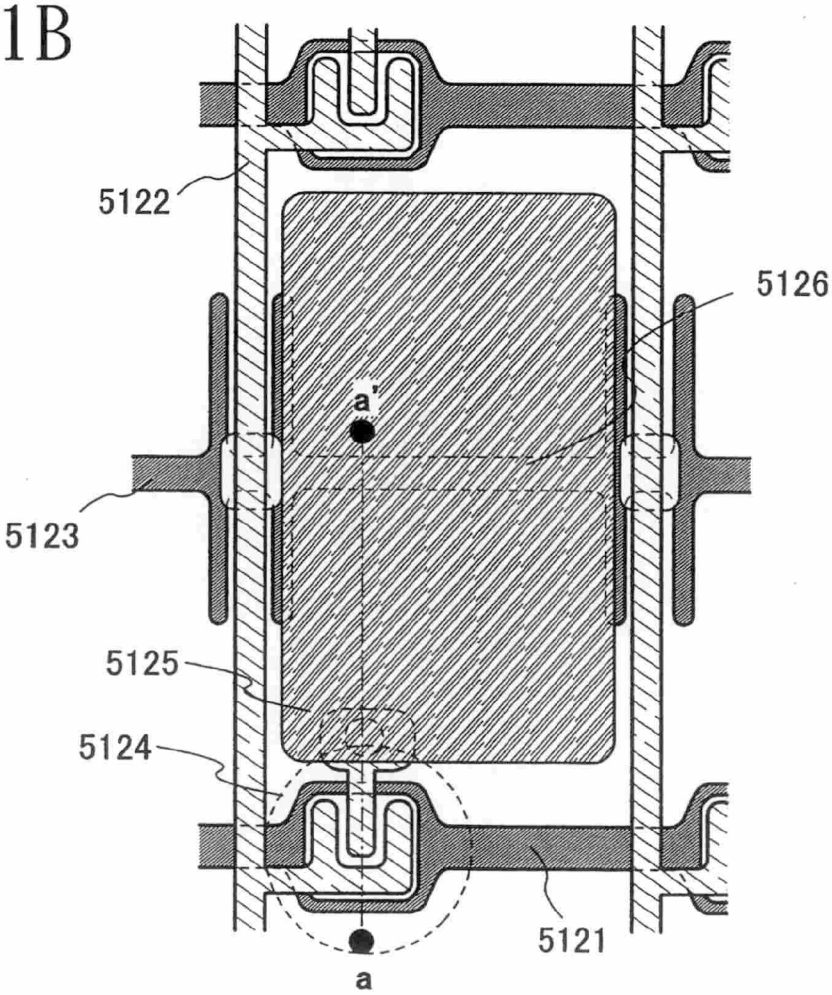

5122
5126
a'
5123
5125
5124
5121
a

圖52A

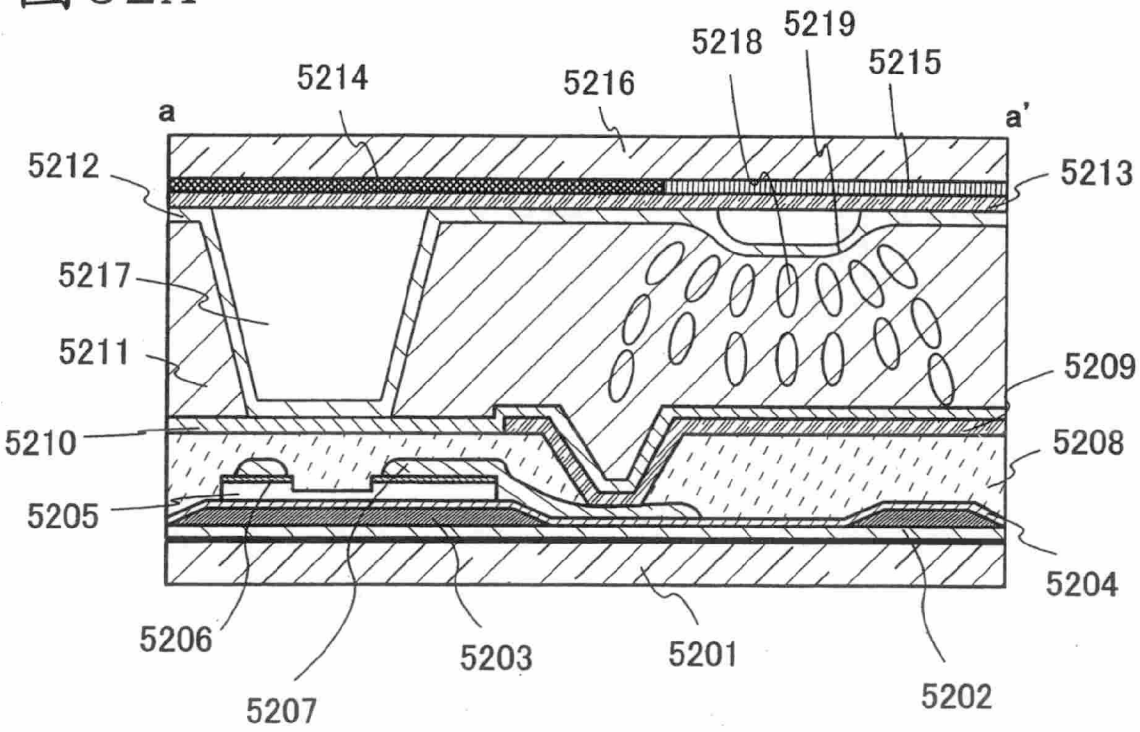

a
a'
5214
5216
5218
5219
5215
5212
5213
5217
5211
5209
5210
5208
5205
5204
5206
5203
5201
5202
5207

圖52B

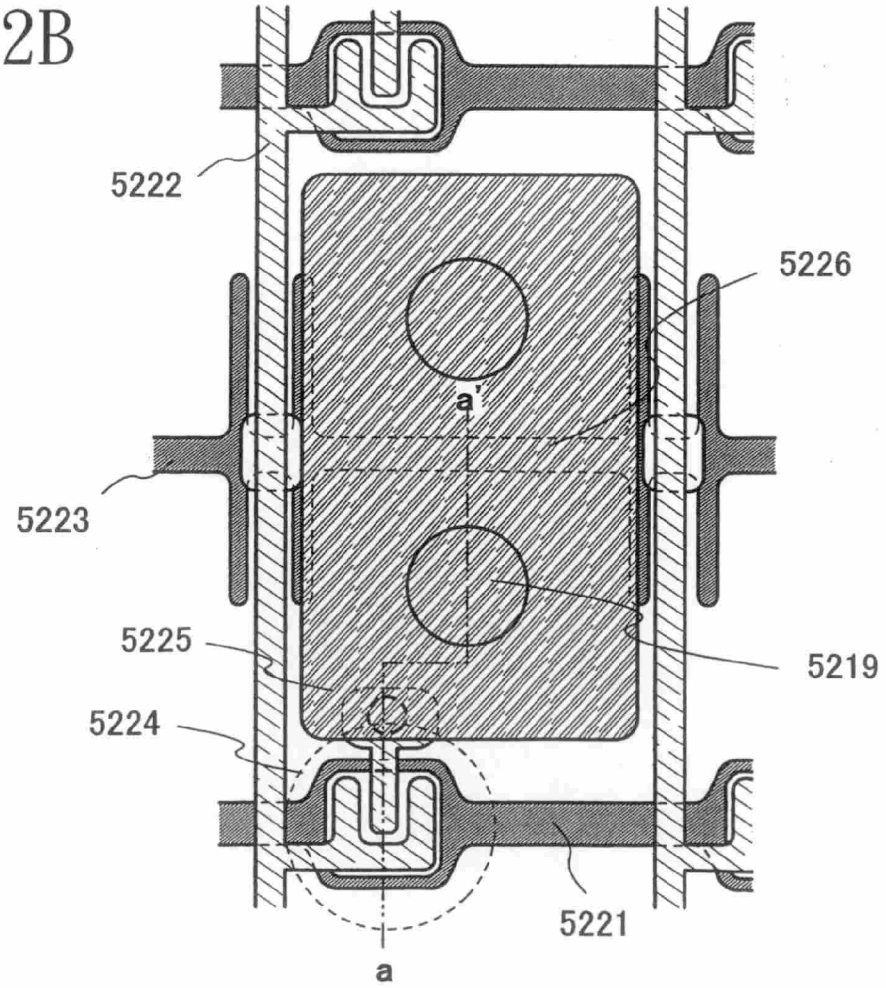

5222
5226
a'
5223
5225
5219
5224
5221
a

圖53A

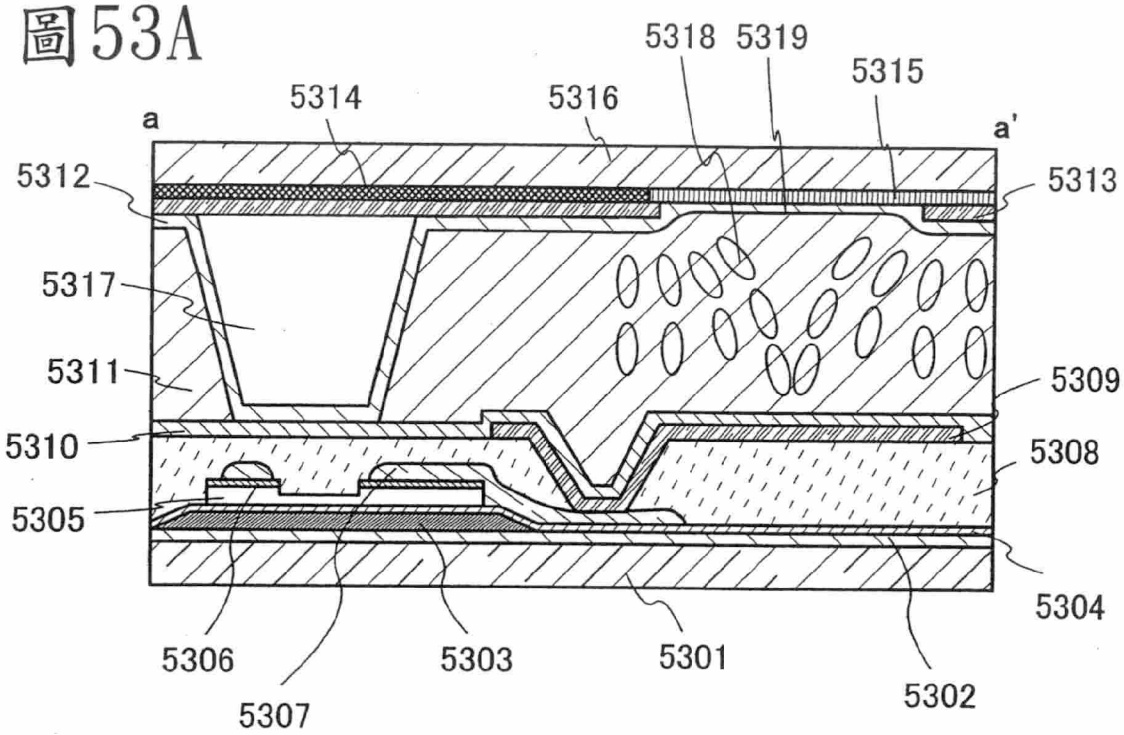

5318
5319
5315
5314
5316
a
a'
5312
5313
5317
5311
5309
5310
5308
5305
5304
5306
5303
5301
5307
5302

圖53B

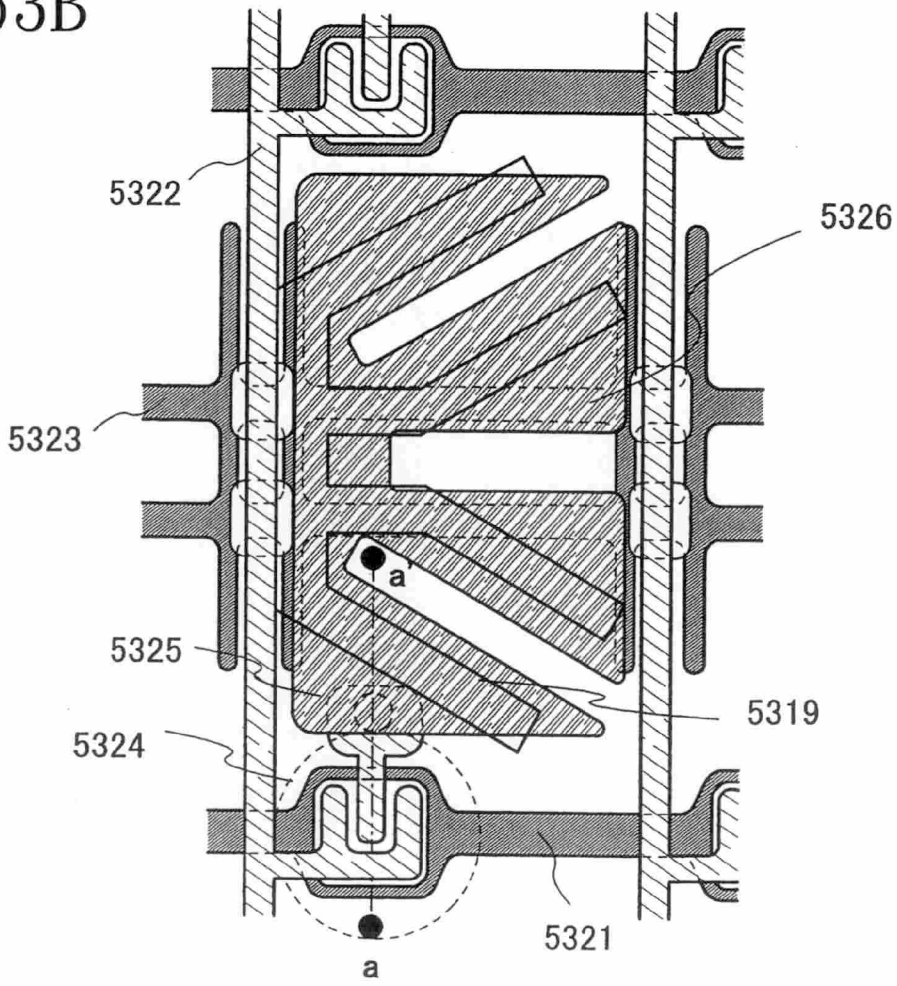

5322
5326
5323
a'
5325
5319
5324
5321
a

圖54A

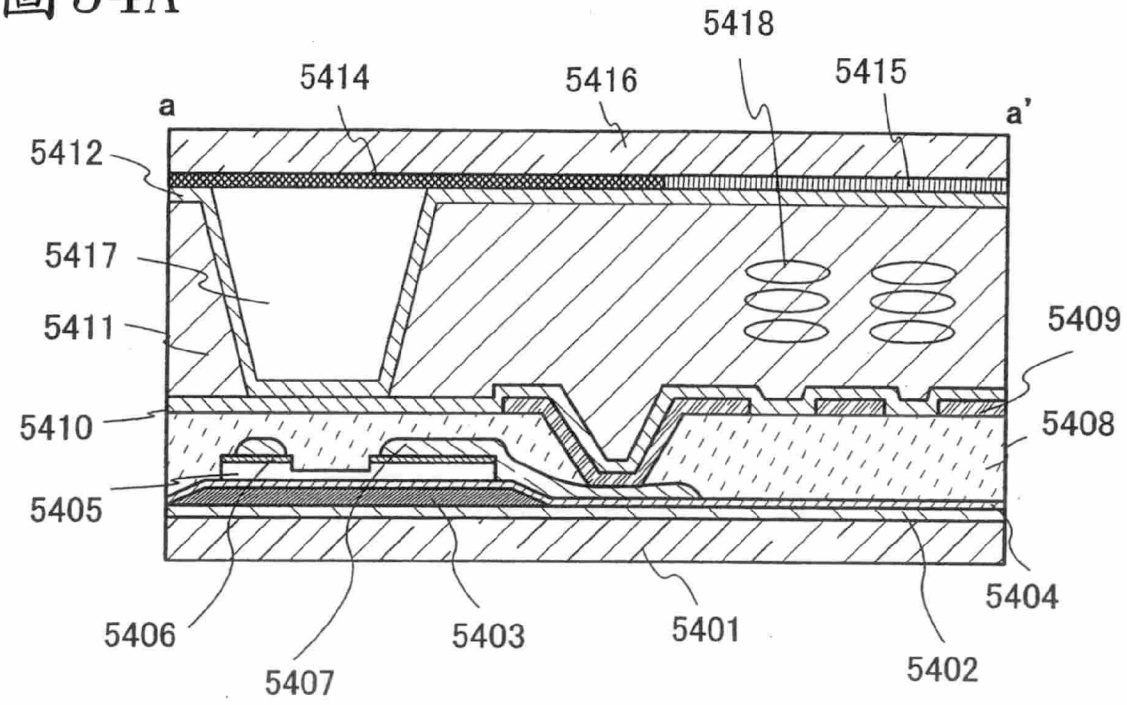

5418
5414
5416
5415
a
a'
5412
5417
5411
5409
5410
5408
5405
5404
5406
5403
5401
5402
5407

圖54B

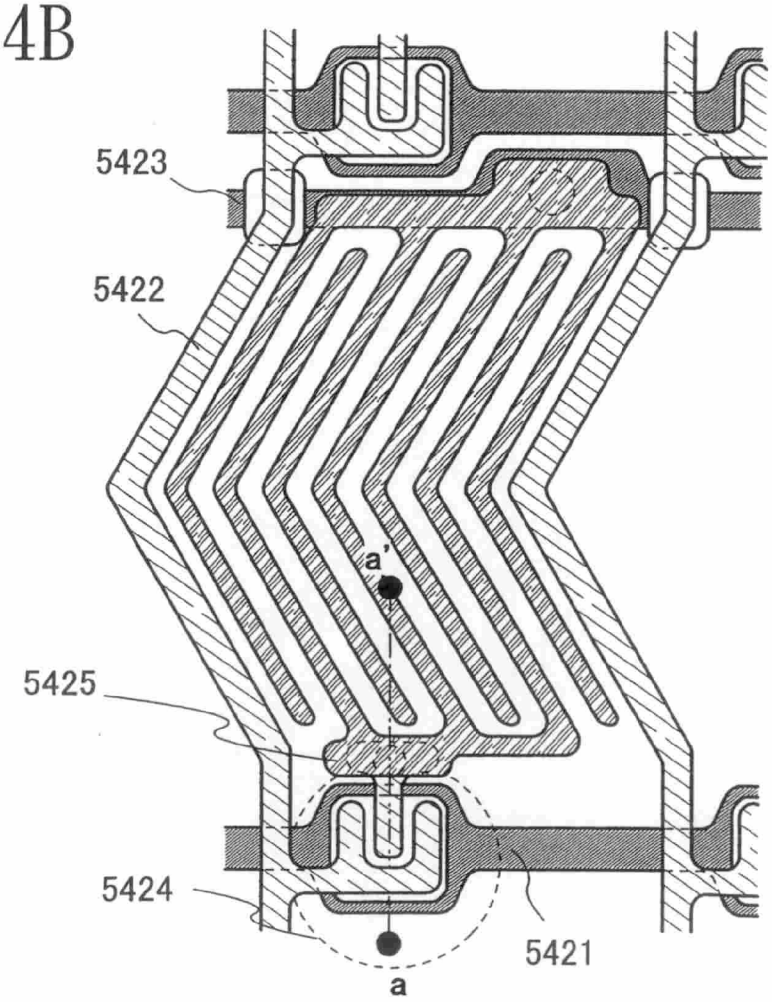

5423
5422
a'
5425
5424
5421
a

圖55A

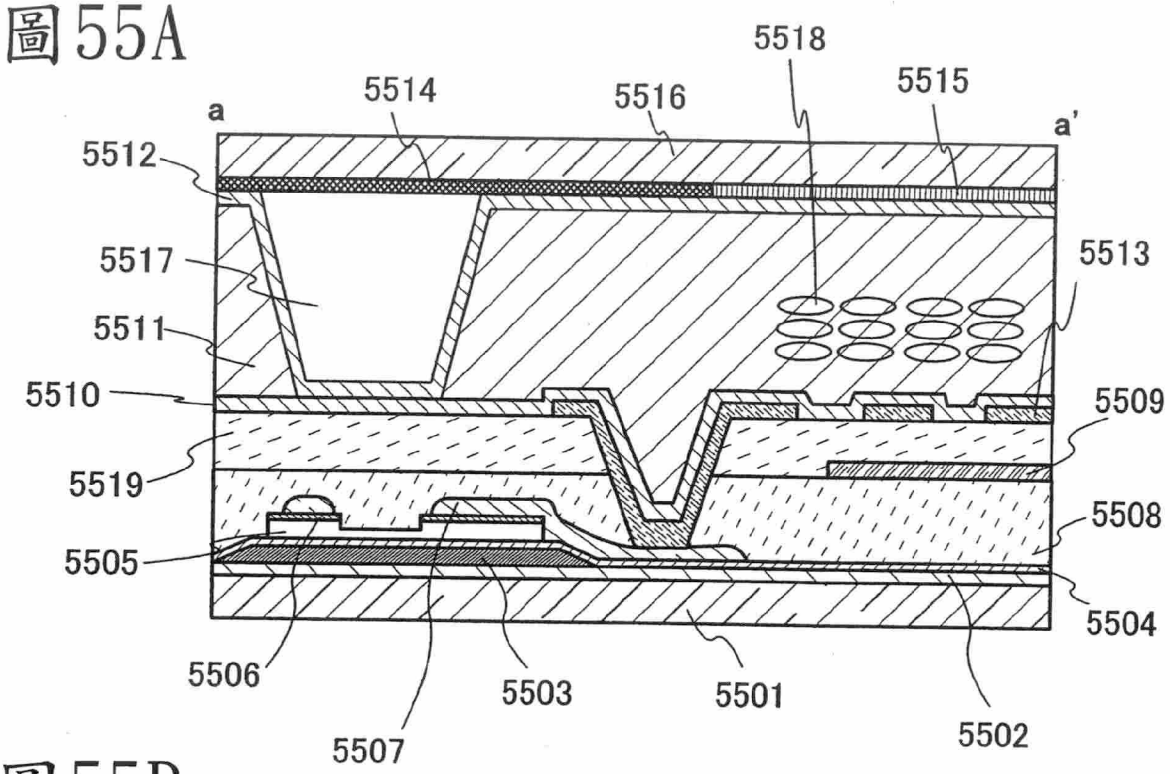
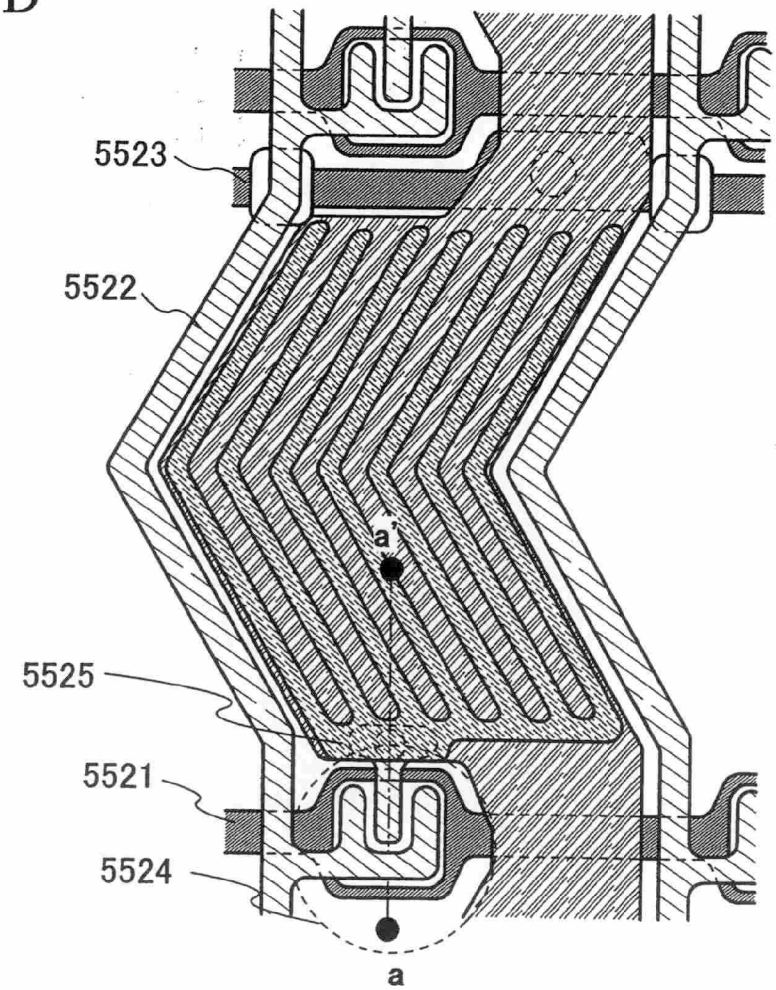

a
a'
5512
5514
5516
5518
5515
5517
5513
5511
5510
5509
5519
5508
5505
5504
5506
5503
5501
5507
5502

圖55B


5523
5522
a'
5525
5521
5524
a

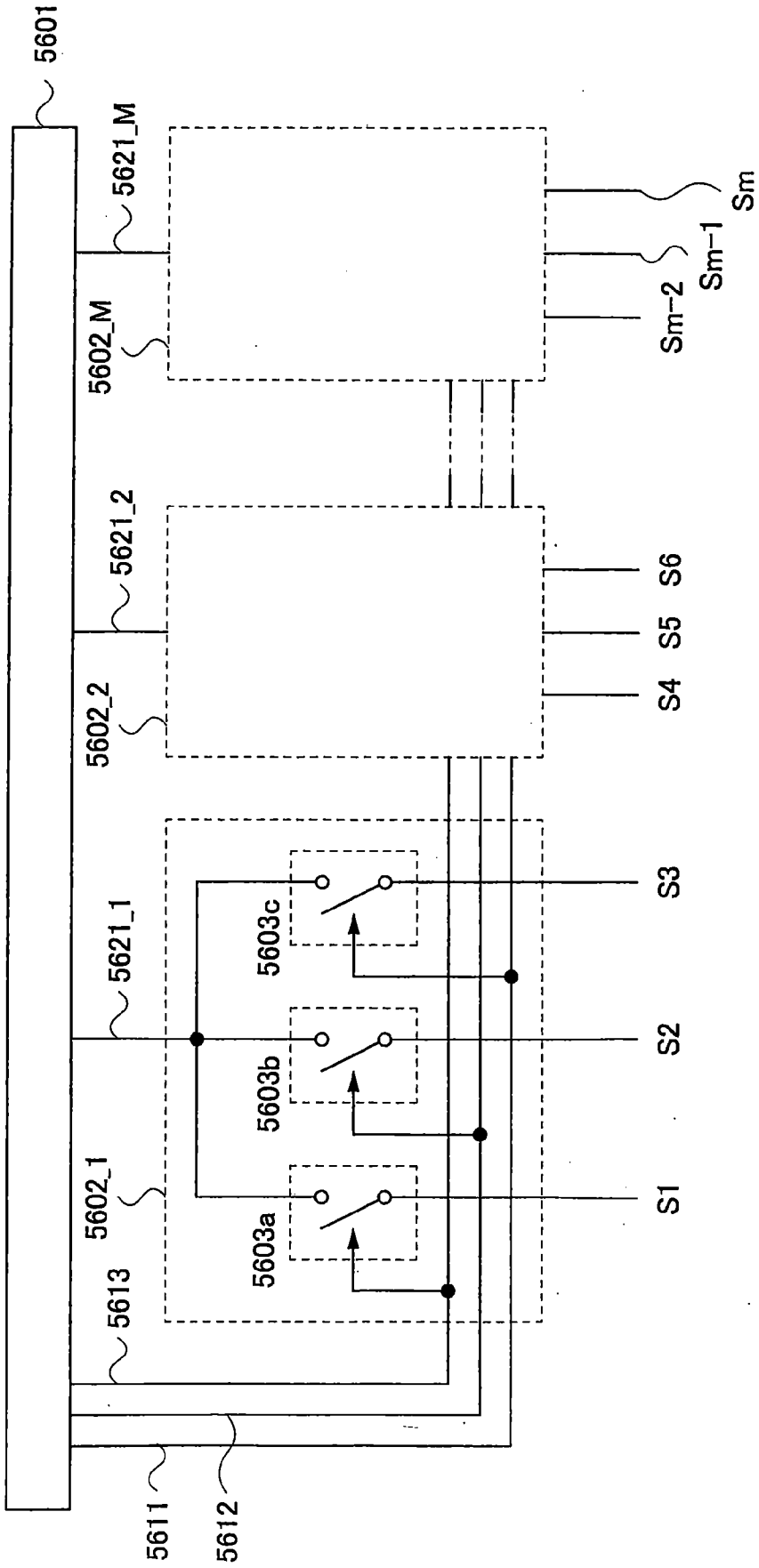

5601
5621_M
5602_M
5621_2
5602_2
5621_1
5602_1
5613
5611
5612
5603c
5603b
5603a
Sm
Sm-1
Sm-2
S6
S5
S4
S3
S2
S1

圖56

圖57

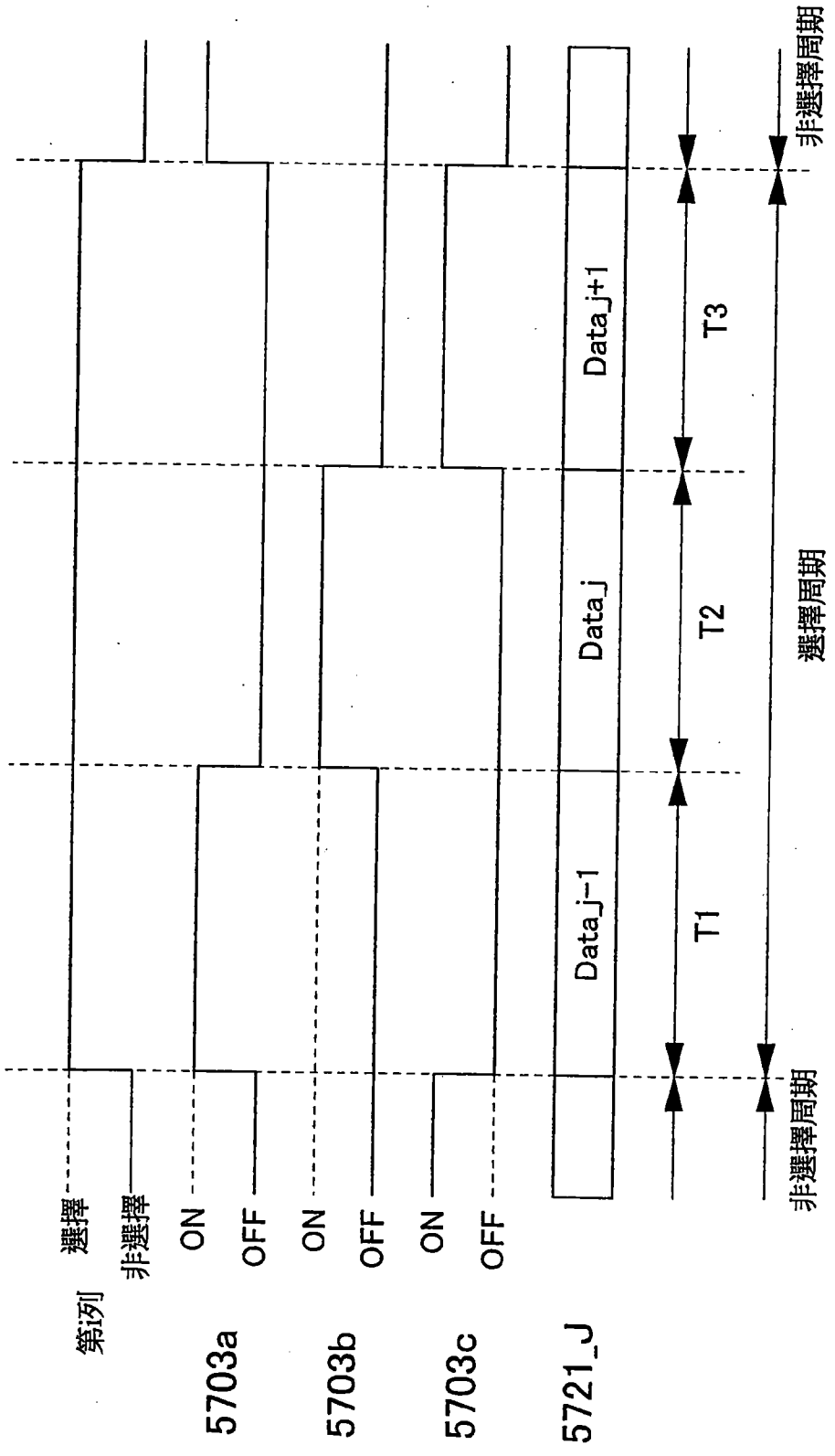

第i列
選擇
非選擇
ON
OFF
5703a
5703b
5703c
5721_J
Data_j-1
Data_j
Data_j+1
T1
T2
T3
選擇周期
非選擇周期
非選擇周期

圖58

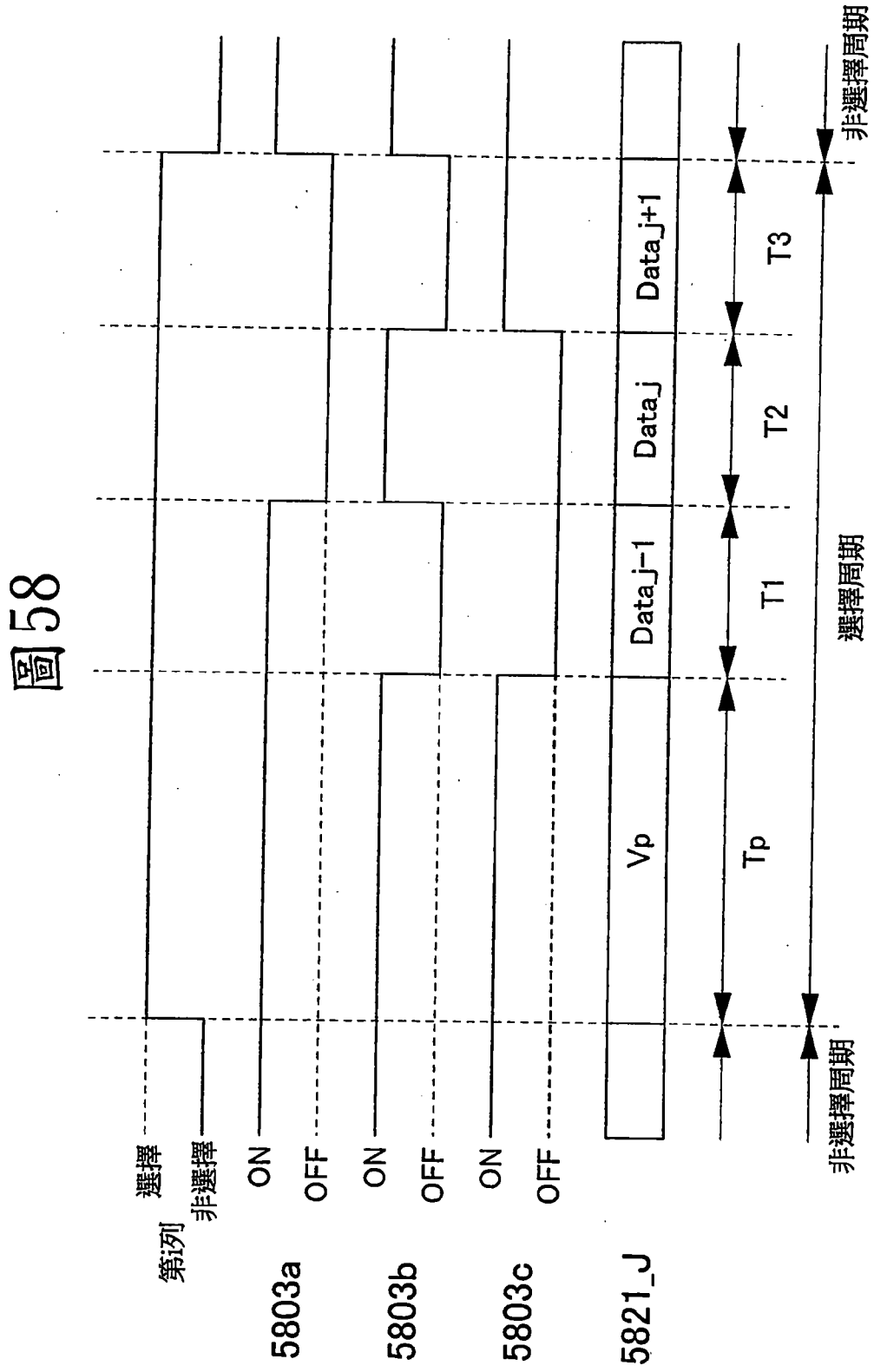

第i列
選擇
非選擇
5803a
ON
OFF
5803b
ON
OFF
5803c
ON
OFF
5821_J
Vp
Data_j-1
Data_j
Data_j+1
Tp
T1
T2
T3
選擇周期
非選擇周期
非選擇周期

圖59

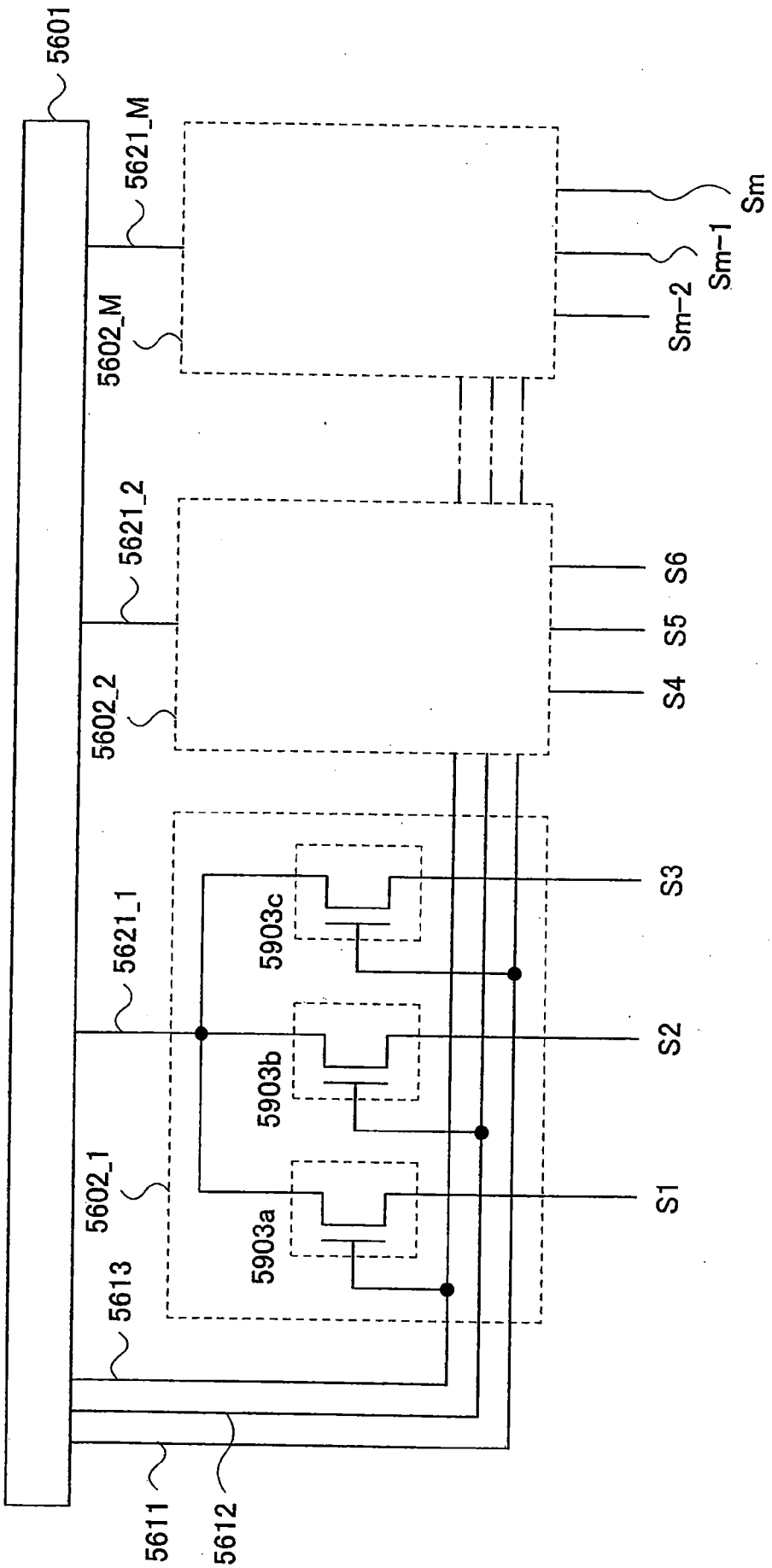

5601
5621_M
5602_M
5621_2
5602_2
5621_1
5602_1
5613
5611
5612
5903c
5903b
5903a
Sm
Sm-1
Sm-2
S6
S5
S4
S3
S2
S1

圖60

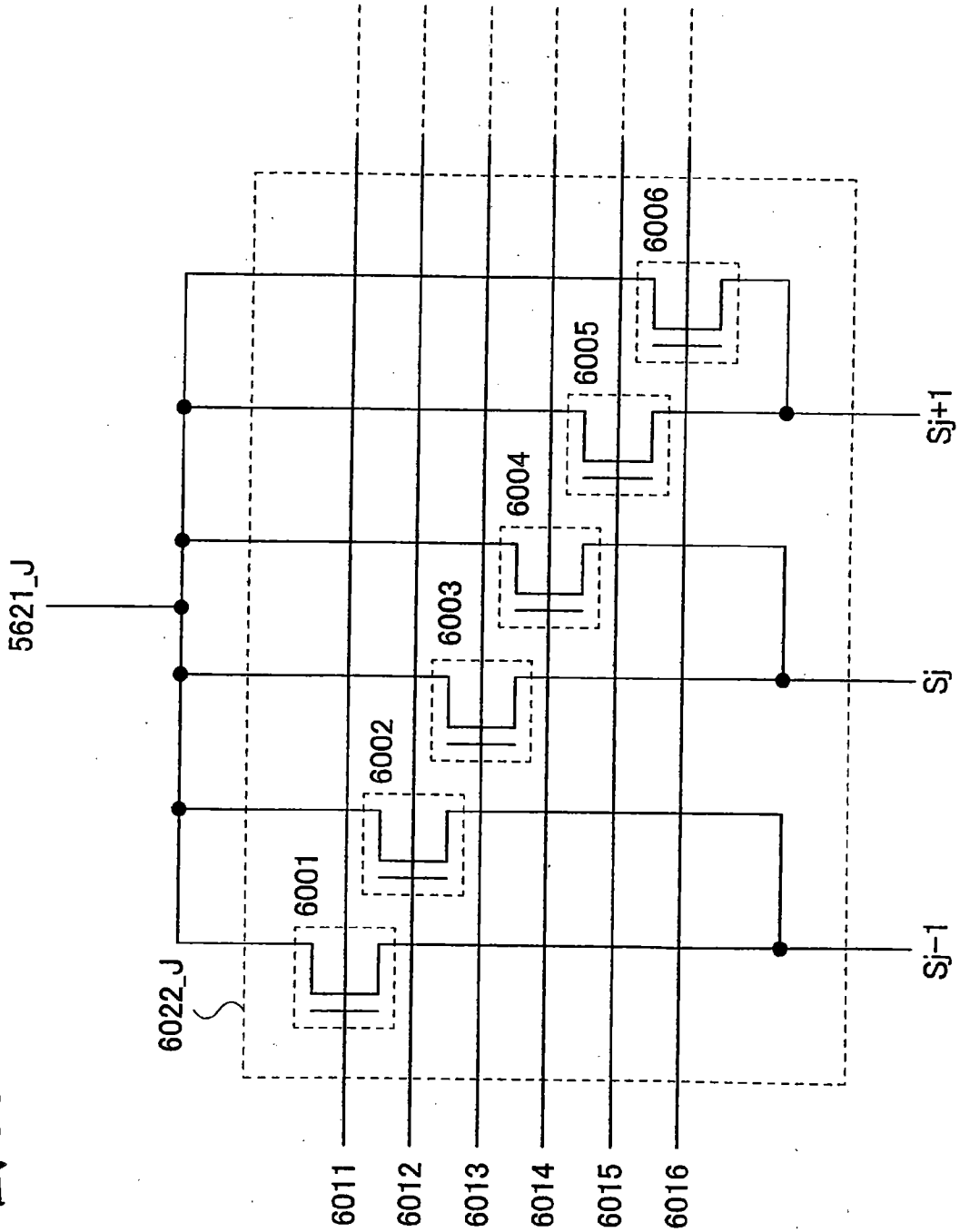

5621_J
6022_J
6001
6002
6003
6004
6005
6006
6011
6012
6013
6014
6015
6016
Sj-1
Sj
Sj+1

圖61A

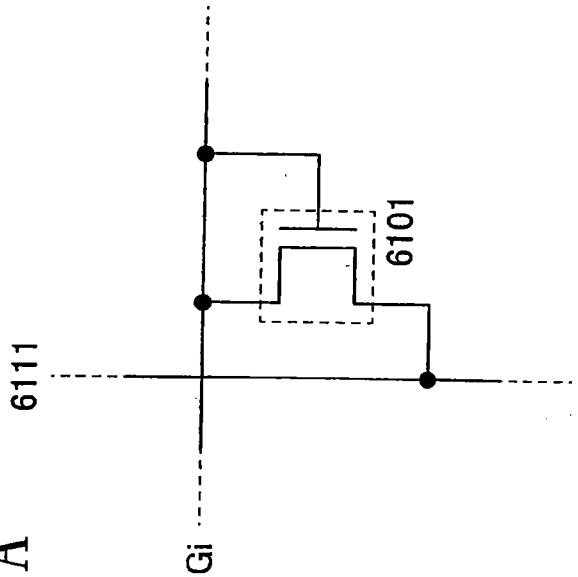


圖61B

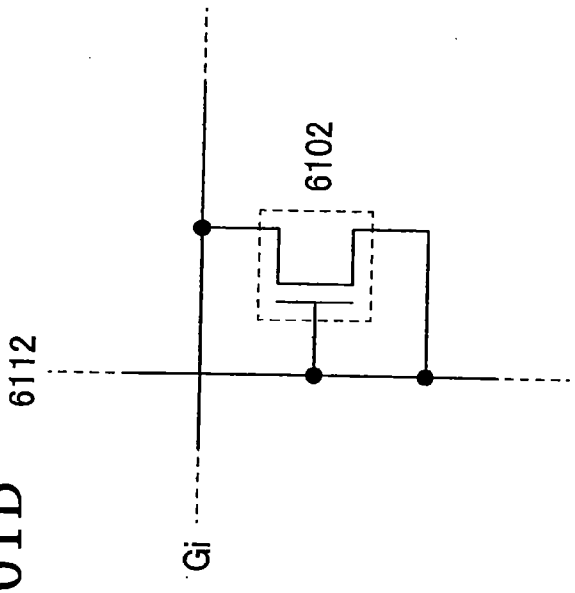


圖61C

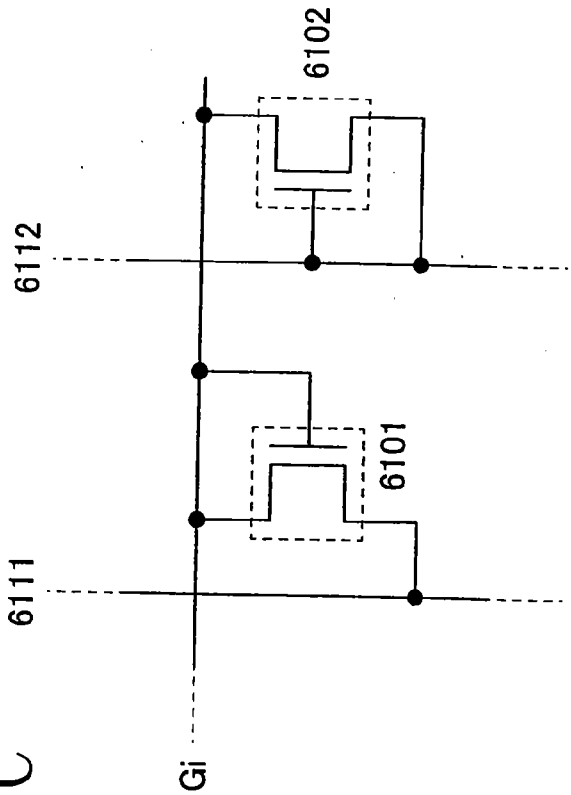


圖62A

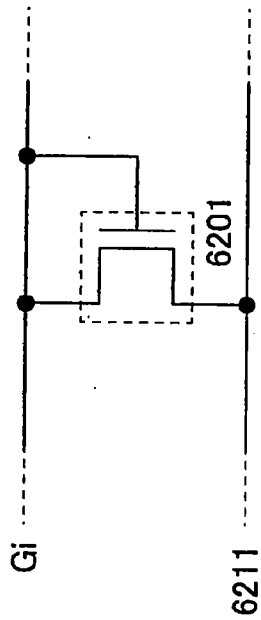


圖62B

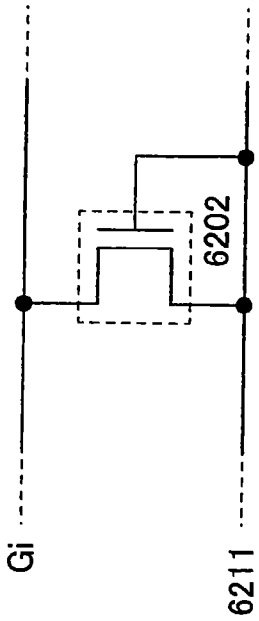


圖63A

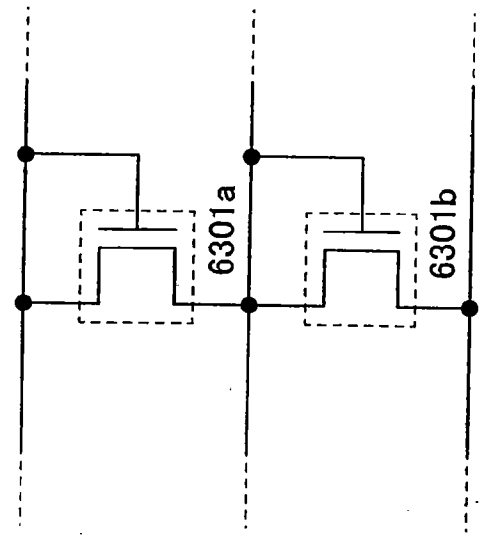


圖63B

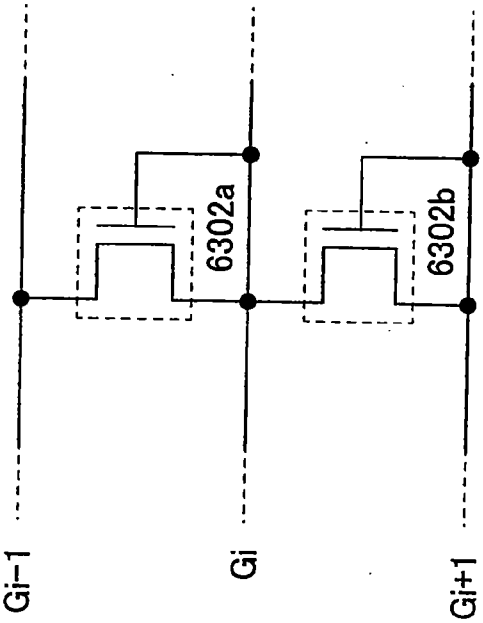
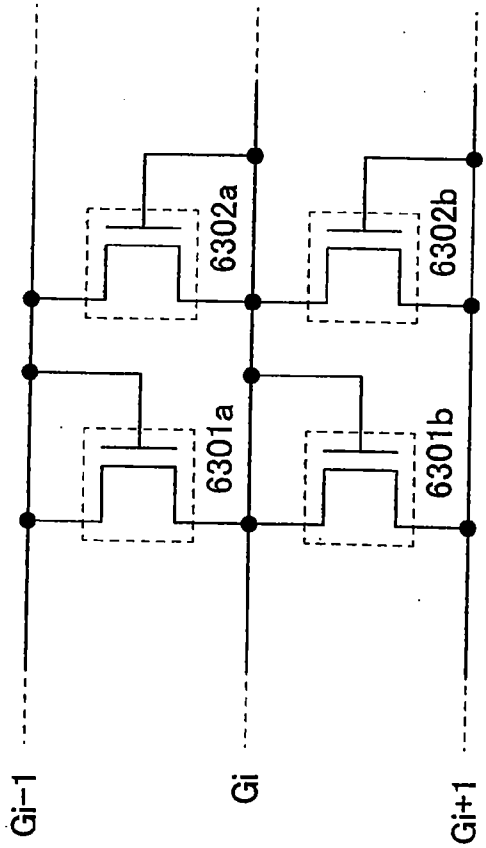


圖63C



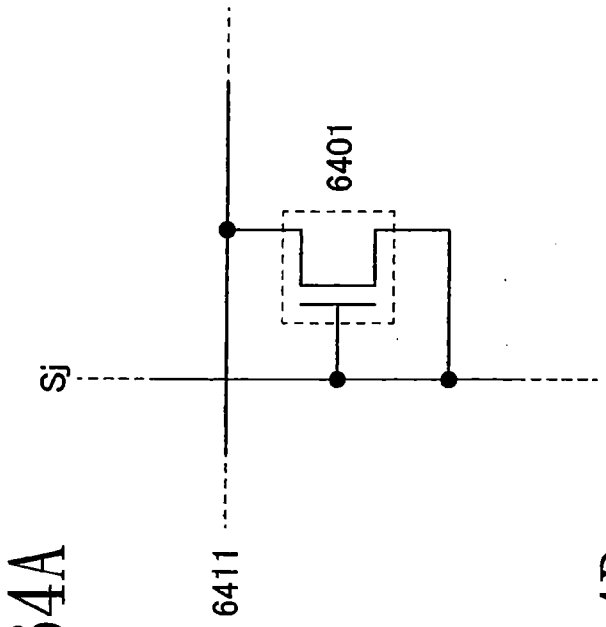


圖64A

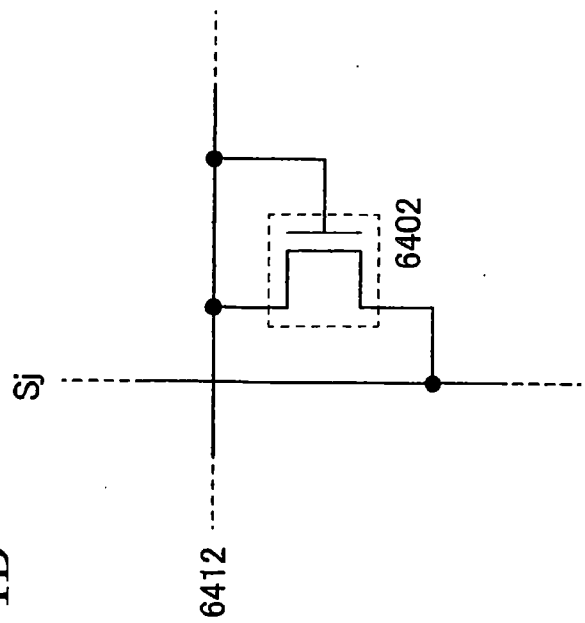


圖64B

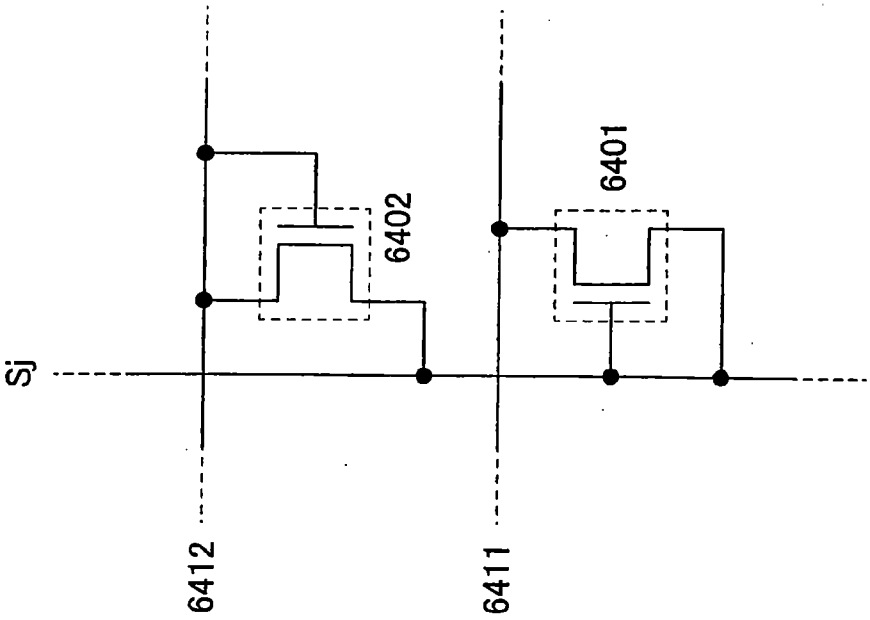


圖64C

圖65B

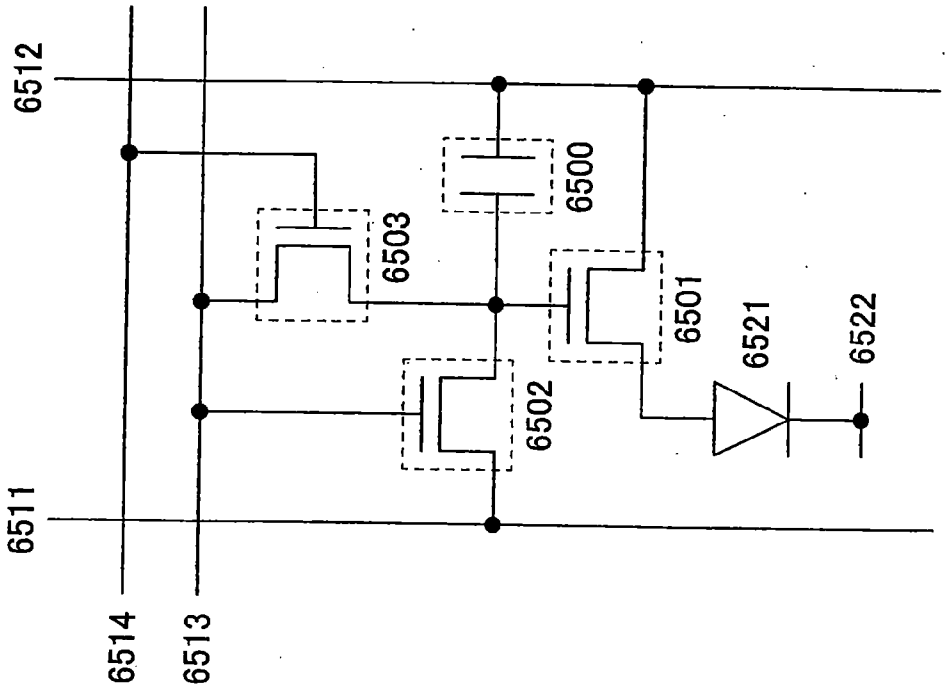

6512
6500
6503
6501
6521
6522
6502
6511
6514
6513

圖65A

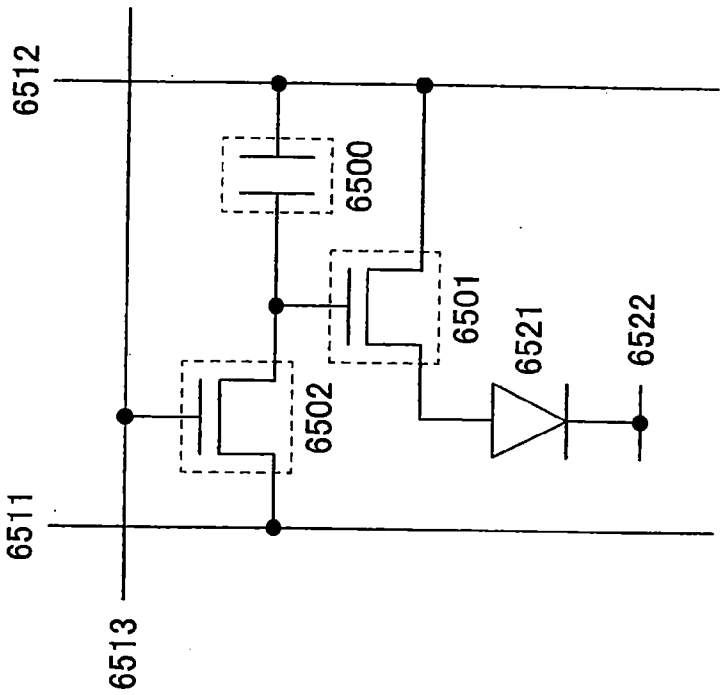

6512
6500
6501
6521
6522
6502
6511
6513

圖66

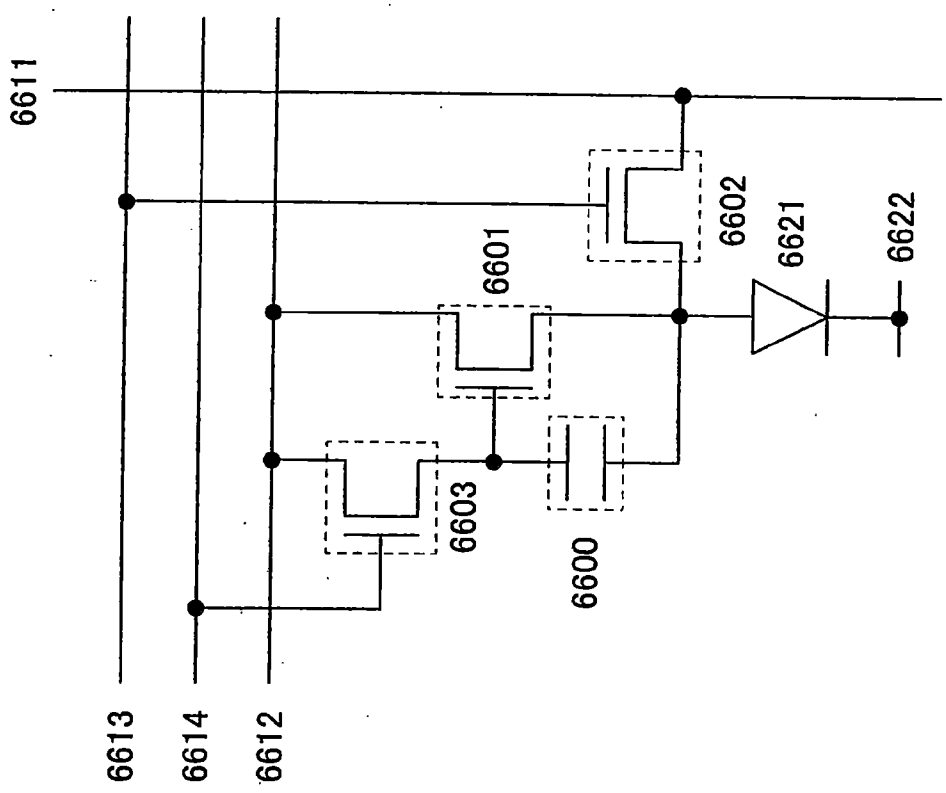


圖67

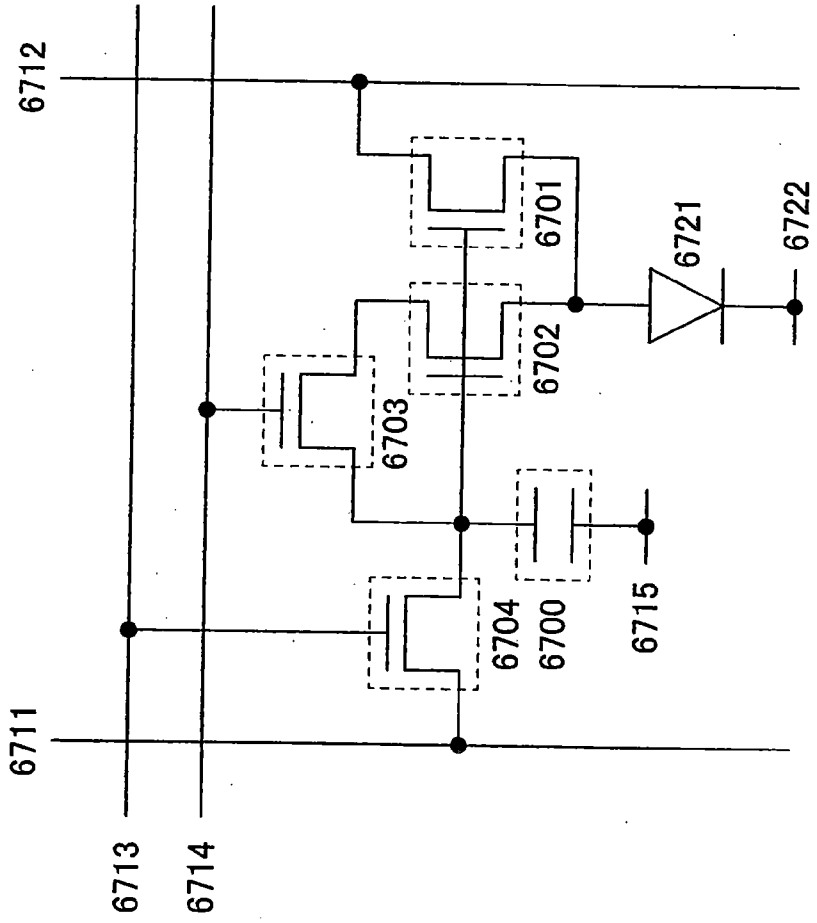


圖68

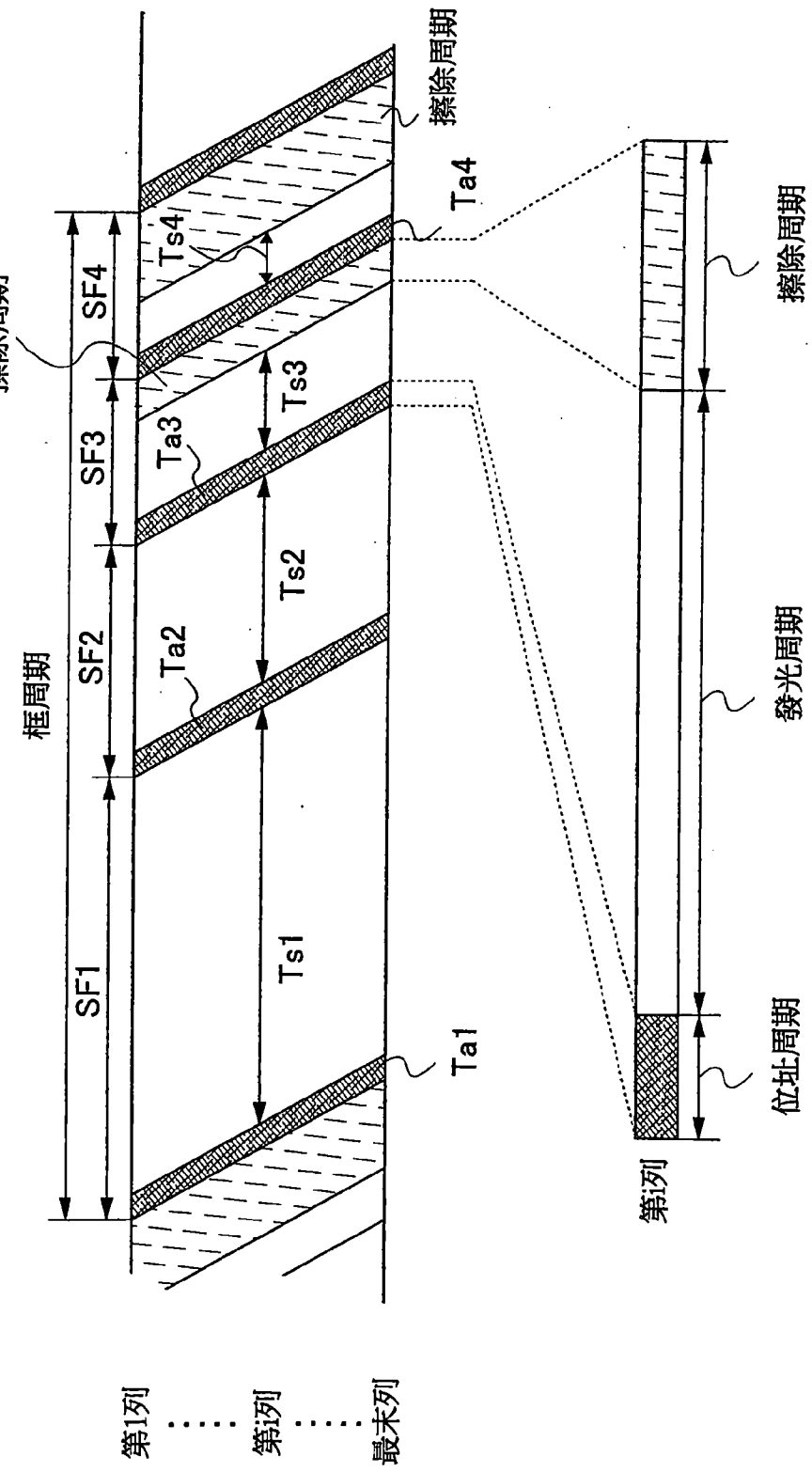

框周期
擦除周期
擦除周期
擦除周期
SF1
SF2
SF3
SF4
Ts1
Ts2
Ts3
Ts4
Ta1
Ta2
Ta3
Ta4
發光周期
位址周期
第1列
第i列
最末列
第i列

圖69A

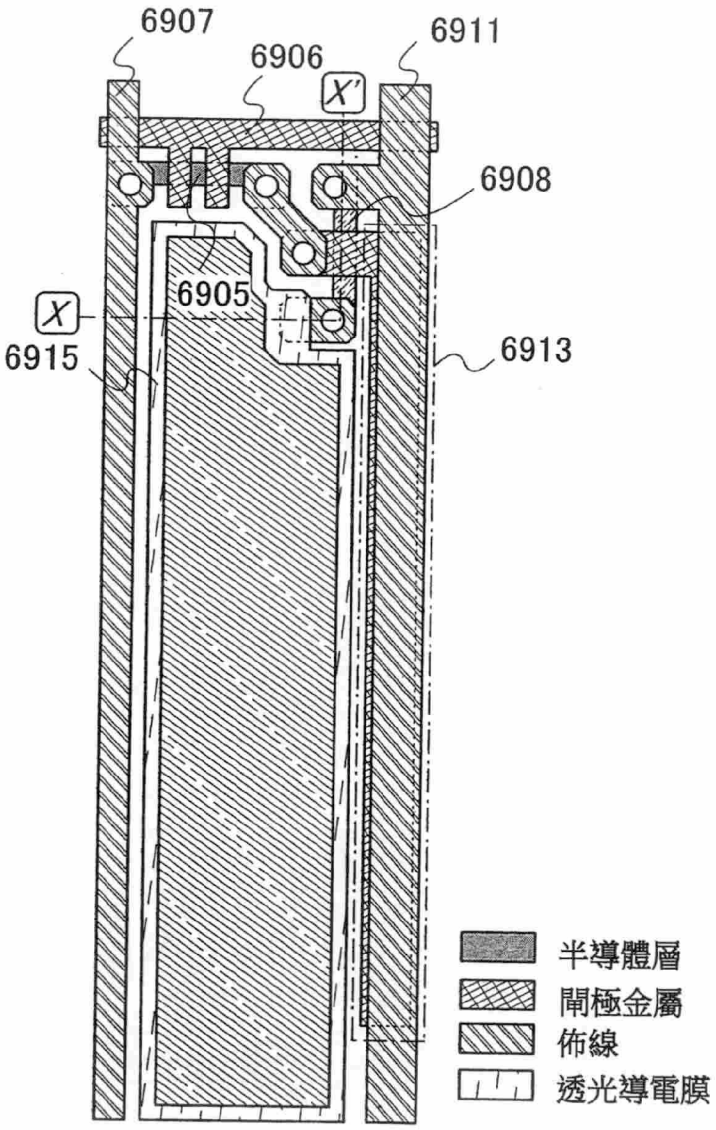

6907
6906
6911
X'
6908
6905
X
6915
6913
半導體層
閘極金屬
佈線
透光導電膜

圖69B

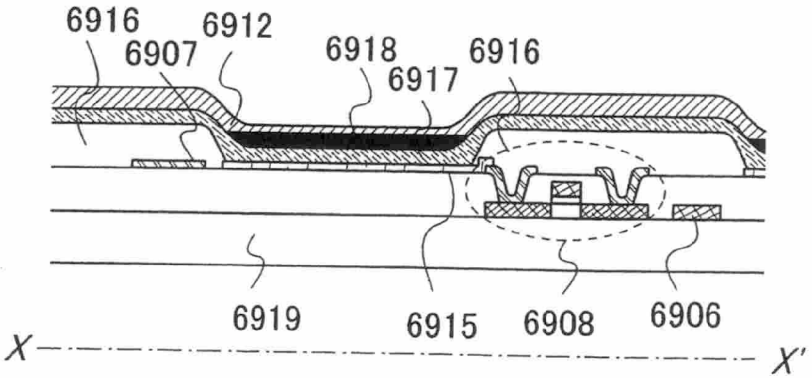

6916
6912
6907
6918
6916
6917
6919
6915
6908
6906
X
X'

圖70A

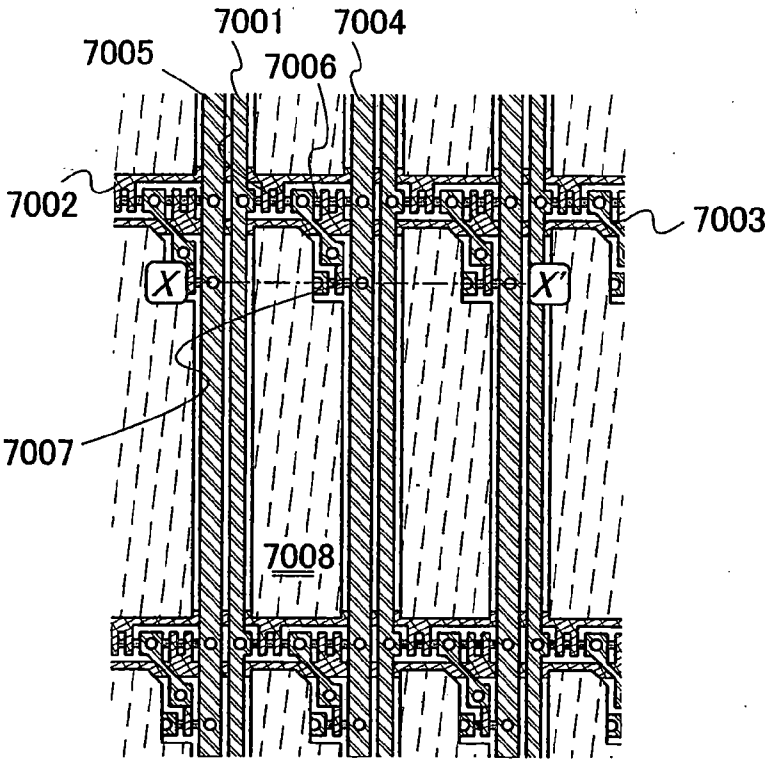

7001
7004
7005
7006
7002
7003
X
X'
7007
7008

圖70B

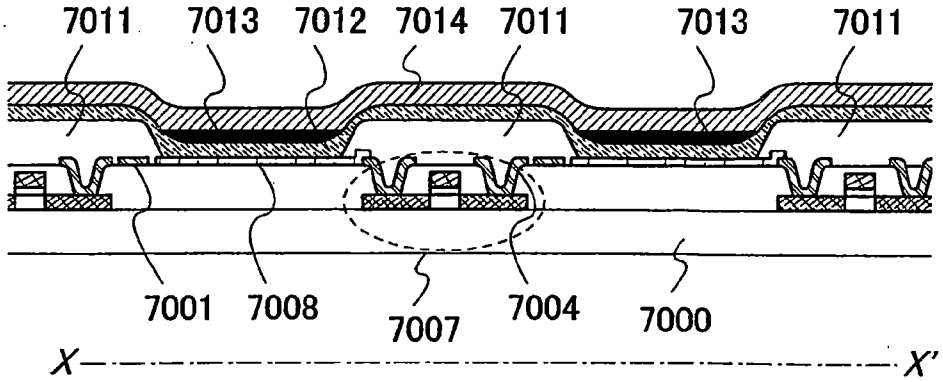

7011
7013
7012
7014
7011
7013
7011
7001
7008
7007
7004
7000
X
X'

圖71A

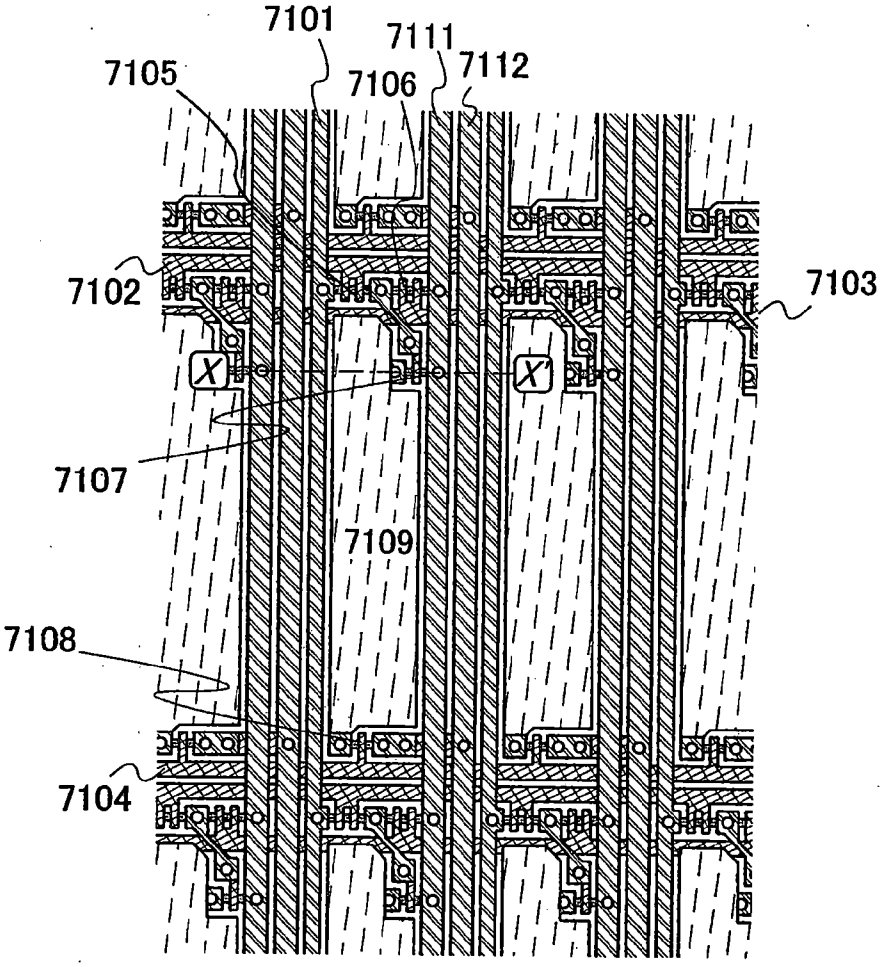

7101
7111
7112
7105
7106
7102
7103
X
X'
7107
7109
7108
7104

圖71B

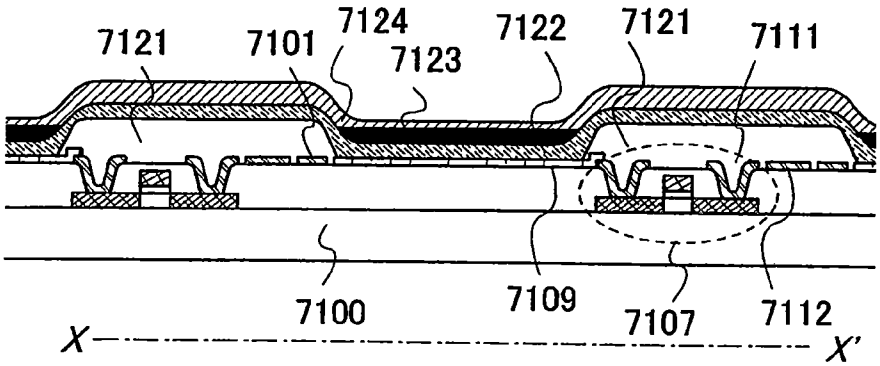

7121
7101
7124
7123
7122
7121
7111
7100
7109
7107
7112
X
X'

圖72A

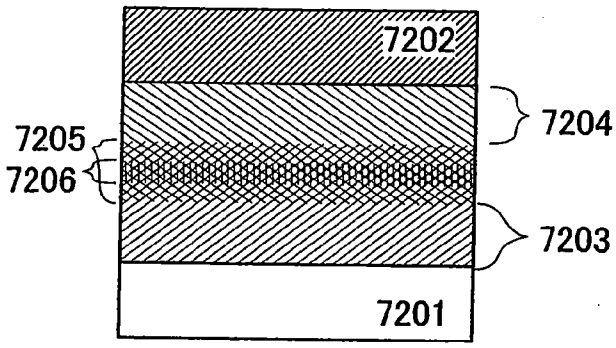


圖72B

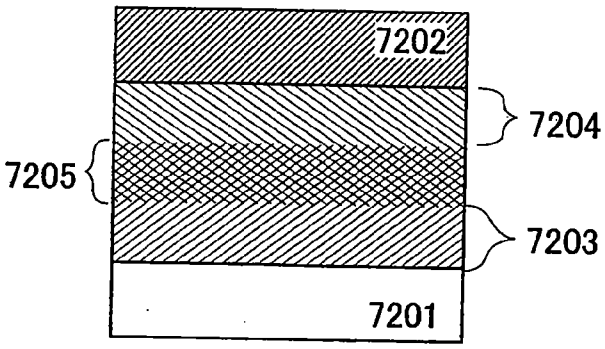


圖72C

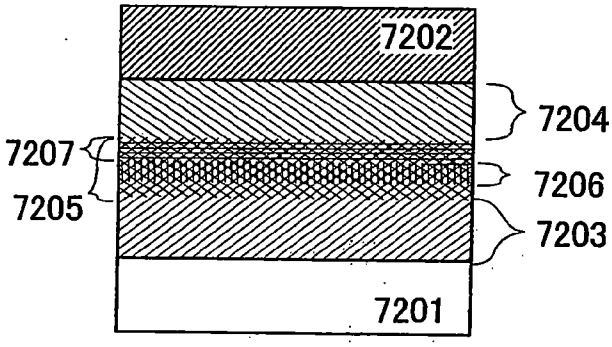


圖72D

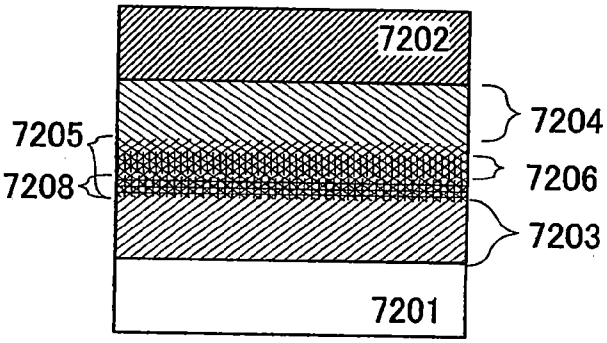


圖72E

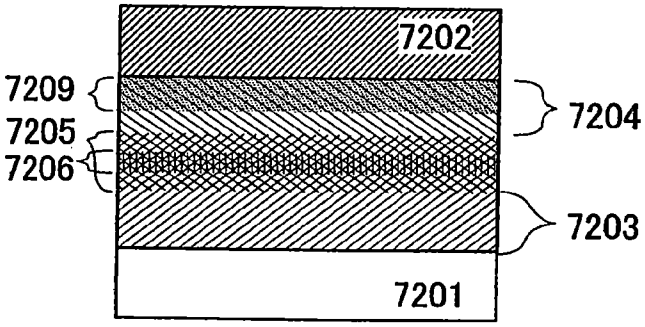


圖73

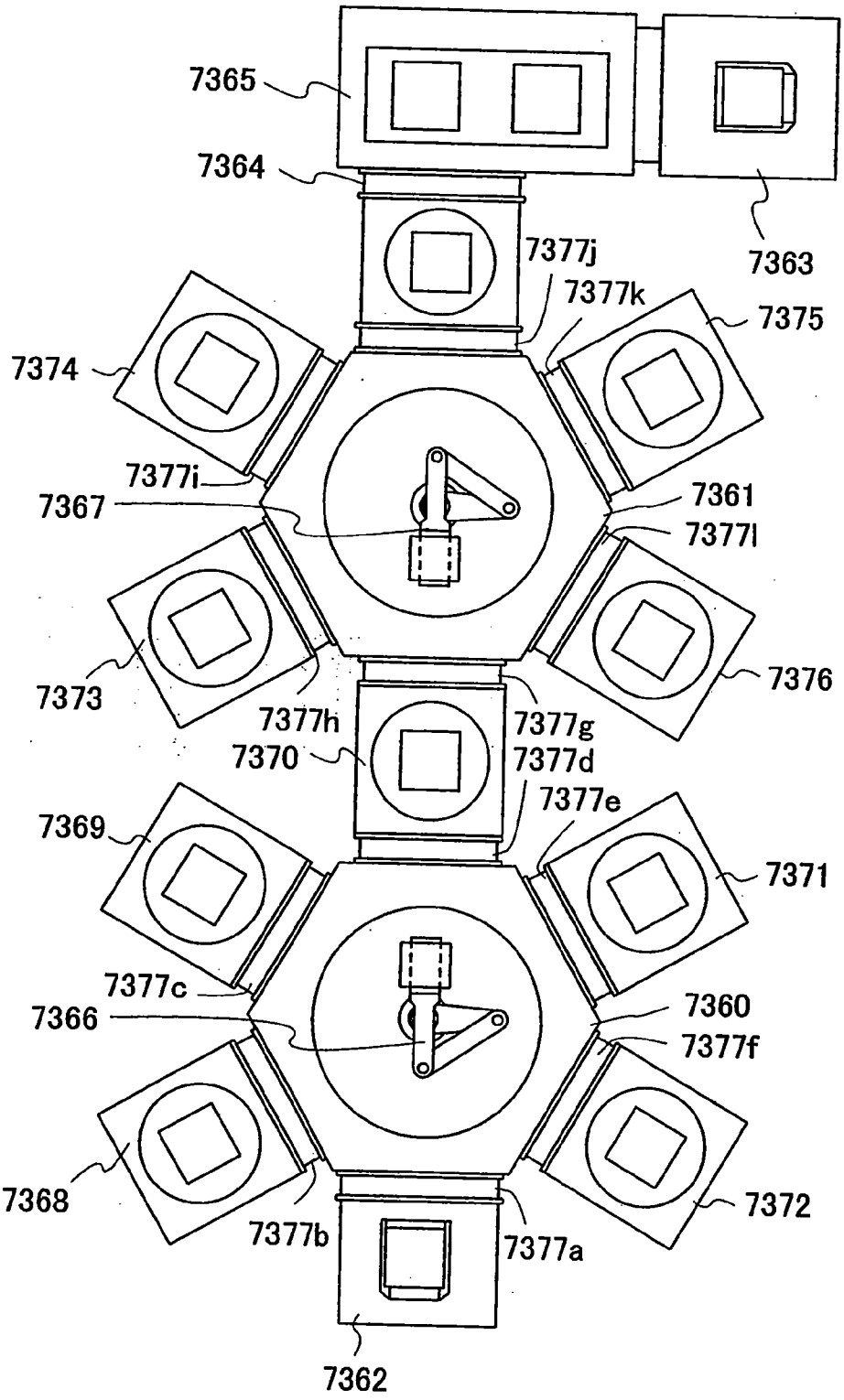

7365
7364
7363
7377j
7377k
7375
7374
7377i
7367
7361
7377l
7373
7376
7377h
7377g
7370
7377d
7377e
7369
7371
7377c
7366
7360
7377f
7368
7372
7377b
7377a
7362

圖74

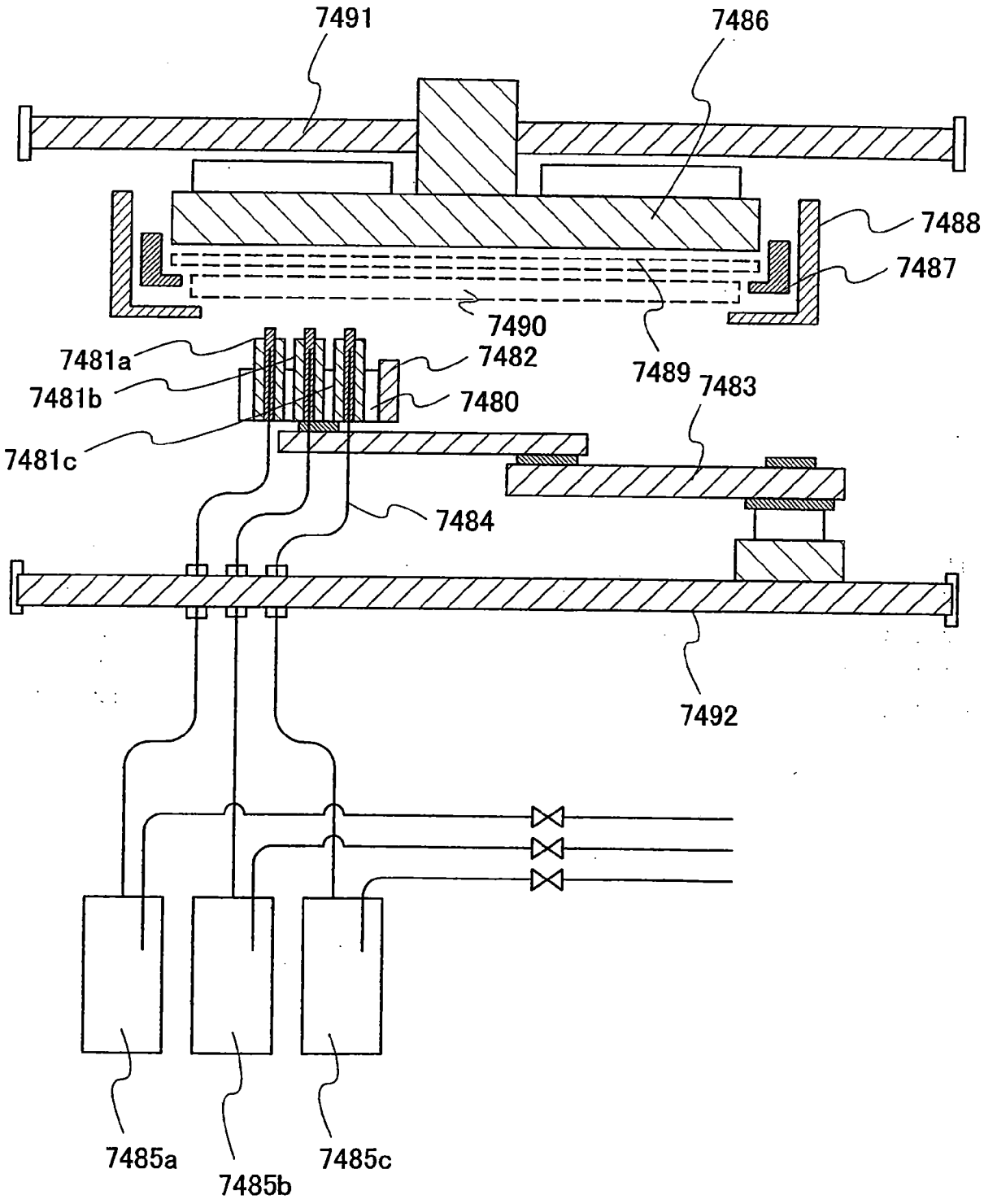

7491
7486
7488
7487
7490
7489
7481a
7482
7481b
7480
7483
7481c
7484
7492
7485a
7485b
7485c

圖75B

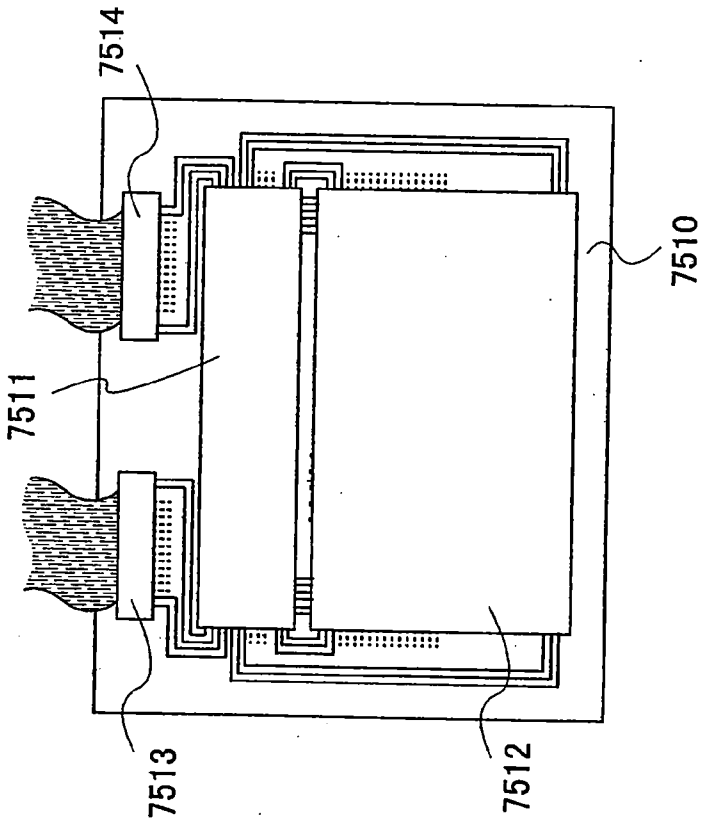

7514
7510
7511
7513
7512

圖75A

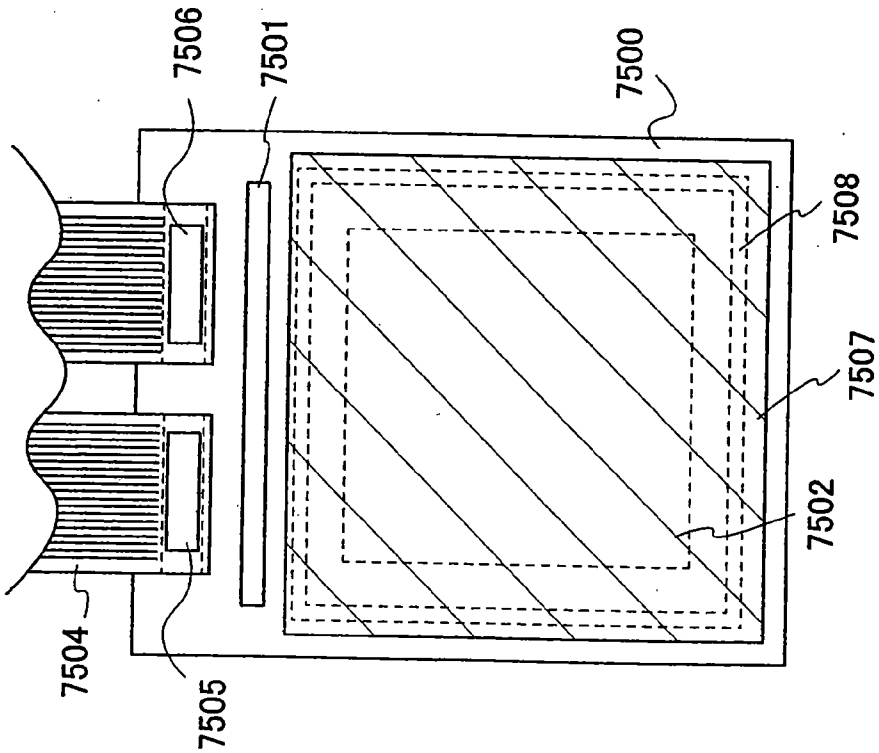

7506
7501
7500
7508
7507
7502
7504
7505

圖76A

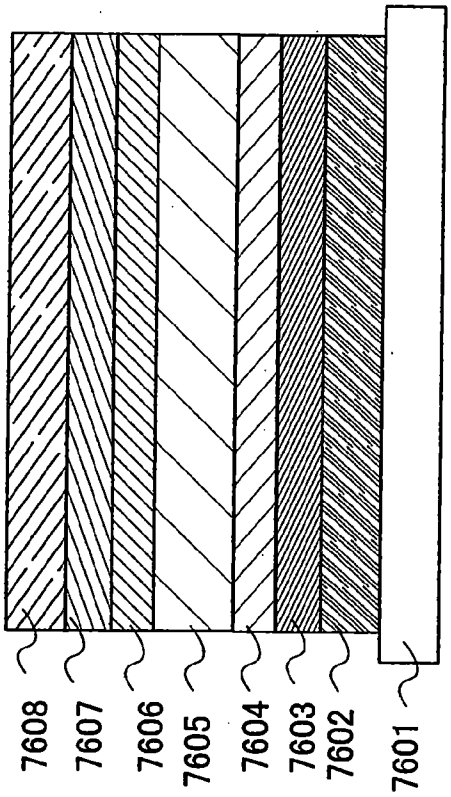
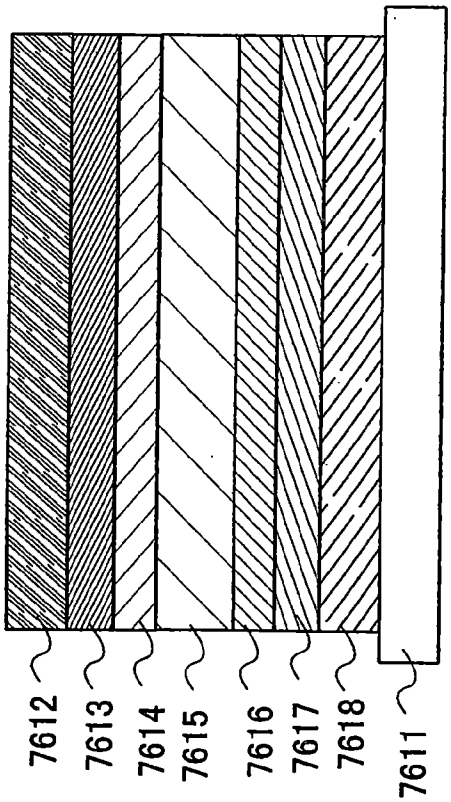

7608
7607
7606
7605
7604
7603
7602
7601

圖76B


7612
7613
7614
7615
7616
7617
7618
7611

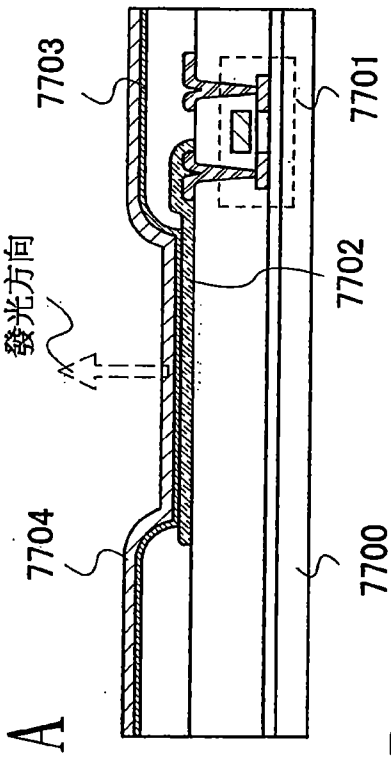


圖 77A

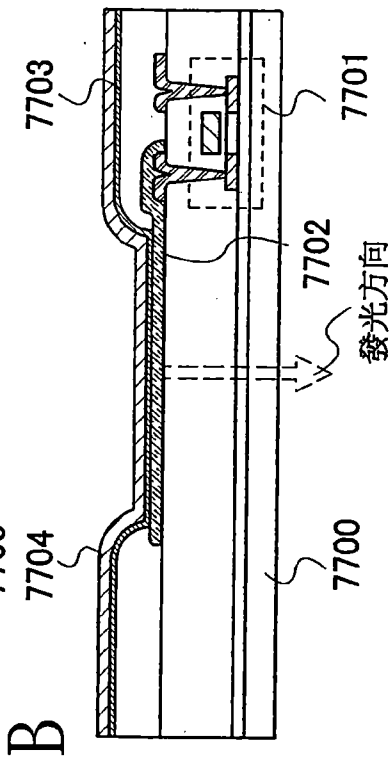


圖 77B

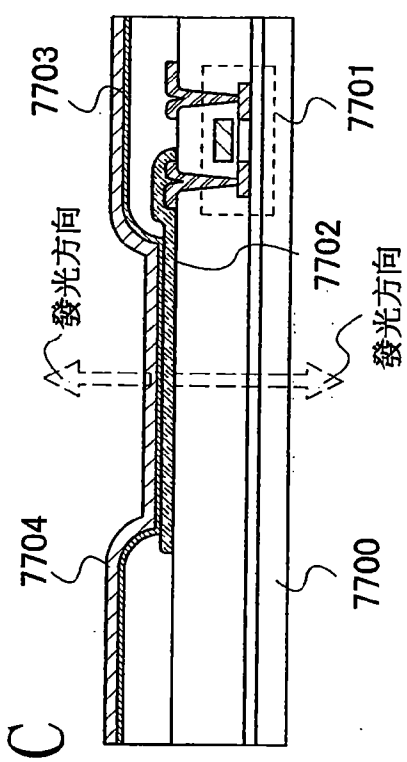
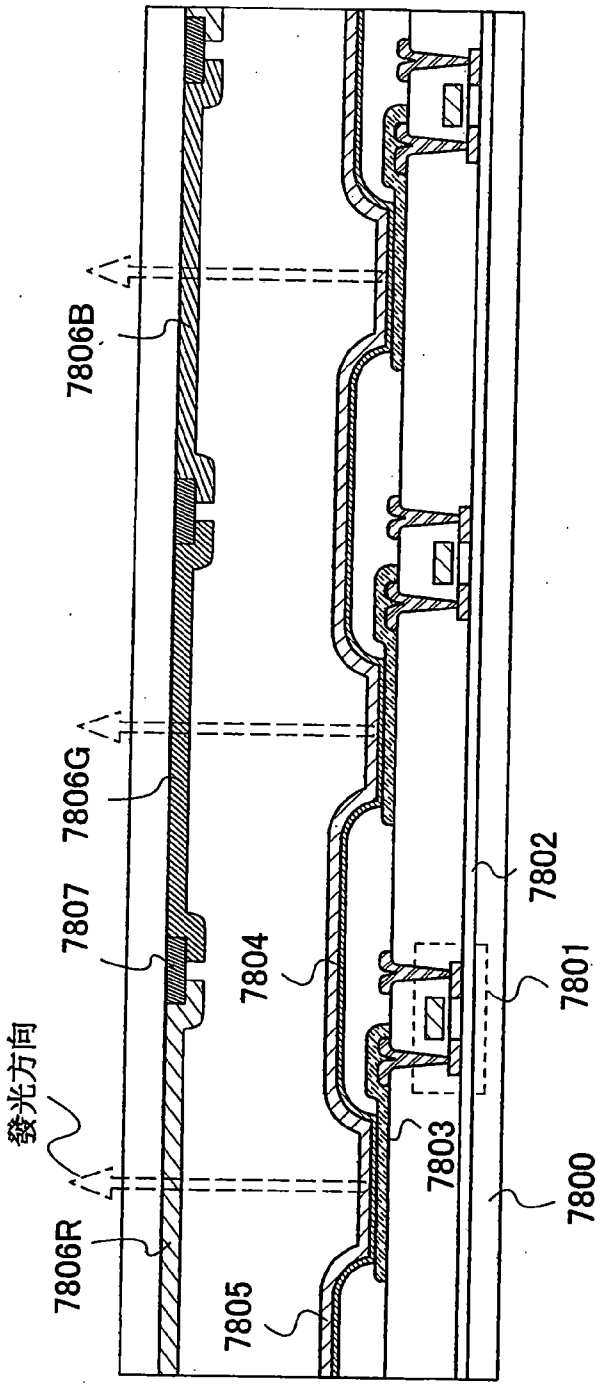


圖 77C

圖78



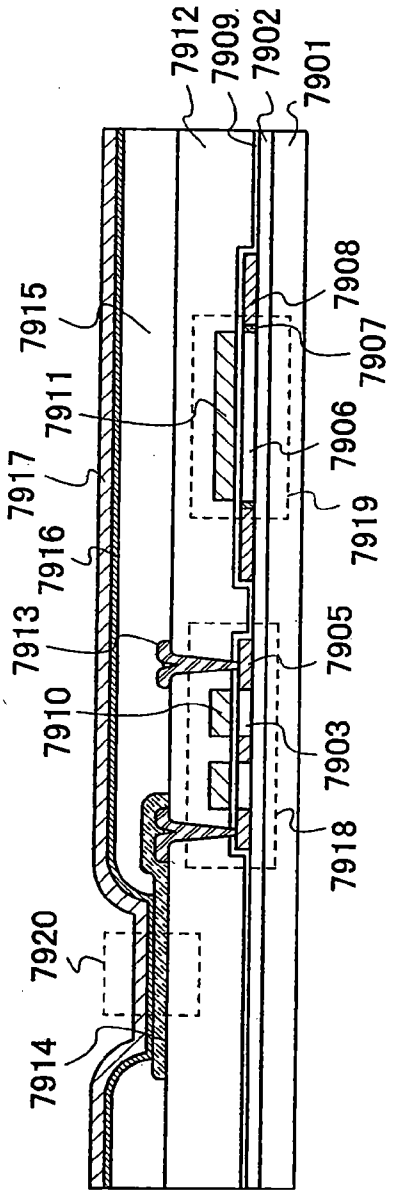

7912
7909
7902
7901
7915
7908
7911
7907
7917
7906
7916
7919
7913
7905
7910
7903
7918
7920
7914

圖79A

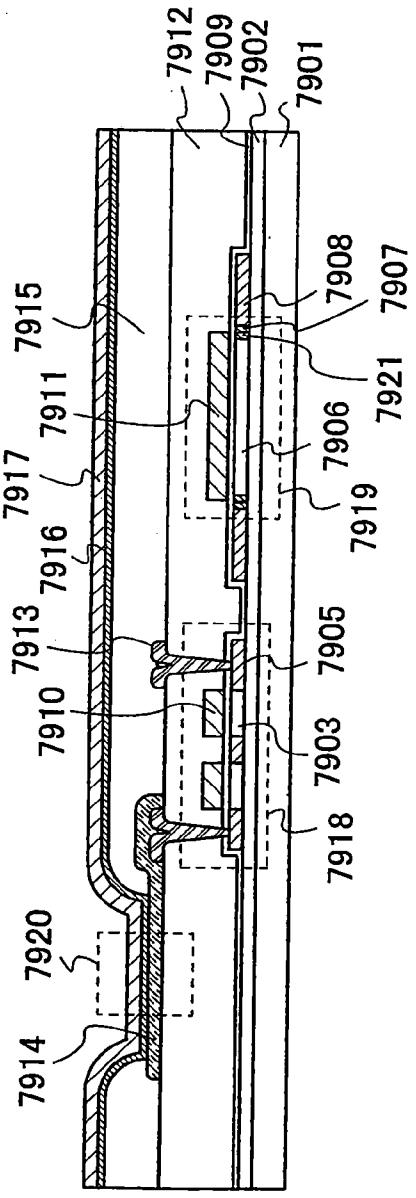

7912
7909
7902
7901
7915
7908
7907
7911
7921
7917
7906
7916
7919
7913
7905
7910
7903
7918
7920
7914

圖79B

圖80A

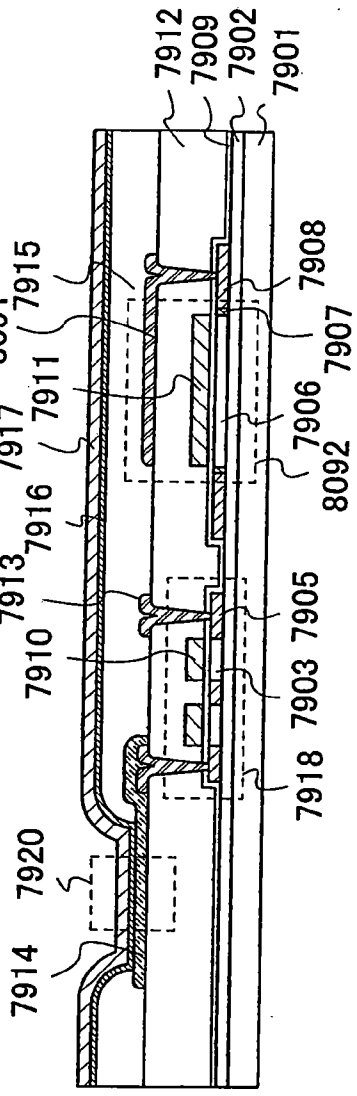
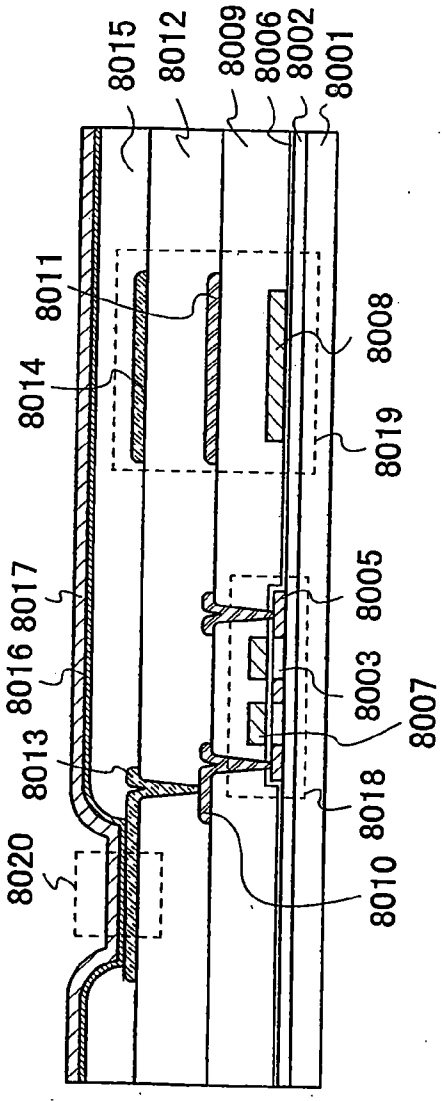

7912
7909
7902
7901
8091
7915
7908
7911
7907
7917
7906
8092
7916
7913
7910
7905
7903
7918
7920
7914

圖80B


8015
8012
8009
8006
8002
8001
8011
8014
8008
8019
8017
8016
8005
8013
8003
8007
8018
8020
8010

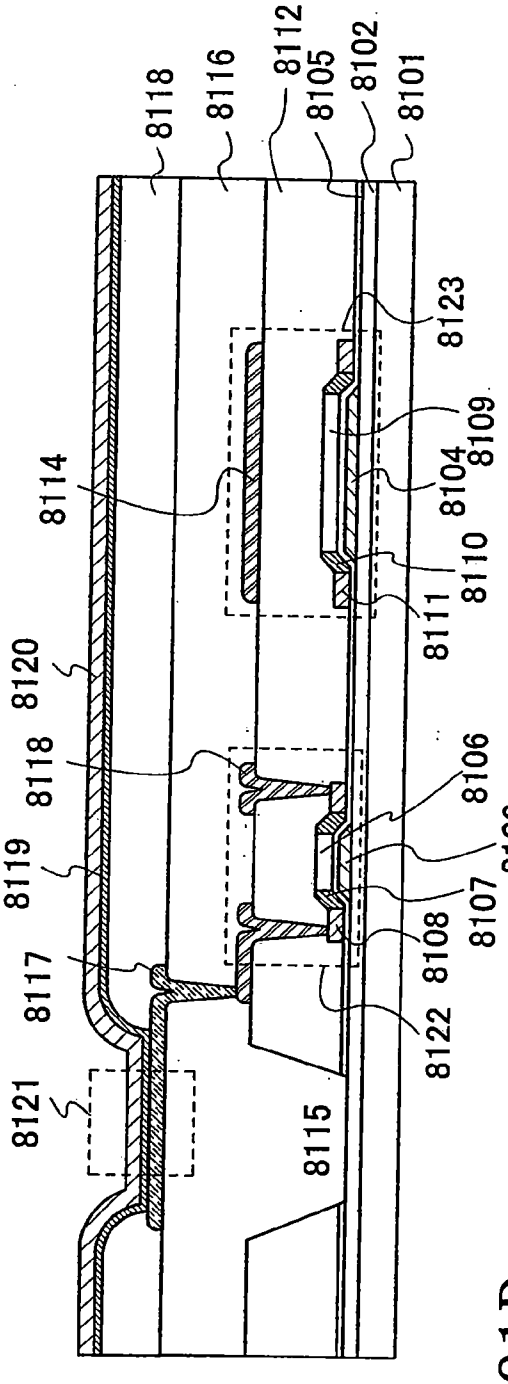

8118
8116
8112
8105
8102
8101
8123
8114
8109
8104
8110
8111
8120
8106
8118
8103
8119
8107
8108
8117
8122
8121
8115

圖81A

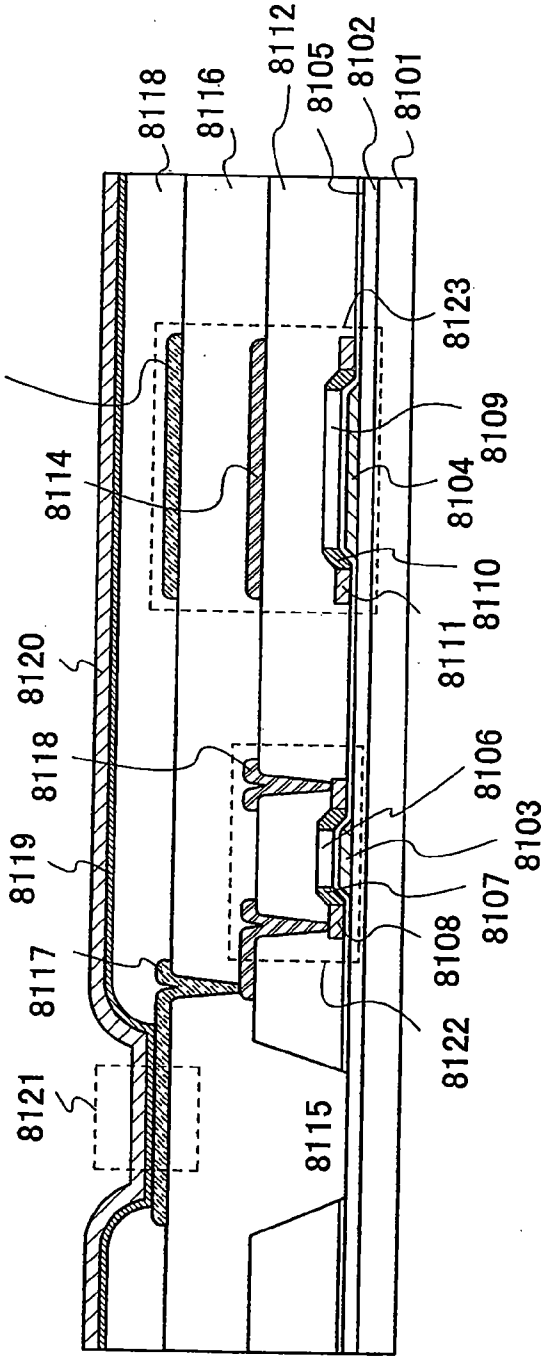

8118
8116
8112
8105
8102
8101
8123
8124
8114
8109
8104
8110
8111
8120
8106
8118
8103
8119
8107
8108
8117
8122
8121
8115

圖81B

圖82A

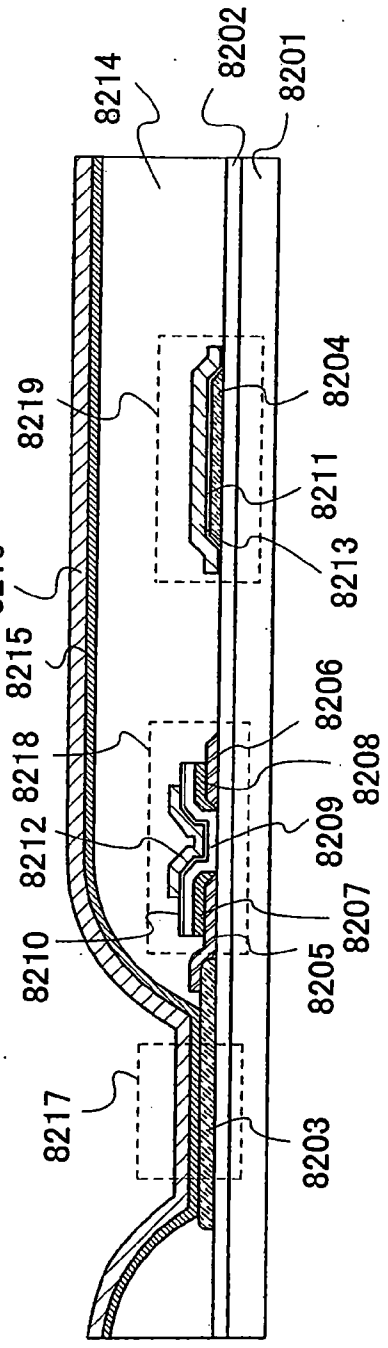
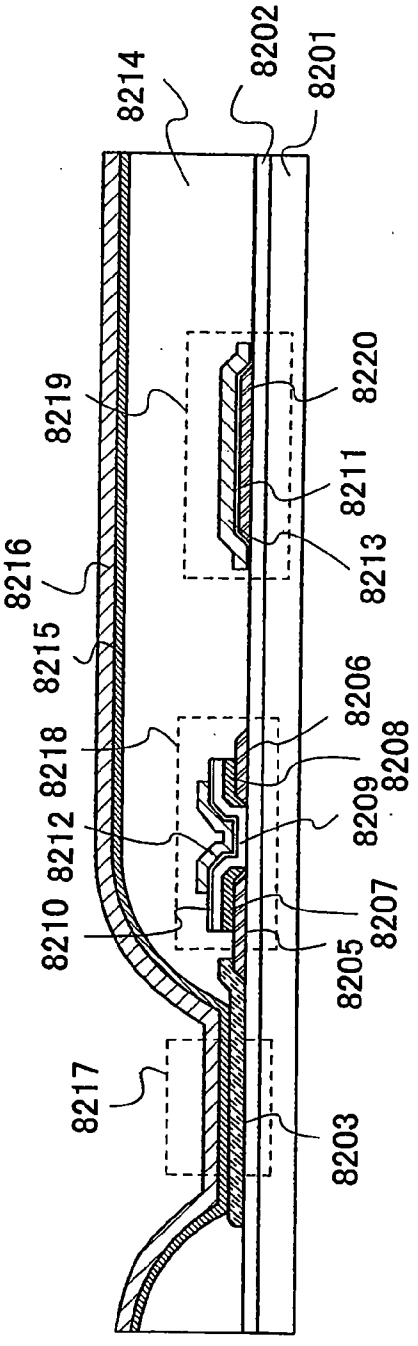

8214
8202
8201
8219
8204
8216
8211
8213
8215
8206
8218
8208
8212
8209
8210
8207
8205
8217
8203

圖82B


8214
8202
8201
8219
8220
8216
8211
8213
8215
8206
8218
8208
8212
8209
8210
8207
8205
8217
8203

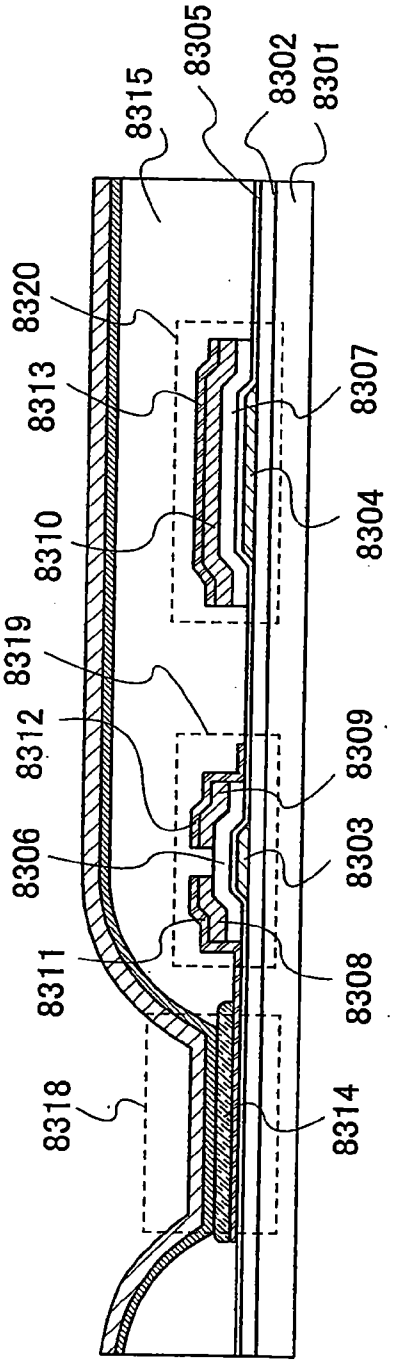

8315
8305
8302
8301
8320
8313
8307
8310
8304
8319
8312
8309
8306
8303
8311
8308
8318
8314

圖83A

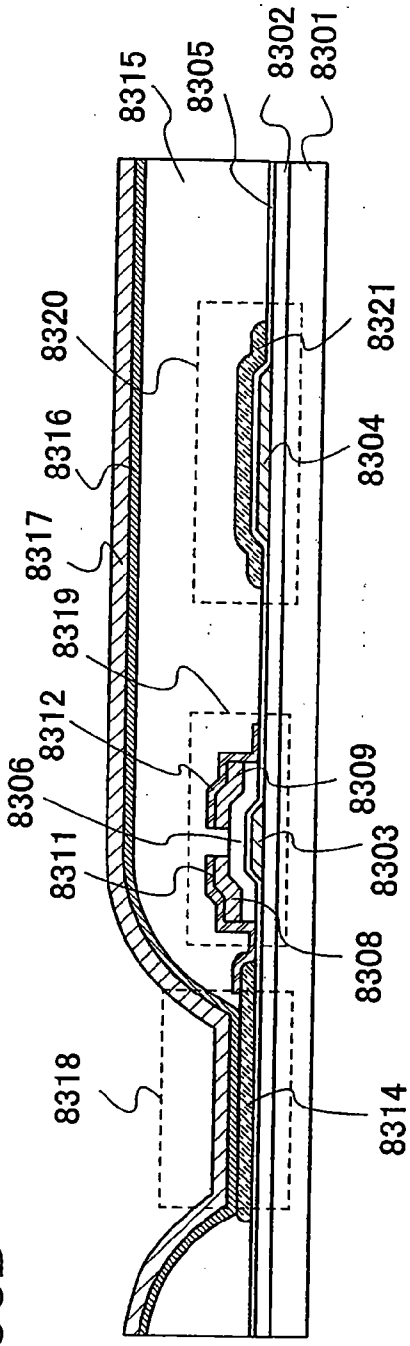

8315
8305
8302
8301
8320
8321
8316
8304
8317
8319
8312
8306
8309
8311
8303
8308
8318
8314

圖83B

圖84A

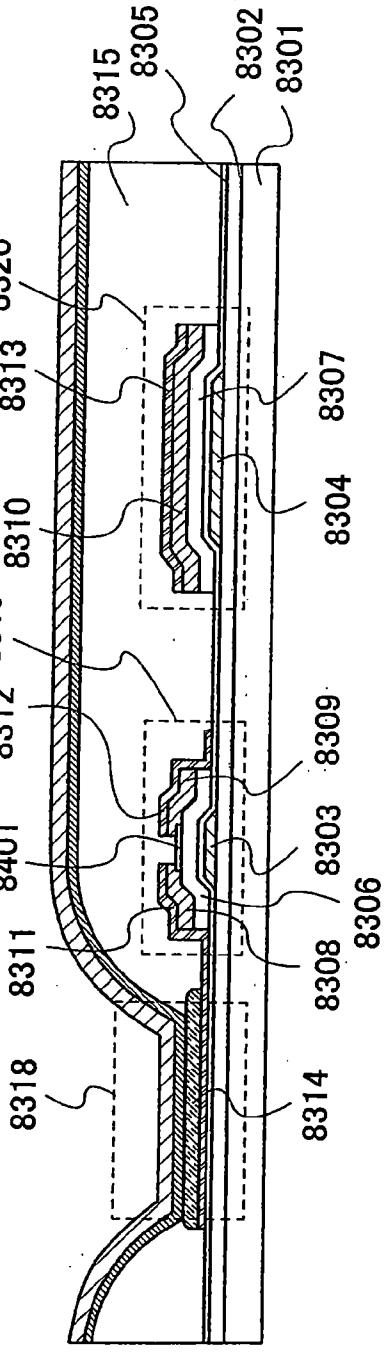

8315
8305
8302
8301
8320
8313
8307
8310
8304
8319
8312
8309
8401
8303
8306
8311
8308
8318
8314

圖84B

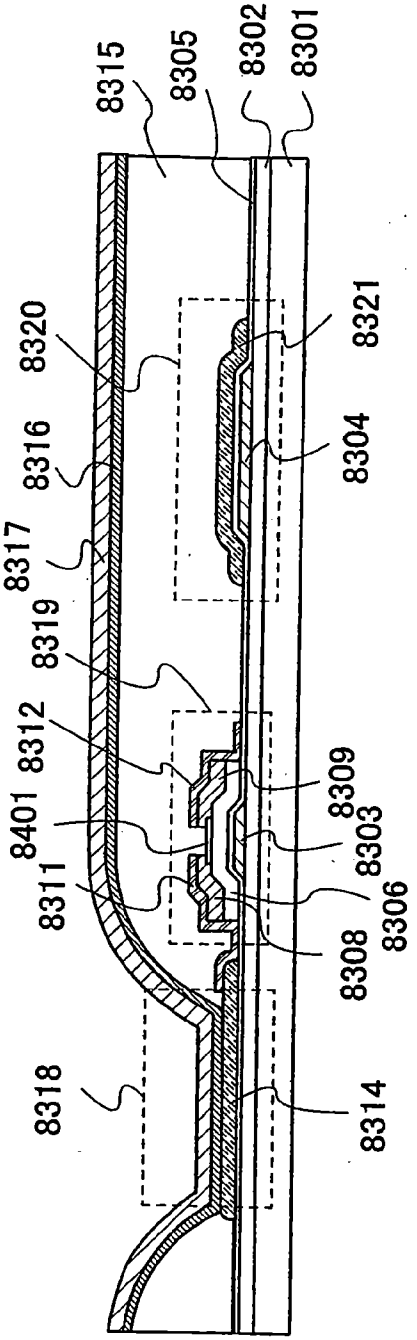

8315
8305
8302
8301
8320
8321
8316
8304
8317
8319
8312
8309
8401
8303
8311
8306
8308
8318
8314

圖85A

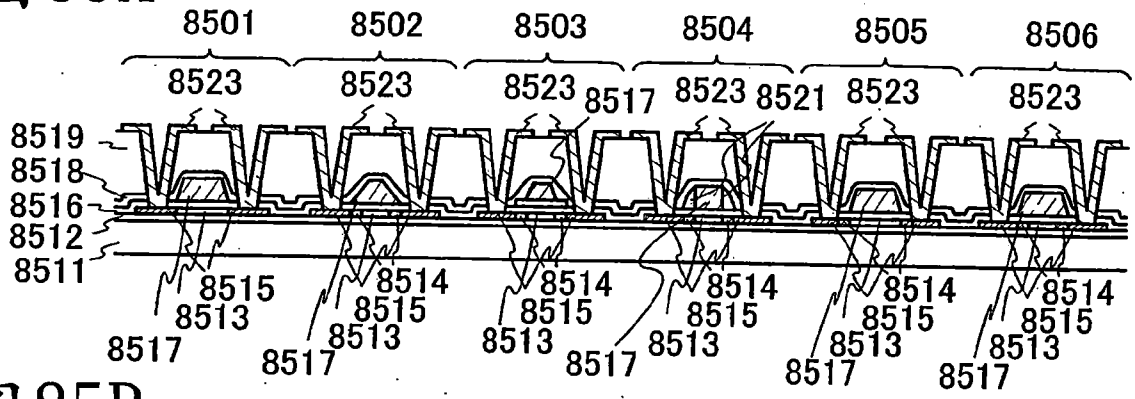


圖85B

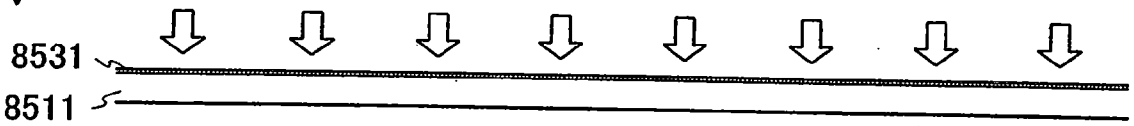


圖85C

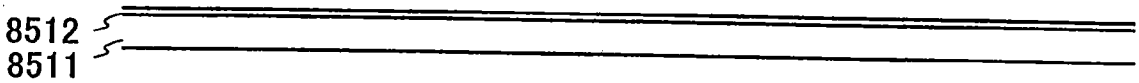


圖85D

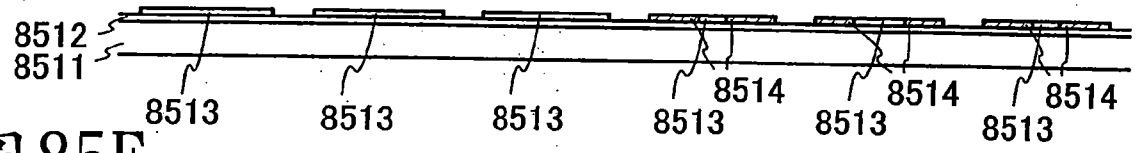


圖85E

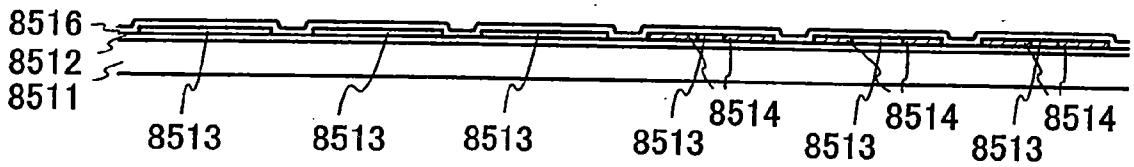


圖85F

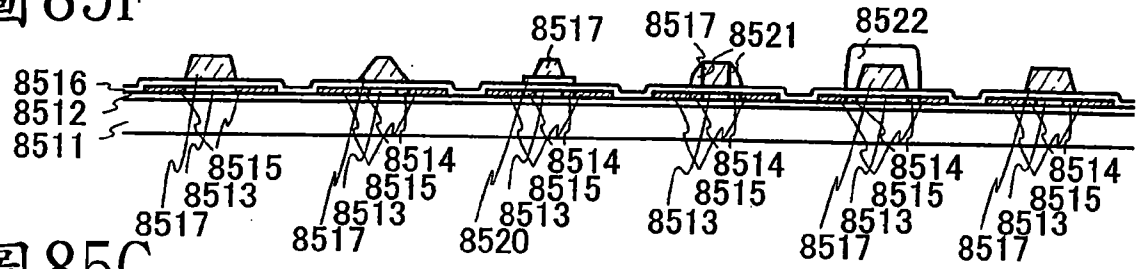


圖85G

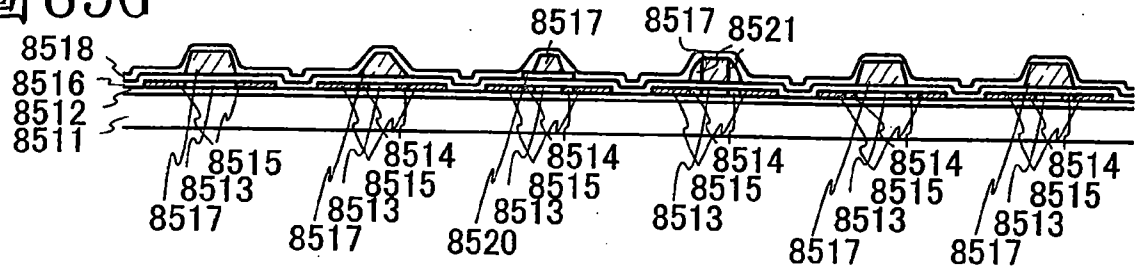


圖86A

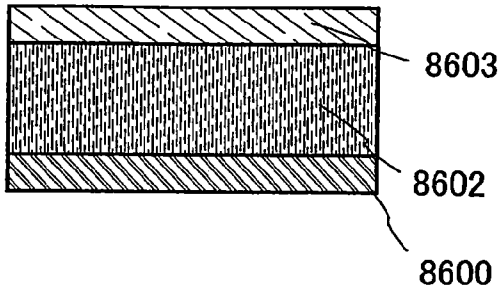


圖86B

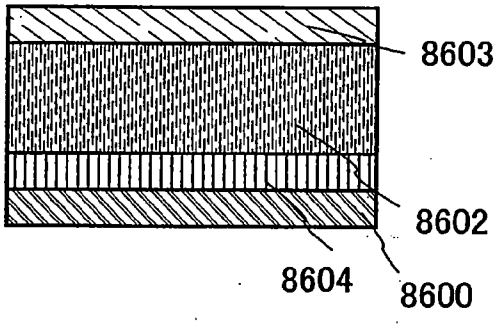


圖86C

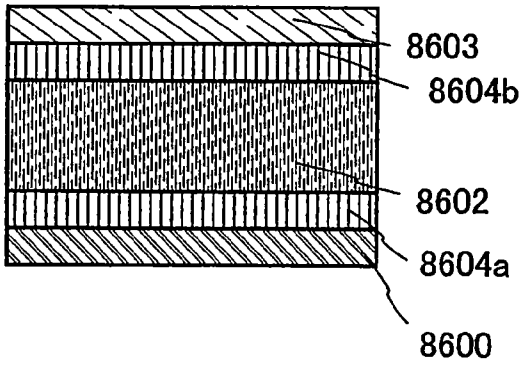


圖87

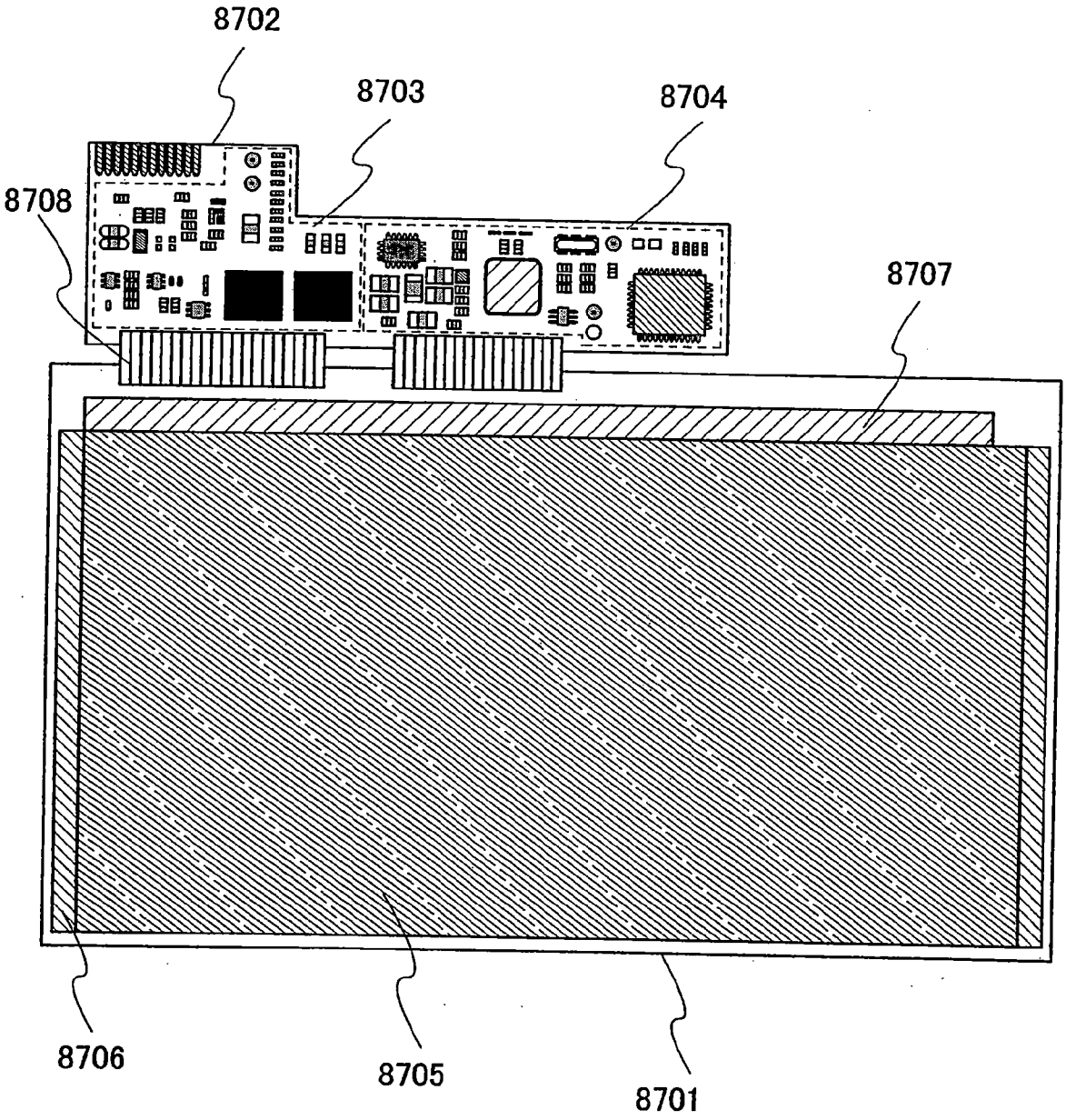


圖88

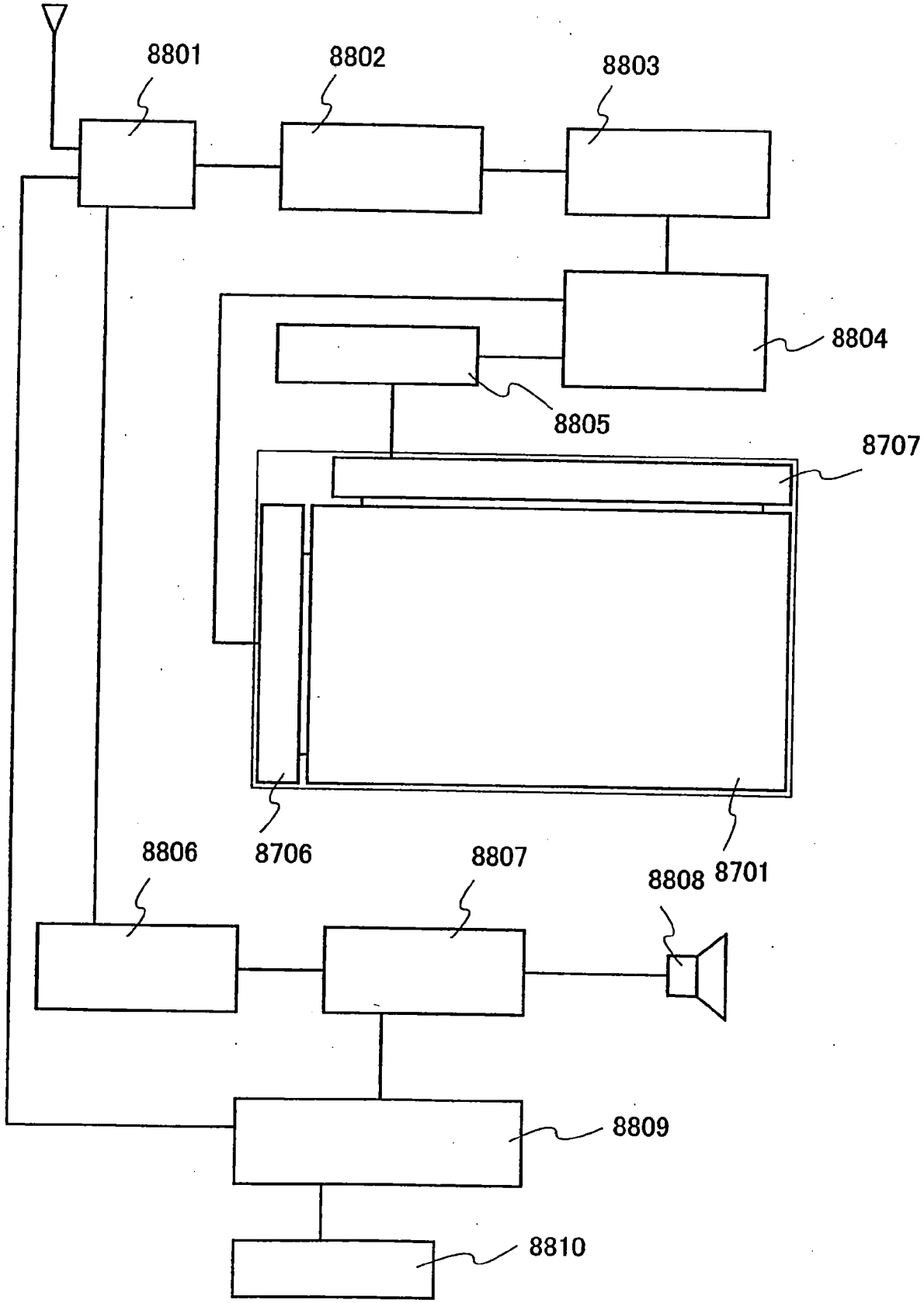

8801
8802
8803
8804
8805
8707
8706
8701
8806
8807
8808
8809
8810

圖89

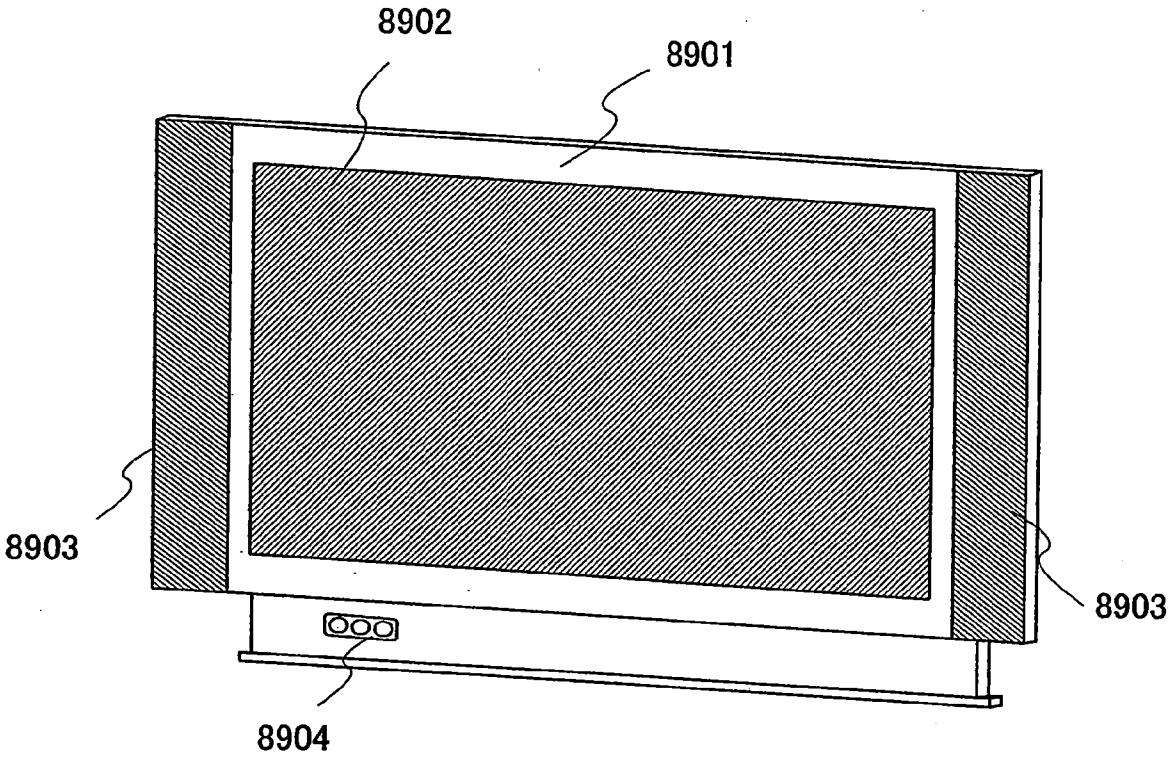


圖90A

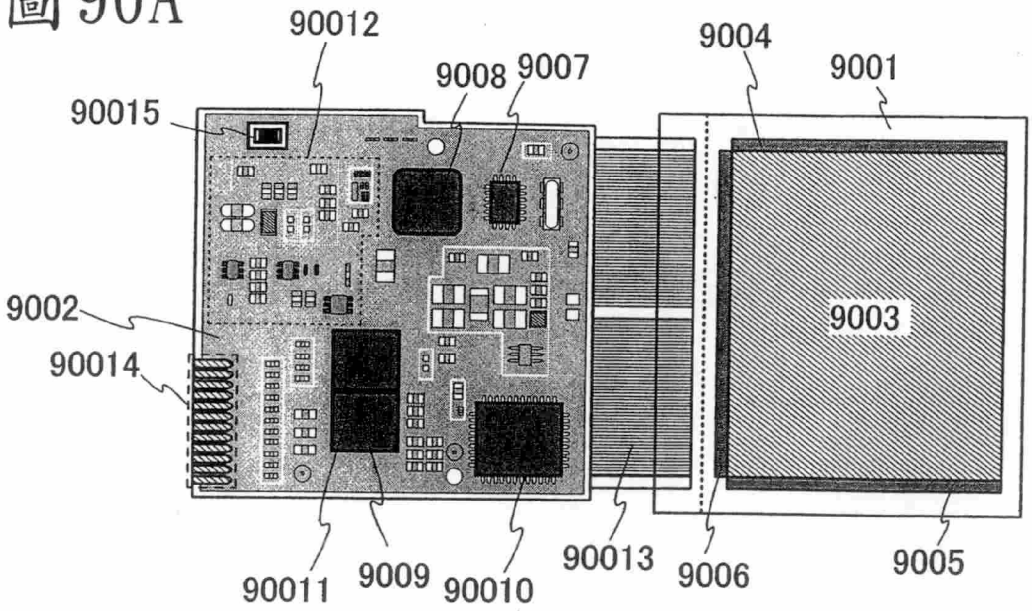

90012
9004
9008
9007
9001
90015
9002
9003
90014
90011
9009
90010
90013
9006
9005

圖90B

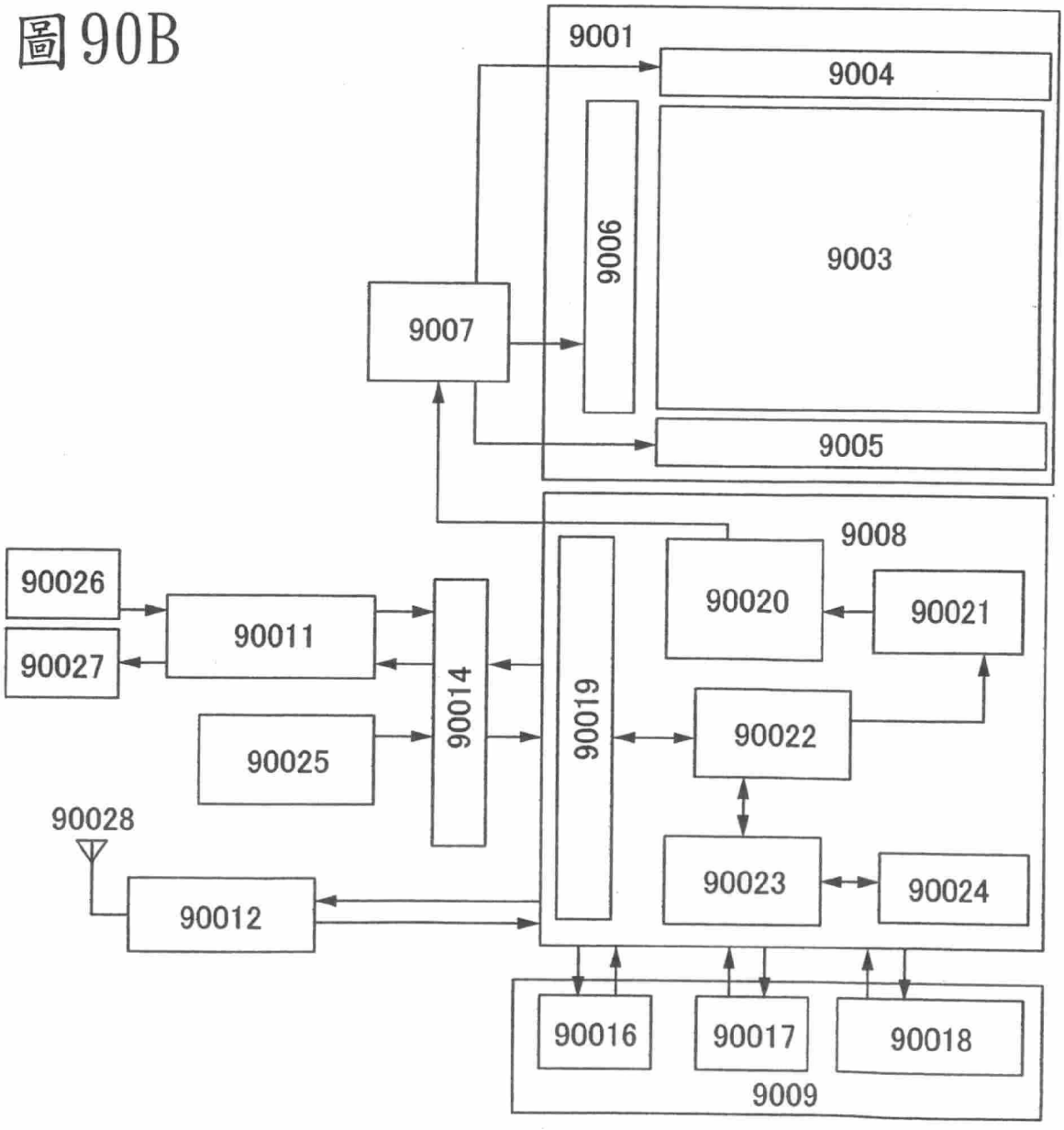
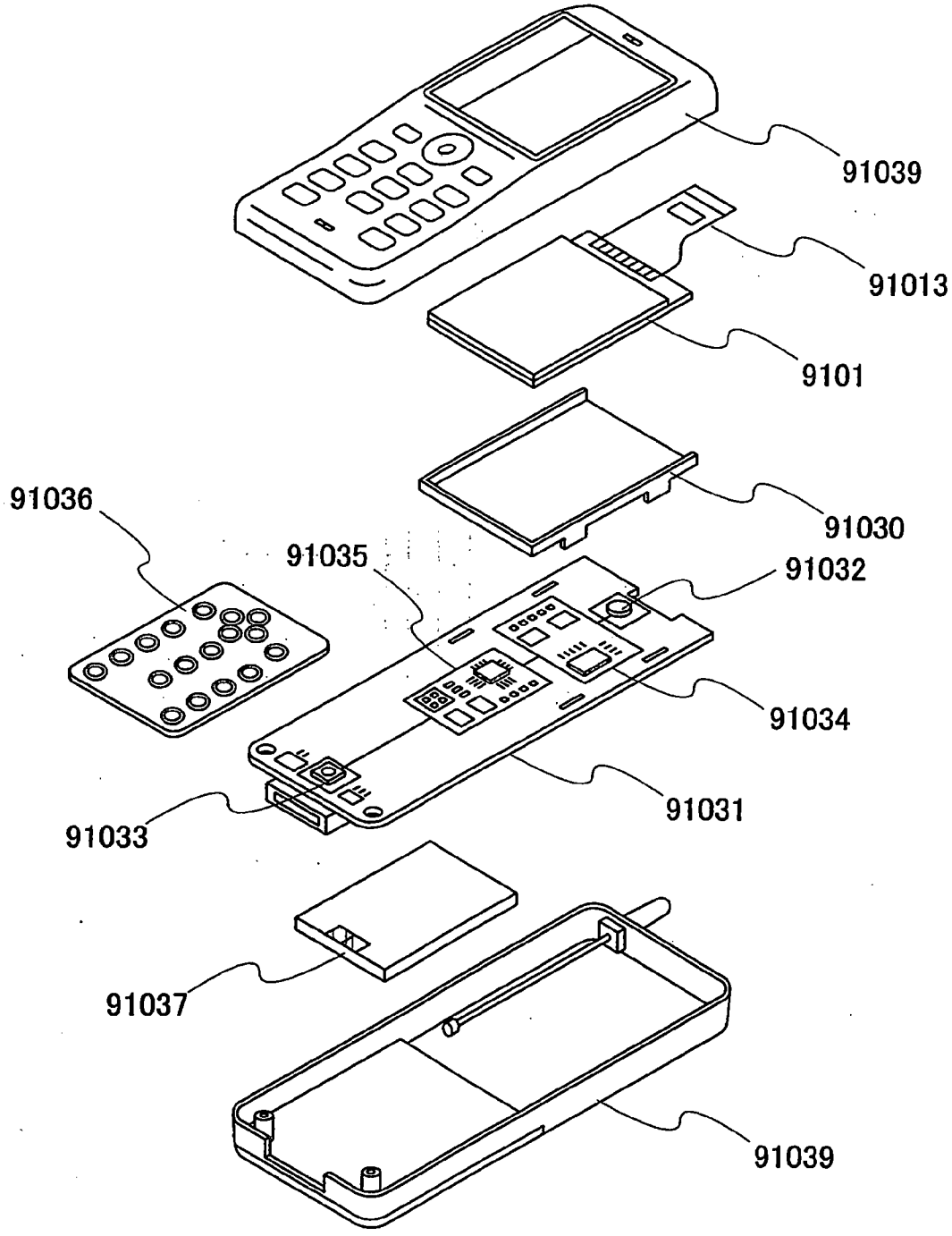

9001
9004
9006
9003
9007
9005
9008
90026
90027
90011
90014
90019
90020
90021
90025
90022
90028
90023
90024
90012
90016
90017
90018
9009

圖91


91039
91013
9101
91030
91036
91035
91032
91034
91031
91033
91037
91039

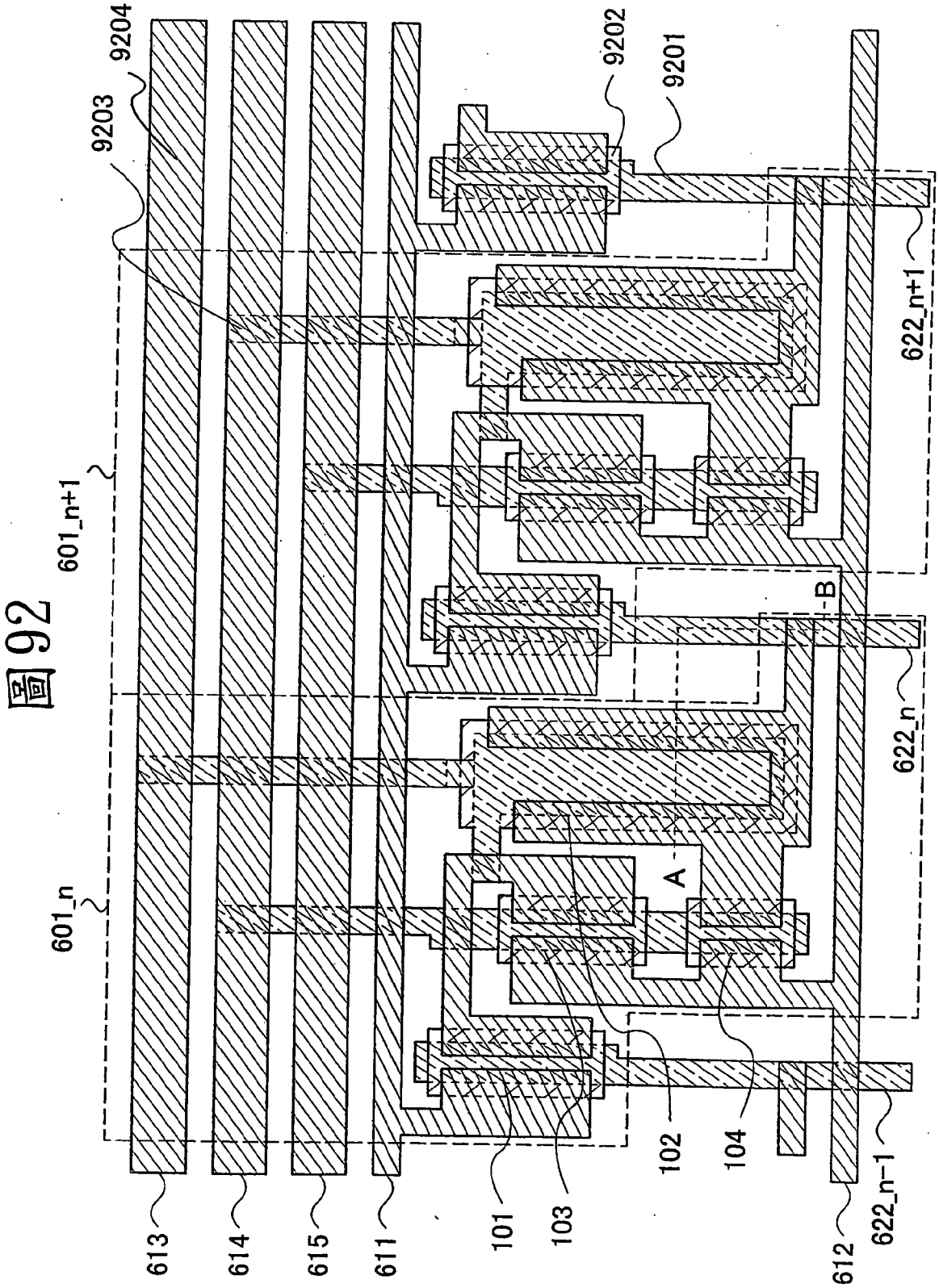

9204
9203
9202
9201
601_n+1
601_n
622_n+1
622_n
622_n-1
A
B
613
614
615
611
101
103
102
104
612

圖92

圖93A

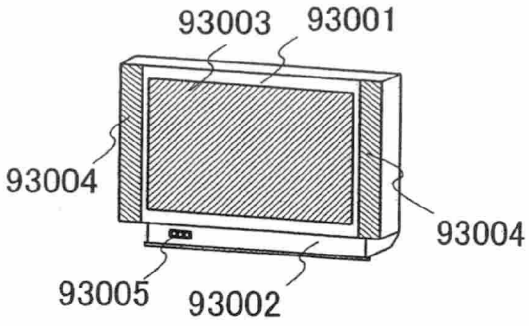


圖93B

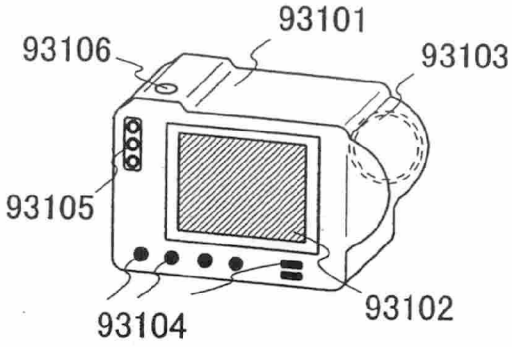


圖93C

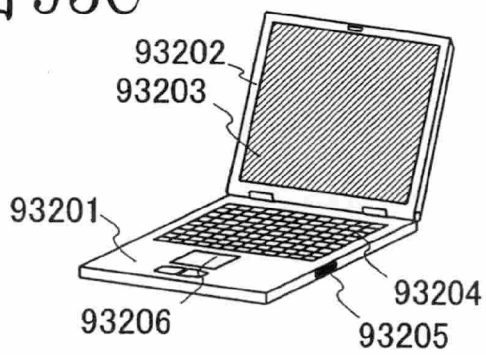


圖93D

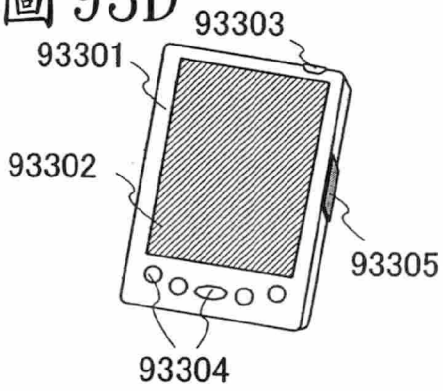


圖93E

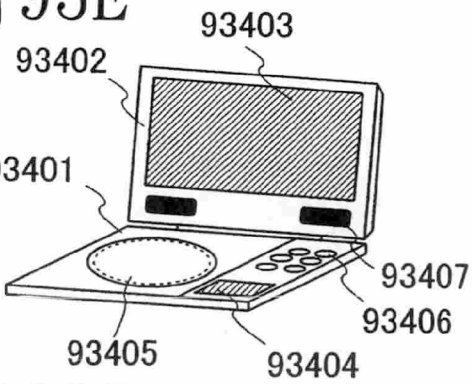


圖93F

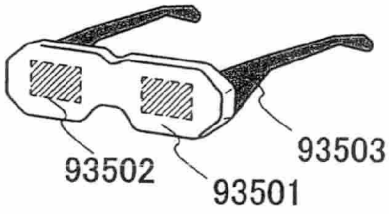


圖93G

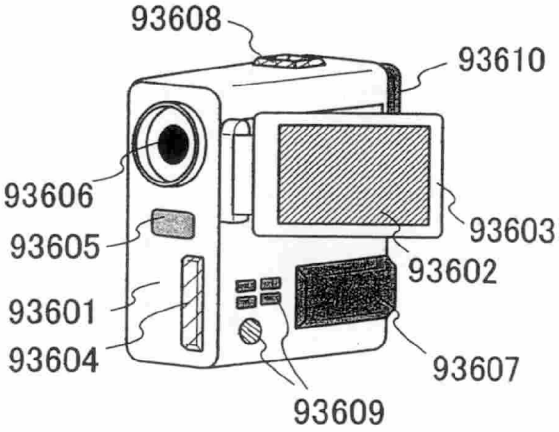


圖93H

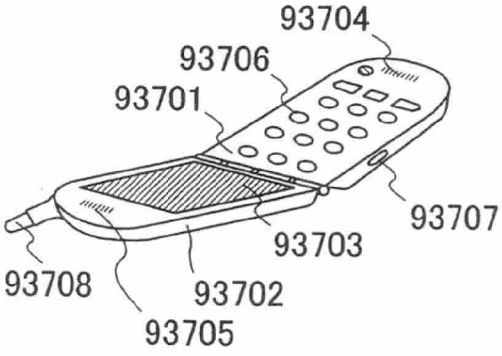


圖94A

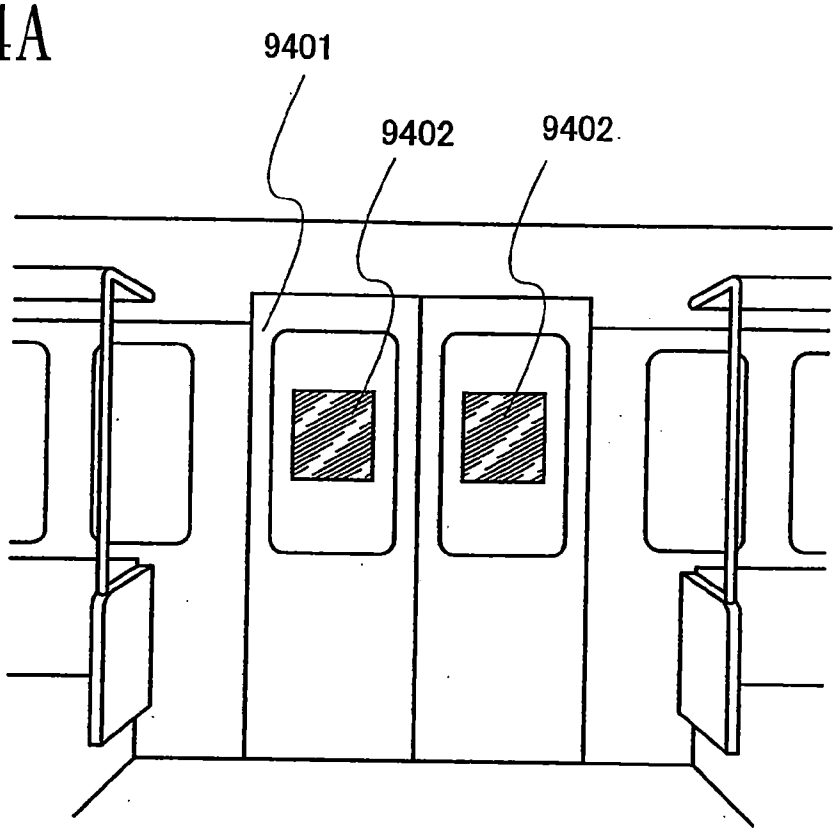


圖94B

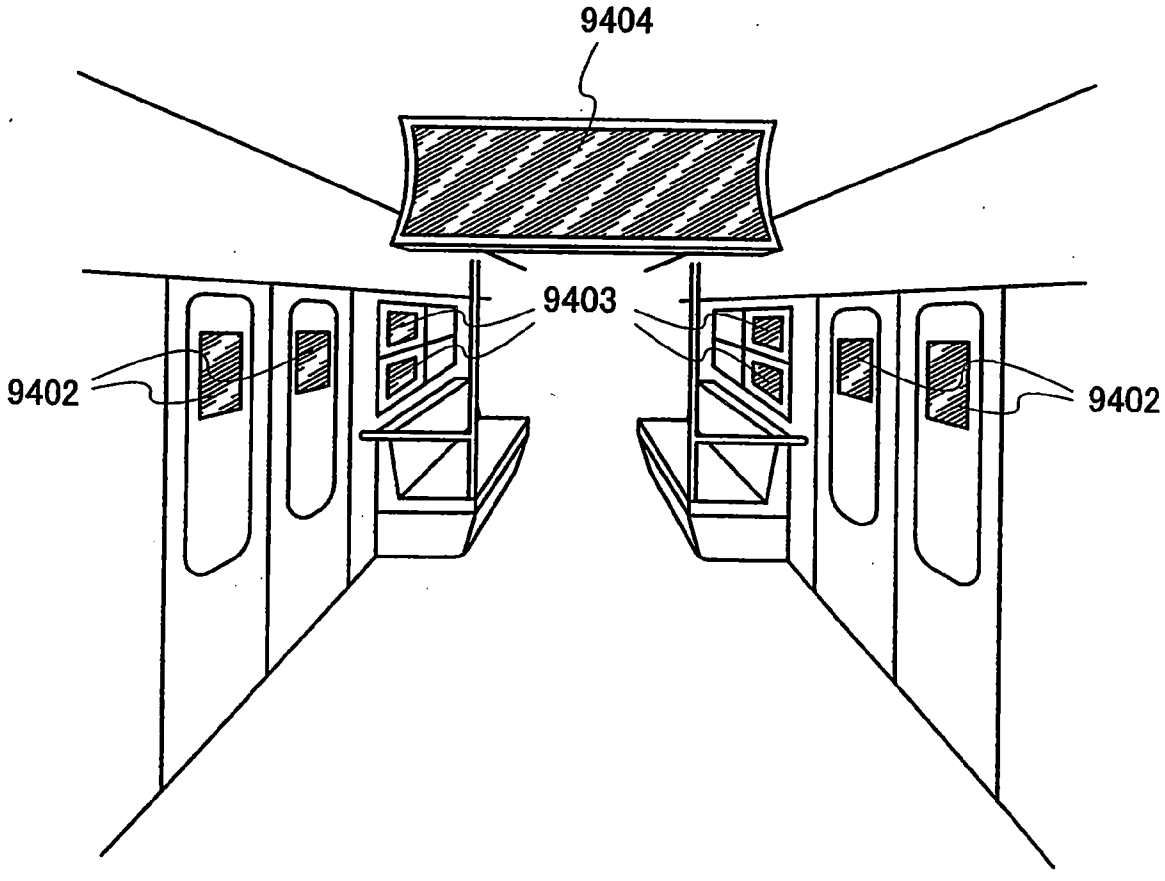


圖95

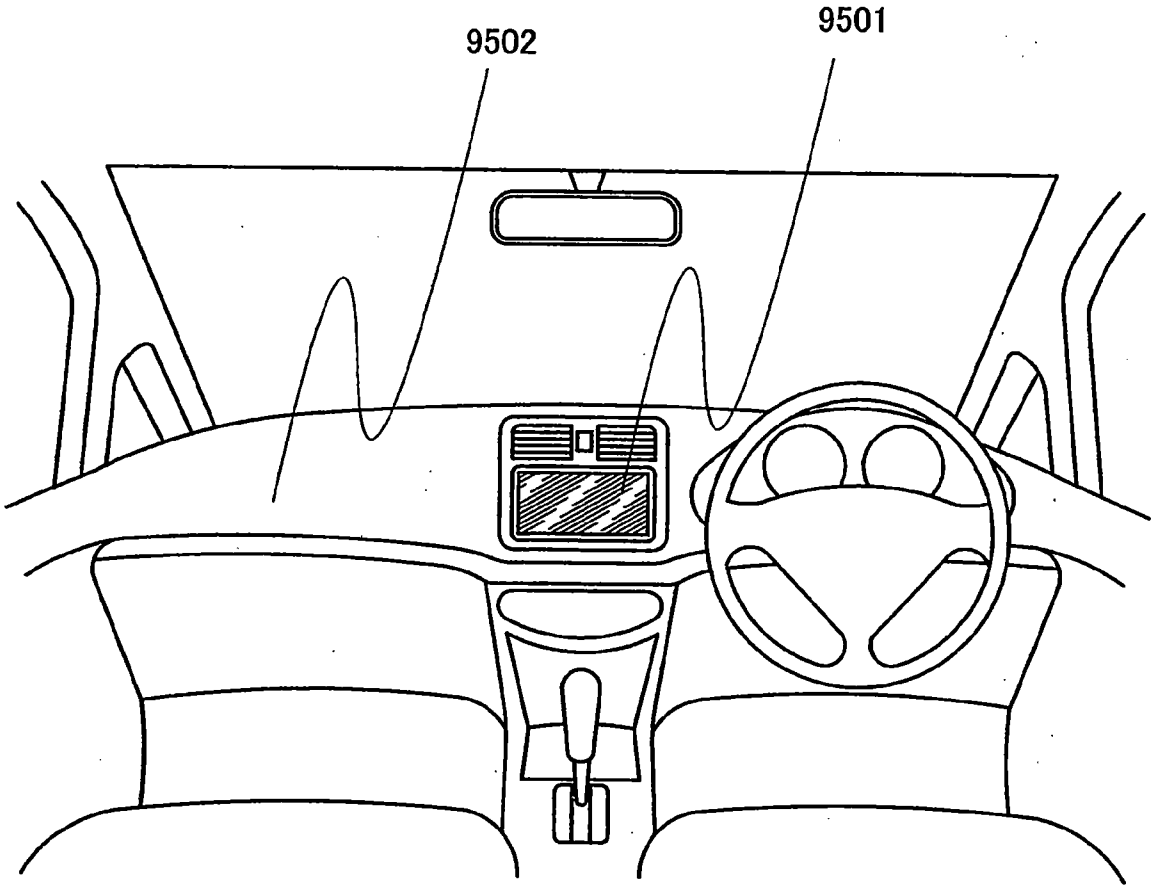


圖96A

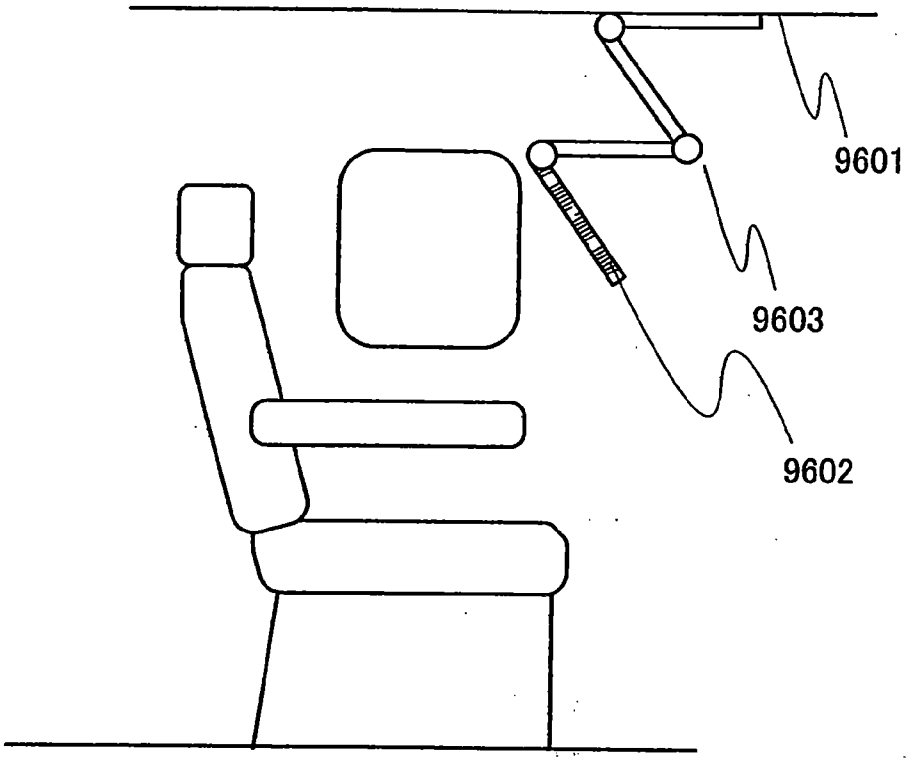


圖96B

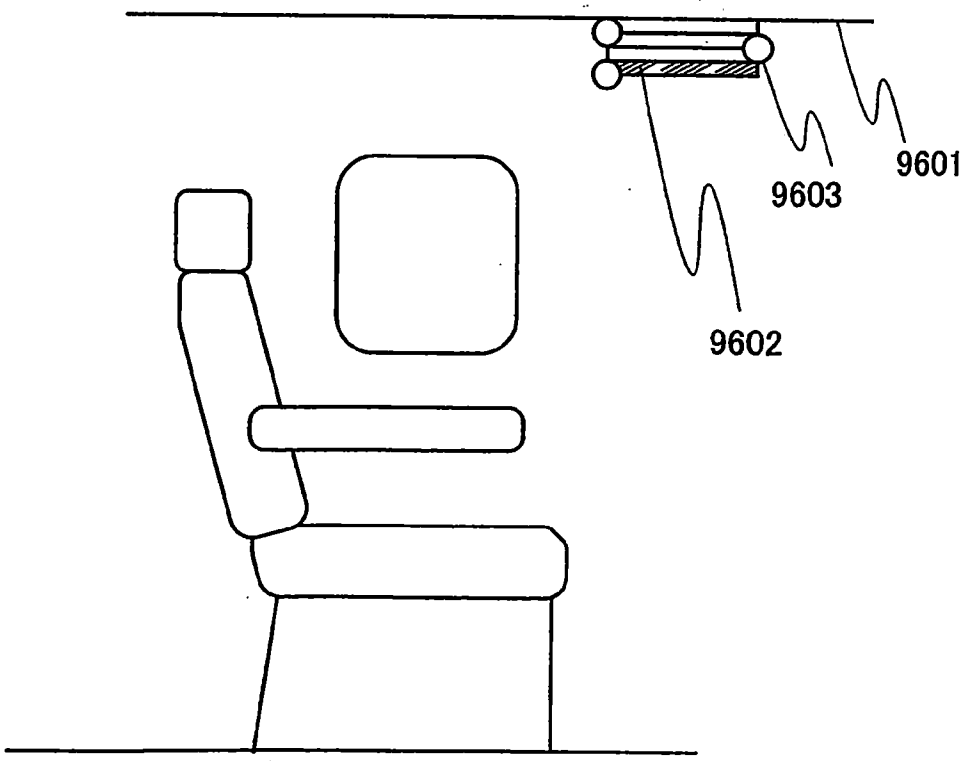


圖97

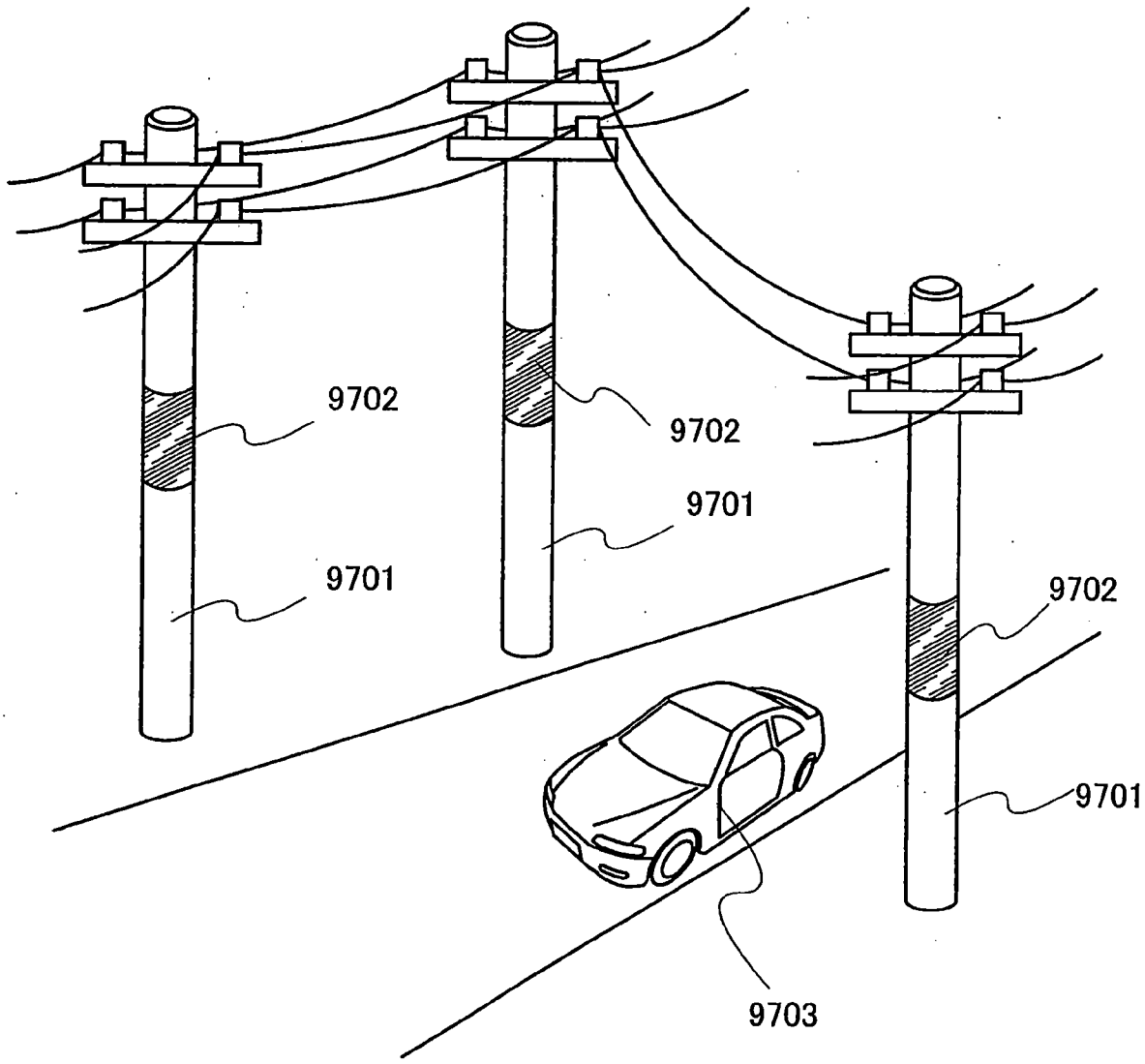


圖98

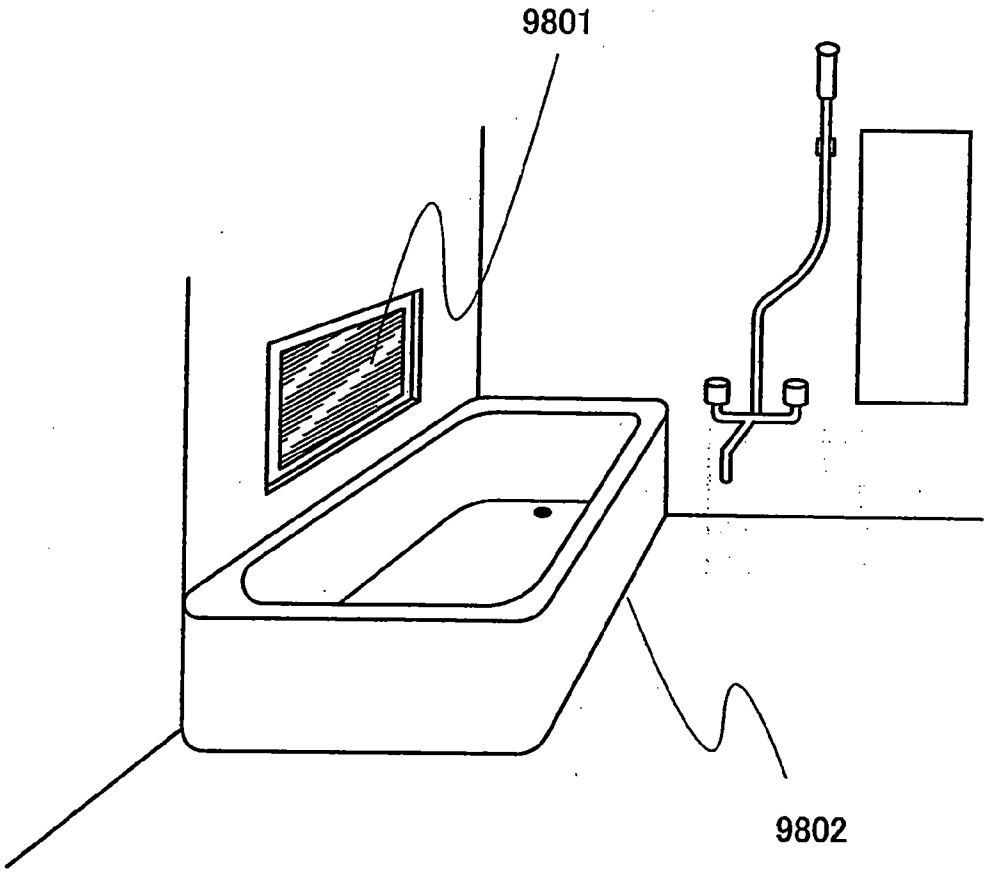
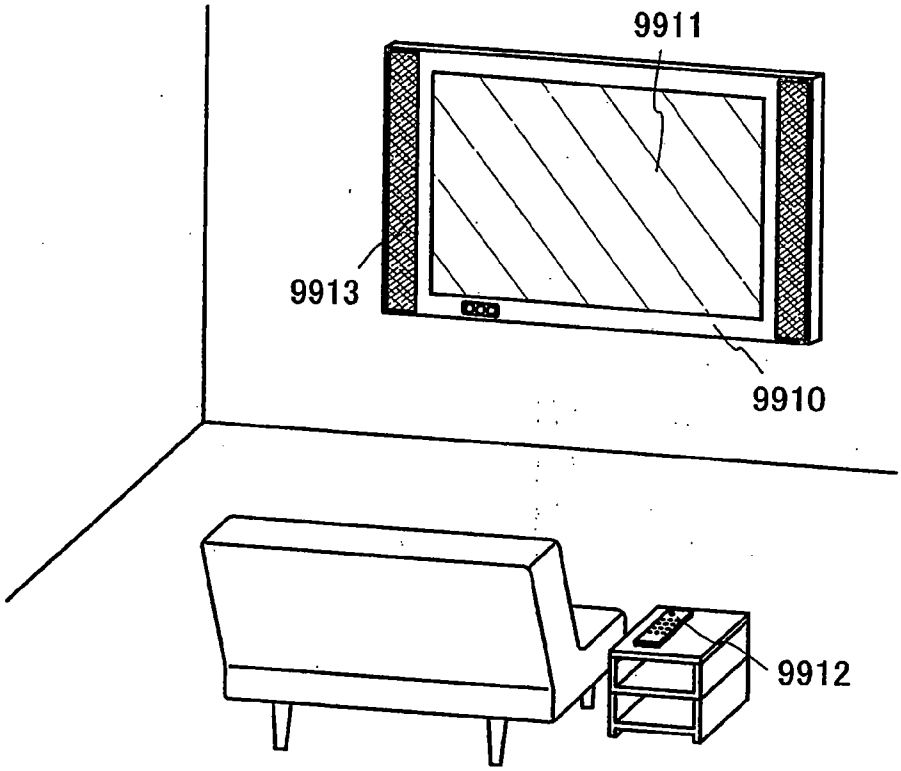


圖99



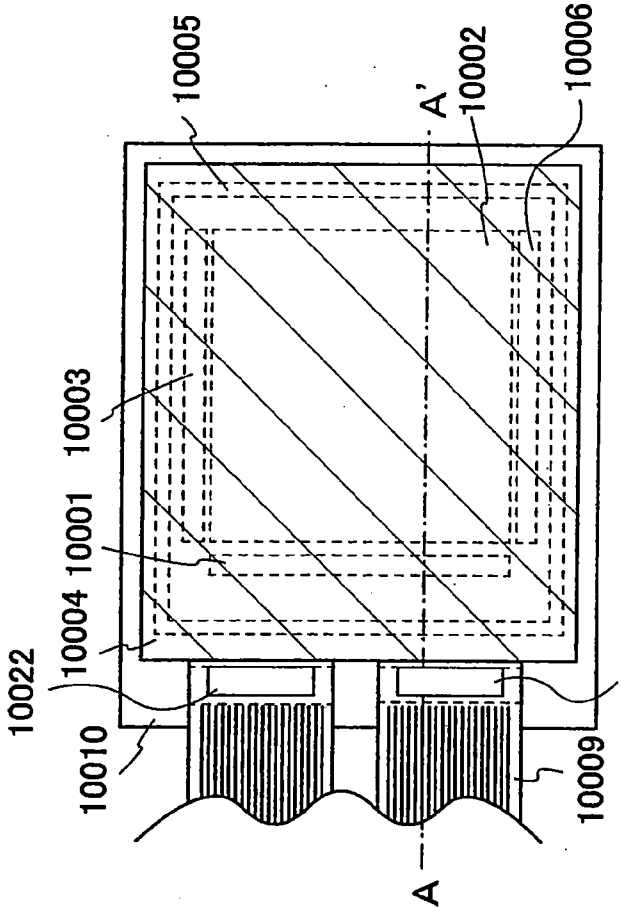

10005
A'
10002
10006
10003
10001
10004
10022
10010
10019
10009
A

圖100A

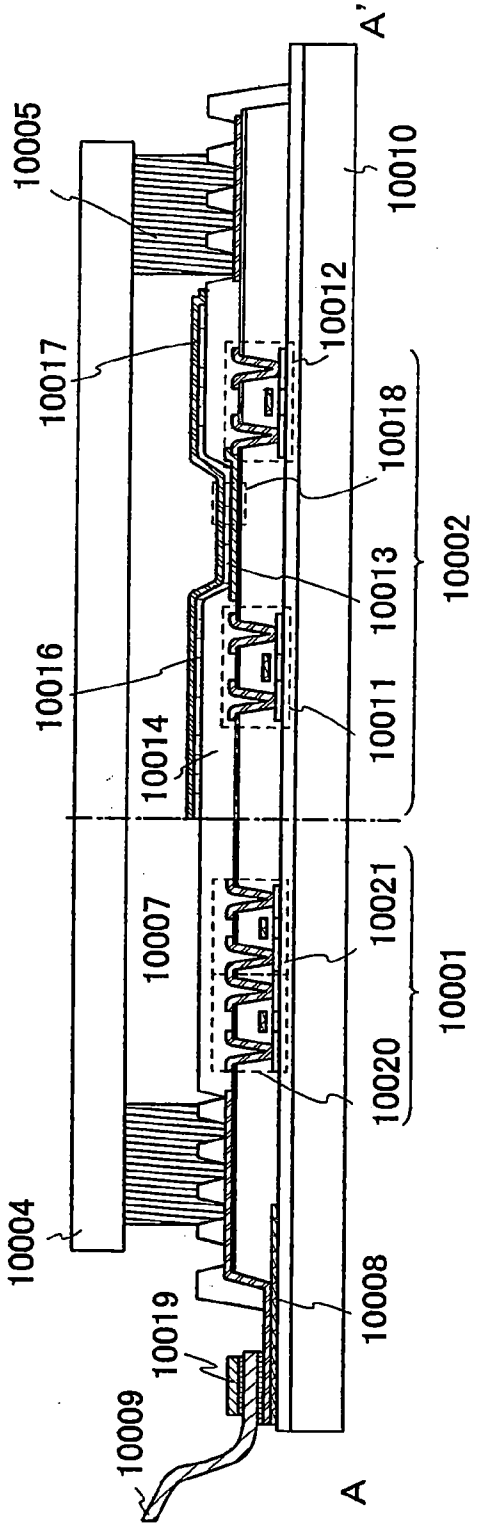

10005
A'
10010
10017
10012
10018
10016
10013
10002
10014
10011
10007
10021
10001
10020
10004
10008
10019
10009
A

圖100B

圖101A

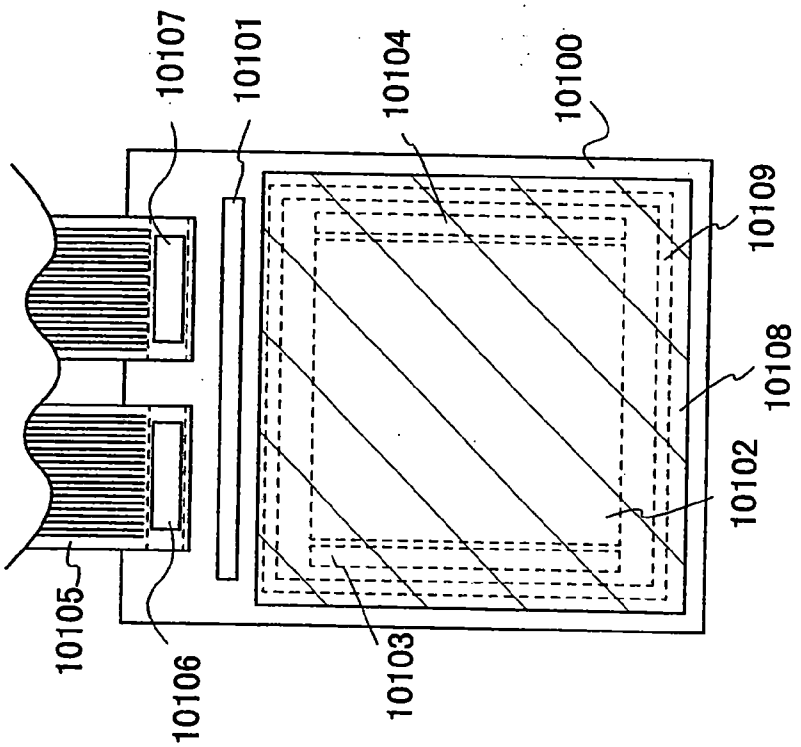

10107
10101
10104
10100
10109
10108
10102
10105
10106
10103

圖101B

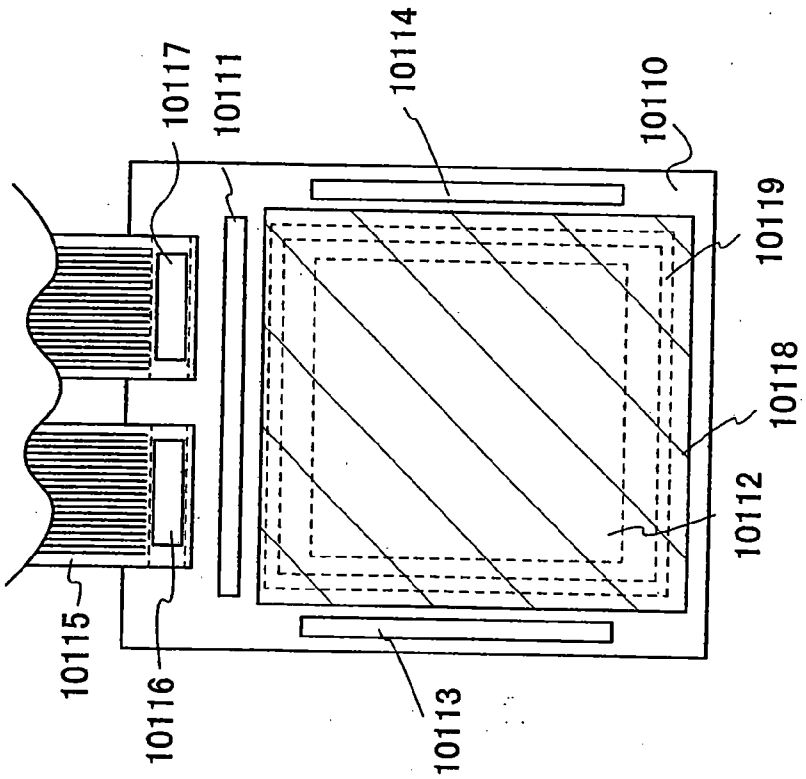

10117
10111
10114
10110
10119
10118
10112
10115
10116
10113

圖102A

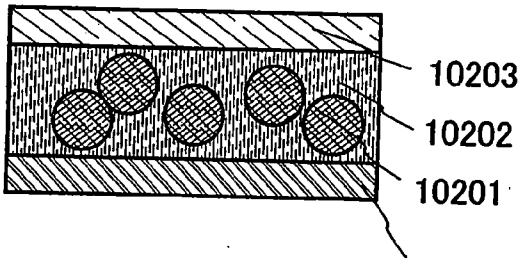


圖102B

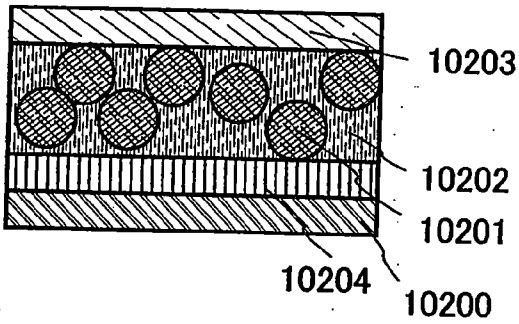


圖102C

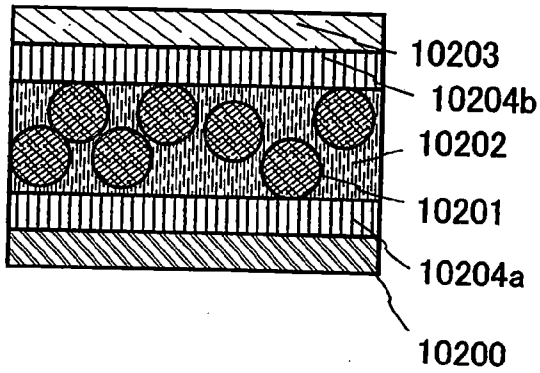


圖103

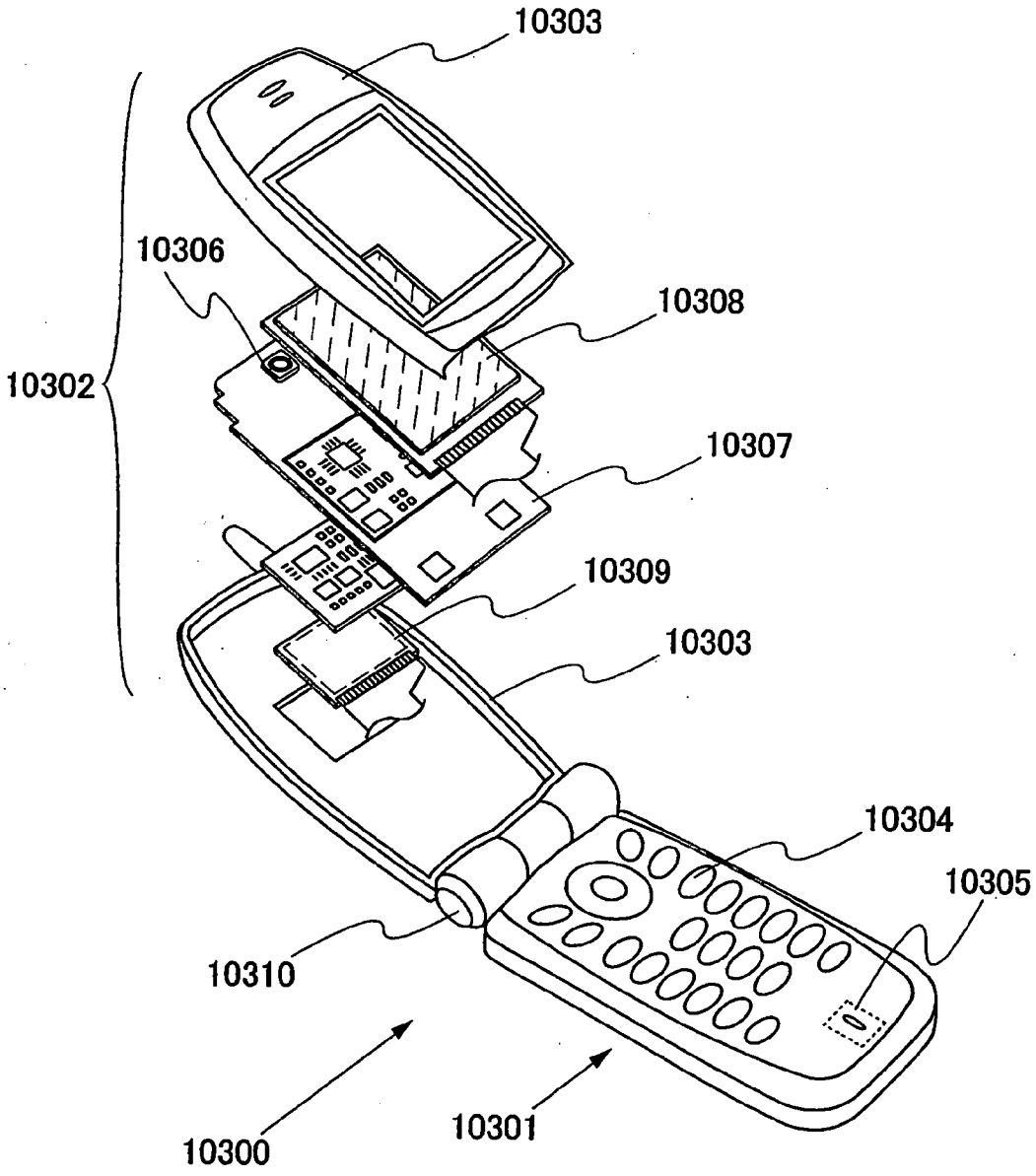

10303
10306
10308
10302
10307
10309
10303
10304
10305
10310
10300
10301

圖104

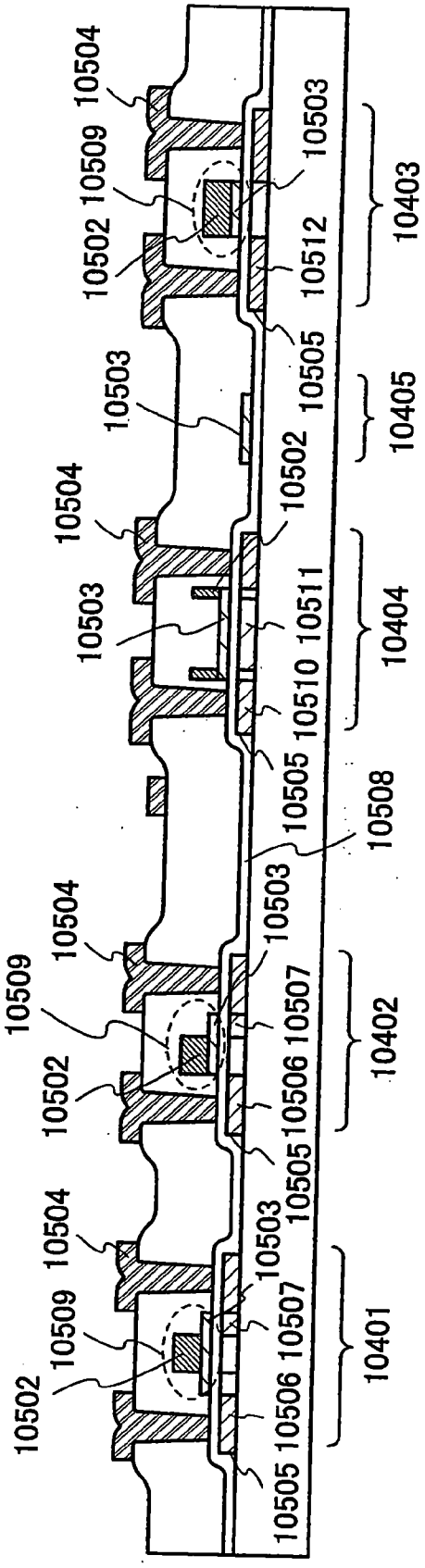

10504
10509
10502
10503
10512
10403
10505
10405
10502
10504
10503
10511
10510
10404
10505
10508
10504
10503
10509
10507
10502
10506
10402
10505
10504
10503
10509
10507
10502
10506
10505
10401

圖105A

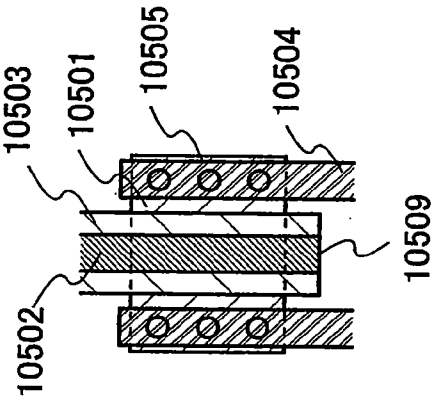


圖105B

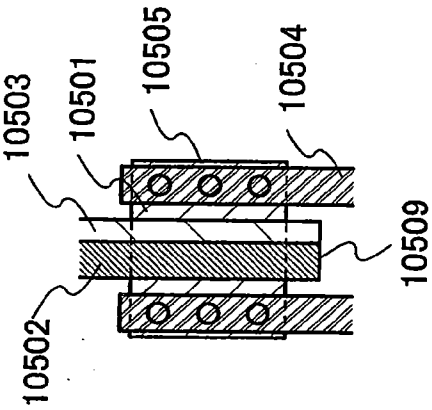


圖105C

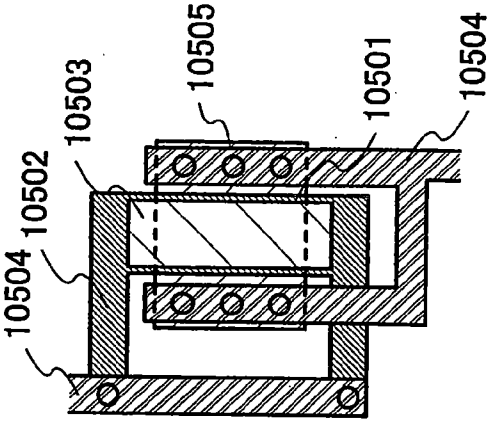


圖105D

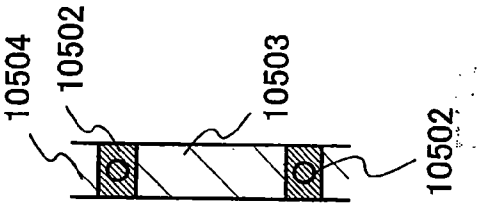


圖105E

