

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 899 741

②1 N° d'enregistrement national : **06 51323**

⑤1 Int Cl⁸ : H 03 M 3/02 (2006.01)

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 11.04.06.

③0 Priorité :

④3 Date de mise à la disposition du public de la demande : 12.10.07 Bulletin 07/41.

⑤6 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : *STMICROELECTRONICS SA*
Société anonyme — FR.

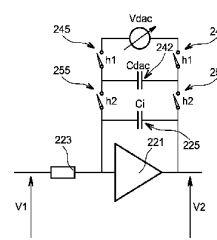
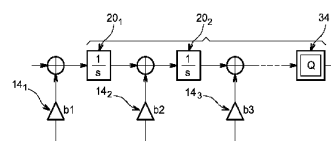
⑦2 Inventeur(s) : ANDRE ERIC.

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : BREVALEX.

⑤4 MODULATEUR DELTA-SIGMA DOTE D'UN INTEGRATEUR A PARTAGE DE CHARGES.

⑤7 L'invention se rapporte au domaine des dispositifs électroniques susceptibles de réaliser une modulation delta-sigma, tels que les convertisseurs analogique numérique delta-sigma. L'invention met en oeuvre un dispositif modulateur delta-sigma amélioré doté d'une pluralité d'intégrateurs à temps continu dont au moins un intégrateur dit « à partage de charges » en entrée du modulateur, et une pluralité d'intégrateurs purs à la suite de l'intégrateur à partage de charges.



FR 2 899 741 - A1



**MODULATEUR DELTA-SIGMA DOTE D'UN INTEGRATEUR A PARTAGE
DE CHARGES**

DESCRIPTION

DOMAINE TECHNIQUE

L'invention se rapporte au domaine des
5 dispositifs électroniques susceptibles de réaliser une
modulation delta-sigma, tels que les convertisseurs
analogique-numérique delta-sigma. L'invention met en
œuvre un dispositif modulateur delta-sigma amélioré
doté d'une pluralité d'intégrateurs à temps continu
10 dont au moins un intégrateur dit « à partage de
charges » en entrée du modulateur, et un ou plusieurs
intégrateurs purs à la suite de l'intégrateur à partage
de charges.

L'invention apporte des améliorations en
15 termes de consommation, d'immunité au bruit et de
linéarité du modulateur.

ART ANTÉRIEUR

La conversion delta-sigma est une technique
de conversion analogique-numérique basée sur le
20 suréchantillonnage et la mise en forme du bruit de
quantification. Un exemple de convertisseur analogique-
numérique delta-sigma selon l'art antérieur est
illustré sur la figure 1. Ce convertisseur est formé
d'un modulateur delta-sigma 10 suivi d'un étage de
25 traitement numérique 30. L'étage de traitement
numérique 30 peut comprendre un filtre numérique 32,

ainsi qu'un étage de sous-échantillonnage 34. Le modulateur delta-sigma 10 permet de rejeter le bruit dû à la quantification du signal en entrée du convertisseur vers des fréquences situées en dehors de la bande passante désirée. Dans cet exemple, le modulateur delta-sigma 10 a un ordre 1 et comprend un étage doté d'un nœud de sommation 11, d'un intégrateur 12, d'un quantificateur 16 en sortie de l'intégrateur 12. Le quantificateur 16 est régi par un signal d'horloge d'échantillonnage de fréquence f_s , et peut être sous forme d'un échantillonneur bloqueur suivi d'un convertisseur analogique numérique comportant un ou plusieurs comparateurs. Le quantificateur 16 peut être éventuellement un quantificateur basse résolution formé d'un seul comparateur. Le modulateur comprend également au moins un convertisseur numérique-analogique 14 de retour ou de rebouclage susceptible de commuter entre deux tensions de référence, par exemple entre une tension de référence $-V_{ref}$ et une autre tension de référence $+V_{ref}$.

Suivant l'ordre d'un modulateur delta-sigma, ce dernier peut être doté de plusieurs étages juxtaposés et comprendre une pluralité d'intégrateurs. Les intégrateurs mis en œuvre dans un modulateur delta-sigma sont généralement des intégrateurs purs. Par intégrateur pur, on entend un élément dont la sortie est proportionnelle à l'intégrale du signal d'entrée et dont la fonction de transfert en transformée de Laplace est égale à $1/s$.

Dans un cas où le modulateur a un ordre N (avec N un entier ≥ 2) et comprend une pluralité

d'intégrateurs purs, la mise en œuvre du premier intégrateur c'est-à-dire celui situé le plus proche de l'entrée du modulateur est la plus critique dans la mesure où ce premier intégrateur doit supporter les contraintes les plus importantes en termes de bruit et de linéarité parmi ladite pluralité d'intégrateurs purs. Les contraintes de réalisation du premier intégrateur sont d'ailleurs d'autant plus importantes que les bandes passantes recherchées sont de plus en plus grandes et demandent des vitesses de fonctionnement élevées. Au sein d'un modulateur delta-sigma, les intégrateurs peuvent être d'un type dit à « temps discret », et par exemple réalisés à l'aide de capacités commutées ou selon une variante, d'un autre type dit à « temps continu ». Les modulateurs delta-sigma dotés d'intégrateurs à temps continu sont généralement susceptibles de fonctionner à des fréquences plus élevées que les modulateurs à temps discret.

Un intégrateur pur à temps continu est généralement réalisé de l'une des deux façons suivantes, illustrées respectivement en liaison avec les figures 2 et 3.

Sur la figure 2, un premier mode réalisation de l'intégrateur pur du modulateur précédemment décrit en liaison avec la figure 1, est illustré. Cet intégrateur est dit « à transconductance » et comprend des moyens aptes à former une transconductance de valeur G_m et prévus pour convertir une tension d'entrée V_1 de l'intégrateur en un courant $I = G_m \cdot V_1$. Le courant I est intégré par

l'intermédiaire d'un condensateur 23 situé en sortie de la transconductance. En sortie de l'intégrateur, un signal V_2 proportionnel à l'intégrale du signal d'entrée V_1 est délivré. Une telle structure présente l'avantage de fonctionner en boucle ouverte et donc d'être rapide. Un signal de retour I_{dac} délivré par le convertisseur numérique analogique 14 à l'intégrateur 12 ne traverse aucun élément actif et est intégré aux bornes du condensateur 23. Les performances de l'intégrateur sont cependant liées à celles de la transconductance 21. Cette transconductance est difficile à mettre en œuvre et pose des problèmes de sensibilité au bruit et de manque de linéarité notamment, lorsque le modulateur delta-sigma est réalisé avec une tension d'alimentation faible, par exemple de l'ordre de 1,2 Volts

Un deuxième mode de réalisation de l'intégrateur 12, est illustré sur la figure 3. Dans ce deuxième mode, l'intégrateur est dit « à amplificateur opérationnel » et comprend des moyens 25 susceptibles de former une résistance de valeur R , située en entrée de moyens 27 formant un amplificateur opérationnel. La résistance permet de convertir une tension d'entrée V_1 de l'intégrateur en un courant qui est intégré aux bornes d'un condensateur 26 de capacité C , connecté entre les bornes d'entrée et de sortie de l'amplificateur opérationnel 27. Une telle structure d'intégrateur a un fonctionnement en boucle fermée, et présente l'avantage d'être très linéaire. En revanche, sa vitesse de fonctionnement est limitée par les performances de l'amplificateur-opérationnel 27 et en

particulier par le produit Gain-Bande de cet amplificateur 27. Avec un tel intégrateur, le convertisseur numérique-analogique 14 délivre un signal de retour Idac, à une borne du condensateur 26 et en 5 entrée de l'amplificateur opérationnel 27.

Une architecture suivant l'art antérieur de modulateur delta-sigma d'ordre N (avec N un entier positif), représentée en modèle équivalent en transformée de Laplace, est illustrée sur la figure 4. 10 Un tel modulateur delta-sigma comprend n intégrateurs purs $20_1, \dots, 20_n$, du type de celui à transconductance (comme décrit précédemment en liaison avec la figure 2) ou à amplificateur opérationnel (tel que décrit précédemment en liaison avec la figure 3), et ayant 15 respectivement une fonction de transfert équivalente de $1/s$. Le modulateur delta-sigma d'ordre N est également doté de 1 à n convertisseurs numérique-analogique $14_1, \dots, 14_n$ de rebouclage ou de retour ayant respectivement un gain $b_1, b_2, b_3, \dots, b_n$. Le modulateur 20 delta-sigma est également doté d'un quantificateur (représenté par un bloc référencé 34 sur la figure 4).

Il se pose le problème de trouver une nouvelle structure de modulateur delta-sigma à la fois améliorée en terme de linéarité et de vitesse de 25 fonctionnement.

EXPOSÉ DE L'INVENTION

L'invention a pour but de présenter un dispositif modulateur delta-sigma amélioré doté d'au moins un intégrateur dit « à partage de charges ». Un

tel intégrateur « à partage de charges » peut permettre de combiner les avantages d'un intégrateur à transconductance et d'un intégrateur classique à amplificateur opérationnel.

5 L'invention met en œuvre un dispositif modulateur delta-sigma comportant au moins un étage donné doté d'au moins un intégrateur « à partages de charges », ledit intégrateur « à partages de charges » comprenant un amplificateur opérationnel et un
10 condensateur d'intégration dont une borne est reliée à une entrée de l'amplificateur opérationnel et dont une autre borne est reliée à une sortie de l'amplificateur opérationnel, le modulateur comprenant en outre : au moins un convertisseur numérique-analogique de retour,
15 et des moyens pour appliquer, pendant une première phase, un signal de sortie du convertisseur numérique-analogique aux bornes dudit condensateur d'intégration, et pour déconnecter ou isoler, pendant une deuxième phase, la sortie du convertisseur numérique-analogique
20 du condensateur d'intégration.

Selon l'invention, un signal de sortie du convertisseur numérique analogique de rebouclage est susceptible d'être appliqué au condensateur d'intégration de l'intégrateur à partage de charges
25 sans passer par l'amplificateur opérationnel de cet intégrateur à partage de charges.

Le modulateur delta-sigma peut comprendre en outre un ou plusieurs autres étages, dotés respectivement d'au moins un intégrateur pur.

30 Avantageusement, ledit étage donné peut être l'étage d'entrée du modulateur.

Selon une possibilité, le dispositif modulateur delta-sigma peut comprendre en outre au moins un quantificateur régi par un signal d'horloge d'échantillonnage, lesdits moyens pour appliquer pendant une première phase un signal de sortie du convertisseur numérique-analogique aux bornes du condensateur d'intégration, et pour déconnecter ou isoler pendant une deuxième phase, la sortie du convertisseur numérique-analogique du condensateur d'intégration, pouvant comprendre des moyens interrupteurs également régis par ledit signal d'horloge d'échantillonnage.

Selon un mode de réalisation du dispositif modulateur delta-sigma dans lequel ledit signal de sortie du premier convertisseur numérique-analogique est issu de moyens formant un condensateur appartenant audit convertisseur numérique analogique, le modulateur peut comporter des moyens régis par ledit signal d'horloge d'échantillonnage pour, pendant ladite première phase appliquer audit condensateur dudit convertisseur numérique analogique, un signal V_{dac} produit par le premier convertisseur numérique analogique, et pour pendant ladite deuxième phase, connecter le condensateur dudit convertisseur numérique analogique au condensateur d'intégration.

Le condensateur dudit convertisseur numérique analogique est susceptible de se charger pendant la première phase, tandis que pendant la deuxième phase, le condensateur dudit convertisseur numérique analogique se décharge dans le condensateur d'intégration.

L'invention vise également un convertisseur analogique numérique comprenant au moins un modulateur delta-sigma tel que défini plus haut.

BRÈVE DESCRIPTION DES DESSINS

La présente invention sera mieux comprise à la lecture de la description d'exemples de réalisation donnés, à titre purement indicatif et nullement
5 limitatif, en faisant référence aux dessins annexés sur lesquels :

- la figure 1, décrite plus haut, illustre un dispositif convertisseur analogique-numérique suivant l'art antérieur doté d'un modulateur
10 delta-sigma,

- la figure 2 illustre un premier exemple d'intégrateur à temps continu suivant l'art antérieur, mis en œuvre dans un modulateur delta-sigma,

- la figure 3 illustre un deuxième exemple
15 d'intégrateur à temps continu suivant l'art antérieur, mis en œuvre dans un modulateur delta-sigma,

- la figure 4 illustre une architecture de modulateur delta-sigma d'ordre N suivant l'art antérieur,

20 - la figure 5 illustre un modulateur delta-sigma suivant l'invention,

- la figure 6 illustre un intégrateur à partages de charges mis en œuvre dans le premier étage ou étage d'entrée d'un modulateur delta-sigma suivant
25 l'invention,

- les figures 7A et 7B illustrent respectivement : un exemple d'architecture de

modulateur sigma delta d'ordre N suivant l'invention,
représentée en modèle équivalent de transformée de
Laplace, un autre exemple d'architecture de modulateur
sigma delta d'ordre 4 suivant l'invention, représentée
5 en modèle équivalent de transformée de Laplace,

- la figure 8 illustre le module du signal
de sortie d'un exemple de modulateur sigma delta
d'ordre 4 mis en œuvre suivant l'invention.

Des parties identiques, similaires ou
10 équivalentes des différentes figures portent les mêmes
références numériques de façon à faciliter le passage
d'une figure à l'autre.

Les différentes parties représentées sur
les figures ne le sont pas nécessairement selon une
15 échelle uniforme, pour rendre les figures plus
lisibles.

EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

Un exemple de modulateur delta-sigma
suivant l'invention est illustré sur la figure 5. Ce
20 modulateur comprend un premier étage ou un étage
d'entrée, doté d'un intégrateur 120 que l'on nommera
« à partage de charges ». Le modulateur delta-sigma est
également doté, en sortie du premier étage, d'au moins
un deuxième étage comprenant un intégrateur pur 130,
25 par exemple du type dit à amplificateur opérationnel
tel que décrit précédemment en liaison avec la figure
3. En sortie du deuxième étage, le modulateur peut
comprendre également un troisième étage doté d'un
additionneur 140. A la suite du troisième étage, un
30 quantificateur 160 régi par un signal d'horloge

d'échantillonnage de fréquence f_s , par exemple sous forme d'un échantillonneur bloqueur suivi d'un convertisseur analogique numérique doté d'un ou plusieurs comparateurs, est prévu. Le modulateur

5 comporte également au moins un convertisseur numérique-analogique 180 de retour dont la sortie est connectée par l'intermédiaire de moyens formant une résistance 192 de valeur R_{b2} à un nœud de sommation du deuxième étage, et par l'intermédiaire de moyens formant une

10 autre résistance 193 de valeur R_{b3} à un nœud de sommation du troisième étage. Le convertisseur numérique analogique est susceptible de commuter en sortie entre une première tension de référence $v_{réf1}$ et une deuxième tension de référence $v_{réf2}$. La première

15 tension de référence $v_{réf1}$ peut être par exemple de l'ordre de 0,3 volts, tandis que la deuxième tension de référence $v_{réf2}$ est par exemple de l'ordre de 0,9 volts. Le modulateur comporte également des moyens susceptibles de délivrer un signal de sortie du

20 convertisseur numérique-analogique 180 provenant d'un étage de sortie 181 du convertisseur numérique-analogique 180, aux bornes d'un condensateur d'intégration 225 de l'intégrateur 120. Un signal de sortie du convertisseur numérique-analogique 180 est

25 susceptible d'être délivré aux bornes du condensateur d'intégration 225, en fonction des variations du signal d'horloge d'échantillonnage de fréquence f_s .

L'intégrateur 120 à partage de charges va être décrit plus en détail en liaison avec la figure 6.

30 Cet intégrateur 120 comprend des moyens 221 formant un amplificateur opérationnel, ainsi que des moyens

formant une résistance 223 de valeur R en entrée de l'amplificateur opérationnel 221, et des moyens 225 formant un condensateur d'intégration de capacité C_i dont une borne est reliée à une entrée de l'amplificateur opérationnel 221 et une autre borne est reliée à une sortie de ce dernier. Les moyens aptes à délivrer le signal de sortie du convertisseur numérique-analogique au condensateur d'intégration 225 peuvent comprendre des moyens formant des premiers interrupteurs 254, 255, régis par le signal d'horloge d'échantillonnage de fréquence f_s . L'intégrateur 120 à partages de charges comporte un amplificateur opérationnel 221, ce qui permet d'obtenir une linéarité améliorée par rapport à un intégrateur à transconductance. Pour l'intégrateur 120 à partage de charges, comme pour un intégrateur à transconductance tel que décrit précédemment en liaison avec la figure 2, le signal de retour provenant du convertisseur numérique analogique 180 n'est pas appliqué en entrée de l'amplificateur opérationnel 221, ce qui permet d'obtenir une vitesse de fonctionnement améliorée du modulateur par rapport à un intégrateur à amplificateur opérationnel classique (tel que décrit précédemment en liaison avec la figure 3).

Pendant une période $T_s = 1/f_s$ du signal d'horloge d'échantillonnage, l'intégrateur 120 est susceptible d'adopter deux phases de fonctionnement :

Lors d'une première phase h_1 durant la période T_s , par exemple entre un instant $t_1 > 0$ et un deuxième $t_2 \leq T_s/2$, un signal ou une tension V_{DAC} produit(e) par le convertisseur numérique-analogique

est appliqué(e), par l'intermédiaire de moyens formant des deuxièmes interrupteurs 244, 245, à des moyens formant un condensateur 242 de capacité C_{DAC} du convertisseur numérique-analogique 180. Durant la première phase, le condensateur 242 de capacité C_{DAC} du convertisseur numérique-analogique 180 se charge. Les premiers interrupteurs 254, 255, sont quant à eux ouverts durant la première phase, de sorte que le condensateur d'intégration 225 et la sortie du convertisseur numérique analogique 180 ne sont pas connectés entre eux. La première phase peut être déclenchée par un changement d'état du signal d'horloge d'échantillonnage, par exemple par un passage d'un état bas à un état haut du signal d'horloge d'échantillonnage.

Lors d'une deuxième phase h2, durant la période T_s , par exemple entre un instant $t_3 > T_s/2$ et un instant $t_4 \leq T_s$, les deuxièmes interrupteurs 244, 245, sont ouverts. Pendant la deuxième phase, les premiers interrupteurs 254, 255, sont quant à eux fermés de sorte que le condensateur d'intégration 225 et le condensateur 242 du convertisseur numérique analogique 180 sont connectés et que le signal de sortie du convertisseur numérique analogique 180 est appliqué à l'intégrateur 120. La deuxième phase peut être déclenchée suite à un changement d'état du signal d'horloge d'échantillonnage, par exemple par un passage d'un état haut à un état bas du signal d'horloge d'échantillonnage. Pendant la deuxième phase, une répartition des charges entre le condensateur 242 du convertisseur numérique-analogique 180 et le

condensateur d'intégration 225 est effectuée. La capacité C_{dac} du condensateur de sortie 242 du convertisseur numérique analogique 180 et la capacité C_i du condensateur d'intégration 225 de l'intégrateur
 5 sont choisies de sorte que les charges emmagasinées par le condensateur 242 du convertisseur numérique-analogique 180 lors de la première phase puissent être transférées dans le condensateur d'intégration 225 lors de la deuxième phase. Les capacités C_{dac} et C_i peuvent
 10 être choisies par exemple de sorte que $C_i \gg C_{dac}$, par exemple tel que C_i est égale à au moins 5 fois C_{dac} ou par exemple au moins 10 fois C_{dac} .

La tension V_i aux bornes du condensateur d'intégration 225 à un instant d'échantillonnage $n+1$
 15 d'une période donnée, par rapport à un instant d'échantillonnage précédent n de la période précédant la période donnée peut être telle que :

$$V_{i_{n+1}} = V_{DACn} (C_{DAC} / (C_{DAC} + C_i)) + V_{i_n} (C_i / (C_{DAC} + C_i))$$

L'intégrateur 120 est différent d'un
 20 intégrateur pur et nommé « à partage de charges », dans la mesure où lorsque le condensateur 242 du convertisseur numérique analogique est connecté au condensateur d'intégration 225, des charges sont retirées au condensateur d'intégration 225.

Un exemple d'architecture de modulateur
 25 delta-sigma d'ordre N suivant l'invention, représentée en modèle équivalent de transformée de Laplace est illustré sur la figure 7A. Ce modulateur delta-sigma d'ordre N est doté d'un étage d'entrée comportant un
 30 intégrateur à partages de charges 120 tel que décrit

précédemment, qui peut avoir une fonction de transfert équivalente en transformée de Laplace égale à $1/(s+a)$, avec a un coefficient non-nul dépendant notamment du rapport entre les capacités C_{dac} et C_i . L'intégrateur à
5 partage de charges est suivi de $N-1$ (avec N un entier non nul) intégrateurs purs $330_1, \dots, 330_{N-1}$, qui peuvent avoir respectivement une fonction de transfert en transformée de Laplace égale à $1/s$. Le modulateur delta-sigma peut être également doté d'un
10 quantificateur (représenté par un bloc 360 sur la figure 7A). Le modulateur delta-sigma peut également comprendre un convertisseur numérique analogique 340, de retour ayant coefficients de gains respectifs b_1, \dots, b_n . Les coefficients a, b_1, \dots, b_n , sont prévus de manière
15 à réaliser une fonction de mise en forme du bruit de quantification d'ordre N . A vitesse de fonctionnement égale, par rapport à un modulateur delta-sigma d'ordre N suivant l'art antérieur, un modulateur delta-sigma suivant l'invention, doté d'un intégrateur à partage de
20 charges en entrée et de N autres intégrateurs purs à la suite de l'intégrateur à partage de charges, a une consommation réduite.

Un exemple d'architecture de modulateur delta-sigma d'ordre 4 suivant l'invention, représentée
25 en modèle équivalent de transformée de Laplace est illustré sur la figure 7B. Le modulateur delta-sigma est doté d'un étage d'entrée 401 comportant un intégrateur à partages de charges tel que décrit précédemment, qui peut avoir une fonction de transfert
30 équivalente en transformée de Laplace égale à $1/(s+a)$, avec a un coefficient non-nul dépendant notamment du

rapport entre les capacités C_{dac} et C_i et qui peut être égal par exemple à 0,25. Le premier étage est suivi de trois autres étages 402, 403, 404 comprenant respectivement un intégrateur pur de fonction de transfert en transformée de Laplace égale à $1/s$. Le modulateur delta-sigma est également doté d'un additionneur 406, de moyens formant un quantificateur (représenté par un bloc 460 sur la figure 7B) en sortie de l'additionneur 406, de plusieurs blocs réalisant une fonction de retard, par exemple de deux blocs 462, 464 réalisant une fonction de retard en sortie du quantificateur 460. Le modulateur delta-sigma peut comprendre un convertisseur numérique analogique de retour (représenté par un bloc 440 sur la figure 7B) rebouclé sur chacun des étages 401, 402, 403, 404 ainsi qu'en entrée de l'additionneur.

Sur la figure 8 une courbe de réponse en fréquence du modulateur delta-sigma d'ordre 4 de la figure 7B est représentée. Sur cette figure, un pic 500 est représentatif de la réponse du modulateur suite à l'injection d'un signal sinusoïdal. Avec un tel modulateur, un rapport signal à bruit SNR de l'ordre de 95 dB peut être obtenu pour un taux de sur-échantillonnage de l'ordre de 64, c'est-à-dire une bande passante B_w de l'ordre de 2 MHz à une fréquence d'échantillonnage f_s de l'ordre de 256 MHz.

REVENDICATIONS

1. Dispositif modulateur delta-sigma comportant au moins un étage donné doté d'au moins un
5 intégrateur (120) d'un type dit « intégrateur à partages de charges » comprenant un amplificateur opérationnel (221) et un condensateur d'intégration (225) dont une borne est reliée à une entrée de l'amplificateur opérationnel et dont une autre borne
10 est reliée à une sortie de l'amplificateur opérationnel, le modulateur comprenant en outre : au moins un convertisseur numérique-analogique (180) de retour, et des moyens pour appliquer, pendant une première phase, un signal de sortie du convertisseur
15 numérique-analogique aux bornes dudit condensateur d'intégration, et pour déconnecter ou isoler, pendant une deuxième phase, la sortie du convertisseur numérique-analogique du condensateur d'intégration.

20 2. Dispositif modulateur delta-sigma selon la revendication 1, le dispositif comprenant en outre : un ou plusieurs autres étages, lesdits autres étages comportant respectivement : au moins un intégrateur pur.

25

3. Dispositif modulateur delta-sigma selon la revendication 2, ledit étage donné étant l'étage d'entrée du modulateur.

30 4. Dispositif modulateur delta-sigma selon l'une des revendications 1 à 3, comprenant en outre au

moins un quantificateur régi par un signal d'horloge d'échantillonnage, les moyens pour appliquer pendant une première phase un signal de sortie du convertisseur numérique-analogique aux bornes du condensateur d'intégration, et pour déconnecter ou isoler pendant une deuxième phase, la sortie du convertisseur numérique-analogique du condensateur d'intégration, comprenant des moyens interrupteurs (254,255) également régis par ledit signal d'horloge d'échantillonnage.

10

5. Dispositif modulateur delta-sigma selon la revendication 4, dans lequel ledit signal de sortie du premier convertisseur numérique-analogique est issu de moyens formant un condensateur (242) dudit convertisseur numérique analogique (180), le dispositif comportant des moyens (244,245) régis par ledit signal d'horloge d'échantillonnage pour, pendant ladite première phase appliquer audit condensateur (242) dudit convertisseur numérique analogique, un signal Vdac produit par le premier convertisseur numérique analogique, et pour pendant ladite deuxième phase, connecter le condensateur (242) dudit convertisseur numérique analogique au condensateur d'intégration (225).

25

6. Dispositif modulateur delta-sigma selon la revendication 5, le condensateur (242) dudit convertisseur numérique analogique se chargeant pendant la première phase, le condensateur (242) dudit convertisseur numérique analogique se déchargeant dans

30

le condensateur d'intégration (225) pendant la deuxième phase.

7. Convertisseur analogique numérique
5 comprenant au moins un modulateur delta-sigma selon
l'une des revendications 1 à 6.

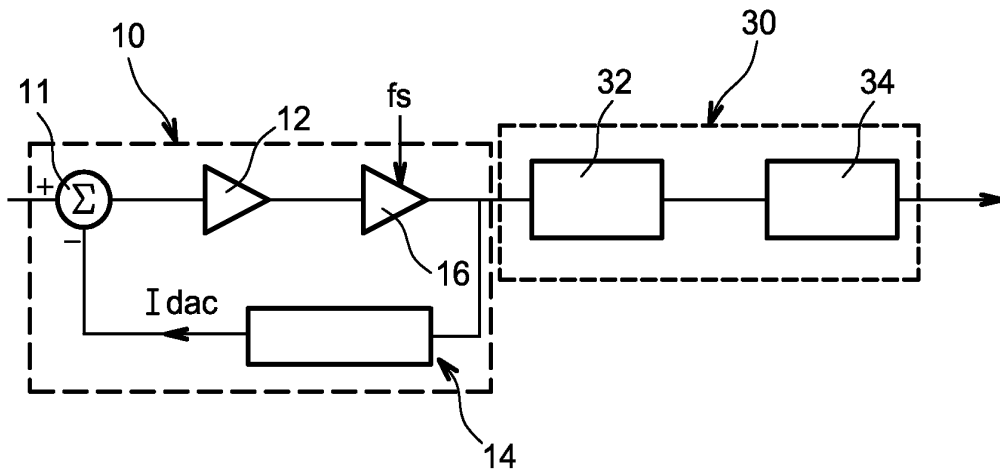


FIG. 1

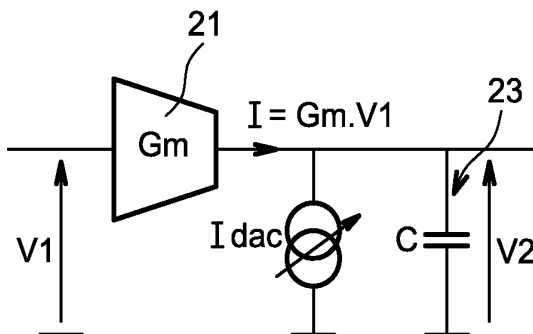
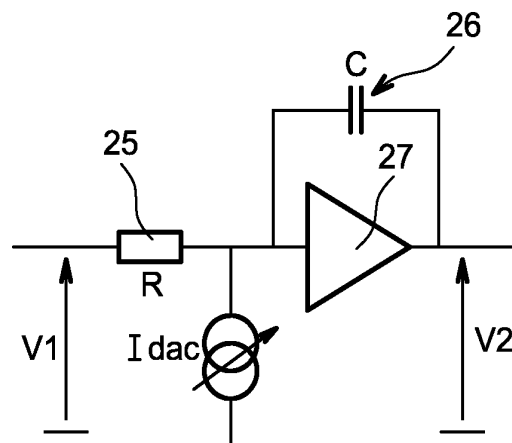


FIG. 2

FIG. 3



2 / 5

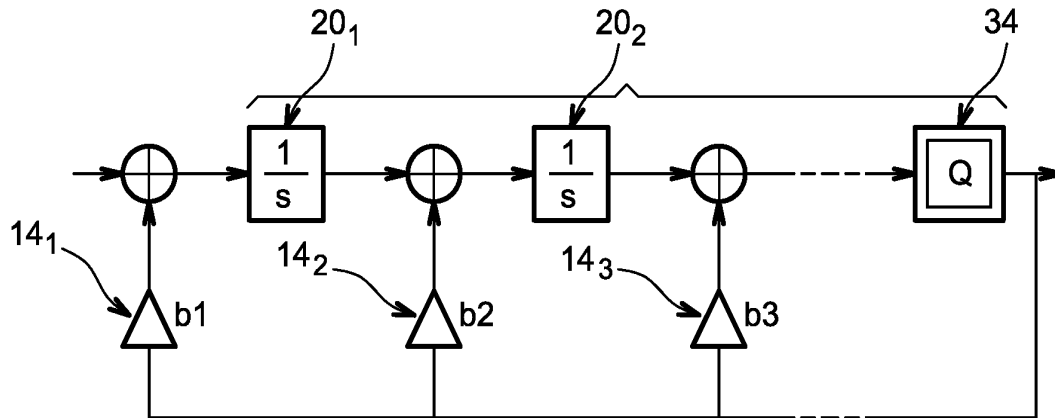


FIG. 4

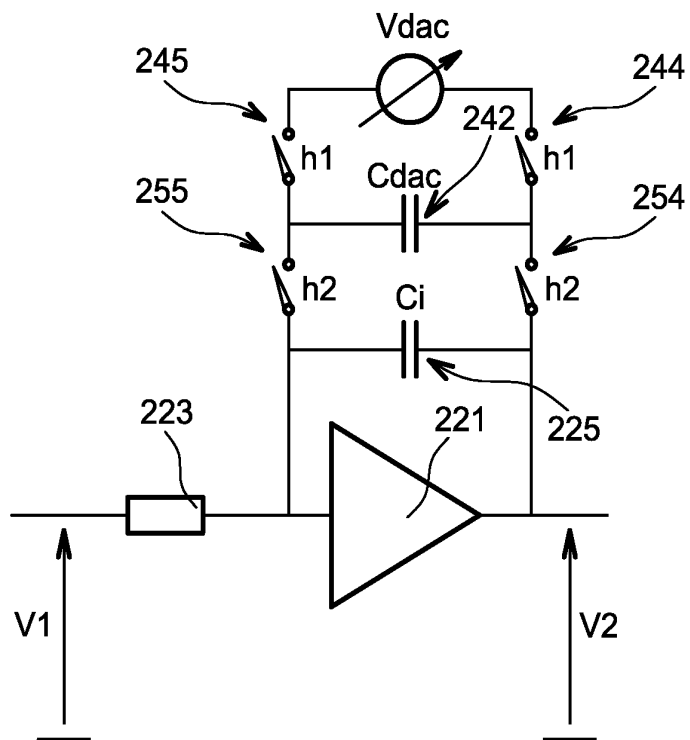


FIG. 6

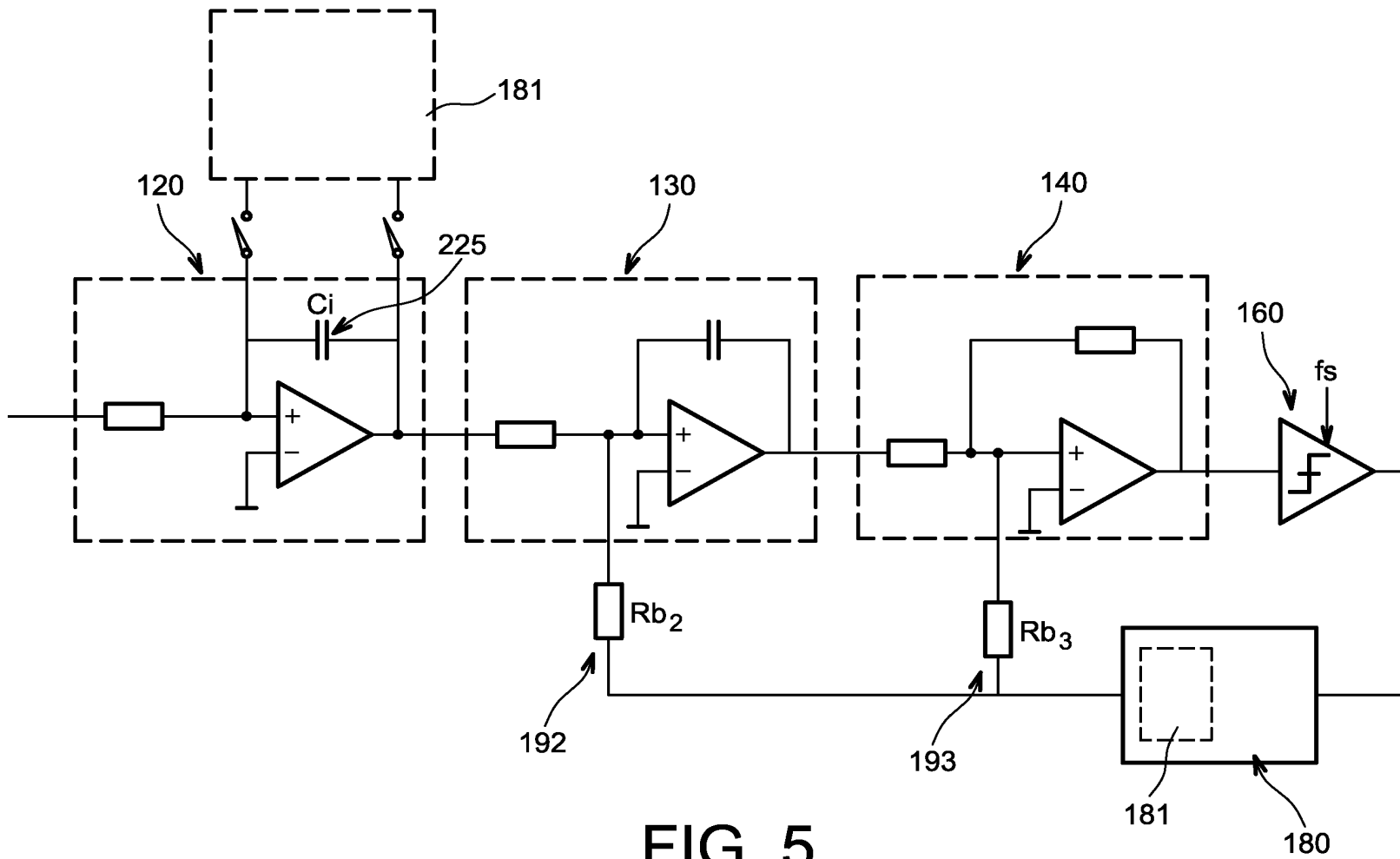


FIG. 5

FIG. 7A

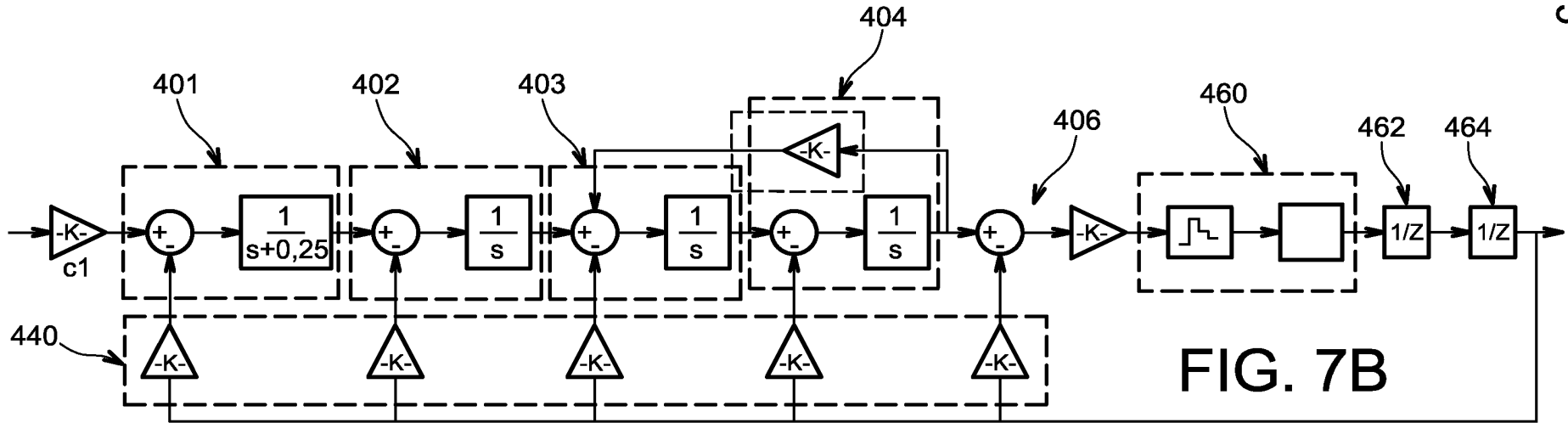
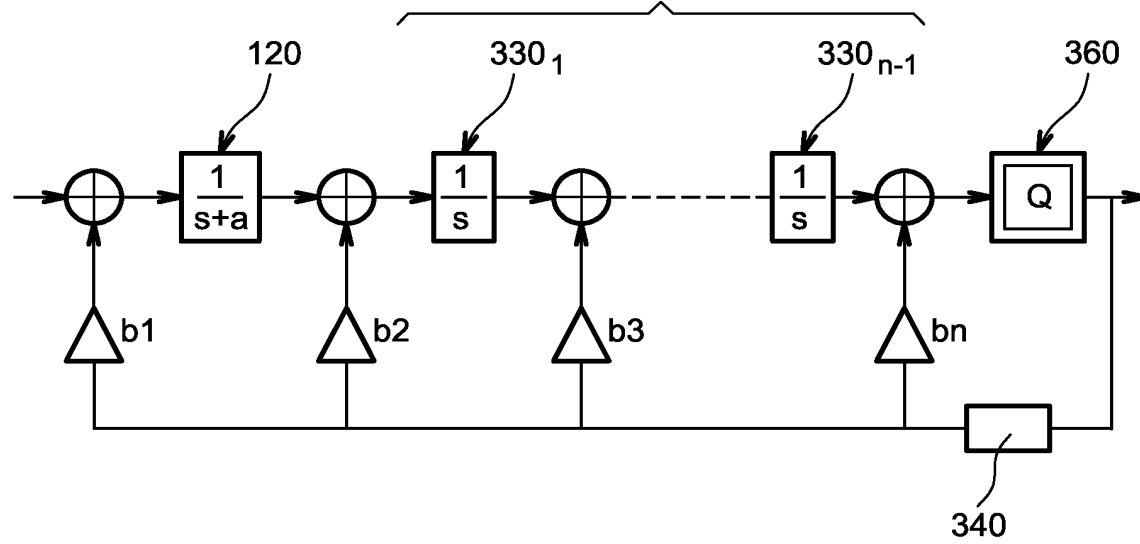


FIG. 7B

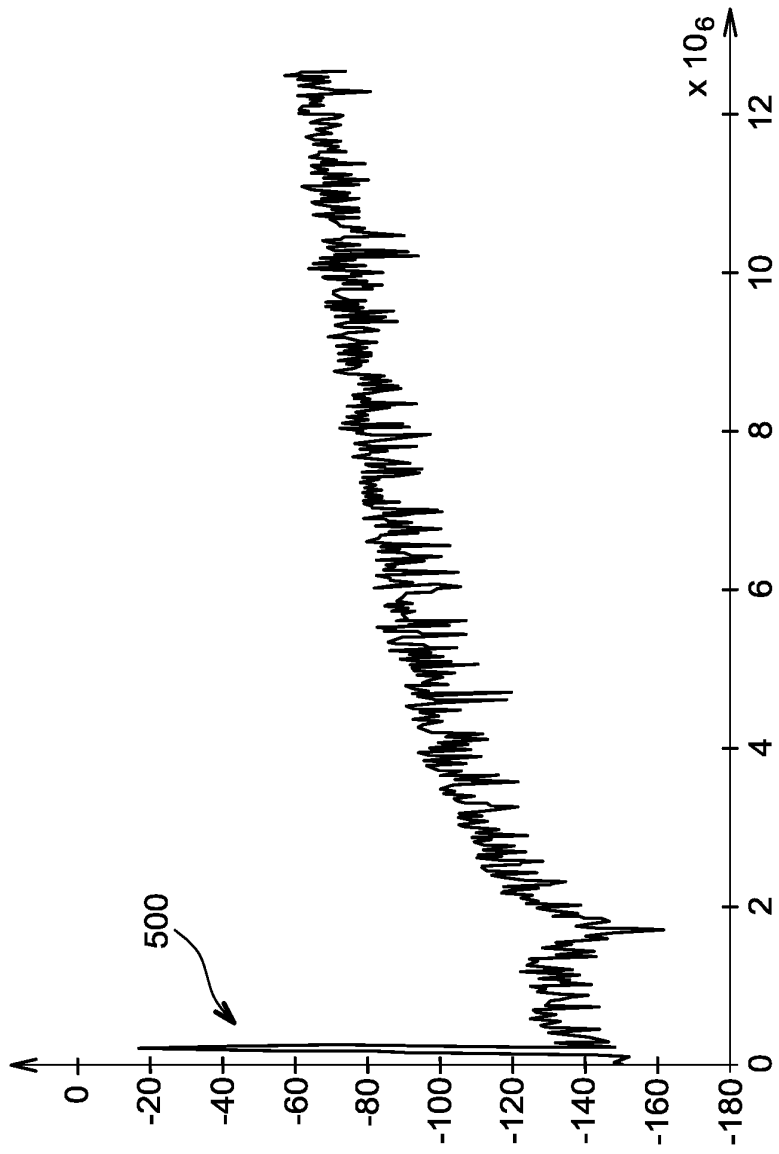


FIG. 8



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 680478
FR 0651323

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	VAN VELDHOVEN R: "Tri-mode continuous-time /spl Sigma spl Delta/ modulator with switched-capacitor feedback DAC for a GSM-edge/CDMA2000/UMTS receiver" SOLID-STATE CIRCUITS CONFERENCE, 2003. DIGEST OF TECHNICAL PAPERS. ISSCC. 2003 IEEE INTERNATIONAL SAN FRANCISCO, CA, USA 9-13 FEB. 2003, PISCATAWAY, NJ, USA, IEEE, US, 9 février 2003 (2003-02-09), pages 1-10, XP010661395 ISBN: 0-7803-7707-9 * page 1, colonnes 1-2; figures 3.4.1,3.4.2 *	1-7	H03M3/0/2
X	EP 1 130 784 A2 (HITACHI LTD [JP]; HITACHI CAR ENG CO LTD [JP]) 5 septembre 2001 (2001-09-05) * colonnes 3-5; figure 1 *	1	
A	REDMAN-WHITE W ET AL: "Integrated fourth-order Sigma Delta convertor with stable self-tuning continuous-time noise shaper" IEE PROCEEDINGS: CIRCUITS DEVICES AND SYSTEMS, INSTITUTION OF ELECTRICAL ENGINEERS, STENVENAGE, GB, vol. 141, no. 3, 1 juin 1994 (1994-06-01), pages 145-50, XP006001515 ISSN: 1350-2409 * le document en entier *	1-7	DOMAINES TECHNIQUES RECHERCHÉS (IPC) H03M
A	US 2004/113824 A1 (ZIERHOFER CLEMENS M [AT]) 17 juin 2004 (2004-06-17) * alinéa [0066] - alinéa [0075]; figures 10,11 *	1-7	
Date d'achèvement de la recherche		Examineur	
11 décembre 2006		Morrish, Ian	
<p>CATÉGORIE DES DOCUMENTS CITÉS</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p>		<p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0651323 FA 680478**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 11-12-2006

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 1130784 A2	05-09-2001	JP 2001237706 A US 2001030621 A1	31-08-2001 18-10-2001
US 2004113824 A1	17-06-2004	AUCUN	