(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 21/78

(45) 공고일자 2003년02월19일
(11) 등록번호 10-0366734
(24) 등록일자 2002년12월17일

(21) 출원번호 10-1998-0019074
(22) 출원일자 1998년05월26일

(65) 공개번호 특1998-0087378
(43) 공개일자 1998년12월05일

(30) 우선권주장 140767 1997년05월30일 일본(JP)

(73) 특허권자
오끼 덴끼 고오교 가부시끼가이샤
일본 도쿄도 미나토쿠 도라노몬 1쵸메 7반 12고

(72) 발명자
사타니 노리히코
일본국 미야자키켄 미야자키시 야마토쪼 9-2가부시끼가이샤 오끼 마이크로 디자인 미야자키 나이
미토마 데츠야
일본국 미야자키켄 미야자키시 야마토쪼 9-2가부시끼가이샤 오끼 마이크로 디자인 미야자키 나이

(74) 대리인
권태복
이화익

심사관 : 반성원

(54) 반도체 집적회로

요약

본 발명의 반도체 집적회로는, 복수의 메모리셀에서 각각이 데이터를 격납하는 메모리셀과, 이 메모리셀로부터 판독된 데이터가 주어지는 비트선쌍과, 비트선쌍에 주어진 데이터를 증폭하는 센스앰프와, 비트선쌍중의 한쪽에 주어진 데이터를 수신하는 제어단자와, 공통노드에 접속된 한쪽의 단자와 다른쪽의 단자를 가지는 제 1의 데이터 버스 구동 트랜지스터와, 비트선쌍중의 다른쪽에 주어진 데이터를 수신하는 제어단자와, 공통노드에 접속된 한쪽의 단자와 다른쪽의 단자를 가지는 제 2의 데이터 버스 구동 트랜지스터와 데이터 버스쌍을 가진다. 또한 본 발명의 반도체 집적회로는, 데이터 버스쌍과 제 1 및 제 2의 데이터 버스 구동 트랜지스터의 다른쪽의 단자와의 사이에 접속되어, 열선택신호에 응답하여 다른쪽의 단자와 데이터 버스 쌍을 전기적으로 접속하는 전송회로와, 제 1의 전원전위가 주어진 제 1의 전원전위노드와, 제 2의 전원전위가 주어진 제 2의 전원전위노드와, 공통노드에 접속되어 제어신호에 응답하여 공통노드를 제 1의 전원전위노드 또는 제 2의 전원전위노드에 선택적으로 접속하는 출력제어회로를 가진다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1의 실시형태를 나타내는 DRAM의 구성도.

도 2는 본 발명의 제 1의 실시형태를 나타내는 DRAM의 구성도.

도 3은 본 발명의 제 2의 실시형태를 나타내는 DRAM의 구성도.

도 4는 본 발명의 제 3의 실시형태를 나타내는 DRAM의 구성도.

도 5는 본 발명의 제 4의 실시형태를 나타내는 DRAM의 구성도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로, 특히 다이내믹 랜덤 액세스 메모리(이하, 「DRAM」이라고 한다)의 데이터 버스 구동회로에 관한 것이다.

DRAM의 대용량화에 따라 연속된 어드레스에 배치된 메모리셀의 내용을 연속하여 판독하거나 또는 연속하여 기록한다고 하는 연속액세스의 요구가 증가하고 있다. DRAM에서는, 액세스할때 마다에 데이터 버스를 소정의 전위로 프리챠지할 필요가 있다. 따라서, 상기 연속액세스를 실현하기 위해서는 메모리셀 배열을 복수의 뱅크로 분할하여, 이들 뱅크를 교대로 액세스하는 방법이 있다. 이 방법에 의하면, 액세스를 행하고 있지 않은 뱅크의 데이터 버스는 프리챠지레벨을 유지할 수 있다. 따라서, 전회의 액세스를 행하지 않았던 뱅크의 데이터 버스에 대하여 액세스가 있었을 경우, 데이터의 판독을 스무스하게 실행할 수 있다. 그 결과, 연속액세스가 고속으로 실현된다. 그렇지만, 연속액세스를 위해 단순히 뱅크를 복수로 분할하면, 뱅크마다 데이터 버스가 필요해 진다. 그 결과, 회로면적이 증대하기 때문에 개선이 요망되고 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은, 상기 과제를 해결하기 위한 반도체 집적회로이다. 본 발명의 대표적인 반도체 집적회로는, 복수의 메모리셀에 있어서, 각각이 데이터를 격납하는 메모리셀과, 이 메모리셀로부터 판독된 데이터가 주어지는 비트선쌍과, 비트선쌍에 주어진 데이터를 증폭하는 센스앰프와, 비트선쌍중의 한쪽에 주어진 데이터를 수신하는 제어단자와, 공통노드에 접속된 한쪽의 단자와 다른쪽의 단자를 가지는 제 1의 데이터 버스 구동 트랜지스터와, 비트선쌍중의 다른 쪽에 주어진 데이터를 수신하는 제어단자와, 공통노드에 접속된 한쪽의 단자와 다른 쪽의 단자를 가지는 제 2의 데이터 버스 구동 트랜지스터와, 데이터 버스쌍을 가진다. 또한 본 발명의 반도체 집적회로는, 데이터 버스쌍과 제 1 및 제 2의 데이터 버스 구동 트랜지스터의 다른쪽 단자와의 사이에 접속되고, 열선택신호에 응답하여 다른쪽의 단자와 데이터 버스쌍을 전기적으로 접속하는 전송회로와, 제 1의 전원전위가 주어진 제 1의 전원전위노드와, 제 2의 전원전위가 주어진 제 2의 전원전위노드와, 공통노드등에 접속되고, 제어신호에 응답하여 공통노드를 제 1의 전원전위노드 또는 제 2의 전원전위노드에 선택적으로 접속하는 출력제어회로를 가진다.

발명의 구성 및 작용

(제 l의 실시의 형태)

도 1은, 본 발명의 제 1의 실시형태를 나타내는 DRAM의 구성도이다. 이 DRAM은, 동일구성의 2개의 뱅크 BK0, BK 1를 가지고 있다. 뱅크 BK0는, 동일구성의 블럭 BLK0-1, BLK0-2로 분할되어 있다. 뱅크 BK1도 마찬가지로 동일구성의 블럭 BLK1-l, BLK1-2로 분할되어 있다. 도 2는 도 1의 블럭 BLK0-1, BLK1-1의 회로도이다. 뱅크 BK1는 평행하게 배치된 복수의 워드선 WL0, WL1, …, WLn으로 이루어지는 워드선군과, 이들 워드선 WL0 WLn에 직교하도록 배치된 상보적인 2개의 비트선 BL, /BL로 이루어지는 비트선쌍을 가지고 있다. 워드선 WLi(단, i = 0 n)와 비트선 BL 또는 비트선/BL과의 교차부분에는, MOS 11ai와 커패시터 11 bi로 구성되는 메모리셀 11i이 접속되어 있다. 메모리셀 11i는, 워드선 WLi에 의해서 선택되었을때에 비트선 BL 또는 /BL에 주어진 전위를 유지함과 동시에, 그 유지한 전위를 비트선 BL 또는 /BL에 출력하는 것이다. 비트선 BL, /BL은, 각각 스위칭용의 MOS 12a, 12b를 통해, 센스앰프13의 입력측에 접속되어 있다. MOS 12a, 12b의 게이트에는, 판독제어용의 신호 TG1가 주어지도록 되어 있다. 센스앰프13에는 그 동작을 제어하기 위한 블럭선택신호 EQB1이 주어지고 있다. 이들 비트선 BL, /BL, 워드선 WL0 WLn, 메모리셀 11i, 및 센스앰프 13에 의해서, 제 1의 기억수단이 구성되어 있다. 센스앰프13의 출력측에는, 제 1의 출력제어수단(출력제어회로 또는 데이터 버스 구동회로이다) 20-1이 접속되어 있다. 출력제어회로20-1는 센스앰프 13의 2개의 상보적인 출력신호에 의해서 제어되고, 제 1 및 제 2의 노드(예컨대 노드 N11, N12)에 대하여, 이 센스앰프13의 출력신호에 대응하는 전위를 각각 출력하는 것이다. 출력제어회로20-1는, 제 1 및 제 2의 트랜지스터(예컨대, MOS) 21a, 21b를 가지고 있고, 이들 MOS 21a, 21b의 게이트가 센스앰프13의 2개의 출력측에 각각 접속되어 있다. MOS 21a, 21b의 소스는 내부노드(예컨대, 노드 N20)에 공통접속되고, 드레인은 각각 MOS 22a, 22b를 통해 노드 N11, N12에 접속되어 있다. MOS 22a, 22b의 게이트에는, 선택판독신호 RCL1가 주어지고 있다. 노드 N20에는, 제 3 및 제 4의 트랜지스터(예컨대, MOS) 23, 24의 드레인이 공통으로 접속되어 있다. MOS23의 소스는 전원전위 VCC에, MOS24의 소스는 접지전위 CND에 각각 접속되어 있다. MOS23의 게이트는, 뱅크선택신호 BKS1와 공통블럭선택신호 BLKSEL의 논리합의 부정을 취하는 NOR회로25의 출력신호에 의해서 제어되도록 되어 있다. MOS 24의 게이트에는, 인버터26를 통해 블록선택신호 EQB1가 주어지고 있다.

한편, 블럭 BLK0-1도, 블럭 BLK1-1과 같은 구성으로 되어 있다. 이 블럭 BLK0-1에서의 센스앰프13의 출력측은, 상기 출력제어회로20-1와 같은 구성의 제 2의 출력제어수단(출력제어회로 또는 데이터 버스 구동회로라고 한다.) 20-0를 통해 제 3 및 제 4의 노드(예컨대, 노드 N13, N14)에 접속되어 있다. 블럭 BLK0 - 1측의 출력제어회로20-1는, 선택판독신호 RCL0, 뱅크선택신호 BKS0와 공통블럭선택신호 BLKSEL의 논리합의 부정 및 블럭선택신호 EQB0에 의해서 제어되도록 되어 있다.

노드 N11과 노드 N13은 제 1의 데이터 버스(예컨대, 판독데이터 버스) /RB에 의해 공통접속되고, 노드 N12과 노드 N14는, 제 2의 데이터 버스(예컨대, 판독데이터 버스) RB에 의해 공통접속되어 있다. 이들 상보적인 판독데이터 버스 /RB, RB의 일단은, 공통블럭선택신호 BLKSEL에 의해서 온/오프 제어되는 MOS31a, 31b를 통해 전원전위 VCC에 접속되어 있다. 또, 판독데이터 버스 /RB, RB의 다른 끝은, 프리챠지수단(예컨대, 프리챠지회로)32에 접속되고, 이 챠지회로32의 출력측이 판독수단(예컨대, 판독앰프) 33의 입력측에 접속되어 있다. 블럭 BLK0-1, 또는 블럭 BLK1-1의 선택된 메모리셀 11i의 내용이, 판독앰프33로부터 판독데이터 DQ로서 출력되도록 되어 있다.

다음에, 이 DRAM의 동작을 설명한다.

여기서는 예컨대 뱅크 BK1가, 스탠바이 상태로부터 액티브상태로 변화되어, 이 블럭 BLK1-1의 메모리셀 11i에 기억된 데이터를 판독하는 경우의 동작을 설명한다.

블럭 BLK1-1가 스탠바이상태일 때, 블럭선택신호 EQB1는 "H"로 되어 있기 때문에, 인버터26를 통해 MOS 24의 게이트에 주어지는 신호는 "L"이다. 블럭 BLK1-1이 속하는 뱅크 BK1는 선택되어 있지 않기 때문에, 뱅크선택신호 BKS1는 "H"로 되어 있고, NOR회로25로부터 MOS23의 게이트에 주어지는 신호는 "L"이다. 이 때문에, MOS 23, 24는 동시에 오프상태가 되고, 출력제어회로20-1에는 전류가 흐르지 않으며, 이 출력제어회로20-1와 판독데이터 버스 RB, /RB의 노드N11, N12의 사이는 절단상태로 되어 있다. 따라서, 프리챠지회로32에 의해서 판독 데이터 버스 RB, /RB의 전위는 VCC-Vt에 프리챠지된다.

다음에, 뱅크 BK1의 블럭 BLK1-1이 선택된다. 뱅크선택신호 BKS1 및 블럭선택신호 EQB1가 "L", 공통블럭선택신호 BLKSEL, 선택판독신호 RCL1 및 신호 TG1가 "H"로 각각 변화되고, 이 블럭 BLK1-1이 액티브상태가 된다. 이것에 의해, MOS23는 오프상태, MOS24는 온상태로 변화되고, 노드N20의 전위는 접지전위 GND와 거의 같게 된다.

선택된 블럭 BLK1-1의 워드선 WLi가 "H"가 되면, 이 워드선 WLi에 접속된 메모리셀111에 기억된 데이터가 비트선쌍 BL, /BL에 출력된다. 비트선쌍 BL, /BL에 출력된 데이터는 신호 TG1에 의해서 온상태가 된 MOS 12a, 12b를 통해서 센스앰프13에 주어지고, 이 센스앰프13에서 소정의 레벨까지 증폭되어, 각각 MOS 21a, 21b의 게이트로 출력된다.

만약 메모리셀11i에 기억된 데이터가 "H"이면, MOS 21a, 21b의 게이트의 레벨은 각각 "H", "L"이 된다. 이에 따라, MOS 21a는 온상태, MOS 21b는 오프상태가 된다. 또, 선택판독신호 RCL1의 레벨은 "H"로 되어 있기 때문에, MOS 22a, 22b는 어느 것이나 온상태 이다. 이에 따라, 노드 N11은 MOS 22a, 21a를 통해 접지전위GND에 접속된다. 한편, MOS21b는 오프상태로 되어 있기 때문에, 노드 N12의 전위는, 프리챠지된 전위인 그대로 이다. 따라서, 판독데이터 버스 RB, /RB의 레벨은 각각 4 "H", "L"이 된다. 판독데이터 버스 RB, /RB 상의 신호는 프리챠지회로32를 통해 판독앰프33로 주어지고, 이 판독앰프33에 의해서 판독데이터 DQ로서 "H"가 출력된다.

만약에 메모리셀 11i에 기억된 데이터가 "L"이면, MOS 21a, 21b의 게이트의 레벨은 각각 "L", "H"가 되기 때문에, MOS 21a는 오프상태, MOS 21b는 온상태가 된다. 이에 따라, 판독데이터 DQ로서 "L"이 출력된다.

블럭 BLK1-1이 선택되어 메모리셀 11i의 판독이 행해지고 있는 사이, 비선택의 블럭 BLK1-2 및 블럭 BLK0-2은 스탠바이상태로 되어 있다. 예컨대, 블럭 BLK1–2에서는 뱅크선택신호 BKS1 및 공통블럭선택신호 BLKSEL이 "L", 블럭선택신호 EQB1, 선택판독신호 RCL1 및 신호 TG1가 "H"로 되어 있다. 이 때문에, MOS23은 온상태, MOS24는 오프상태가 되고, 노드 N20의 전위는 VCC-Vt가 되어, 판독데이터 버스 RB, /RB의 전위와 같아진다. 따라서, MOS 21a, 21b의 온/오프상태에 관계 없이, 출력제어회로20-1에는 전류가 흐르지 않고, 이 출력제어회로 20-1와 판독데이터 버스 PB, /RB의 노드 N11, N12와의 사이는 절단상태로 되어 있다.

따라서 판독데이터 버스 RB, /RB의 전위는 VCC-Vt로 유지된다. 따라서, 다음에 블럭 BLK1-2 및 블럭 BLK0-2이 선택되었을 때에는, 즉시 워드선 WLi에서 선택된 메모리셀 11i의 기억데이터를 판독하는 것이 가능하게 된다. 즉, 데이터 버스의 프리챠지동작이 불필요하거나 단시간에 종료한다.

이상과 같이, 이 제 1의 실시형태에서는, 뱅크선택신호 BKS1, BKS0, 블록선택신호 EQB1, EQB0 및 공통블럭선택신호 BLKSEL에 의해서 도통상태가 제어되는 출력제어회로 20-l, 20-0를 가지고 있다. 이에 의해, 판독데이터 버스 RB, /RB를 2개의 뱅크 BK0, BK1로 공용할 수가 있기 때문에, 레이아우트의 소요면적을 작게 할 수가 있다. 또한, 선택된 뱅크 BK1(또는 BK0)의 특정한 블럭을 액세스 하는 사이, 그 이외의 비선택의 뱅크 BK0(또는 BK1) 및 블럭을 스탠바이상태로 할 수 있기 때문에, 2개의 뱅크BK0, BK1를 교대로 연속하여 액세스하는 일이 가능하게 되어, 연속액세스가 달성된다.

(제 2의 실시형태)

도 3은 본 발명의 제 2의 실시형태를 나타내는 DRAM의 구성도이고, 제 1의 실시형태의 도 1 및 도 2중의 요소와 공통되는 요소에는 공통의 부호가 부착되어 있다.

이 제 2의 실시형태의 DRAM에서는, 도 2의 DRAM 에서의 출력제어회로 20-1를 간소화하고 있다. 도 2의 출력제어회로20-1는, 센스앰프12에 대하여 1조씩 부가되어 있지만, 도 4의 DRAM에서는 출력제어회로의 일부를 복수의 센스앰프13-1 13-n에 대하여, 공통으로 사용하도록 하고 있다.

즉, 블럭 BLK1-1내의 각 센스앰프13-i(단, i = 1 n)의 출력측에는, 각각 MOS 21a -i, 21b-i의 게이트가 접속되어 있다. MOS 21a-i, 21b-i의 드레인은, 각각 MOS 22a-i, 22b-i를 통해 판독데이터 버스 /RB, RB에 접속되고, 소스는 내부노드 N20-i에 공통접속되어 있다. 여기까지의 구성은 도 2의 DRAM과 같다.

한편, 도 4의 DRAM에서는 각 내부노드 N20-i는 공통접속되어 제어회로40의 노드 N40에 접속되어 있다. 제어회로40는 MOS41, 41, NOR회로43, 및 인버터44로 구성되어 있다. MOS41의 소스와 MOS42의 드레인은 노드 N40에 접속되어 있다. MOS41의 드레인은 전원전압 VCC에, 게이트는 NOR회로 43의 출력측에 접속되어 있으며, 뱅크선택신호 BSK1와 공통블럭선택신호 BLKSEL의 NOR 논리에 의해서, 이 MOS41가 온/오프 제어되도록 되어 있다. 또, MOS42의 드레인은 접지전위 GND에, 게이트는 인버터44를 통해 블럭선택신호 EQB1에 접속되고, 이 블럭선택신호 EQB1에 의해 MOS42가 온/오프 제어되도록 되어 있다.

또, 블럭 BLK0-1 내의 센스앰프13-i의 출력측의 회로는, 블럭 BLK1-1과 같은 구성으로 되어 있다. 그 밖의 구성은, 도 2와 마찬가지이다. 이러한, 제 2의 실시형태의 DRAM의 동작은, 각 블럭 BLK1-1, 블럭 BLK0-1내의 내부 노드 N20-i의 전위가, 제어회로40에 의해서 공통으로 제어되는 것만으로, 제 1의 실시형태의 DRAM의 동작과 같으며, 같은 이점을 가진다.

또한, 이 제 2의 실시형태의 DRAM은, 각 센스앰프13-i에 공통되는 제어회로40를 설치하고 있기 때문에, 회로구성이 간소화된다고 하는 이점이 있다.

(제 3의 실시형태)

도 4는, 본 발명의 제 3의 실시형태를 나타내는 DRAM에서의 제어회로의 구성도이다. 이 제어회로40A는, 제 2의 실시형태를 나타내는 도 4의 DRAM 중의 제어회로40 대신에 설치되는 것으로, 도 4중의 요소와 공통되는 요소에는 공통의 부호가 부착되어 있다.

이 제어회로40A는, 전원전위 VCC와 노드 N40의 사이에 접속된 N채널 MOS(이하, 「NMOS」라고 한다) 45를 가지고 있다. NMOS45의 게이트는, NOR회로43의 출력측에 접속되어 있다. 노드 N40와 접지전위 GND와의 사이에는, 복수의 NMOS 46-1, 46-2, …, 46-n이 병렬로 접속되어 있고, 이들 NMOS 46-1 46-n의 게이트에는, 인버터44의 출력측이 공통으로 접속되어 있다. 그리고, 각 NMOS 46-1 46-n의 드레인은, 각각 도 4의 노드 N20-1 N20-n에 접속되어 있다.

이러한 구성의 제어회로40A의 동작은, 도 3중의 제어회로40의 동작과 마찬가지이고, 제 2의 실시형태의 DRAM과 같은 이점을 가진다.

(제 4의 실시형태)

도 5는 본 발명의 제 4의 실시형태를 나타내는 DRAM에서의 제어회로의 구성도이다. 이 제어회로40B는 제 2의 실시형태를 나타낸 도 3의 DRAM 중의 제어회로40 대신에 설치되는 것으로, 도 4중의 요소와 공통되는 요소에는 공통의 부호가 부착되어 있다. 이 제어회로40B는 전원전위 VCC와 노드 N40의 사이에 접속된 P채널 MOS(이하, 「PMOS」라고 한다) 47를 가지고 있다. 노드 N40과 접지전위 GND와의 사이에는, NMOS48가 접속되어 있다. 이들 PMOS47 및 NMOS48의 게이트에는, 인버터44의 출력측이 공통으로 접속되어 있다.

이 제어회로40B는, 블럭선택신호 EQB가 " H" 일 때에는, 노드 N40이 " H" 가 되고, 블럭선택신호 EQB가 " L" 일 때에는, 노드 N40이 " L" 이 되도록 제어하는 것으로, 뱅크선택신호 BSK와 공통블럭선택신호 BLKSEL을 사용하지 않고, 노드 N40의 전위를 간이적으로 제어하는 것이다. 이로 인해, 더욱 간소화된 회로구성에 의해서 도 4중의 제어회로40와 같은 동작을 행할 수가 있고, 제 2의 실시형태의 DRAM과 같은 이점을 가진다.

또, 본 발명은 상기 실시형태에 한정되지 않고, 여러가지의 변형이 가능하다. 이 변형예로서는, 예컨대, 다음(a) (e)와 같은 것이 있다.

(a) DRAM에 관해서 설명하였지만, DRAM 이외의 프리챠지가 필요한 반도체기억장치에 관해서도 적용이 가능하다.

(b) 2뱅크 구성의 반도체기억장치에 관해서 설명하였지만, 3뱅크 이상의 뱅크구성의 반도체기억장치에 관해서도 적용이 가능하다.

(c) 도 2중의 출력제어회로20-1등의 회로구성은, 도시한 것에 한정되지 않고, 동등한 기능을 가지는 회로이면 어떠한 구성의 회로라도 같은 효과를 얻을 수 있다.

(d) 도 3의 DRAM에서는, 하나의 뱅크에 대하여 1개의 제어회로40를 설치하고 있지만, 레이아웃에 따라서 하나의 뱅크에 복수의 제어회로40를 설치해도 된다.

(e) 출력제어회로20나 제어회로40등은 전부 MOS로 구성하고 있지만, 바이폴라 트랜지스터등의 MOS 이외의 트랜지스터로 구성해도 된다.

발명의 효과

이상 상세히 설명한 바와 같이 본 발명에 의하면, 제 1과 제 2의 기억수단에 각각 공통되는 데이터 버스와의 사이의 접속상태를 제어하기 위한 제 1 및 제 2의 출력제어수단을 설치하고 있다. 이 때문에, 예컨대 제 1의 기억수단의 데이터를 판독하고 있을 때에는, 제 2의 기억수단을 데이터 버스로부터 분리하여, 프리챠지수단에 의해서 이 제 2의 기억수단의 출력전위를 소정의 전위로 유지할 수가 있다. 이것에 의해, 공통되는 데이터 버스를 통해 제 1 및 제 2의 기억수단을 교대로 연속하여 판독할 수 있게 되어, 액세스시간을 지연시키지 않고 레이아웃을 소형화할 수가 있다.

또, 본 발명에 의하면, 제 1의 발명에서의 출력제어수단을, 기억수단 지정용의 지정신호나 지정된 기억수단으로부터 판독된 센스신호에 의해서 온/오프제어되는 트랜지스터로 구성하고 있다. 이에 따라, 회로의 간소화와 소형화가 가능하게 된다.

(57) 청구의 범위

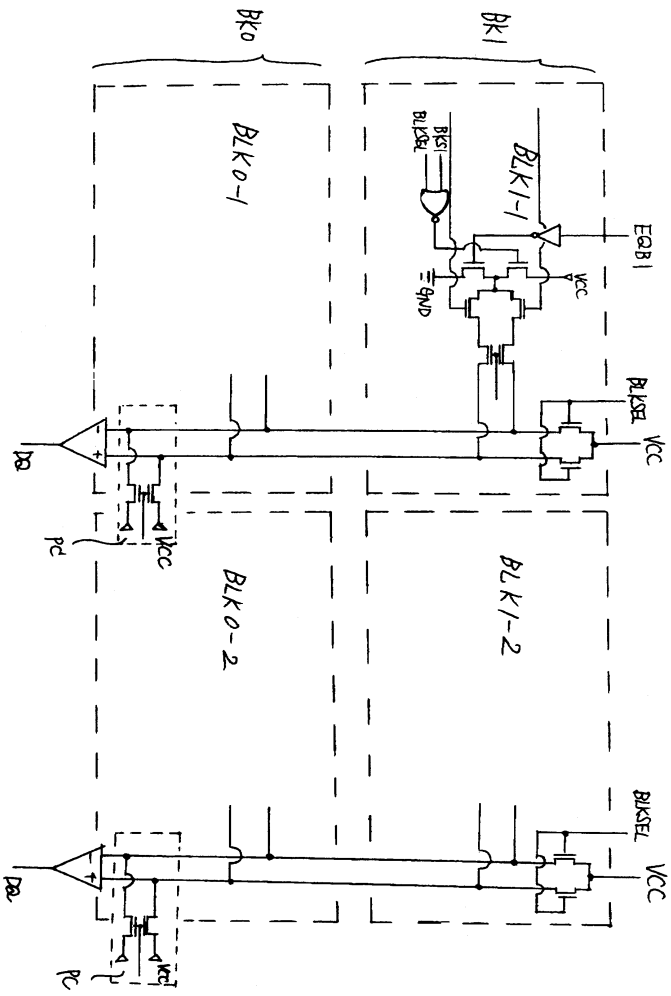
청구항 1.

각각이 데이터를 격납하는 복수의 메모리셀과, 상기 메모리셀로부터 판독된 데이터가 주어지는 비트선쌍과, 상기 비트

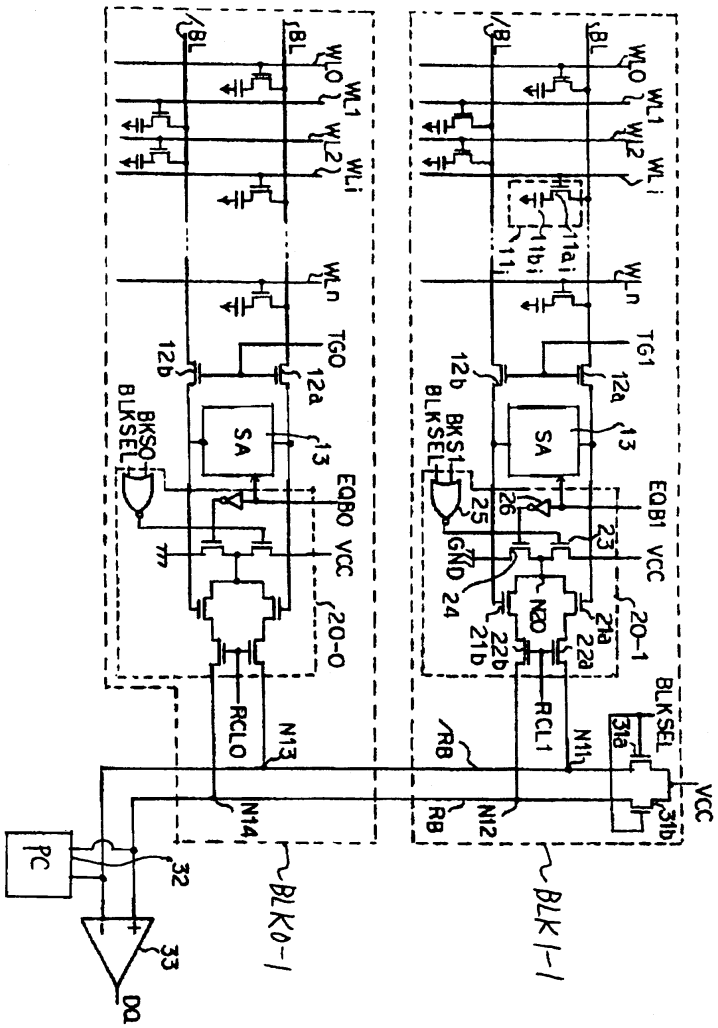
선쌍에 주어진 데이터를 증폭하는 센스앰프와, 상기 비트선쌍중의 한쪽에 주어진 데이터를 수신하는 제어단자와, 공통노드에 접속된 한쪽의 단자와 다른 쪽의 단자를 가지는 제 1의 데이터 버스 구동 트랜지스터와, 상기 비트선쌍중의 다른쪽에 주어진 데이터를 수신하는 제어단자와, 상기 공통노드에 접속된 한쪽의 단자와 다른쪽의 단자를 가지는 제 2의 데이터 버스 구동 트랜지스터와, 데이터 버스쌍과, 상기 데이터 버스쌍과, 상기 제 1 및 제 2의 데이터 버스 구동 트랜지스터의 다른쪽의 단자와의 사이에 접속되고, 열선택신호에 응답하여 상기 다른쪽의 단자와 상기 데이터 버스쌍을 전기적으로 접속하는 전송회로와, 제 1의 전원전위가 주어진 제 1의 전원전위노드와, 제 2의 전원전위가 주어진 제 2의 전원전위노드와, 상기 공통노드에 접속되고, 제어신호에 응답하여 상기 공통노드를 상기 제 1의 전원전위노드 또는 상기 제 2의 전원전위노드에 선택적으로 접속하는 출력제어회로로 구성된 것을 특징으로 하는 반도체 집적회로.

도면

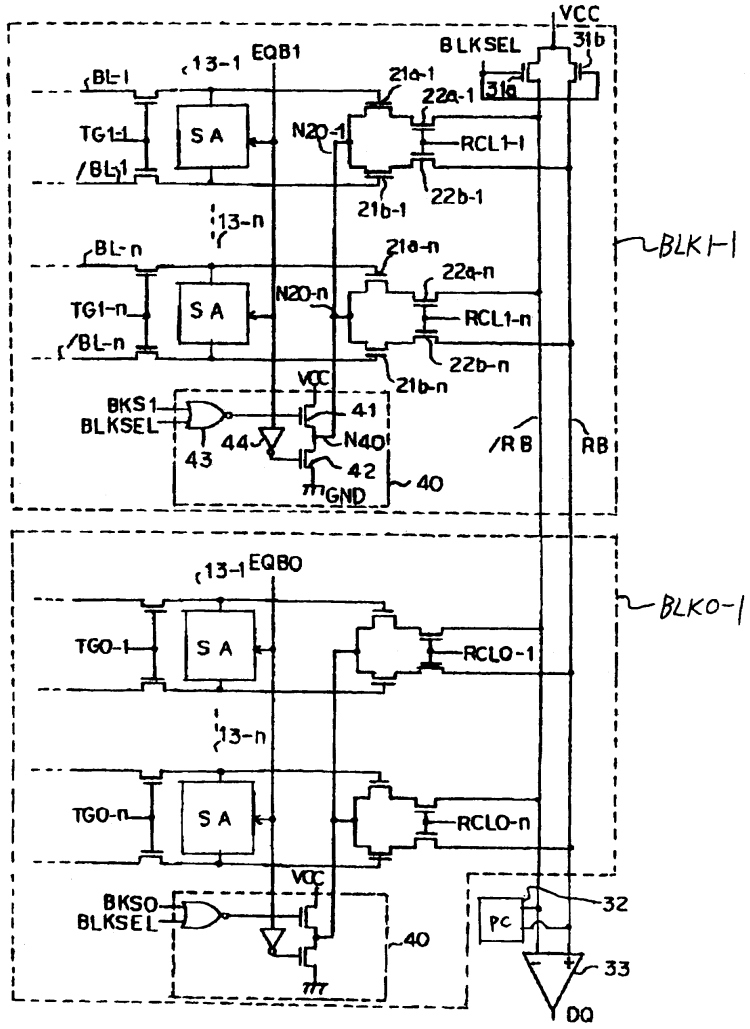
도면 1



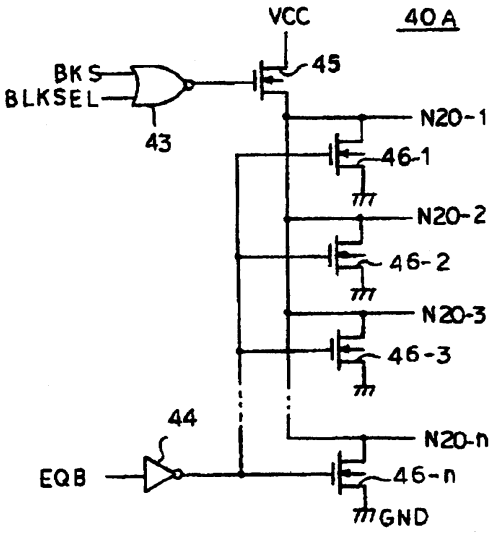
도면 2


BL
WL0
WL1
WL2
WLi
WLn
TG0
TG1
12a
12b
SA
13
BKS0
BLKSEL
BKS1
EQB0
EQB1
VCC
GND
20-0
20-1
21a
21b
22a
22b
23
24
25
26
N20
RCL0
RCL1
N11
N12
N13
N14
RB
31a
31b
BLKSEL
PC
32
33
DQ
BLK0-1
BLK1-1

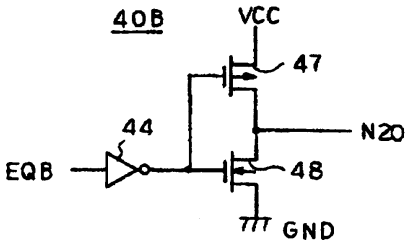
도면 3


VCC
31b
BLKSEL
31a
EQB1
13-1
BL-1
21a-1
22a-1
TG1-1
S A
N20-1
RCL1-1
/BL-1
22b-1
21b-1
13-n
BL-n
21a-n
22a-n
TG1-n
S A
N20-n
RCL1-n
/BL-n
22b-n
21b-n
BLK1-1
VCC
BKS1
BLKSEL
41
44
N40
43
42
GND
40
/RB
RB
EQB0
13-1
TG0-1
S A
RCL0-1
13-n
TG0-n
S A
RCL0-n
VCC
BKS0
BLKSEL
40
BLK0-1
PC
32
33
DQ

도면 4


VCC
40A
BKS
BLKSEL
43
45
N20-1
46-1
N20-2
46-2
N20-3
46-3
44
N20-n
EQB
46-n
GND

도면 5


40B
VCC
47
44
N20
EQB
48
GND