

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-100366

(P2006-100366A)

(43) 公開日 平成18年4月13日(2006.4.13)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 27/148 (2006.01)	HO 1 L 27/14	B 4 M 1 1 8
HO 4 N 5/335 (2006.01)	HO 4 N 5/335	F 5 C O 2 4
HO 4 N 101/00 (2006.01)	HO 4 N 5/335	U
	HO 4 N 101:00	

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号	特願2004-281718 (P2004-281718)	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成16年9月28日 (2004. 9. 28)	(74) 代理人	110000154 特許業務法人はるか国際特許事務所
		(72) 発明者	逸見 一隆 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		(72) 発明者	小田 真弘 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		(72) 発明者	伊澤 慎一郎 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

最終頁に続く

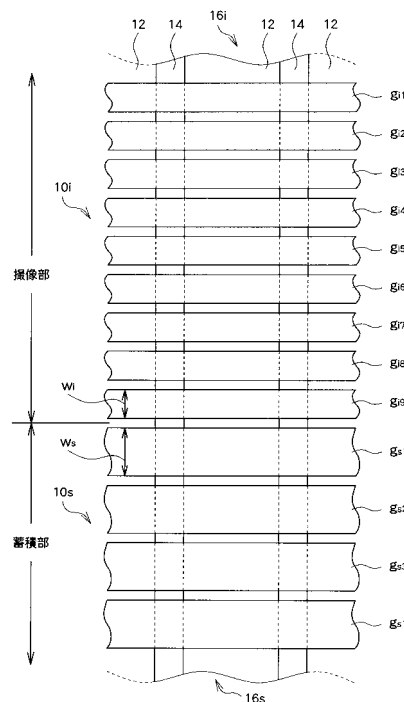
(54) 【発明の名称】 電荷転送素子及び固体撮像素子

(57) 【要約】

【課題】 撮像部シフトレジスタの各ビットの3本の転送電極を個別に駆動する標準駆動と共通電圧で駆動する画素圧縮駆動とを切り換え可能なフレーム転送型CCDイメージセンサにおいて、画素圧縮駆動で撮像部から蓄積部への信号電荷の転送効率が劣化する。

【解決手段】 3相クロックを印加される蓄積部10sの転送電極gs1~gs3の幅wsを撮像部10iの転送電極gi1~gi9の幅wiより大きくする。列方向に並ぶ3つの受光画素のうち2つの信号電荷を加算合成する場合には、 $w_i < w_s < 2w_i + d$ の範囲内にてwsを定める。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

列方向に配列された複数の第 1 転送電極により信号電荷の列方向転送を行い、列方向に連続して並ぶ  $n$   $k$  本 ( $n$  は 2 以上の整数、 $k$  は 3 以上の整数である) の前記第 1 転送電極が互いに独立に駆動可能である第 1 シフトレジスタと、

列方向に配列された複数の第 2 転送電極により前記第 1 シフトレジスタから前記信号電荷を取り込んで蓄積し、列方向に連続して並ぶ  $k$  本の前記第 2 転送電極が互いに独立に駆動可能である第 2 シフトレジスタと、

を有し、

前記第 1 シフトレジスタは、連続する  $k$  本の前記第 1 転送電極を互いに異なる相として  $k$  相駆動する標準駆動とするか、前記第 1 転送電極の連続する  $n$  本ずつを同相として  $k$  相駆動するビット圧縮駆動とするかを切り換えて駆動可能であり、

前記各第 2 転送電極と前記第 2 シフトレジスタのチャンネル領域とが交差する単位ゲート領域の面積は、前記各第 1 転送電極と前記第 1 シフトレジスタのチャンネル領域とが交差する単位ゲート領域の面積より大きいこと、

を特徴とする電荷転送素子。

10

## 【請求項 2】

請求項 1 に記載の電荷転送素子において、

前記第 2 転送電極の幅は、前記第 1 転送電極の幅より大きいことを特徴とする電荷転送素子。

20

## 【請求項 3】

請求項 1 又は請求項 2 に記載の電荷転送素子であって、前記  $n$  が前記  $k$  に等しく、前記第 1 シフトレジスタの各ビットはそれぞれ、 $k$  本の前記第 1 転送電極を対応付けられ、前記ビット圧縮駆動は、前記第 1 シフトレジスタにて列方向に連続する  $k$  個ずつの前記ビットのうち 個に蓄積される前記信号電荷を合成して前記第 2 シフトレジスタへ列方向転送する電荷転送素子において、

前記第 2 転送電極の幅  $w_s$  は、前記第 1 転送電極の幅  $w_i$  に応じた次の関係式、

$w_i < w_s < w_i + ( - 1 ) d$  (ここで、 $d$  は第 1 の転送電極又は第 2 の転送電極相互間の間隙幅である)

を満たすことを特徴とする固体撮像素子。

30

## 【請求項 4】

列方向に配列された複数の撮像部転送電極により複数の画素毎の信号電荷の蓄積及び列方向転送を行う、行方向に配列された複数の撮像部シフトレジスタを含み、列方向に連続して並ぶ 9 本の前記撮像部転送電極が互いに独立に駆動可能である撮像部と、

前記複数の撮像部シフトレジスタに対応して行方向に複数配列され、列方向に配列された複数の蓄積部転送電極により前記撮像部シフトレジスタから前記信号電荷を取り込んで一時蓄積する蓄積部シフトレジスタを含み、列方向に連続して並ぶ 3 本の前記蓄積部転送電極が互いに独立に駆動可能である蓄積部と、

を有し、

前記撮像部シフトレジスタは、連続する 3 本の前記撮像部転送電極を互いに異なる相として 3 相駆動する標準駆動とするか、前記撮像部転送電極の連続する 3 本ずつを同相として 3 相駆動する画素圧縮駆動とするかを切り換えて駆動可能であり、

前記蓄積部転送電極は、前記撮像部転送電極の幅の 2 倍に応じた幅を有し、前記各蓄積部転送電極と前記各蓄積部シフトレジスタのチャンネル領域とが交差する単位ゲート領域の面積は、前記各撮像部転送電極と前記各撮像部シフトレジスタのチャンネル領域とが交差する単位ゲート領域の面積より大きいこと、

を特徴とする固体撮像素子。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

50

本発明は、例えばフレーム転送型CCD (Charge Coupled Device) イメージセンサのように、接続されたシフトレジスタ間で信号電荷の受け渡しを行う電荷転送素子及び固体撮像素子に関し、特に、撮像部のCCDシフトレジスタの連続配置された転送電極の複数本ずつを同相での駆動に切り換えることができる固体撮像素子に関する。

【背景技術】

【0002】

カメラ機能付き携帯電話、デジタルカメラ等には、数百万画素という高解像度の固体撮像素子が搭載されている。それら機器は、撮像しようとする画像をプレビューする表示部を備えている。

【0003】

プレビュー動作においては、フレームレートの確保が必要である。しかし、固体撮像素子から画素毎の信号電荷を読み出すための時間や読み出した信号を処理するための時間は固体撮像素子の画素数に応じて増大し、これが、現在の高画素数の固体撮像素子においてフレームレートの確保を困難としている。すなわち、読み出し速度や信号処理速度の向上が図られているものの、現状はまだ十分とはいえない。特に、CCDイメージセンサは、画素毎の信号電荷を水平シフトレジスタを介してシークエンシャルに読み出すため、水平シフトレジスタを画素数とフレームレートとの積に比例した周波数のクロックで駆動する必要があり、これが転送効率の低下、消費電力の増加、発熱といった問題を生じる。

【0004】

さて、プレビュー画像は、画面が小型であり、またもっぱら被写体の確認等の目的に用いられるものである。そのため、シャッター動作に応じて取得され、例えば記録媒体に記録される静止画像ほどの解像度は必要とされない。

【0005】

そこで、現状、プレビュー動作では、例えば、撮像部の垂直シフトレジスタにて互いに近くに配置される複数画素の情報電荷を加算合成することによって、水平シフトレジスタが転送すべき信号電荷パケット数を削減し、フレームレートを確保することが行われている。なお、ユーザは、プレビューで撮影される画像を確認した上で、シャッターボタンを操作して静止画を撮影する。この静止画撮影では固体撮像素子の全画素を読み出し、高解像度の画像を取得する。

【0006】

従来、このような静止画撮影での画素圧縮を行わない画像の取得とプレビューでの画素圧縮を行った画像の取得とに対応したフレーム転送型CCDイメージセンサとして、撮像部の3相駆動の垂直シフトレジスタの転送電極(撮像部転送電極)を9相ゲート構造としたものが提案されている。

【0007】

図4は、この従来、提案されているフレーム転送型CCDイメージセンサの撮像部及び蓄積部の構造を示す主要部の平面図である。この構造では、撮像部2、蓄積部4それぞれの垂直シフトレジスタの各ビットにそれぞれ3本の転送電極が対応付けられ、そして連続する3ビットを構成する9本の転送電極は、互いに独立のクロックを印加可能に構成される。すなわち、撮像部2には、垂直シフトレジスタのチャンネル領域6上に撮像部転送電極  $g_{i1} \sim g_{i9}$  が列方向に繰り返して配置され、蓄積部4には蓄積部転送電極  $g_{s1} \sim g_{s9}$  が列方向に繰り返して配置される。ここで、撮像部2の各ビットが1つの受光画素を構成し、例えば、ベイヤー配列のカラーフィルタであれば2種類の色透過特性の異なるフィルタが、列方向に並ぶ受光画素に交互に配置される。

【0008】

露光期間における撮像部2や、静止画撮影にて行われる標準駆動時の撮像部2及び蓄積部4では、各ビットの3本の転送電極に3相クロック  $i_1 \sim i_3$  又は  $s_1 \sim s_3$  が印加される。例えば、撮像部2においては転送電極  $g_{i1}$ ,  $g_{i4}$ ,  $g_{i7}$  にクロック  $i_1$ 、転送電極  $g_{i2}$ ,  $g_{i5}$ ,  $g_{i8}$  にクロック  $i_2$ 、転送電極  $g_{i3}$ ,  $g_{i6}$ ,  $g_{i9}$  にクロック  $i_3$  が印加され、各画素での信号電荷の蓄積及びフレーム転送が行われる。また蓄積部4においては転送

10

20

30

40

50

電極  $g_{s1}$ ,  $g_{s4}$ ,  $g_{s7}$ にクロック  $s_1$ 、転送電極  $g_{s2}$ ,  $g_{s5}$ ,  $g_{s8}$ にクロック  $s_2$ 、転送電極  $g_{s3}$ ,  $g_{s6}$ ,  $g_{s9}$ にクロック  $s_3$ が印加され、フレーム転送による信号電荷の取り込み、及び信号電荷の一時蓄積といった動作が行われる。

#### 【0009】

一方、プレビュー撮影では、撮像部2の列方向に連続する3画素ずつで信号電荷の加算合成処理を行ってからフレーム転送を行う画素圧縮駆動が行われる。例えば、列方向に交互に異なる色の画素が並ぶ場合の信号電荷の加算合成処理として、3画素のうち中央の画素を間引いて、その両側の互いに同じ色の画素の信号電荷を加算することが行われる。その処理では具体的には、まず3画素のうち転送電極  $g_{i4}$  ~  $g_{i6}$ が配置された中央の画素に蓄積された信号電荷を、それら転送電極にオフ電圧を印加することで基板へ排出し、その後、転送電極  $g_{i1}$  ~  $g_{i6}$ を駆動して、転送電極  $g_{i1}$  ~  $g_{i3}$ に対応する画素の信号電荷を転送電極  $g_{i7}$  ~  $g_{i9}$ に対応する画素に蓄積される信号電荷に加算合成する。

10

#### 【0010】

このように3画素ずつの加算合成処理を行った後、画素圧縮駆動では、撮像部2、蓄積部4の各ビットの3本の転送電極を同相とした3相駆動を行う。すなわち、転送電極  $g_{i1}$  ~  $g_{i3}$ にクロック  $i_1$ 、転送電極  $g_{i4}$  ~  $g_{i6}$ にクロック  $i_2$ 、転送電極  $g_{i7}$  ~  $g_{i9}$ にクロック  $i_3$ 、また転送電極  $g_{s1}$  ~  $g_{s3}$ にクロック  $s_1$ 、転送電極  $g_{s4}$  ~  $g_{s6}$ にクロック  $s_2$ 、転送電極  $g_{s7}$  ~  $g_{s9}$ にクロック  $s_3$ を印加する。これにより画素圧縮駆動では、標準駆動時と同じクロック周波数で3倍高速のフレーム転送が実現され、スミアの低減が図られる。

20

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0011】

上述のように、フレーム転送の一層の高速化によりスミアを低減するために、撮像部2ではクロック1周期当たりの信号電荷の移動距離を大きくする必要がある。しかし、遮光された蓄積部4ではその必要はない。その観点からは、画素圧縮駆動において、蓄積部4の各ビットの転送電極を同相で駆動する必要はなく、蓄積部は標準駆動時と同様、各ビットの転送電極1本ずつに異なるクロックを印加する3相駆動とする構成も考えられる。そして、そのように構成することで、蓄積部4の面積の縮小が可能な場合がある。

#### 【0012】

例えば、画素圧縮を行うCCDイメージセンサでは、撮像部の前にメカニカルシャッタを設け、静止画撮影では露光期間が終了するとメカニカルシャッタを閉じ、1ラインずつ信号電荷を読み出すことが行われる。この構成では、静止画撮影では蓄積部は必要とされず、フレームレートの確保が必要なためメカニカルシャッタを利用することができないプレビュー撮影時にのみ蓄積部は必要となる。そのため、蓄積部のシフトレジスタは画素数が圧縮された画像を格納できるだけのビット数があれば足る。従来、撮像部及び蓄積部それぞれの1本の転送電極は同じ幅に形成されるので、連続する $n$ 本(上述した従来技術では3本)ずつの転送電極をクロックの同相で駆動する撮像部に対し、転送電極1本ずつを異なる相のクロックで駆動する蓄積部は、基本的に $1/n$ の面積とすることが可能である。

30

40

#### 【0013】

しかし、近年の微細化が進んだCCDシフトレジスタでは短チャネル効果を見逃すことができず、連続する3本に同相クロックを印加して実効的な転送電極幅が増加した場合と転送電極1本の場合とは短チャネル効果の影響に差が生じる。具体的には、同じクロック電圧を印加しても、当該クロックを個別の転送電極に印加した場合の当該転送電極下のチャネル電位は、当該クロックを連続する3本に共通に印加した場合の転送電極下のチャネル電位より浅くなる。そのため、例えば、画素圧縮駆動において撮像部2の転送電極  $g_{i7}$  ~  $g_{i9}$ にオフ電圧を印加し、蓄積部4の転送電極  $g_{s1}$ にオン電圧を印加して、撮像部2側から蓄積部4側に信号電荷を転送する場合における撮像部側のオフ状態のチャネル電位と蓄積部のオン状態のチャネル電位との差が、従来の転送電極  $g_{s1}$  ~  $g_{s3}$ に共通にオン

50

電圧を印加した場合より縮小して電荷転送効率の低下を生じるおそれがあるという問題があった。

【0014】

この転送効率の劣化に対して、埋め込みチャンネルを形成するために基板表面に注入する不純物の濃度プロファイルを撮像部と蓄積部とで変え、蓄積部のチャンネル電位を撮像部のチャンネル電位より深く構成することが対策として考えられる。

【0015】

しかし、近年のセルサイズの小さいCCDイメージセンサにおいては、撮像部と蓄積部との境界で、濃度プロファイルの急峻な変化を形成することは難しい。その結果、転送効率の劣化を十分に防止できないことがあるという問題があった。

10

【0016】

本発明は上述の問題を解決するためになされたものであり、撮像部から蓄積部への信号電荷の転送を、電荷転送効率を確保しつつ高速に行うことが可能であり、また蓄積部のサイズの縮小を図れる固体撮像素子を提供することを目的とする。

【課題を解決するための手段】

【0017】

本発明に係る固体撮像素子は、列方向に配列された複数の第1転送電極により信号電荷の列方向転送を行い、列方向に連続して並ぶ $n$ 本( $n$ は2以上の整数、 $k$ は3以上の整数である)の前記第1転送電極が互いに独立に駆動可能である第1シフトレジスタと、列方向に配列された複数の第2転送電極により前記第1シフトレジスタから前記信号電荷を取り込んで蓄積し、列方向に連続して並ぶ $k$ 本の前記第2転送電極が互いに独立に駆動可能である第2シフトレジスタと、を有し、前記第1シフトレジスタが、連続する $k$ 本の前記第1転送電極を互いに異なる相として $k$ 相駆動する標準駆動とするか、前記第1転送電極の連続する $n$ 本ずつを同相として $k$ 相駆動するビット圧縮駆動とするかを切り換えて駆動可能であり、前記各第2転送電極と前記第2シフトレジスタのチャンネル領域とが交差する単位ゲート領域の面積が、前記各第1転送電極と前記第1シフトレジスタのチャンネル領域とが交差する単位ゲート領域の面積より大きい。

20

【0018】

本発明によれば、第2転送電極に係る単位ゲート電極の面積が第1転送電極に係る単位ゲート電極の面積より大きく構成したことにより、オン電圧を印加した場合の各第2転送電極下のチャンネル電位が各第1転送電極下のチャンネル電位より深くなる。これにより、第1シフトレジスタの最終ビットから第2シフトレジスタの先頭ビットへの信号電荷の転送時に両ビット間に生じるチャンネル電位差を、標準駆動時のみならず、ビット圧縮駆動においても確保することが可能となる。ビット圧縮駆動時には標準駆動時の $1/n$ のクロック数で第1シフトレジスタから第2シフトレジスタへの信号電荷の転送が完了され、その分、信号電荷の移動速度も高速となるが、そのビット圧縮駆動時の高速な信号電荷転送においても電荷転送効率を好適なレベルに維持することが可能となる。

30

【0019】

本発明の好適な態様は、前記第2転送電極の幅が、前記第1転送電極の幅より大きい電荷転送素子である。

40

【0020】

他の本発明に係る電荷転送素子は、前記 $n$ が前記 $k$ に等しく、前記第1シフトレジスタの各ビットはそれぞれ、 $k$ 本の前記第1転送電極を対応付けられ、前記ビット圧縮駆動は、前記第1シフトレジスタにて列方向に連続する $k$ 個ずつの前記ビットのうち 個に蓄積される前記信号電荷を合成して前記第2シフトレジスタへ列方向転送する電荷転送素子において、前記第2転送電極の幅 $w_s$ が、前記第1転送電極の幅 $w_i$ に応じた次の関係式、

$w_i < w_s < w_i + ( \quad - 1 ) d$  (ここで、 $d$ は第1の転送電極又は第2の転送電極相互間の間隙幅である)

を満たすものである。

【0021】

50

本発明によれば、第2シフトレジスタの各ビットには、個々のビットにてそれぞれ蓄積された信号電荷の合成量が転送され蓄積される。第1シフトレジスタ及び第2シフトレジスタでの電荷蓄積容量は、基本的に信号電荷を蓄積するチャンネル領域の面積及びそのチャンネル電位の深さに応じて増加する。ここで、1本の転送電極をオン状態として形成される電位井戸は、フリンジ電界により隣接転送電極との間のギャップまで広がる。第1転送電極の幅を $w_i$ 、第2転送電極の幅を $w_s$ 、ギャップ幅を $d$ とすると、個々の第1転送電極の実効的な幅は $w_i + d$ 、また個々の第2転送電極の実効的な幅は $w_s + d$ となる。個々の第1転送電極及び第2転送電極の下の電位井戸の深さが同じである場合、第2転送電極の実効幅が本の第1転送電極の実効幅の合計に等しければ、第2転送電極の下に個々の画素を合成した信号電荷を保持できる。この観点から、 $w_s = w_i + (n - 1) d$ となる。ここで、第1シフトレジスタから第2シフトレジスタへの転送効率を良好に保つために、 $w_i < w_s$ とされるので、短チャンネル効果の相違により、1本の第1転送電極下の電位井戸の深さは第2転送電極下の電位井戸より浅くなる。よって、実際には $w_s$ は $w_i + (n - 1) d$ より狭くすることができる。すなわち、 $w_s$ は $w_i < w_s < w_i + (n - 1) d$ を満たすように設定することができる。このように、第2転送電極を第1転送電極より大きな幅とすることで、ビット圧縮駆動での第1シフトレジスタから第2シフトレジスタへの電荷転送効率を維持することができ、また、第1シフトレジスタにて信号電荷を蓄積していた本の転送電極の配置に必要な幅 $[w_i + (n - 1) d]$ より小さい幅とすることができる分、第2シフトレジスタの面積を縮小し得る。

10

20

30

40

50

#### 【0022】

本発明に係る固体撮像素子は、列方向に配列された複数の撮像部転送電極により複数の画素毎の信号電荷の蓄積及び列方向転送を行う、行方向に配列された複数の撮像部シフトレジスタを含み、列方向に連続して並ぶ9本の前記撮像部転送電極が互いに独立に駆動可能である撮像部と、前記複数の撮像部シフトレジスタに対応して行方向に複数配列され、列方向に配列された複数の蓄積部転送電極により前記撮像部シフトレジスタから前記信号電荷を取り込んで一時蓄積する蓄積部シフトレジスタを含み、列方向に連続して並ぶ3本の前記蓄積部転送電極が互いに独立に駆動可能である蓄積部と、を有し、前記撮像部シフトレジスタが、連続する3本の前記撮像部転送電極を互いに異なる相として3相駆動する標準駆動とするか、前記撮像部転送電極の連続する3本ずつを同相として3相駆動する画素圧縮駆動とするかを切り換えて駆動可能であり、前記蓄積部転送電極が、前記撮像部転送電極の幅の2倍に応じた幅を有し、前記各蓄積部転送電極と前記各蓄積部シフトレジスタのチャンネル領域とが交差する単位ゲート領域の面積は、前記各撮像部転送電極と前記各撮像部シフトレジスタのチャンネル領域とが交差する単位ゲート領域の面積より大きいものである。

#### 【発明の効果】

#### 【0023】

本発明によれば、第1シフトレジスタ（撮像部）と第2シフトレジスタ（蓄積部）との境界で不純物の濃度プロファイルの制御が容易となり、標準駆動だけでなくビット圧縮駆動（画素圧縮駆動）においても第1シフトレジスタ（撮像部）から第2シフトレジスタ（蓄積部）への信号電荷の転送を、電荷転送効率を確保しつつ高速に行うことが可能となる。

#### 【発明を実施するための最良の形態】

#### 【0024】

以下、本発明の実施の形態（以下実施形態という）について、図面に基づいて説明する。

#### 【0025】

図1は、本発明に係るCCDイメージセンサ10の概略構成を示す模式的な平面図である。CCDイメージセンサ10はフレーム転送型の構造を有し、半導体基板表面に形成された撮像部10i、蓄積部10s、水平転送部10h及び出力部10dを備える。

#### 【0026】

撮像部 10i には入射光量に応じた電荷（情報電荷）を発生するセル（画素）が複数、行列配置される。撮像部 10i にはカラーフィルタ（図示せず）が装着され、これにより各セルに色感度特性が付与される。撮像部 10i に行列配置されたセルの各列は垂直 CCD シフトレジスタ（第 1 シフトレジスタ）を構成する。この撮像部 10i の垂直 CCD シフトレジスタは基板上に行方向に複数本渡された転送電極（ゲート電極）を備え、これら転送電極に印加されるクロック  $i$  によって、撮像部 10i での情報電荷の蓄積及び垂直転送が制御される。ここで、撮像部 10i の転送電極は連続配置される 9 本が互いに独立に駆動可能に構成される（9 相ゲート構造）。この CCD イメージセンサ 10 は、後述するように、撮像部 10i の前面に別途、メカニカルシャッタを配置して利用される。

#### 【0027】

蓄積部 10s は遮光膜で覆われ、光の入射による電荷発生を防止される。蓄積部 10s は、行方向に複数配列された垂直 CCD シフトレジスタ（第 2 シフトレジスタ）を備える。蓄積部 10s の垂直 CCD シフトレジスタは、撮像部 10i の垂直 CCD シフトレジスタそれぞれに対応して設けられる。撮像部 10i と蓄積部 10s との互いに対応する垂直 CCD シフトレジスタはチャンネルが連続し、両シフトレジスタを同期させて駆動することにより、信号電荷を撮像部 10i から蓄積部 10s へ転送することができる。ちなみに、蓄積部 10s の垂直 CCD シフトレジスタは、後述する理由から撮像部 10i の行数の  $1/3$  に応じたビット数を有する。蓄積部 10s の垂直 CCD シフトレジスタは撮像部 10i と同様、行方向に渡された転送電極を複数本備える。これら蓄積部 10s の転送電極は連続配置される 3 本が互いに独立に駆動可能に構成される（3 相ゲート構造）。これら転送電極に印加される 3 相クロック  $s$  によって、蓄積部 10s での情報電荷の蓄積及び垂直転送が制御される。

#### 【0028】

設定された露光期間が終了すると、撮像部 10i に蓄積された情報電荷は、蓄積部 10s を経由して水平転送部 10h に垂直転送される。ここで、イメージセンサ 10 は、例えば、高解像度の静止画を撮影する場合には撮像部 10i の各受光画素の信号電荷を個別に読み出す（標準駆動）。この撮影モードでは、露光期間が終了すると、メカニカルシャッタを閉じて撮像部 10i を遮光し、撮像部 10i に蓄積された信号電荷を蓄積部 10s 及び水平転送部 10h を介して出力部 10d に読み出す。

#### 【0029】

一方、それほど解像度を要しないプレビュー画面への表示や動画撮影を行う場合には、撮像部 10i の複数画素ずつを加算合成して読み出すことにより（画素圧縮駆動）、フレームレートの確保が図られる。ここで、画素圧縮駆動では、列方向に関しては、3 画素ずつが撮像部 10i にて加算合成処理され、1 つの信号電荷パッケージが生成される。これにより列方向の画素数が  $1/3$  に圧縮される。この撮影モードでは、露光期間が終了すると、列方向の加算合成処理を行った後、撮像部 10i から蓄積部 10s に信号電荷を高速にフレーム転送する。その後、蓄積部 10s から信号電荷を 1 ラインずつ水平転送部 10h に垂直転送し、出力部 10d に読み出す。

#### 【0030】

上述のように、静止画撮影ではメカニカルシャッタを用いることでスミアを防止することができるため、蓄積部は必要とされず、蓄積部はもっぱらプレビュー時等のフレーム転送での信号電荷の格納先として設けられている。すなわち、蓄積部 10s の垂直 CCD シフトレジスタは基本的に、列方向に画素数が圧縮されたプレビュー画像又は動画像を格納できれば足り、そのため上述のように、そのビット数は撮像部 10i の行数の  $1/3$  に応じた値に設定される。

#### 【0031】

水平転送部 10h はその複数本のゲート電極に印加される水平転送クロック  $h$  に応じて、蓄積部 10s からライン転送された情報電荷を順次、出力部 10d に転送する。出力部 10d は、電氣的に独立した容量及びその電位変化を取り出すアンプからなり、水平転送部 10h から出力される情報電荷を 1 ビット単位で容量に受けて電圧値に変換し、時系

10

20

30

40

50

列の画像信号として出力する。

【0032】

図2は、CCDイメージセンサ10の撮像部10i及び蓄積部10sの構造を示す主要部の平面図である。撮像部10i、蓄積部10sには、列方向に延びる複数のチャンネル領域12が間に素子分離領域14を挟んで行方向に配列され、チャンネル領域12を横切って転送電極が配列される。撮像部10iには撮像部転送電極 $g_{i1} \sim g_{i9}$ が列方向に繰り返して配置される。撮像部転送電極 $g_{i1} \sim g_{i9}$ は既に述べたように9相ゲート構造であり、互いに独立のクロックを印加可能に構成される。垂直シフトレジスタ16iの各ビットは受光画素を構成し、また各ビットにはそれぞれ3本の転送電極が対応付けられる。撮像部10iには例えば、ベイヤー配列のカラーフィルタが配置され、2種類の色透過特性の異なるフィルタが、列方向に並ぶ受光画素に交互に配置される。

10

【0033】

一方、蓄積部10sには蓄積部転送電極 $g_{s1} \sim g_{s3}$ が列方向に繰り返して配置される。蓄積部転送電極 $g_{s1} \sim g_{s3}$ は既に述べたように3相ゲート構造であり、互いに独立のクロックを印加可能に構成される。蓄積部転送電極 $g_{s1} \sim g_{s3}$ が垂直シフトレジスタ16sの1ビットを規定し、これら電極 $g_{s1} \sim g_{s3}$ にはそれぞれクロック $s_1 \sim s_3$ が供給され、3相駆動される。

【0034】

ここで、蓄積部転送電極 $g_{s1} \sim g_{s3}$ と垂直シフトレジスタ16sのチャンネル領域とが交差する面積 $S_s$ は、撮像部転送電極 $g_{i1} \sim g_{i9}$ と垂直シフトレジスタ16iのチャンネル領域とが交差する面積 $S_i$ より大きく設定される。ここで、両垂直シフトレジスタ16i、16sのチャンネル幅は共通に構成されるので、蓄積部転送電極 $g_{s1} \sim g_{s3}$ それぞれの幅 $w_s$ が、撮像部転送電極 $g_{i1} \sim g_{i9}$ それぞれの幅 $w_i$ より大きく設定される。すなわち、その倍率 $(w_s/w_i)$ が $>1$ となるように構成する。これにより、オン電圧を印加した場合の蓄積部転送電極下のチャンネル電位が撮像部転送電極下のチャンネル電位より深くなる。このように、蓄積部転送電極下のチャンネル電位が深くなる分、撮像部10iの垂直シフトレジスタ16iの最終ビットの電極 $g_{i9}$ から蓄積部10sの垂直シフトレジスタ16sの先頭ビットの電極 $g_{s1}$ への信号電荷の転送時に両ビット間に生じるチャンネル電位差が大きくなり、電荷転送効率の維持、向上が図られる。

20

【0035】

また、後述するように、画素圧縮駆動において、各蓄積部転送電極には、2つの受光画素にてそれぞれ蓄積された信号電荷の合成量が転送され蓄積される。これを可能とするように幅 $w_s$ (又は面積 $S_s$ )は設定される。ここで、1本の転送電極をオン状態として形成される電位井戸は、フリンジ電界により隣接転送電極との間のギャップまで広がる。そのギャップ幅を $d$ とすると、個々の撮像部転送電極の実効的な幅は $w_i + d$ 、また個々の蓄積部転送電極の実効的な幅は $w_s + d$ となる。個々の撮像部転送電極及び蓄積部転送電極の下の電位井戸の深さが同じである場合、蓄積部転送電極の実効幅が2本の撮像部転送電極の実効幅の合計に等しければ、蓄積部転送電極の下に2つの受光画素を合成した信号電荷を保持できる。この観点から、 $w_s = 2w_i + d$ となる。ここで、撮像部から蓄積部への転送効率を良好に保つために、 $w_i < w_s$ とされるので、短チャンネル効果の相違により、1本の撮像部転送電極下の電位井戸の深さは蓄積部転送電極下の電位井戸より浅くなる。よって、実際には $w_s$ は $2w_i + d$ より狭くすることができる。すなわち、 $w_s$ は $w_i < w_s < 2w_i + d$ を満たすように設定することができる。このように、蓄積部転送電極を撮像部転送電極より大きな幅とすることで、画素圧縮駆動での撮像部から蓄積部への電荷転送効率を維持することができ、また、撮像部にて信号電荷を蓄積していた2本の転送電極の配置に必要な幅 $(2w_i + d)$ より小さい幅とすることができる分、蓄積部の面積を縮小し得る。の具体的な数値は、幅を広げた蓄積部転送電極と、撮像部転送電極との短チャンネル効果の程度の相違を例えば、実験やシミュレーション等で求め、それに依りて定めることができる。ここでは、 $=2$ に設定して、転送効率及び蓄積部転送電極の電荷蓄積容量の双方を好適に保っている。

30

40

50

## 【0036】

次にCCDイメージセンサ10の垂直シフトレジスタの駆動について説明する。

## 【0037】

露光期間における撮像部10iや、静止画撮影にて行われる標準駆動時の撮像部10iは、各ビットの3本の転送電極に3相クロック  $i1 \sim i3$ が印加される。例えば、転送電極  $g i1, g i4, g i7$ にクロック  $i1$ 、転送電極  $g i2, g i5, g i8$ にクロック  $i2$ 、転送電極  $g i3, g i6, g i9$ にクロック  $i3$ が印加され、各画素での信号電荷の蓄積及び垂直転送が行われる。

## 【0038】

蓄積部10sでは、各ビットの3本の転送電極  $g s1 \sim g s3$ に3相クロック  $s1 \sim s3$ が印加され、垂直転送及び信号電荷の一時蓄積といった動作が行われる。撮像部10iから蓄積部10sへの信号電荷の垂直転送時には、各クロック  $s1 \sim s3$ は、それぞれクロック  $i1 \sim i3$ に同期したクロック信号とされる。

## 【0039】

一方、プレビュー撮影では、撮像部10iの列方向に連続する3画素ずつで信号電荷の加算合成処理を行ってからフレーム転送を行う画素圧縮駆動が行われる。例えば、列方向に交互に異なる色の画素が並ぶ本CCDイメージセンサ10における加算合成処理として、3画素のうち中央の画素を間引いて、その両側の互いに同じ色の画素の信号電荷を加算することが行われる。その処理では具体的には、まず3画素のうち転送電極  $g i4 \sim g i6$ が配置された中央の画素に蓄積された信号電荷を、それら転送電極にオフ電圧を印加することで、電子シャッタと同様の原理で基板へ排出し、その後、転送電極  $g i1 \sim g i6$ を駆動して、転送電極  $g i1 \sim g i3$ に対応する画素の信号電荷を転送電極  $g i7 \sim g i9$ に対応する画素に蓄積される信号電荷に加算合成する。

## 【0040】

このように3画素ずつの加算合成処理を行った後、画素圧縮駆動では、撮像部10iの各ビットの3本の転送電極を同相とした3相駆動を行う。すなわち、転送電極  $g i1 \sim g i3$ にクロック  $i1$ 、転送電極  $g i4 \sim g i6$ にクロック  $i2$ 、転送電極  $g i7 \sim g i9$ にクロック  $i3$ を印加する。これにより画素圧縮駆動では、標準駆動時と同じクロック周波数で3倍高速のフレーム転送が実現され、スミアの低減が図られる。なお、このフレーム転送時において、蓄積部10sに印加される各クロック  $s1 \sim s3$ は、それぞれクロック  $i1 \sim i3$ に同期したクロック信号とされる。

## 【0041】

図3は、信号電荷の垂直転送時における、撮像部10iの垂直シフトレジスタ16iの出力端と蓄積部10sの垂直シフトレジスタ16sの入力端とでのチャネル電位の変化を示す模式図である。同図の撮像部10iに示す実線20a, 20bは、標準駆動時におけるチャネル電位、一点鎖線22a, 22bは、画素圧縮駆動時におけるチャネル電位を表す。図において、横方向が垂直シフトレジスタのチャネルに沿った向きを表す。また、縦方向がチャネル電位を表し、下に行くほど、チャネル電位は深いことを意味する。

## 【0042】

図3(a)は、撮像部10iの垂直シフトレジスタ16iの出力端に電位井戸が形成され、一方、蓄積部10sにおいては  $s1$ がオフ電圧であり電極  $g s1$ 下のチャネル電位がバリア電位  $s_b$ とされている状態を示している。標準駆動時においては電極  $g i9$ のみにオン電圧が印加され、チャネル電位が  $i_s$ の電位井戸20aが形成される。画素圧縮駆動時においては電極  $g i7 \sim g i9$ が共通にオン電圧を印加され、チャネル電位が  $i_s'$ の電位井戸22aが形成される。ここで、標準駆動時の電位井戸20aは、単独の電極下に形成され短チャネル効果を強く受け、一方、画素圧縮駆動時の電位井戸22aは、3電極を共通に駆動することにより実効的な電極幅が拡大し短チャネル効果が緩和される。よって、 $i_s < i_s'$ となる。

## 【0043】

図3(b)は、撮像部10iの垂直シフトレジスタ16iの出力端に電位井戸20a, 50

2 2 a が形成された状態にて、蓄積部 1 0 s において  $s_1$  がオン電圧とされ電極  $g_{s1}$  下にチャンネル電位  $ss$  の電位井戸 2 4 が形成された状態を示している。蓄積部 1 0 s の転送電極の幅  $w_s$  は上述したように、 $w_i < w_s < 2 w_i + d$  に設定される。よって、短チャンネル効果の相違により  $i_s < ss < i_s'$  となる。

【 0 0 4 4 】

図 3 ( c ) は、図 3 ( b ) に示す状態から、撮像部 1 0 i の垂直シフトレジスタ 1 6 i の出力端に形成された電位井戸 2 0 a , 2 2 a を消滅させてバリア電位 2 0 b , 2 2 b とした状態を示している。標準駆動時においては  $i_s < ss$  であり、かつ信号電荷が移動すべき距離も撮像部 1 0 i の転送電極幅  $w_i$  に応じた比較的短い距離であることから、信号電荷は良好な電荷転送効率で電極  $g_{s1}$  へ移動する。一方、画素圧縮駆動時においては、実効的な転送電極幅が拡大した分、信号電荷が移動すべき距離も増加しており、特にフレーム転送のように高速駆動では電荷転送効率が低下するおそれがある。この問題に対して、本 CCD イメージセンサでは、蓄積部 1 0 s の転送電極幅  $w_s$  を拡大することで、短チャンネル効果を緩和して  $ss$  を増加させている。これにより、図 3 ( c ) に示す状態にて、撮像部と蓄積部との境界でのフリンジ電界が増加し、電荷転送効率の劣化が抑制される。

10

【 図面の簡単な説明 】

【 0 0 4 5 】

【 図 1 】 本発明に係る CCD イメージセンサの概略構成を示す模式的な平面図である。

【 図 2 】 CCD イメージセンサの撮像部及び蓄積部の構造を示す主要部の平面図である。

【 図 3 】 信号電荷の垂直転送時における、撮像部の垂直シフトレジスタの出力端と蓄積部の垂直シフトレジスタの入力端とでのチャンネル電位の変化を示す模式図である。

20

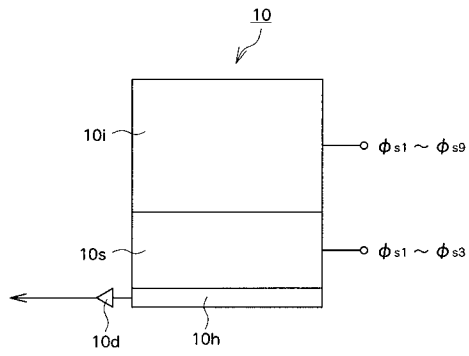
【 図 4 】 従来のフレーム転送型 CCD イメージセンサの撮像部及び蓄積部の構造を示す主要部の平面図である。

【 符号の説明 】

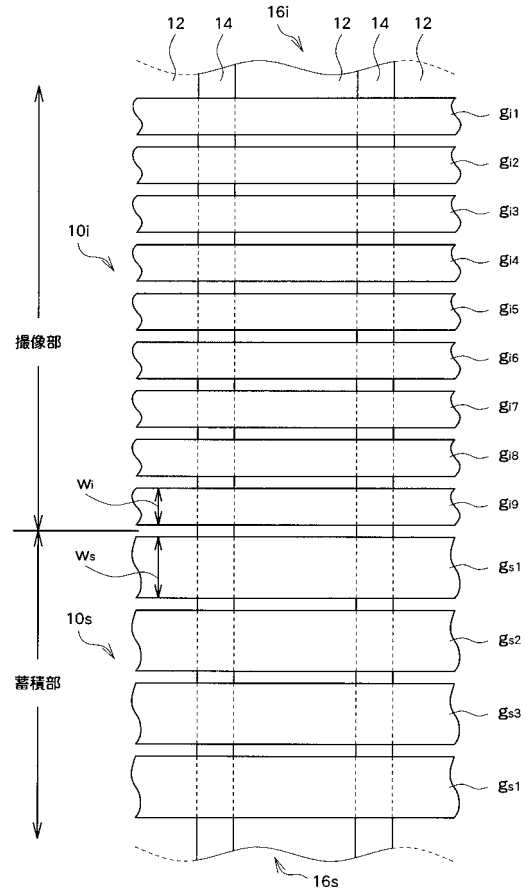
【 0 0 4 6 】

1 0 CCD イメージセンサ、 1 0 i 撮像部、 1 0 s 蓄積部、 1 0 h 水平転送部、 1 0 d 出力部、 1 2 チャンネル領域、 1 4 素子分離領域、 1 6 i , 1 6 s 垂直シフトレジスタ。

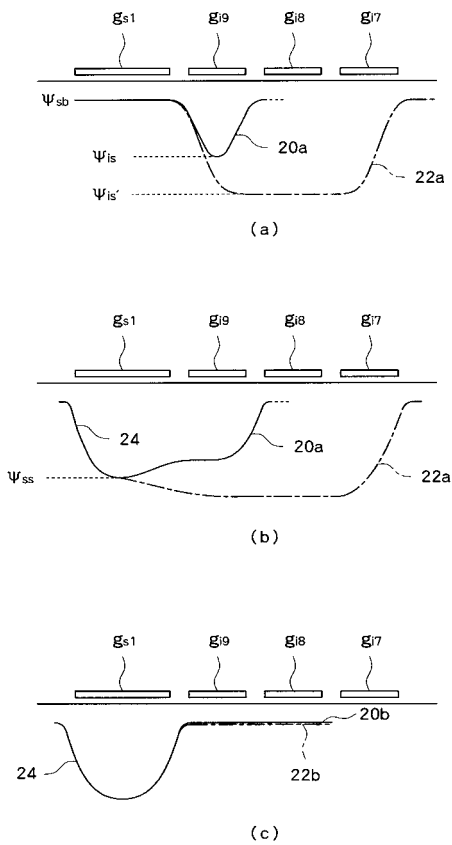
【 図 1 】



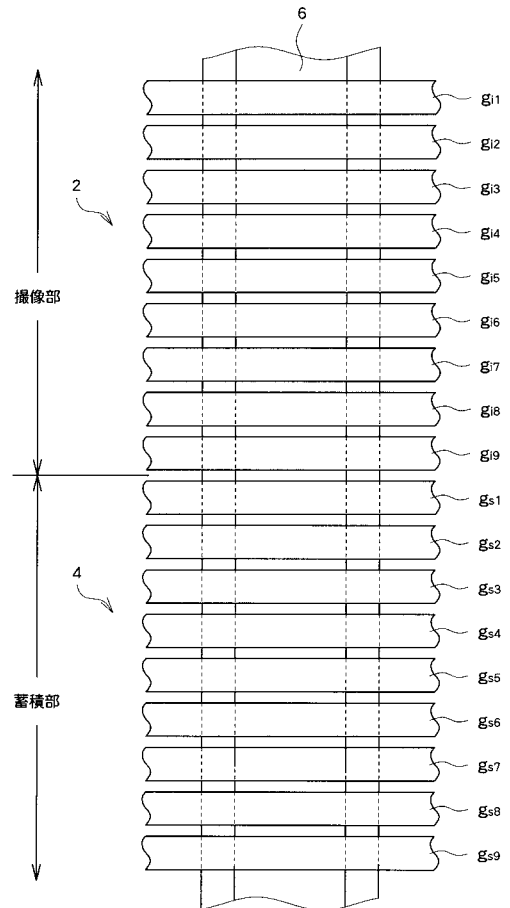
【 図 2 】



【 図 3 】



【 図 4 】



---

フロントページの続き

Fターム(参考) 4M118 AA03 AB01 BA12 CA08 DA18 DA21 DB07 FA06 FA38  
5C024 AX01 BX01 CX13 CY47 DX04 GY03 HX01