



(12)发明专利

(10)授权公告号 CN 104466677 B

(45)授权公告日 2019.02.05

(21)申请号 201410483638.5

(51)Int.Cl.

(22)申请日 2014.09.19

H01S 5/227(2006.01)

(65)同一申请的已公布的文献号

审查员 郑子川

申请公布号 CN 104466677 A

(43)申请公布日 2015.03.25

(30)优先权数据

2013-196093 2013.09.20 JP

(73)专利权人 瑞萨电子株式会社

地址 日本东京都

(72)发明人 阿江敬 北村昌太郎 奥田哲朗

加藤豪 渡边功

(74)专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

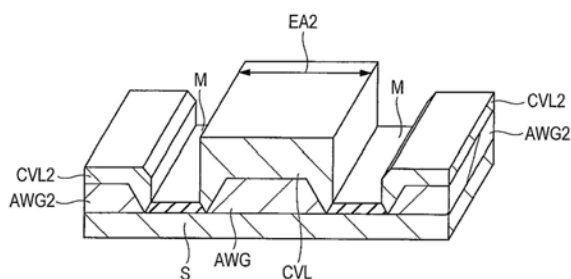
权利要求书2页 说明书14页 附图15页

(54)发明名称

制造半导体器件的方法及半导体器件

(57)摘要

本发明的各个实施例涉及半导体器件的方法及半导体器件。为了改进半导体器件(半导体激光器)的特性,由InP构成的有源层波导(AWG)形成为,在从(100)平面在[1-1-1]方向上偏离了 0.5° 至 1.0° 范围内的角度的衬底的表面的暴露部分之上,在[0-1-1]方向上延伸。以2000或更高的V/V比,在AWG之上形成由p型InP构成的覆盖层。因此,可以通过减少AWG的膜厚度变化来获得优异的多量子阱(MQW)。此外,可以形成具有这样的侧面的覆盖层,在该侧面处主要出现与衬底表面几乎垂直的(0-11)平面。覆盖层与AWG的叠层部分的截面形状变为接近矩形的形状。因此,可以扩大电气化区域,从而可以降低半导体器件的电阻。



1. 一种用于制造半导体器件的方法,包括以下步骤:
 - (a) 在包围衬底的第一区域中形成掩模;
 - (b) 在所述衬底的所述第一区域中生长第一半导体层;以及
 - (c) 在所述第一半导体层之上生长第二半导体层,其中所述衬底从(100)平面在[1-1-1]方向上倾斜了 0.5° 至 1.0° 范围内的角度,以及其中所述衬底、所述第一半导体层、和所述第二半导体层由III-V族化合物半导体构成。
2. 根据权利要求1所述的用于制造半导体器件的方法,
其中所述步骤(c)是利用III族元素的源气和V族元素的源气通过外延生长形成所述第二半导体层的步骤,以及
其中V/III比为2000或更高,所述V/III比为所述V族元素的所述源气的流量与所述III族元素的所述源气的流量之比。
3. 根据权利要求2所述的用于制造半导体器件的方法,
其中所述衬底、所述第一半导体层、和所述第二半导体层由InP构成。
4. 根据权利要求3所述的用于制造半导体器件的方法,
其中所述第二半导体层的每个侧面具有(0-11)平面。
5. 根据权利要求3所述的用于制造半导体器件的方法,包括步骤(d):
在所述步骤(c)之后,在所述第二半导体层上方形成第一电极,以及在所述衬底的背面之上形成第二电极。
6. 根据权利要求3所述的用于制造半导体器件的方法,
其中所述第一半导体层与所述第二半导体层的叠层部分在第一方向上延伸,以及
其中所述叠层部分的在与所述第一方向相交的第二方向上的截面形状为接近矩形的形状。
7. 根据权利要求3所述的用于制造半导体器件的方法,
其中所述第一半导体层与所述第二半导体层的叠层部分的侧面几乎与所述(100)平面垂直。
8. 根据权利要求3所述的用于制造半导体器件的方法,
其中所述第一半导体层和所述第二半导体层在第一方向上延伸,以及
其中所述第二半导体层的顶面的在与所述第一方向相交的第二方向上的宽度大于所述第一半导体层的顶面的在所述第二方向上的宽度。
9. 根据权利要求5所述的用于制造半导体器件的方法,包括以下步骤:
 - (e) 在所述步骤(c)和所述步骤(d)之间,在所述第一半导体层与所述第二半导体层的叠层部分的两侧,都形成具有与所述叠层部分的绝缘性的半绝缘层。
10. 根据权利要求9所述的用于制造半导体器件的方法,
其中所述半绝缘层由包含Fe的InP构成。
11. 一种半导体器件,包括:
衬底;
布置在所述衬底的第一区域中的第一半导体层;以及
布置在所述第一半导体层之上的第二半导体层,

其中所述衬底从(100)平面在[1-1-1]方向上倾斜了 0.5° 至 1.0° 范围内的角度,以及其中所述衬底、所述第一半导体层、和所述第二半导体层由III-V族化合物半导体构成。

12. 根据权利要求11所述的半导体器件,
其中所述衬底、所述第一半导体层、和所述第二半导体层由InP构成。

13. 根据权利要求12所述的半导体器件,
其中所述第二半导体层的每个侧面具有(0-11)平面。

14. 根据权利要求11所述的半导体器件,包括:
布置在所述第二半导体层上方的第一电极,以及
布置在所述衬底的背面之上的第二电极。

15. 根据权利要求13所述的半导体器件,
其中所述第一半导体层与所述第二半导体层的叠层部分在第一方向上延伸,以及
其中所述叠层部分的在与所述第一方向相交的第二方向上的截面形状为接近矩形的形状。

16. 根据权利要求13所述的半导体器件,
其中所述第一半导体层与所述第二半导体层的叠层部分的侧面几乎与所述(100)平面垂直。

17. 根据权利要求13所述的半导体器件,
其中所述第一半导体层和所述第二半导体层在第一方向上延伸,以及
其中所述第二半导体层的顶面的在与所述第一方向相交的第二方向上的宽度大于所述第一半导体层的顶面的在所述第二方向上的宽度。

18. 根据权利要求13所述的半导体器件,包括:
在所述第一半导体层与所述第二半导体层的叠层部分的两侧的层,每个所述层由包含Fe的InP构成。

19. 根据权利要求13所述的半导体器件,包括:
第二叠层部分,所述第二叠层部分布置为与所述第一半导体层和所述第二半导体层的第一叠层部分分开,

其中所述第二叠层部分具有布置在所述衬底的第二区域中的第三半导体层、以及布置在所述第三半导体层之上的第四半导体层,以及

其中所述第一半导体层的厚度大于所述第三半导体层的厚度。

20. 根据权利要求19所述的半导体器件,
其中所述第二半导体层的厚度大于所述第四半导体层的厚度。

制造半导体器件的方法及半导体器件

[0001] 相关文件的交叉引用

[0002] 2013年9月20日提交的日本专利申请2013-196093号的公开内容包括说明书、附图和摘要的全文以引用的方式并入本文。

技术领域

[0003] 本发明涉及用于制造半导体器件的方法和半导体器件,并且例如可以适用于使用Ⅲ-V族化合物半导体的半导体器件。

[0004] 发明背景

[0005] 在10Gbs至40Gbs高速下运行的半导体激光器(半导体器件),使用InGaAlAs系(system)的半导体材料。具体而言,InGaAlAs系的半导体材料用于用作光波导的有源层。然而,在有源层中的Al(铝)容易氧化,并且由于Al的氧化使有源层容易退化。

[0006] 为此,为了Al的抗氧化措施,正在研讨采用了用于覆盖有源层的覆盖层的配置。

[0007] 例如,日本特开平9(1997)-92925号公报公开了一种半导体激光器,该半导体激光具有在p型InP衬底上方的MQW层,并且进一步具有在该MQW层之上的n-InP层。

[0008] 此外,日本特开2004-14821号公报公开了一种使用GaAs(100)斜衬底(off substrate)的半导体激光器。

[0009] 此外,在R.Kobayashi等人在OFC 2008,0ThK2上发表的“Low Drive-Current and Wide Temperature Operation of 1.3μm AlGaInAs-MQW BH-DFB Lasers by Laterally Enhanced Cladding Layer Growth”中、以及日本特开平5(1993)-110208号公报中,公开了通过选择性生长而形成的半导体激光器;在H.Q.Houa等人在J.Appl.Phys.,75,4673(1994)发表的“Optical property of InAsP/InP strained quantum wells grown on InP(111)B and(100) substrates”中、Y.Kawamura等人在IPRM 1998,ThP-11发表的“Optical properties of In_{0.52}Al_{0.48}As layers and In_{0.53}Ga_{0.47}As/In_{0.52}Al_{0.48}As quantum well structures grown on(111)B InP substrates by molecular beam epitaxy”、以及L.J.Mawst等人在LD conference 1995,SCL13.5发表的“High CW output power InGaAs/InGaAsP/InGaP diode lasers:effect of substrate misorientation”中,描述了的外延生长膜在倾斜衬底之上的生长。

发明内容

[0010] 本发明的发明者致力于研究和开发,使用如上面所描述的Ⅲ-V族化合物半导体的半导体激光器;并且坚持不懈地研讨这类半导体激光器性能的改进。在研讨过程期间发现,为了改进使用Ⅲ-V族化合物半导体的半导体激光器的性能,还存在进一步改进其制造方法和结构的空间。

[0011] 其它问题和创新特征将由本说明书的描述和附图而变得清晰。

[0012] 对在本申请中公开的实施例中的典型实施例的概要进行了简要说明,概要如下。

[0013] 在用于制造在本申请中公开的半导体器件的方法中,在衬底的第一区域中生长第

一半导体层,并且在第一半导体层之上进一步生长第二半导体层。另外,该衬底在[1-1-1]方向上从(100)平面倾斜了 0.5° 至 1.0° 范围内的角度。此外,衬底、第一半导体层和第二半导体层均由Ⅲ-V族化合物半导体构成。

[0014] 在本申请中公开的第一实施例中示出的半导体器件具有形成在衬底的第一区域之上的第一半导体层、以及形成在第一半导体层之上的第二半导体层。另外,衬底从(100)平面在[1-1-1]方向上倾斜了 0.5° 至 1.0° 范围内的角度,并且衬底、第一半导体层和第二半导体层由Ⅲ-V族化合物半导体构成。

[0015] 根据用于制造在本申请中公开的并且在下文中示出的典型实施例中示出的半导体器件的方法,可以制造出具有优异特性的半导体器件。

[0016] 根据本申请中公开的并且在下文中示出的典型实施例中示出的半导体器件,可以提高半导体器件的特性。

附图说明

[0017] 图1A和图1B是示出了第一实施例的半导体器件的配置的截面图和平面图,其中图1A是截面图,图1B是平面图;

[0018] 图2是示出了第一实施例的半导体器件的配置的透视图;

[0019] 图3是示出了第一实施例的半导体器件的制造工艺的截面图;

[0020] 图4是示出了第一实施例的半导体器件的制造工艺的截面图,并且是示出了图3之后的制造步骤的截面图;

[0021] 图5是示出了第一实施例的半导体器件的制造工艺的截面图,并且是示出了图4之后的制造步骤的截面图;

[0022] 图6是示出了第一实施例的半导体器件的制造工艺的截面图,并且是示出了图5之后的制造步骤的截面图;

[0023] 图7是示出了第一实施例的半导体器件的制造工艺的截面图,并且是示出了图6之后的制造步骤的截面图;

[0024] 图8是示出了第一实施例的半导体器件的制造工艺的截面图,并且是示出了图7之后的制造步骤的截面图;

[0025] 图9是示出了第一实施例的半导体器件的制造工艺的截面图,并且是示出了图8之后的制造步骤的截面图;

[0026] 图10是示出了第一实施例的半导体器件的制造工艺的截面图,并且是示出了图9之后的制造步骤的截面图;

[0027] 图11是示出了第一实施例的半导体器件的制造工艺的截面图,并且是示出了图10之后的制造步骤的截面图;

[0028] 图12是示出了对比示例的半导体器件的电气化(electrification)区域的透视图;

[0029] 图13是示出了第一实施例的半导体器件的电气化区域的透视图;

[0030] 图14是示出了在PL FWHM与衬底倾斜角度之间的关系的图表;

[0031] 图15是图14的图表的部分放大图;

[0032] 图16是示出了在形成覆盖层之时的Ⅲ-V比与[111]B方向的生长速率对于[100]

方向生长速率之比之间的关系的图表；

[0033] 图17是示出了第二实施例的半导体器件的配置的截面图；

[0034] 图18是示出了第二实施例的半导体器件的配置的透视图；

[0035] 图19是示出了第二实施例的半导体器件的制造工艺的截面图；

[0036] 图20是示出了第二实施例的半导体器件的制造工艺的截面图，并且是示出了图19之后的制造步骤的截面图；

[0037] 图21是示出了第二实施例的半导体器件的制造工艺的截面图，并且是示出了图20之后的制造步骤的截面图；

[0038] 图22是示出了第二实施例的半导体器件的制造工艺的截面图，并且是示出了图21之后的制造步骤的截面图；

[0039] 图23是示出了第二实施例的半导体器件的制造工艺的截面图，并且是示出了图22之后的制造步骤的截面图；

[0040] 图24是示出了第二实施例的半导体器件的制造工艺的截面图，并且是示出了图23之后的制造步骤的截面图；

[0041] 图25是示出了第二实施例的半导体器件的制造工艺的截面图，并且是示出了图24之后的制造步骤的截面图；

[0042] 图26是示出了第二实施例的半导体器件的制造工艺的截面图，并且是示出了图25之后的制造步骤的截面图；

[0043] 图27是示出了第二实施例的半导体器件的制造工艺的截面图，并且是示出了图26之后的制造步骤的截面图；

[0044] 图28是示出了第二实施例的半导体器件的制造工艺的截面图，并且是示出了图27之后的制造步骤的截面图；

[0045] 图29是示出了第一实施例的半导体器件的修改例的配置的截面图；以及

[0046] 图30是示出了第二实施例的半导体器件的修改例的配置的截面图。

具体实施方式

[0047] 在下面的实施例中，当出于方便的需要时，将它们分成多个部分或者实施例并对其进行说明。然而，它们不是互无关系的，而是一个部分或实施例与其余部分或实施例的一部分或整体的修改例、应用示例、详细说明、补充说明等有关，除非另有明确说明。此外，在下面的实施例中，当指部件的数目等（包括个数、数值、数量、范围等）时，各实施例不限于特定数目，并且数目也不限于特定数目并且可以大于或小于该特定数目，除非是在特别指出的情况下、在从根本上明确局限于特定数目的情况下等等。

[0048] 而且，在下面的实施例中，其部件（包括元素步骤（element step）等）并不一定是不可缺少的，除非是在特别指出的情况下、在从根本上明确考虑为必不可少的情况下等等。类似地，在下面的实施例中，当指部件等的形状、位置关系等时，其应该包括基本接近或类似于其形状等的形状，除非是在特别指出的情况下、在从理论上考虑明确不成立的情况下等。这还适用于上面所提到的数目等（包括个数、数值、数量、范围等）。

[0049] 在下文中，将基于附图对实施例进行详细说明。顺便提及，在用于说明实施例的所有附图中，相同或相关的符号表示具有相同功能的部件，并且省略了对其的重复说明。此

外,当存在多个类似的构件(部分)时,存在可以向通用术语的符号添加符号以指示单独的或特定的部分的情况。此外,在下面的实施例中,原则上不重复对相同或类似部分的说明,除非是在特别必要的情况下。

[0050] 此外,在实施例中用到的附图中,可以存在省略影线以使附图即使在为截面图时也易于辨识的情况。此外,可以存在可以附加上影线以使附图易于辨识的情况,即使该附图为平面图。

[0051] 此外,在截面图和平面图中,每个部分的大小不对应实际器件,可以存在特定部分被较大显示以使附图能够被理解的情况。此外,在截面图和平面图彼此相对应的情况下,可以存在特定部分被较大显示以使附图易于理解的情况。

[0052] 第一实施例

[0053] 在下文中,将参考附图对该实施例的半导体器件进行详细描述。图1A和图1B分别是截面图和平面图,示出了该实施例的半导体器件的配置。图2是示出了该实施例的半导体器件的配置的透视图。图3至图11是示出了该实施例的半导体器件的制造工艺的截面图。

[0054] [结构说明]

[0055] 图1A和图1B是示出了该实施例的半导体器件的配置的视图,其中图1A是截面图,图1B是平面图。例如,图1A对应于图1B的部分A-A。在图1A和图1B中示出的半导体器件是半导体激光器(也称化合物半导体激光器)。该半导体器件是使用了Ⅲ-V族化合物半导体(尤其是InP)的脊型(ridge type)半导体激光器。

[0056] 如图1A和图2所示,该实施例的半导体器件具有衬底S、布置在衬底S的区域1A之上的有源层波导AWG、以及布置在有源层波导AWG之上的覆盖层CVL。在覆盖层CVL之上,p电极(p侧电极,上部电极)PEL布置为穿过接触层CNL,n电极(n侧电极,下部电极)NEL布置在衬底S的背面侧。衬底S、覆盖层CVL和接触层CNL由Ⅲ-V族化合物半导体(半导体层)构成。

[0057] 此外,如图1B所示,衬底S的区域1A,即有源层波导AWG的成形区域,是在Y方向(图1A的深度方向)上延伸的接近矩形的区域。换言之,是具有在Y方向(图1A的深度方向,[1-1-1]方向)上的长边的区域。区域1B布置在该区域1A的两端之上。换言之,区域1A由区域1B划定了界线。区域2A布置在区域1B外部。在每个这些区域2A中,有源层波导AWG2、覆盖层CVL2和接触层CNL1依次从底部布置(参见图1A)。

[0058] 衬底S由n型(第一导电类型)InP构成,并且是其表面在[1-1-1]方向上从(100)平面倾斜了 0.5° 至 1.0° 范围内的角度的倾斜衬底(参见图1B)。这样的角度称为斜角度(off angle)(也称为衬底倾斜角度),该倾斜衬底是具有斜角度的衬底。此外,衬底S的表面是具有斜角度的表面。在图1B中,斜角度表示为 θ 。即,如图1B所示,在部分B-B中,衬底S的表面具有相对于(100)平面的斜角度 θ 。

[0059] 有源层波导AWG由非掺杂InGaAlAs构成。该有源层波导AWG通过外延生长形成。在该形成中,由于衬底S具有上面提到的斜角度,所以在生长之后的有源层波导AWG的表面从(100)平面在[1-1-1]方向上倾斜了 0.5° 至 1.0° 范围内的角度。该有源层波导也称为多量子阱(MQW)层,该多量子阱(MQW)层由InGaAlAs构成。

[0060] 覆盖层CVL由p型(第二导电类型)InP层构成。该覆盖层CVL通过外延生长形成在有源层波导AWG之上。生长之后的覆盖层CVL与有源层波导AWG的叠层部分(也称台面部分)的截面形状变为接近矩形的形状。具体而言,覆盖层CVL的表面的宽度(WCVL)变为大于有源层

波导AWG的表面的宽度(WAWG)。此外,覆盖层CVL与有源层波导AWG的叠层部分的每个侧面(侧壁)具有(0-11)平面,该(0-11)平面几乎与衬底S的表面垂直。由此,通过将覆盖层CVL与有源层波导AWG的叠层部分的截面形状制作成接近矩形的形状,可以扩大电气化区域(参见图13),并且可以降低半导体器件在其运行时的电阻。

[0061] 接触层CNL由Ⅲ-V族化合物半导体构成,并且由例如p型InGaAs层构成。该接触层CNL布置在覆盖层CVL之上。

[0062] 介电膜IL由绝缘膜诸如氧化硅膜构成。该介电膜不布置在接触层CNL的顶面之上,并且接触层CNL的顶面从介电膜IL的开口暴露出来。

[0063] p电极PEL由多层膜构成,该多层膜例如是钯(Pd)膜和铂(Pt)膜。p电极PEL布置在接触层CNL的顶面之上,该顶面从介电膜IL的开口暴露出来。此外,n电极NEL由多层膜构成,该多层膜例如是钛(Ti)膜和金(Au)膜。n电极NEL布置在衬底S的背面之上。

[0064] 有源层波导AWG2与有源层波导AWG类似地形成,并且由与有源层波导AWG相同的材料构成。然而,由于形成有源层波导AWG2的区域2A的X方向宽度(W2)大于形成有源层波导AWG的区域1A的X方向宽度(W1),所以在区域1A中的单位面积生长速率变为大于区域2A中的单位面积生长速率。因此,有源层波导AWG的膜厚度TA1变为大于有源层波导AWG2的膜厚度TA2($TA1 > TA2$)。类似地,覆盖层CVL2与有源层CVL类似地形成,并且由与覆盖层CVL相同的材料构成。然而,由于在X方向上的区域2A宽度(W2)大于在X方向上的区域1A宽度(W1),所以覆盖层CVL的膜厚度TC1变为大于覆盖层CVL2的膜厚度TC2($TC1 > TC2$)。此外,如上面所描述的,覆盖层CVL的每个侧面具有与(100)平面垂直的(0-11)平面;而覆盖层CVL2的侧面不变为完美的接近矩形的形状,这是因为覆盖层CVL2的膜厚度变为薄于覆盖层CVL的膜厚度,以及覆盖层CVL2的每个侧面除了(0-11)平面之外还具有外(111)B平面。在(111)B平面中,(111)B平面是在其表面上主要暴露V族元素的一个平面。

[0065] 接触层CNL2与接触层CNL类似地形成,并且由与接触层CNL相同的材料构成。由于p电极PEL通过介电膜IL布置在接触层CNL2之上,所以接触层CNL2、有源层波导AWG2和覆盖层CVL2对半导体器件(半导体激光器)的运行无贡献,该半导体器件将在稍后进行描述。由此,虽然区域2A的每一层(AWG2、CVL2、CVL2)是对半导体器件(半导体激光器)运行无贡献的层,但是还是需要这每一层以便提高区域1A的有源层波导AWG(InGaAlAs)的组分的令人满意的可控性以及覆盖层CVL的平面形状(接近矩形)的可控性。

[0066] 接下来将对半导体器件(半导体激光器)的运行的一个示例进行描述。首先,向p电极PEL施加正电压,与此同时,向n电极NEL施加负电压。从而,正向电流从p电极PEL朝n电极NEL流动,并且空穴从p电极PEL通过接触层CNL和覆盖层CVL注入到有源层波导AWG中。另一方面,电子从n电极NEL通过衬底S注入到有源层波导AWG中。

[0067] 在有源层波导AWG中,利用注入的空穴和电子形成反转分布(inverted population),并且发生受激发射,电子通过该受激发射从导带迁移至价带。从而,生成了其射线具有均匀相位的光。然后,通过包围折射率低于有源层波导AWG的折射率的半导体(覆盖层CVL和衬底S),将在有源层波导AWG中生成的光限制在有源层波导AWG中。然后,将限制在有源层波导AWG中的光,通过光在由形成在半导体激光器中的裂面(激光端面)所构成的共振器中做往返运动,通过进一步进行受激发射而放大。然后,激光束在有源层波导AWG内振荡,并且激光束从半导体器件射出。

[0068] [工艺说明]

[0069] 接下来将参见图3至图11对用于制造该实施例的半导体器件的方法进行说明,与此同时,半导体器件的配置将变得更加清晰。图3至图11是示出了该实施例的半导体器件的制造工艺的截面图。

[0070] 如图3所示,在衬底S之上形成介电掩模M。衬底S由n型InP构成,并且是其表面从(100)平面在[1-1-1]方向上倾斜了 0.5° 至 1.0° 范围内的角度的倾斜衬底(参见图1B),如上面所描述的。

[0071] 在作为这类倾斜衬底的衬底S之上,例如,使用化学气相沉积(CVD)方法等将氧化硅膜沉积至如介电掩模M一样的约100nm的膜厚度。接下来,通过在介电掩模M之上形成光刻胶膜PR1并对其进行曝光和显影,来去除作为有源层波导AWG的成形区域的区域1A的以及区域2A的光刻胶膜PR1。换言之,使光刻胶膜PR1保持在包围作为有源层波导AWG的成形区域的区域1A的区域1B中。

[0072] 作为有源层波导AWG的成形区域的区域1A呈在[0-1-1]方向上延伸的长条形状(参见图1B)。

[0073] 接下来,通过将光刻胶膜PR1用作掩模来对介电掩模M进行蚀刻。之后,去除光刻胶膜PR1。因此,如图4所示,形成了介电掩模M,具有在作为有源层波导AWG的成形区域的区域1A中的开口。换言之,介电掩模M形成在包围作为有源层波导AWG的成形区域的区域1A的区域1B中。该开口的宽度例如约在1.5m至1.9m范围内。该宽度对应于区域1A在X方向上的宽度W1。然后,使衬底S的具有斜角度的表面从该开口暴露出来。此外,余下的介电掩模M的宽度约在5m至15m范围内。在图4的截面图中,介电掩模M保留在有源层波导AWG的成形区域(区域1A)的两侧。换言之,形成了宽度约在5m至15m范围内的介电掩模M,其间设置有约在1.5m至1.9m范围内的间隙。此外,将区域2A布置在区域1B外部。在图4等附图中,虽然仅图示了部分区域2A,但是该区域2A的宽度(在X方向上的宽度W2)例如约为250m。

[0074] 接下来,如图5所示,在上面所提到的开口(区域1A)之上,即具有衬底S斜角度的表面的暴露部分之上,形成有源层波导AWG。在本文中,使用金属有机气相外延(MOVPE)方法等,形成III-V族化合物半导体的InP层作为有源层波导AWG。在MOVPE方法中,使用载气(carrier gas)将III族元素的源气(source gas)以及V族元素的源气引到腔室(处理腔室)中,并且在开口(区域1A)中生长InGaAlAs层。TMIn(三甲基铟)、TEGa(三甲基镓)和TMA1(三甲基铝)可以用作In(铟)、Ga(镓)和Al(铝)的源气。此外,AsH₃(砷化三氢)可以用作As(砷)的源气。在混合源气到达被加热衬底S的表面处时,发生化学反应诸如分解砷化三氢,并且InGaAlAs层在接续下层结晶信息的状态下生长(沉积)。例如,通过将V族元素(在本文中为砷化三氢)的源气的流量与III族元素(在本文中为TMIn、TEGa、TMA1)的源气的流量之和的比(也称V/III比)设置至200或更低,来形成有源层波导(InGaAlAs层)AWG。在该形成中,在区域2A中形成有源层波导AWG2。

[0075] 随后,如图6所示,在有源层波导AWG之上形成覆盖层CVL。在本文中,通过MOVPE方法等,形成III-V族化合物半导体的p型InP层作为覆盖层CVL。即,将p型InP层持续地(连续地)形成在其中形成有源层波导AWG的腔室(处理腔室)中。在该形成中,TMIn用作In的源气,PH₃(磷化氢)用作P(磷)的源气,并且V/III比设置至2000或更高。此外,在掺杂p型杂质的同时形成p型InP层。可以使用Zn作为p型杂质,例如,可以通过在源气中混合DEZn(二乙基锌)

来形成p型InP层。在该形成中,在区域2A中形成覆盖层CVL2。

[0076] 接下来,如图7所示,在覆盖层(p型InP层)CVL之上形成接触层CNL。在本文中,使用MOVPE方法等形成Ⅲ-V族化合物半导体的p型InGaAs层,作为接触层CNL。即,将p型InGaAs层持续地形成在其中形成有源层波导AWG和覆盖层CVL的腔室(处理腔室)中。在该形成中,例如,TMIn用作In的源气,TMGa(三甲基镓)用作Ga(镓)的源气,并且AsH₃(砷化三氢)用作As(砷)的源气。然后,将V/Ⅲ比(在本文中,是作为V族元素的源气的砷化三氢的流量与作为Ⅲ族元素的源气的TMIn和TMGa的流量之和之比)设置至100或更低。此外,在掺杂p型杂质的同时形成p型InGaAs层。可以将Zn用作p型杂质,例如,可以通过在源气中混合DEZn来形成p型InGaAs层。在该形成中,在区域2A中形成接触层CNL2。

[0077] 如上面所提到的,在衬底S的区域1A中,持续地并且一体地(collectively)从底部依次生长有源层波导AWG、覆盖层CVL和接触层CNL。在该生长中,有源层波导AWG2、覆盖层CVL2和接触层CNL2在区域2A中从底部依次生长。如上面所提到的,由于区域2A的宽度(W2)大于区域1A的宽度(W1),所以在区域1A中单位面积生长速率变大。因此,有源层波导AWG的膜厚度TA1变为大于有源层波导AWG2的膜厚度TA2(TA1>TA2,参见图6)。类似地,覆盖层CVL的膜厚度TC1变为大于覆盖层CVL2的膜厚度TC2(TC1>TC2,参见图6)。此外,覆盖层CVL2的侧面将处于(111)B平面保留的状态下,该(111)B平面是在(0-11)平面暴露之前生长的平面。因此,覆盖层CVL的每个侧面具有与(100)平面垂直的(0-11)平面,而覆盖层CVL2的每个侧面除了(0-11)平面之外还具有(111)B平面。顺便提及,接触层CNL、CNL2不生长在与(100)平面和(111)B平面垂直的(0-11)平面上,但是接触层CNL、CNL2主要生长在覆盖层CVL、CVL2的顶面之上。

[0078] 因此,由于有源层波导AWG形成为,在具有从(100)平面在[1-1-1]方向上偏离了在0.5°至1.0°范围内的角度的衬底S的表面之上、在[0-1-1]方向上延伸,所以可以减少有源层波导AWG的膜厚度的变化(也称阱厚度),并且可以获得优异的多量子阱(MQW)。此外,由于由Ⅲ-V族化合物半导体构成的覆盖层CVL以大于或等于2000的高V/Ⅲ比形成在有源层波导AWG之上,所以可以从介电掩模M的端部形成具有这样的侧面的覆盖层CVL,在该侧面处主要出现几乎与衬底S的表面垂直的(0-11)平面。此外,由于形成在覆盖层CVL、CVL2之上的并且由Ⅲ-V族化合物半导体构成的接触层CNL、CNL2以低V/Ⅲ比形成,所以接触层CNL、CNL2不生长在几乎与衬底S和(111)平面垂直的(0-11)平面上,而是接触层CNL、CNL2主要生长在覆盖层CVL、CVL2的顶面之上。

[0079] 接下来,如图8所示,通过蚀刻去除介电掩模M。接下来,如图9所示,例如,使用CVD方法等将氧化硅膜沉积在衬底S上方、至约300nm的厚度、作为介电膜IL。接下来,如图10所示,通过在介电膜IL上方形成光刻胶膜PR2并且对其进行曝光和显影,来去除在接触层CNL(区域1A)上方的光刻胶膜PR2。接下来,通过将光刻胶膜PR2用作掩模来对介电膜IL进行蚀刻。之后,去除光刻胶膜PR2。因此,使接触层CNL的顶面从介电膜IL的开口暴露出来。换言之,用介电膜IL覆盖除了接触层CNL的顶面之外的区域。即,将覆盖层CVL2用介电膜IL覆盖。

[0080] 接下来,如图11所示,在接触层CNL之上形成p电极PEL。此外,在衬底S的背面之上形成n电极NEL。例如,在包含接触层CNL暴露部分的介电膜IL之上,形成例如钯(Pd)膜和铂(Pt)膜的多层膜,作为p电极PEL。这些膜可以使用溅射技术、蒸发方法等形成。接下来,通过将多层膜图案化为期望的形状,来形成p电极PEL。接下来,通过使衬底S的背面侧朝上并且

研磨衬底S的背面,来减薄衬底S。接下来,在衬底S的背面之上形成例如钛(Ti)膜和金(Au)膜的多层膜,作为n电极NEL。这些膜可以使用溅射技术、蒸发方法等形成。顺便提及,可以采用其它金属化膜(metallic film)作为p电极PEL和n电极NEL。

[0081] 可以通过上面的工艺,形成如图1中示出的半导体器件。

[0082] 因此,根据该实施例,由于在具有斜角度的衬底S之上形成有源层波导AWG并且以高V/Ⅲ比在衬底S之上形成覆盖层CVL,所以覆盖层CVL的生长部分变大,可以确保电气化区域的宽度。因此,可以获得更低的半导体器件电阻。

[0083] 图12是示出了对比示例的半导体器件的电气化区域的透视图。图13是示出了该实施例的半导体器件的电气化区域的透视图。

[0084] 在图12示出的半导体器件中,有源层波导AWG形成在衬底S的不具有斜角度的(100)平面之上,并且覆盖层CVL形成在有源层波导AWG之上。在这种情况下,有源层波导AWG和覆盖层CVL的侧面变为倾斜于衬底S的表面((100)平面)54.7°的(111)平面。在该形成中,如果膜厚度被扩大以便扩大覆盖层CVL的生长部分,那么覆盖层CVL的顶面,即电气化区域EA1的生长部分,会变小。由此,在半导体器件运行时,半导体器件的电阻会增加。此外,由于电阻的增加,造成生热变大,并且半导体器件的温度特性下降。

[0085] 另一方面,在该实施例中,有源层波导AWG形成为,在从(100)平面在[1-1-1]方向上具有偏离了0.5°至1.0°范围内的角度的衬底S的表面的暴露部分之上、在[0-1-1]方向上延伸;并且在有源层波导AWG上部之上,以大于或等于2000的高V/Ⅲ比形成覆盖层CVL。覆盖层CVL可以形成为具有这样的侧面,在该侧面中每个侧面处可以主要出现与衬底S的表面几乎垂直的(0-11)平面。即,由于覆盖层CVL生长为几乎与衬底S的表面垂直的侧面,所以可以确保对应于有源层波导AWG的成形区域(区域1A)的电气化区域EA2。例如,电气化区域EA2的宽度可以设置至约在1.5μm至1.9μm的范围内。

[0086] 另一方面,为了形成具有几乎与衬底S的表面垂直的侧面的覆盖层CVL,可以考虑将衬底S的表面设置至(111)平面的方法(例如,参考日本特开平5(1993)-110208号公报)。然而,在有源层波导AWG形成在(111)平面之上或者形成在具有从(100)平面不少于2°的斜角度的平面之上的情况下,其结晶性会退化并且PL FWHM会变宽(参考在H.Q.Houa等人在J.Appl.Phys.,75,4673(1994)发表的“Optical property of InAsP/InP strained quantum wells grown on InP(111)B and(100) substrates”、Y.Kawamural等人在IPRM 1998,ThP-11发表的“Optical properties of In_{0.52}Al_{0.48}As layers and In_{0.53}Ga_{0.47}As/In_{0.52}Al_{0.48}As quantum well structures grown on(111)B InP substrates by molecular beam epitaxy”、以及L.J.Mawst等人在LD conference 1995,SCL13.5发表的“High CW output power InGaAs/InGaAsP/InGaP diode lasers:effect of substrate misorientation”)。

[0087] 下面将对本发明人研究的关于衬底倾斜角度和PL FWHM的事项进行说明。图14是示出了PL FWHM与衬底倾斜角度之间的关系的图表。图15是图14的图表的部分放大图。图14和图15的水平轴为衬底倾斜角度[°],垂直轴为光致发光的半最大值全宽(PL FWHM)[meV]。

[0088] 在该实施例的半导体器件的情况下(在实心圆的情况下),如图14和图15所示,衬底的倾斜角度在0°至1.0°的范围内,PL FWHM约为9meV并且是稳定的。换言之,没有观察到PL FWHM的增加。

[0089] 另一方面,当本发明的发明者基于在H.Q.Houa等人在J.Appl.Phys.,75,4673 (1994)发表的“Optical property of InAsP/InP strained quantum wells grown on InP (111)B and (100) substrates”、Y.Kawamura等人在IPRM 1998,ThP-11发表的“Optical properties of In_{0.52}Al_{0.48}As layers and In_{0.53}Ga_{0.47}As/In_{0.52}Al_{0.48}As quantum well structures grown on (111)B InP substrates by molecular beam epitaxy”、以及L.J.Mawst等人在LD conference 1995,SCL13.5发表的“High CW output power InGaAs/InGaAsP/InGaP diode lasers:effect of substrate misorientation”中所描述的半导体器件的各项数据对其进行计算,验证了PL FWHM的增加。在上面所提到的非专利文件中描述的半导体器件分别命名为对比示例A、对比示例B以及对比示例C。如图14和图15所示,在对比示例A中,PL FWHM增加至约6meV至9meV。此外,在对比示例B中,PL FWHM增加至约14meV至17meV。此外,在对比示例C中,PL FWHM增加至约8meV至28meV。

[0090] 顺便提及,在该实施例中,在有源层波导AWG设计为层厚度(Lz)为4.5nm的InGaAlAs时,在4K的温度下对PL FWHM进行关于PL的测量。此外,在对比示例A中,在有源层(QW)是层厚度(Lz)为8nm的InAsP/InP时,在15K的温度下对关于PL FWHM进行关于PL的计算。此外,在对比示例B中,在有源层是层厚度(Lz)为3.5nm的InGaAs/InAlAs时,在77K的温度下对PL FWHM进行PL计算。此外,在对比示例C中,在有源层是层厚度(Lz)为3.5nm的时,在12K的温度下对PL FWHM进行关于PL的计算。

[0091] 由此,虽然材料和温度不同,但是还是成功检查出在具有斜角度从而使得从(100)平面的倾斜角度大于或等于2°的衬底中,PL FWHM变宽,而在具有斜角度从而使得从(100)平面的倾斜角度在0°至1.0°范围内的衬底中,PL FWHM的增加得到抑制。

[0092] 由此,在该实施例中,已经证明PL FWHM的增加得到抑制,即控制了有源层波导AWG的量子阱宽度的波动,并且在保持优异结晶度的同时还可以扩大EA2。

[0093] 而且,通过以高V/Ⅲ比形成覆盖层CVL,在覆盖层CVL的生长中,增加了[111]B方向的生长速率与[100]方向的生长速率之比([111]B方向的生长速率/[100]方向的生长速率)。图16是示出了在覆盖层成形之时的V/Ⅲ比、与在[111]B方向的生长速率与[100]方向的生长速率之比之间的关系的图表。水平轴表示V/Ⅲ比,而垂直轴表示生长速率比。例如,介电掩模M的开口(区域1A)的宽度设置至约在1.5μm至1.9μm范围内,介电掩模M的宽度设置至约在5μm至15μm范围内。

[0094] 当以高V/Ⅲ比形成覆盖层CVL时,增加了[111]B方向的生长速率与[100]方向的生长速率之比([111]B方向的生长速率/[100]方向的生长速率),但是几乎看不到覆盖在介电掩模M之上的生长。

[0095] 此外,如图16所示,通过将V/Ⅲ比设置至2000或更高,[111]B方向的生长速率与[100]方向的生长速率之比变为0.8或更高,变得高。因此,由于促进了[111]B方向的生长,所以覆盖层CVL的侧面变得几乎与如图1所示的衬底S的表面垂直,覆盖层CVL与有源层波导AWG的叠层部分的截面形状变为接近矩形的形状。即,覆盖层CVL的侧面变为如图12所示的倾斜平面;并且正如与覆盖层CVL与有源层波导AWG的叠层部分的截面形状变为具有短的上底的梯形形状的情况相比,可以确保大的电气化区域(EA2>EA1)。由此,可以减少在半导体器件运行时的半导体器件电阻。

[0096] 第二实施例

[0097] 在下文中,将参考附图对该实施例的半导体器件进行详细描述。图17是示出了该实施例的半导体器件的配置的截面图。图18是该实施例的半导体器件的配置的透视图。图19至图28是示出了该实施例的半导体器件的制造工艺的截面图。

[0098] [结构说明]

[0099] 图17中示出的半导体器件是半导体激光器。该半导体器件是使用了Ⅲ-V族化合物半导体尤其是InP的嵌入式半导体激光器。该实施例的半导体器件具有如下配置:有源层波导AWG与覆盖层CVL的叠层部分(也称为台面部分)的两侧都具有半绝缘的Ⅲ-V族化合物半导体层。

[0100] 如图17和图18所示,该实施例的半导体器件具有衬底S、布置在衬底S的区域1A之上的有源层波导AWG、以及布置在有源层波导AWG之上的覆盖层CVL。在覆盖层CVL之上,p电极(p侧电极、上部电极)PEL通过第二覆盖层CL和接触层CNL布置;在衬底S的背面侧,布置有n电极(n侧电极,下部电极)NEL。此外,有源层波导AWG与覆盖层CVL的叠层部分的两侧都嵌入半绝缘层SL。另外,电流阻挡层CB布置在该半绝缘层SL之上,第二覆盖层CL进一步布置在半绝缘层SL和覆盖层SVL之上。

[0101] 衬底、覆盖层CVL和接触层CNL由Ⅲ-V族化合物半导体(半导体层)构成。

[0102] 此外,衬底S的区域1A,即有源层波导AWG的成形区域,与第一实施例的情况一样是接近矩形的区域(参见图1B)。换言之,是具有在Y方向(图17的深度方向,[1-1-1]方向)上的长边的接近矩形的区域。图1B布置在该区域1A的两侧。换言之,区域1A由区域1B划定了界线。区域2A布置在区域1B外部。在该区域2A中,有源层波导AWG2和覆盖层CVL2从底部依次布置。然后,半绝缘层SL覆盖了覆盖层CVL2的顶部。因此,区域2A的每一层(AWG2、CVL2)变为对半导体器件(半导体激光器)的运行无贡献的层。

[0103] 与第一实施例的情况一样,衬底S由n型InP构成,并且是其表面从(100)平面在[1-1-1]方向上倾斜了 0.5° 至 1.0° 范围内的角度的倾斜衬底(参见图1B)。这类角度称为斜角度。

[0104] 与第一实施例的情况一样,有源层波导AWG由非掺杂InP构成。该有源层波导AWG通过外延生长形成。在该形成中,由于衬底S具有上面提到的斜角度,所以有源层波导AWG的表面在生长之后从(100)平面在[1-1-1]方向上倾斜了 0.5° 至 1.0° 范围内的角度。

[0105] 与第一实施例的情况一样,覆盖层CVL由p型(第二导电类型)InP层构成。该覆盖层CVL通过外延生长形成在有源层波导AWG之上。有源层波导AWG与生长之后的覆盖层CVL的叠层部分的截面形状变为接近矩形的形状。具体而言,覆盖层CVL的表面的宽度(WCVL)变为大于有源层波导AWG的表面的宽度(WAWG)。此外,覆盖层CVL与有源层波导AWG的叠层部分的每个侧面(侧壁)具有几乎与衬底S的表面垂直的(0-11)平面。因此,通过将覆盖层CVL与有源层波导AWG的叠层部分的截面形状制作成接近矩形的形状,能够扩大电气化区域(参见图13),并且可以降低在半导体器件运行时的半导体器件电阻。

[0106] 该半绝缘层SL布置为使有源层波导AWG与覆盖层CVL的叠层部分的侧面邻接。半绝缘层SL由例如含有Fe(铁)的InP层(半导体层)构成。通过以该方式制作含有Fe的InP,可以在降低层的电容的同时阻断电子的流动。为此,10Gbs或更高的高速运行成为可能。例如,半绝缘层SL具有比有源层波导AWG与覆盖层CVL的叠层部分的绝缘性更高的绝缘性。

[0107] 电流阻挡层CB由例如n型InP层(半导体层)构成。该电流阻挡层CB仅布置在半绝缘

层SL之上,并且不布置在覆盖层CVL的顶面之上。

[0108] 第二覆盖层CL由例如p型InP层(半导体层)构成。该第二覆盖层CL布置在电流阻挡层CB和覆盖层CVL的顶面之上。

[0109] 接触层CNL由Ⅲ-V族化合物半导体构成,并且由例如p型InGaAs层构成。该接触层CNL布置在第二覆盖层CL之上。

[0110] P电极PEL由例如钯(Pd)和铂(Pt)的多层膜构成。P电极PEL布置在接触层CNL之上。此外,n电极NEL由例如钛(Ti)和金(Au)的多层膜构成。n电极NEL布置在衬底S的背面之上。

[0111] 有源层波导AWG2与有源层波导AWG类似地形成,并且由与有源层波导AWG相同的材料构成。然而,由于其中形成有源层波导AWG2的区域2A的X方向宽度(W2)大于其中形成有源层波导AWG的区域1A的X方向宽度(W1),所以在区域1A中的单位面积生长速率变为大于区域2A的单位面积生长速率。因此,有源层波导AWG的膜厚度TA1变为大于有源层波导AWG2的膜厚度TA2($TA1 > TA2$)。类似地,虽然覆盖层CVL2与覆盖层CVL类似地形成,并且由与覆盖层CVL相同的材料构成,但是由于区域2A的X方向宽度(W2)大于区域1A的X方向宽度(W1),所以覆盖层CVL的膜厚度TC1变为大于覆盖层CVL2的膜厚度TC2($TC1 > TC2$)。此外,如上面所描述的,覆盖层CVL的每个侧面具有与(100)平面垂直的(0-11)平面,而覆盖层CVL2的每个侧面除了(0-11)平面之外还具有(111)B平面。

[0112] 由于上面所提到的有源层波导AWG2与覆盖层CVL2的叠层部分由半绝缘层SL覆盖,所以对半导体器件(半导体激光器)的运行无贡献。

[0113] 顺便提及,由于该实施例的半导体器件(半导体激光器)的运行与第一实施例的运行相同,因此省略了对它的说明。

[0114] [工艺说明]

[0115] 接下来将参考图19至图28对用于制造该实施例的半导体器件的方法进行说明,与此同时,半导体器件的配置将变得更加清晰。图19至图28是示出了该实施例的半导体器件的制造工艺的截面图。

[0116] 如图19所示,在衬底S之上形成介电掩模M。衬底S由n型InP构成,并且如上所述的是其表面从(100)平面在[1-1-1]方向上倾斜了 0.5° 至 1.0° 范围内的角度的倾斜衬底(参见图1B)。

[0117] 在作为这类倾斜衬底的衬底S之上,例如,使用CVD方法等将氧化硅膜沉积至如介电掩模M一样约100nm的膜厚度。接下来,通过在介电掩模M之上形成光刻胶膜PR1并对其进行曝光和显影,来去除区域2A的以及作为有源层波导AWG的成形区域的区域1A的光刻胶膜PR1。换言之,使光刻胶膜PR1保留在包围作为有源层波导AWG的成形区域的区域1A的区域1B中。

[0118] 作为有源层波导AWG的成形区域的区域1A呈在[0-1-1]方向上延伸的长条形状(参见图1B)。

[0119] 接下来,通过将光刻胶膜PR1用作掩模来对介电掩模M进行蚀刻。之后,去除光刻胶膜PR1。因此,如图20所示,形成了具有在作为有源层波导AWG的成形区域中的区域1A中的开口的介电掩模M。换言之,介电掩模M形成在包围作为有源层波导AWG的成形区域的区域1A的区域1B中。该开口的宽度约在例如1.5 μ m至1.9 μ m。该宽度对应于区域1A的在X方向上的宽度W1。然后,使具有衬底S斜角度的表面从该开口暴露出来。此外,余下的介电掩模M的宽度约

在5m至15m范围内。在图20的截面图中,介电掩模M保持在有源层波导AWG的成形区域(区域1A)的两侧。换言之,形成了宽度约在5m至15m的介电掩模M,其间设置有约在1.5m至1.9m的间隙。此外,区域2A布置在区域1B外部。在图20等附图中,虽然仅图示了区域2A的一部分,但是该区域2A的宽度(在X方向上的宽度W2)明显大于开口的宽度(约1.5m至1.9m),例如约为250m。

[0120] 接下来,如图21所示,在上面所提到的开口(区域1A)之上,即具有衬底S斜角度的表面的暴露部分之上,形成有源层波导AWG。在本文中,使用MOVPE方法等形成Ⅲ-V族化合物半导体的InGaAlAs层作为有源层波导AWG。在MOVPE方法中,使用载气将Ⅲ族元素的源气和V族元素的源气引到腔室(处理腔室)中,并且在开口(区域1A)中生长InGaAlAs层。TMIn、TEGa和TMAI可以用作In(镓)、Ga(铟)和Al(铝)的源气。此外,AsH₃(砷化三氢)可以用作As(砷)的源气。在混合源气到达被加热衬底S的表面处时,发生化学反应诸如分解,并且InGaAlAs层在接续下层结晶信息的状态下生长(沉积)。通过将V族元素的源气(在本文中为砷化三氢)的流量与Ⅲ族元素的源气(在本文中为TMIn、TEGa、TMAI)的流量之和之比(也称V/Ⅲ比)设置至200或更低,来形成有源层波导(InGaAlAs层)AWG。在该形成中,在区域2A中形成有源层波导AWG2。

[0121] 随后,如图22所示,在有源层波导AWG之上形成覆盖层CVL。在本文中,通过MOVPE方法等形成Ⅲ-V族化合物半导体的p型InP层作为覆盖层CVL。即,将p型InP层持续地(连续地)形成在形成有源层波导AWG的腔室(处理腔室)中。在该形成中,与形成有源层波导AWG(InP层)AWG之时一样,将TMIn用作In的源气,磷化氢用作P的源气,并且V/Ⅲ比设置至2000或更高。此外,在掺杂p型杂质的同时形成p型InP层。可以将Zn用作p型杂质,例如,可以通过在源气中混合DEZn来形成p型InP层。在该形成中,在区域2A中形成覆盖层CVL2。

[0122] 如上面所提到的,在衬底S的区域1A中,从底部依次持续地并且一体地生长有源层波导AWG和覆盖层CVL。在该生长中,有源层波导AWG2和覆盖层CVL2在区域2A中从底部依次生长。如上面所提到的,由于区域2A的宽度(W2)大于区域1A的宽度(W1),所以在区域1A中单位面积生长速率变大。因此,有源层波导AWG的膜厚度TA1变为大于有源层波导AWG2的膜厚度TA2(TA1>TA2)。类似地,覆盖层CVL的膜厚度TC1变为大于覆盖层CVL2的膜厚度TC2(TC1>TC2)。此外,覆盖层CVL2的侧面变为处于(111)B平面保留的状态下,该(111)B平面是在(0-11)平面暴露之前生长的平面。因此,覆盖层CVL的每个侧面具有与(100)平面垂直的(0-11)平面,而覆盖层CVL2的每个侧面除了(0-11)平面之外还具有(111)B平面。

[0123] 因此,由于有源层波导AWG形成为,在从(100)平面在[1-1-1]方向上具有在0.5°至1.0°范围内的斜角度的衬底S的表面之上、在[0-1-1]方向上延伸,所以可以减少有源层波导AWG的膜厚度的变化(也称阱厚度),并且可以获得优异的多量子阱(MQW)。此外,由于由Ⅲ-V族化合物半导体构成的覆盖层CVL以大于或等于2000的高V/Ⅲ比形成在有源层波导AWG之上,所以可以从介电掩模M的端部形成具有这样的侧面的覆盖层CVL,在该侧面处主要出现与衬底S的表面几乎垂直的(0-11)平面。

[0124] 接下来,如图23所示,通过蚀刻去除介电掩模M,并且例如使用CVD方法等将氧化硅膜沉积在衬底S上方、至约300nm的厚度,用作介电膜IL。

[0125] 接下来,如图24所示,通过在介电膜IL之上形成光刻胶膜并且对其进行曝光和显影,来形成通过介电膜IL覆盖了覆盖层CVL的顶面和侧面的光刻胶膜PR22。接下来,通过将

光刻胶膜PR2用作掩模对介电膜IL进行湿法蚀刻。在该蚀刻中,还蚀刻了邻接覆盖层CVL侧面的介电膜IL,使介电膜IL仅保留在覆盖层CVL的顶面之上。之后,去除光刻胶膜PR2。因此,如图25所示,覆盖层CVL的顶面被介电膜IL覆盖。

[0126] 接下来,如图26所示,使用MOVPE方法等,在包括衬底S的暴露部分顶面的覆盖层CVL2之上形成半绝缘层InP层,作为半绝缘层SL。为了使InP层半绝缘,例如将Fe引入该层中。例如,使用载气将Ⅲ族元素的源气和V族元素的源气引到腔室(处理腔室)中,并且生长InP层。在该生长中,可以例如通过在源气中混合二茂铁以便将Fe混合进其中,形成具有半绝缘特性的包含Fe的InP层。因此,有源层波导AWG与覆盖层CVL的叠层部分的两侧都可以嵌入有半绝缘层SL。此外,覆盖层CVL2的顶面可以被覆盖有半绝缘层SL。

[0127] 接下来,使用MOVPE方法等,在半绝缘层SL之上形成Ⅲ-V族化合物半导体的n型InP层,作为电流阻挡层CB。Si可以用作n型杂质,并且可以例如通过在源气中混合Si₂H₆(乙硅烷)形成n型InP层。因此,覆盖层CVL与有源层波导AWG的叠层部分的两侧都可以嵌入有半绝缘层SL和电流阻挡层CB的多层膜。

[0128] 接下来,如图27所示,去除介电膜IL。因此,覆盖层CVL的顶面暴露出来。接下来,在覆盖层CVL的暴露部分和电流阻挡层CB之上形成第二覆盖层CL。在本文中,使用MOVPE方法等形成Ⅲ-V族化合物半导体的p型InP层,作为第二覆盖层CL。

[0129] 接下来,在第二覆盖层CL之上形成接触层CNL。在本文中,使用MOVPE方法等形成Ⅲ-V族化合物半导体的p型InGaAs层,作为接触层CNL。

[0130] 接下来,如图28所示,在接触层CNL之上形成p电极PEL。此外,在衬底S的背面之上形成n电极NEL。例如,在接触层CNL之上形成例如钯(Pd)膜和铂(Pt)膜的多层膜,作为p电极PEL。这些膜可以使用溅射技术、蒸发方法等形成。接下来,通过将多层膜图案化为期望的形状,来形成p电极PEL。接下来,通过使衬底S的背面侧朝上并且研磨衬底S的背面,来减薄衬底S。接下来,在衬底S的背面之上形成例如钛(Ti)膜和金(Au)膜的多层膜,作为n电极NEL。这些膜可以使用溅射技术、蒸发方法等形成。顺便提及,可以采用其它金属化膜作为p电极PEL和n电极NEL。

[0131] 可以通过上面的工艺,形成如图17中示出的半导体器件。

[0132] 因此,同样,在该实施例中,由于有源层波导AWG形成在具有斜角度的衬底S之上,并且覆盖层CVL以高V/Ⅲ比形成在衬底S之上,所以与第一实施例的情况一样,覆盖层CVL的生长部分变大,可以确保大的电气化区域。因此,可以降低在半导体器件运行时的半导体器件电阻。

[0133] 具体而言,在该实施例中,由于使用热导率优于介电层的热导率的材料InP,覆盖层CVL的侧面嵌入有半绝缘层SL,所以可以改善散热,并且可以提高半导体器件的温度特性。而且,使用热导率良好的材料(例如,InP层)通过用第二覆盖层CL盖住覆盖层CVL的顶面,可以改善散热,并且可以提高半导体器件的温度特性。

[0134] 修改例

[0135] 在第一和第二实施例中,由p型InGaAs层构成的单层膜用作接触层CNL,接触层CNL可以配置为多层膜。

[0136] 图29是示出了作为第一实施例的修改例的半导体器件的配置的截面图。由于除了接触层CNL、CNL2之外的配置及其制造工艺与第一实施例的(图1等)相同,因此省略了对其

的详细说明。

[0137] 如图29所示,在第一实施例的修改例中,接触层CNL由第一层CNLa和在第一层CNLa之上的第二层CNLb的多层膜构成。

[0138] 第一层CNLa由Ⅲ-V族化合物半导体构成,并且由例如p型InGaAs层构成。此外,第二层CNLb由Ⅲ-V族化合物半导体构成,并且由例如p型InGaAsP层构成。

[0139] 顺便提及,接触层CNL2类似地由第一层(例如,p型InGaAs层)CNL2a和第二层(例如,p型InGaAsP层)CNL2b的多层膜构成。

[0140] 可以使用MOVPE方法等形成这类叠层结构的接触层CNL、CNL2。即,在其中形成有源层波导AWG和覆盖层CVL形成的腔室(处理腔室)中持续地形成接触层CNL、CNL2。例如,通过MOVPE方法等形成p型InGaAs层(第一层CNLa、CNL2a),该MOVPE方法将TMIn用作In的源气,TMGa用作Ga(镓)的源气,以及AsH₃(砷化三氢)用作As(砷)的源气。然后,通过将PH₃(磷化氢)添加至上面所提到的作为P的源气的源气,来形成p型InGaAsP层(第二层CNLb、CNL2b)。顺便提及,DEZn可以用作p型杂质,例如可以通过在源气中混合DEZn形成p型层。

[0141] 图30是示出了作为第二实施例的修改例的半导体器件的配置的截面图。由于除了接触层CNL、CNL2之外的配置及其制造工艺与第二实施例的(图17等)相同,因此省略了对其的详细说明。

[0142] 如图30所示,在第二实施例的修改例中,接触层CNL由第一层CNLa和在第一层CNLa之上的第二层CNLb的多层膜构成。

[0143] 第一层CNLa由Ⅲ-V族化合物半导体构成,并且由例如p型InGaAs层构成。此外,第二层CNLb由Ⅲ-V族化合物半导体构成,并且由例如p型InGaAsP层构成。

[0144] 可以使用MOVPE方法等形成这类叠层结构的接触层CNL。即,在其中形成有源层波导AWG和覆盖层CVL的腔室(处理腔室)中持续地形成接触层CNL。例如,通过MOVPE方法等形成p型InGaAs层(第一层CNLa),该MOVPE方法将TMIn用作In的源气,TMGa用作Ga的源气,以及AsH₃用作As的源气。然后,作为通过将PH₃添加至上面所提到的源气,来形成p型InGaAsP层(第二层CNLb)。顺便提及,可以将Zn用作p型杂质,例如,可以通过在源气中混合DEZn来形成p型层。

[0145] 虽然没有对在上面所提到的实施例和修改例中说明的半导体器件(半导体激光器)的应用部分做出限制,但是其可以用作在1.25至1.65μm带(band)的光通信的半导体器件(半导体激光器)。

[0146] 在上述内容中,虽然基于实施例对本发明者所做出的发明进行了具体说明,但是毫无疑问,本发明不限于上面提到的实施例,并且在不偏离本发明的要旨的情况下可以进行各种修改。

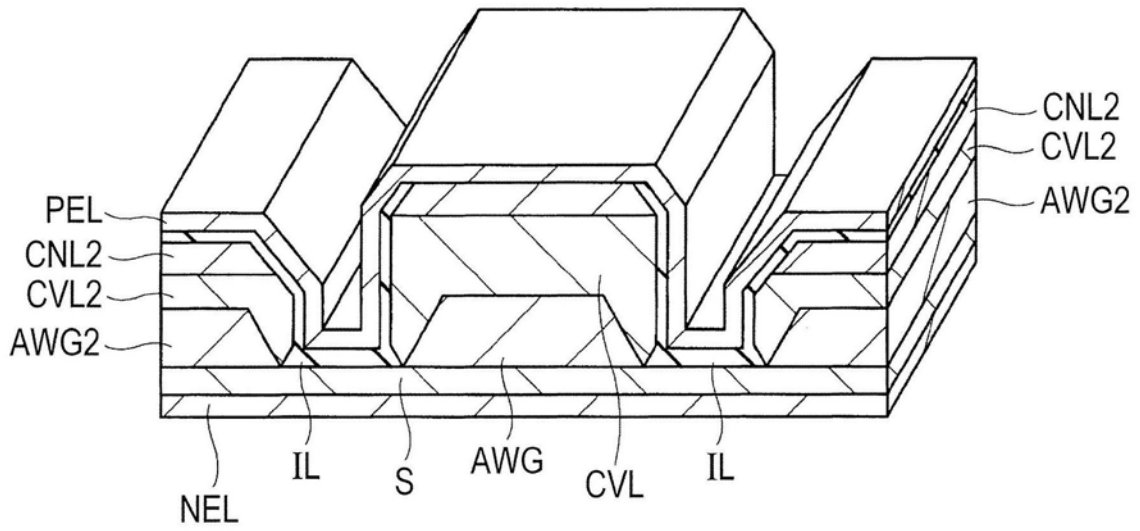


图2

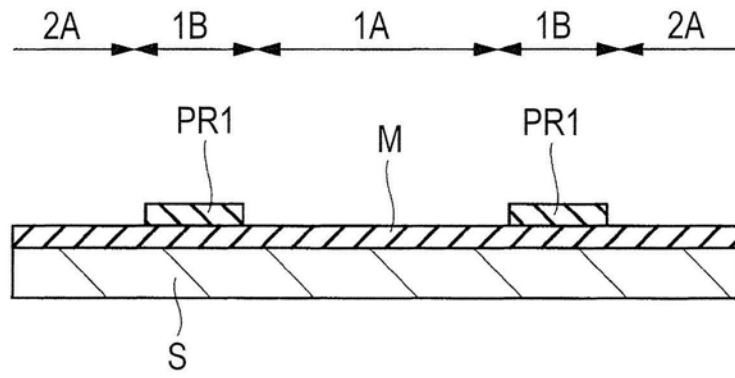


图3

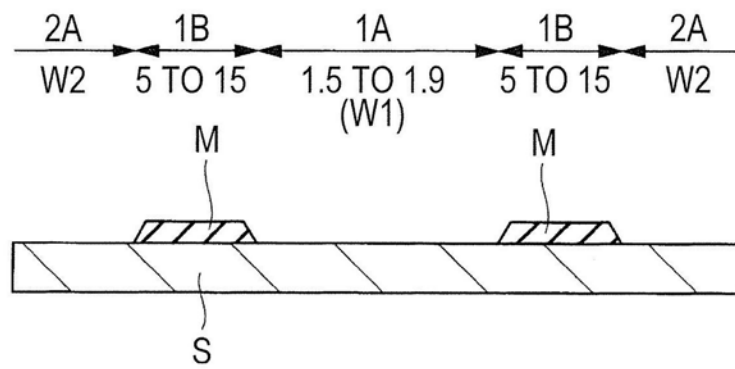


图4

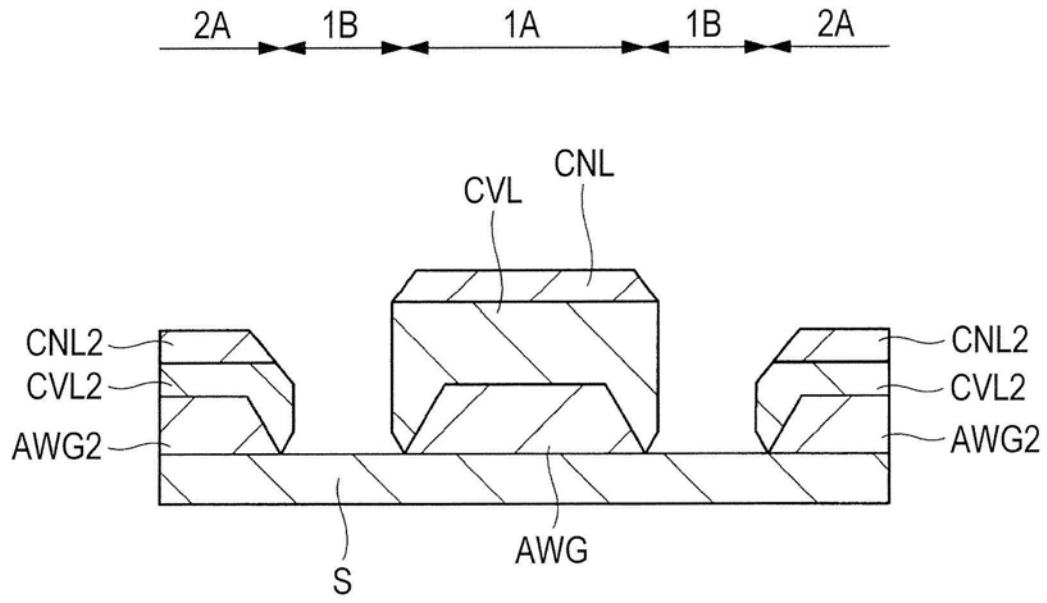


图8

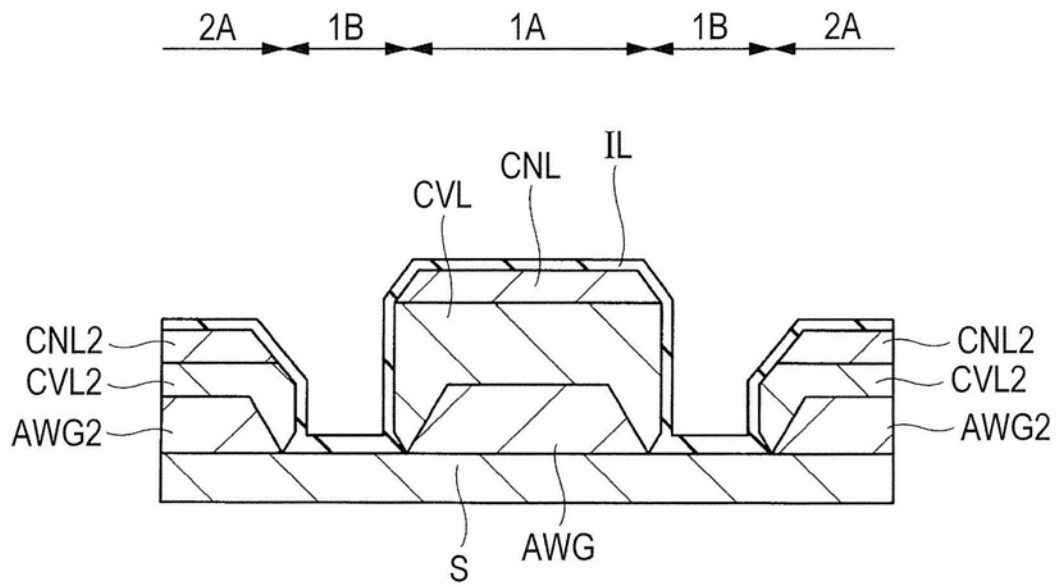


图9

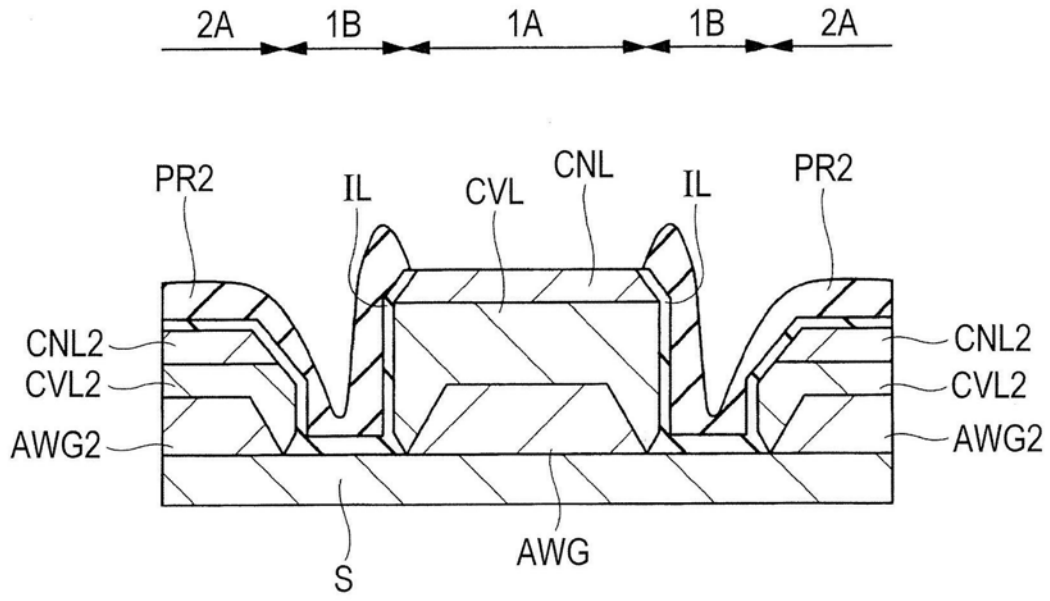


图10

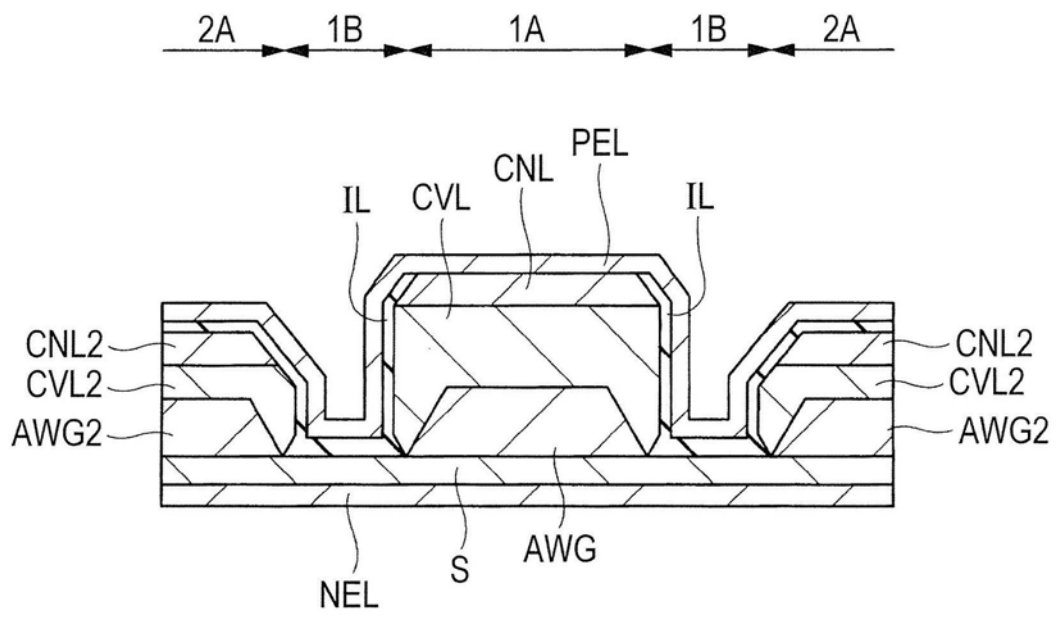


图11

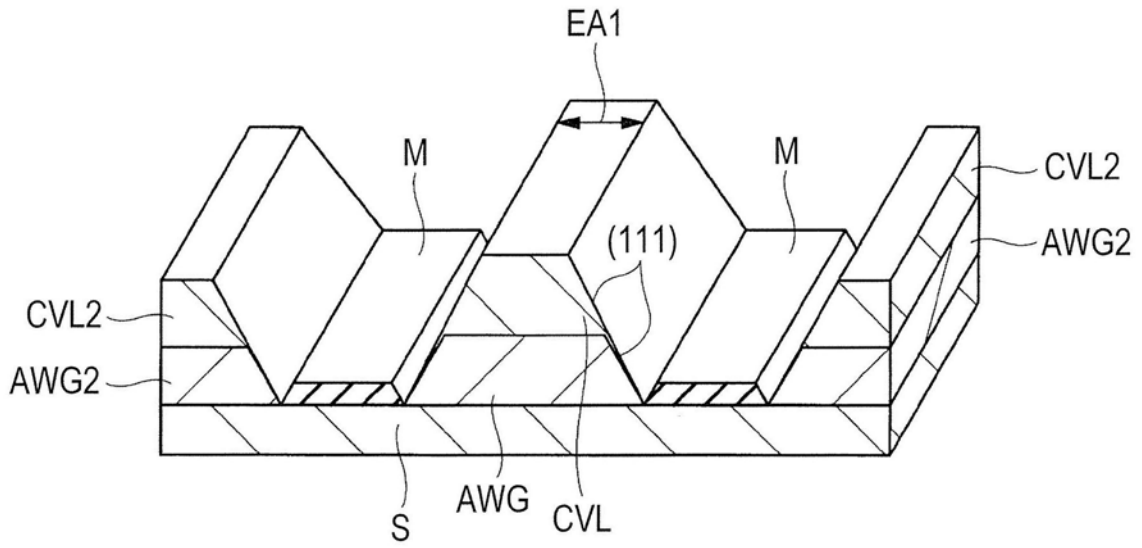


图12

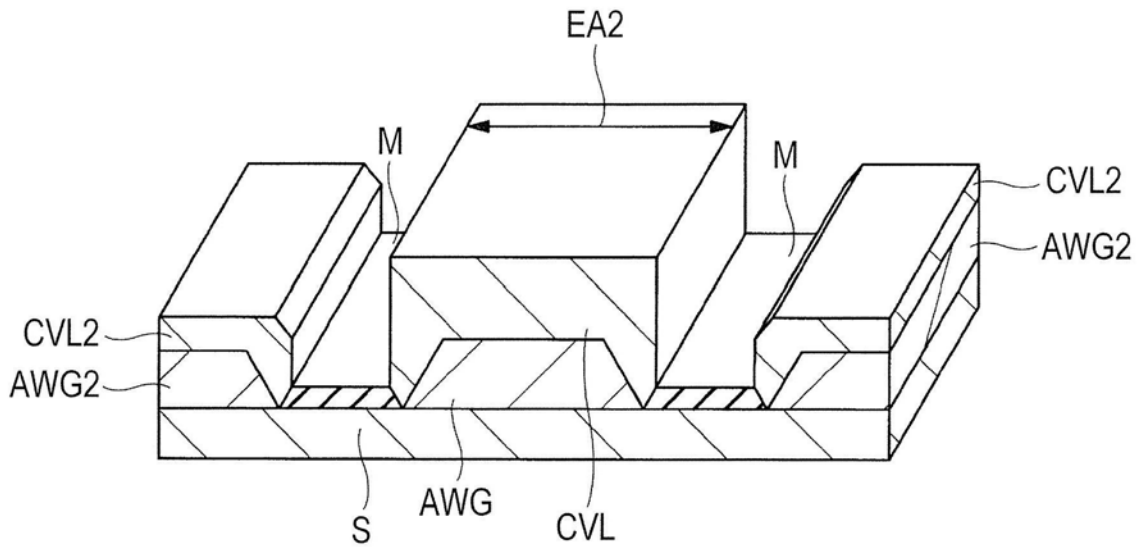


图13

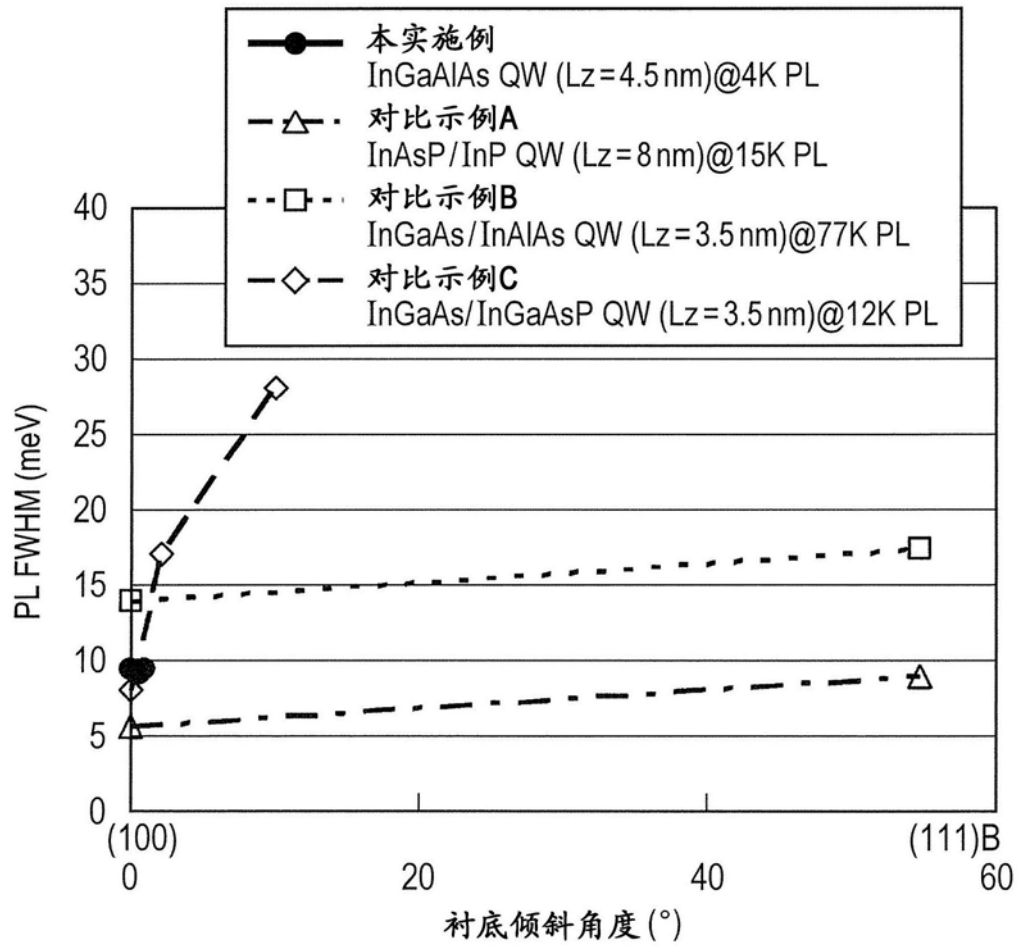


图14

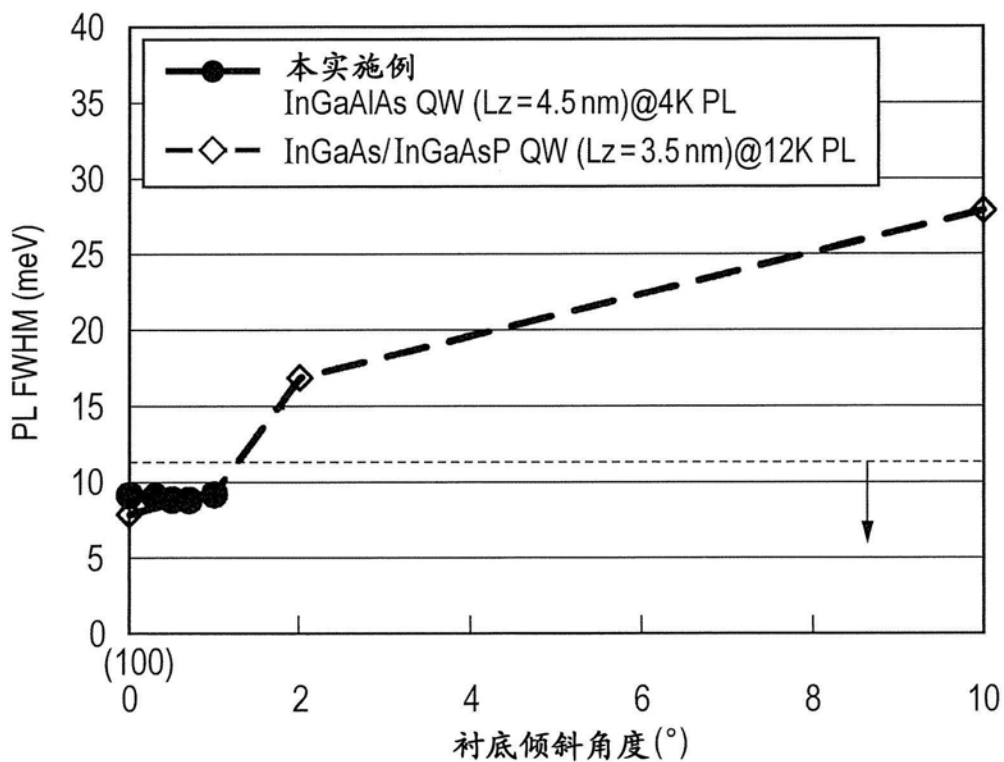


图15

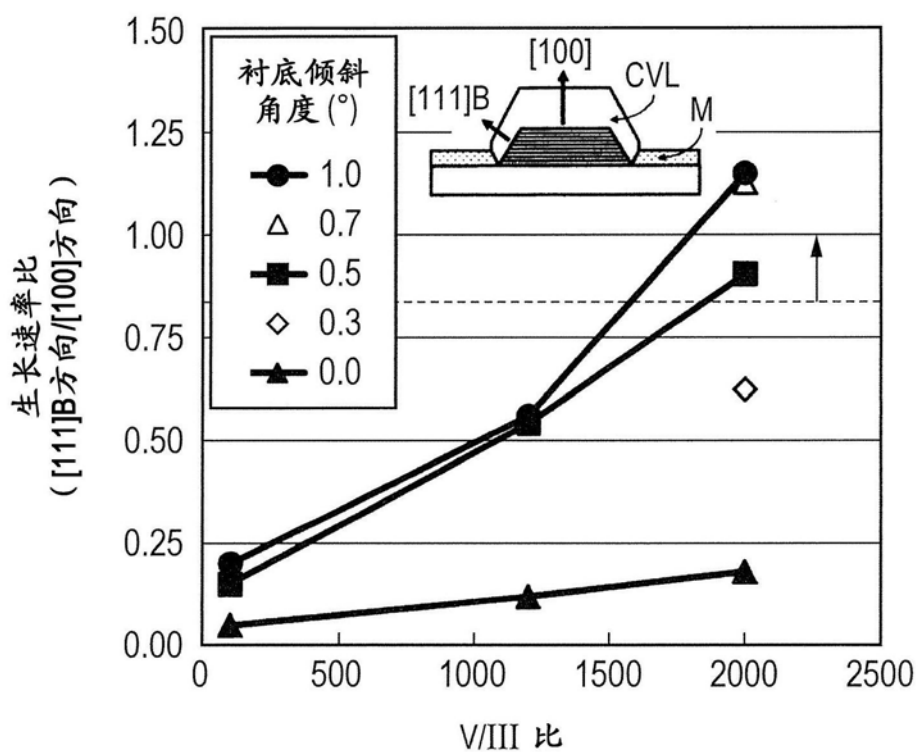


图16

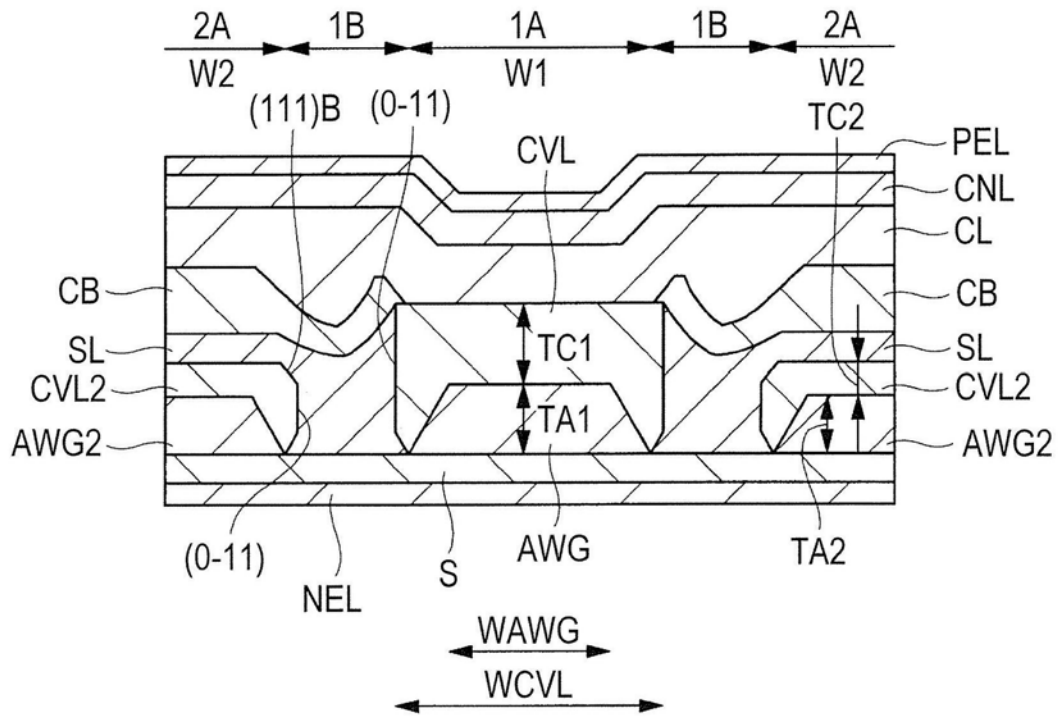


图17

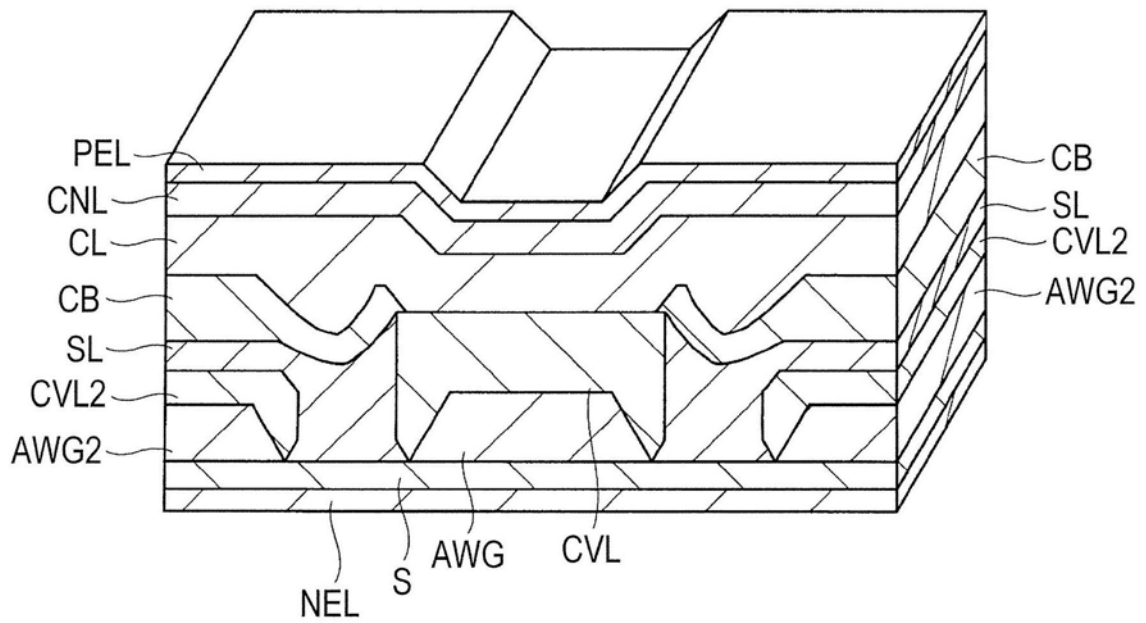


图18

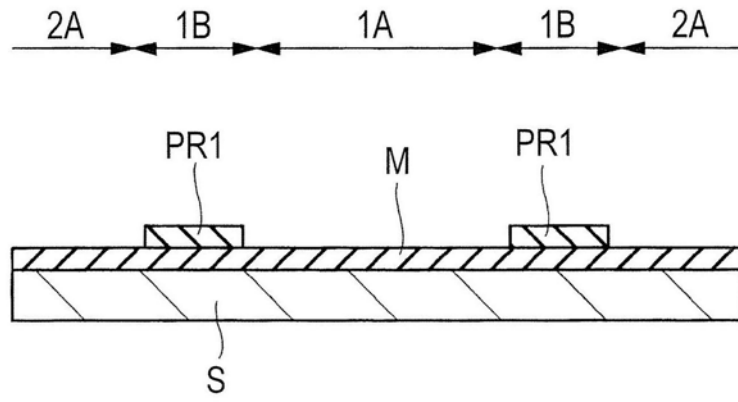


图19

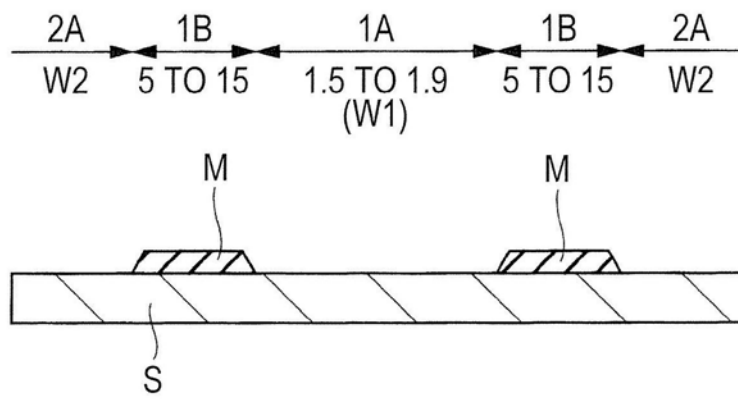


图20

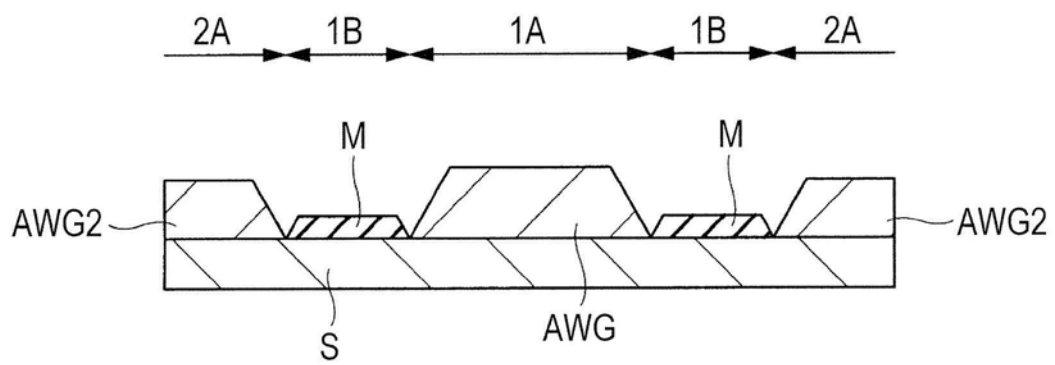


图21

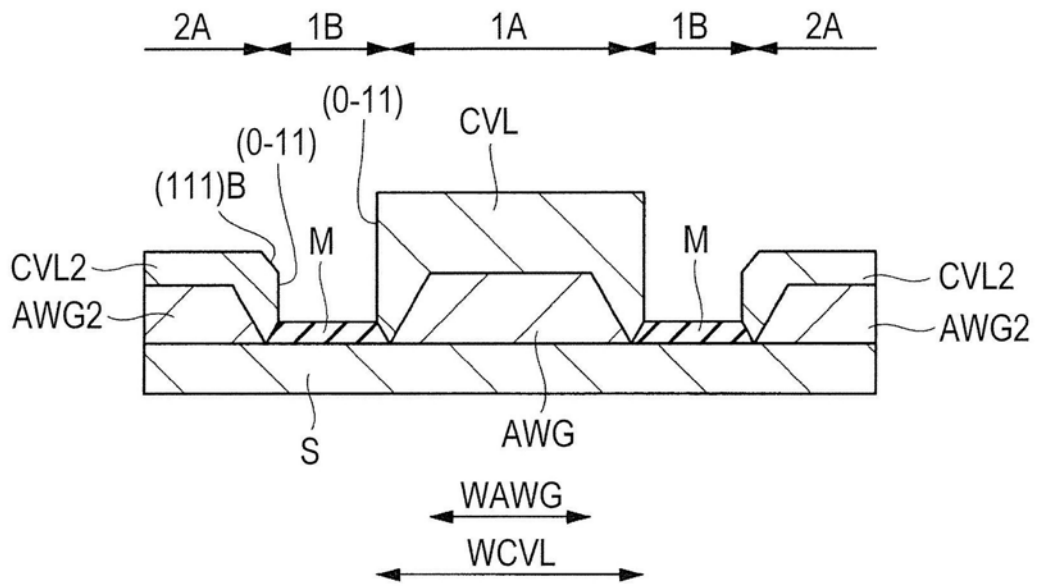


图22

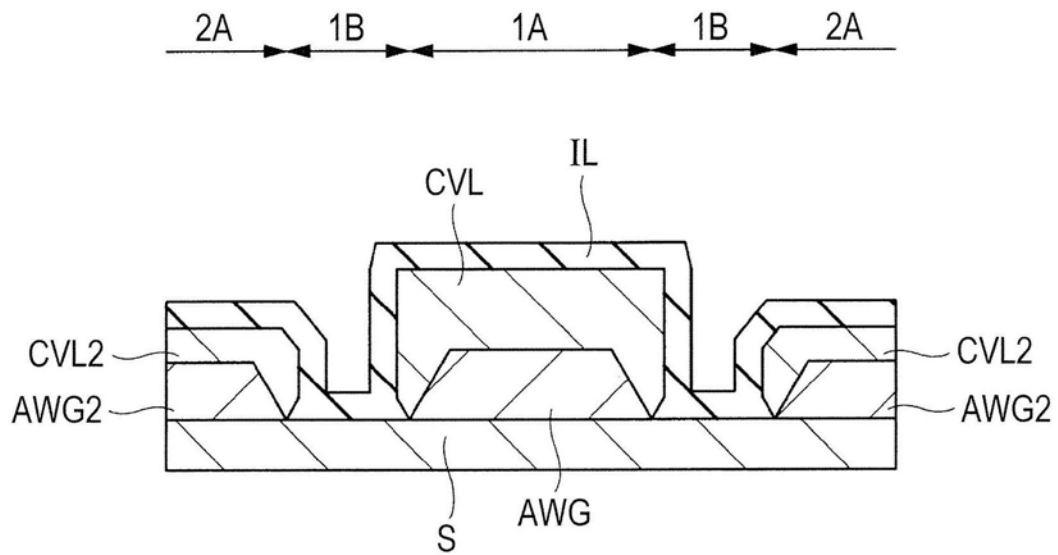


图23

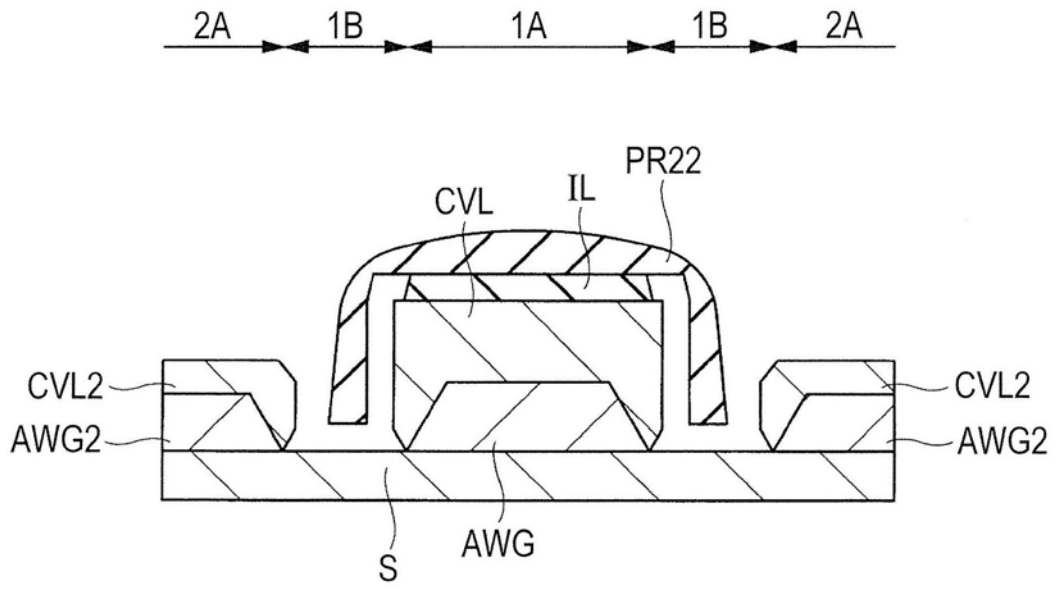


图24

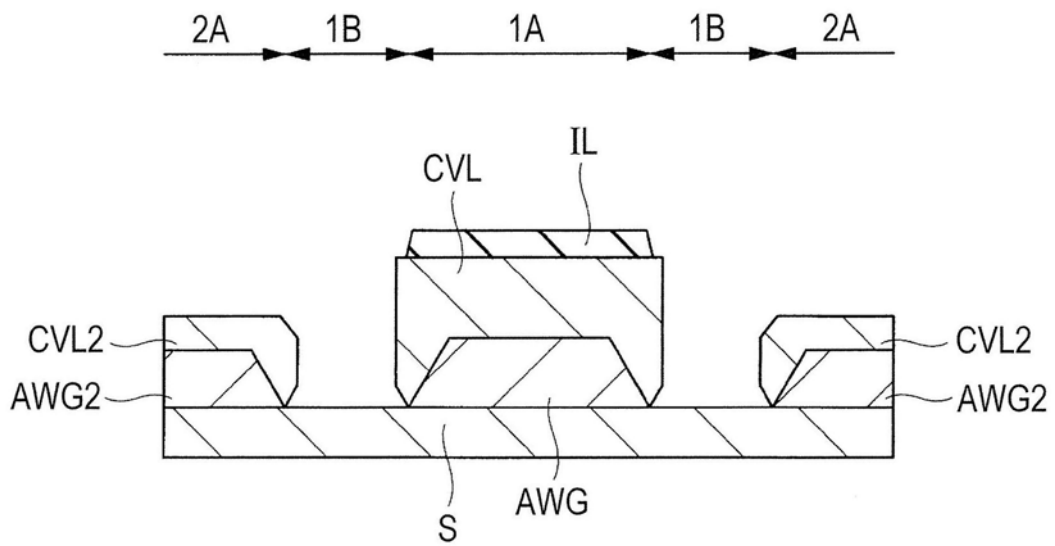


图25

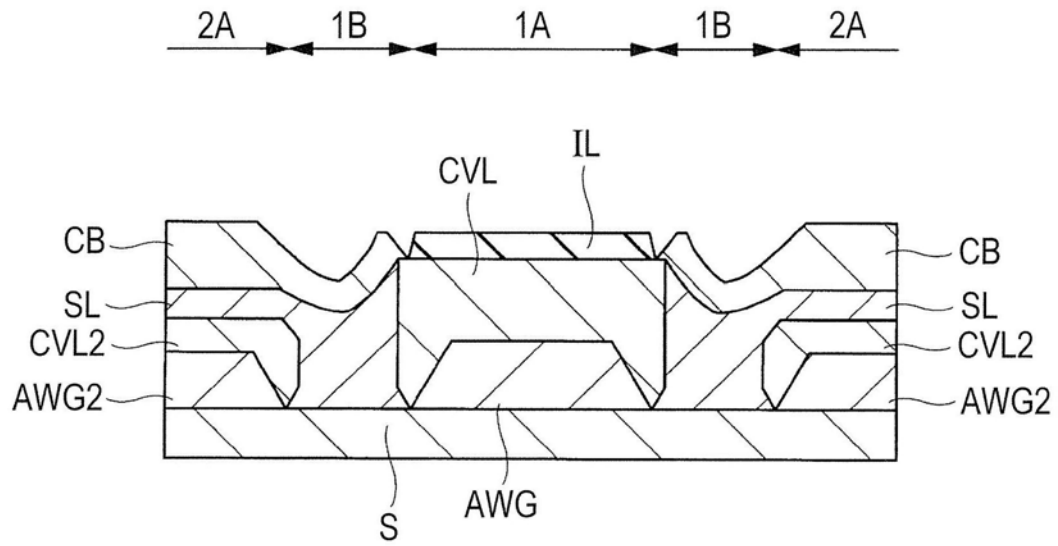


图26

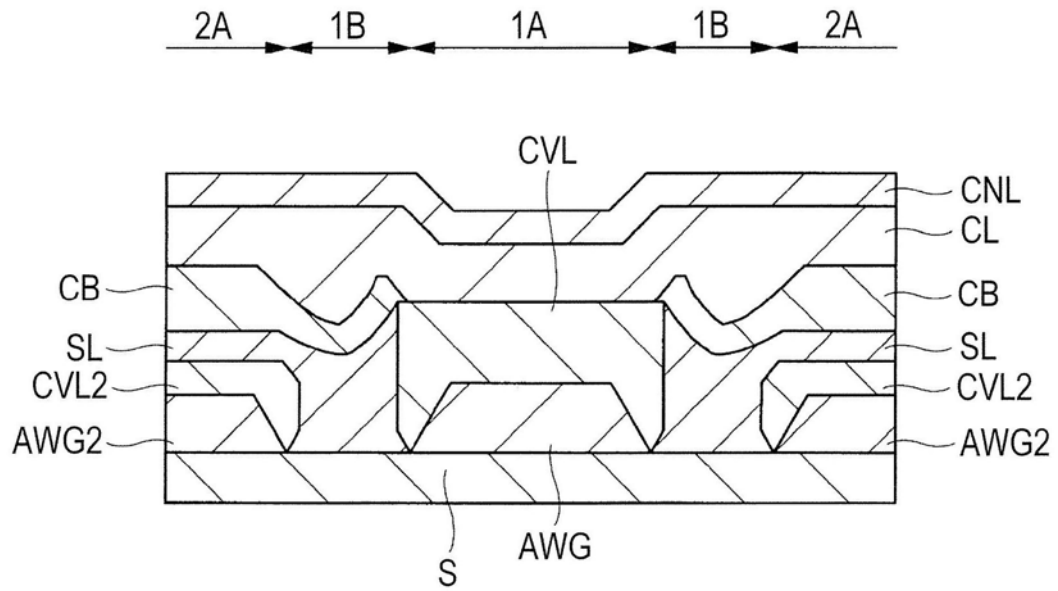


图27

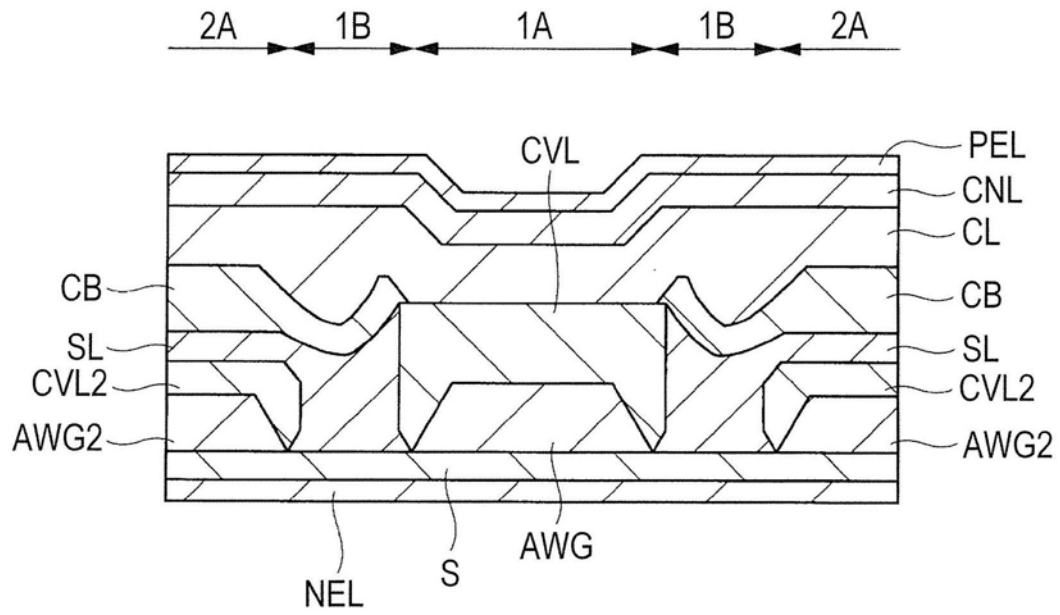


图28

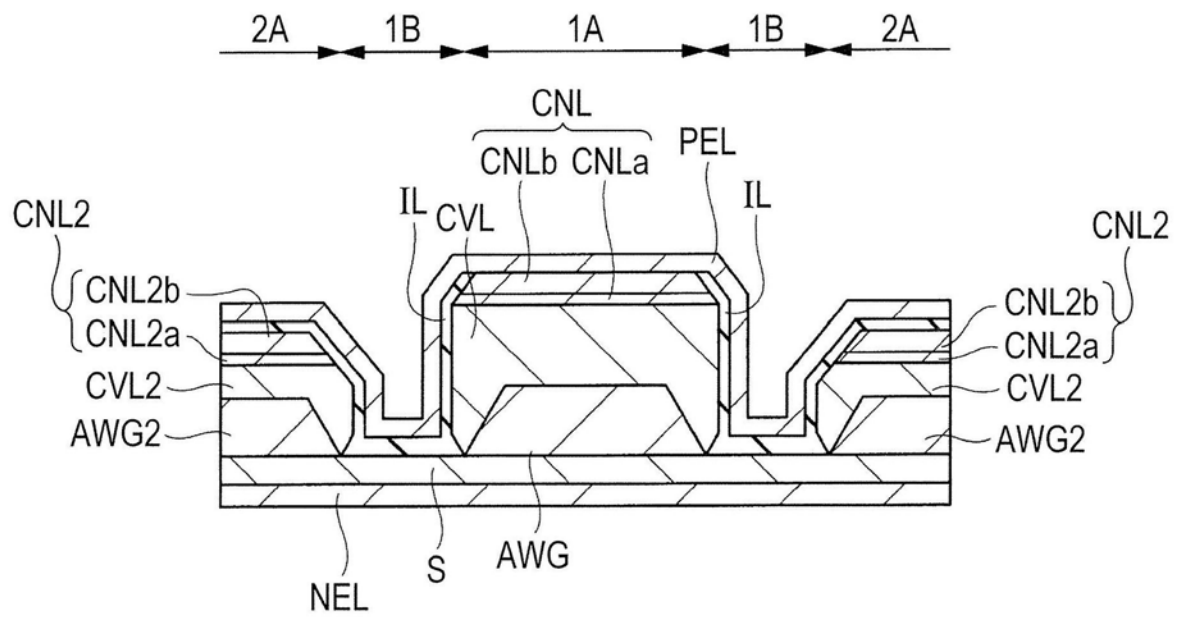


图29

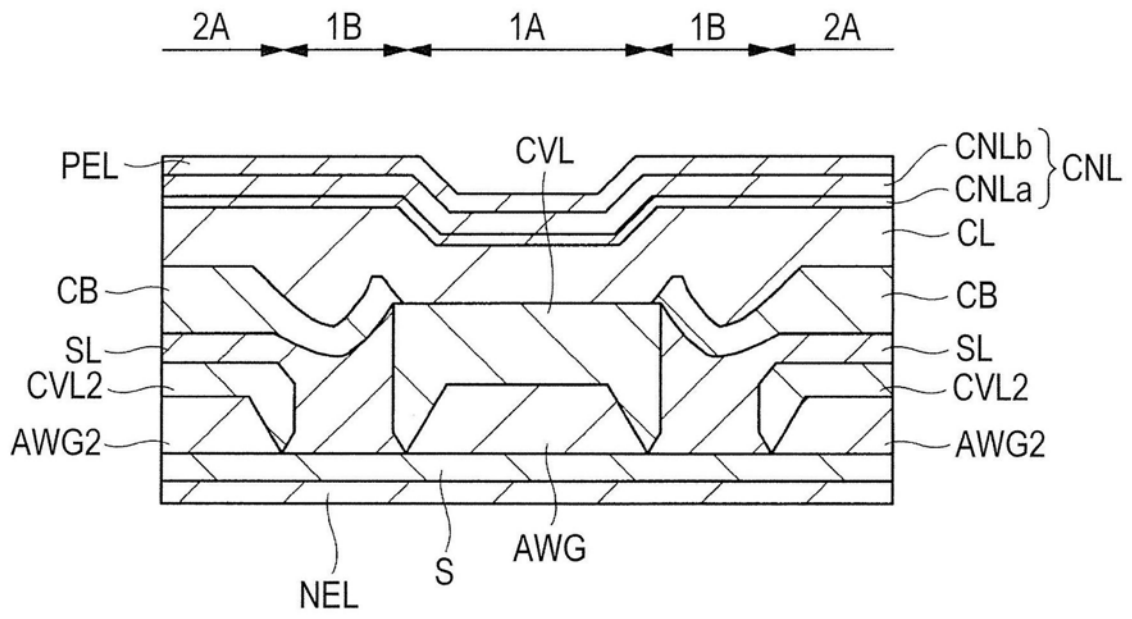


图30