



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2008 042 680 A1** 2010.04.15

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2008 042 680.6**

(22) Anmeldetag: **08.10.2008**

(43) Offenlegungstag: **15.04.2010**

(51) Int Cl.⁸: **G06F 13/42** (2006.01)

G06F 11/263 (2006.01)

G01R 31/3185 (2006.01)

(71) Anmelder:

Robert Bosch GmbH, 70469 Stuttgart, DE

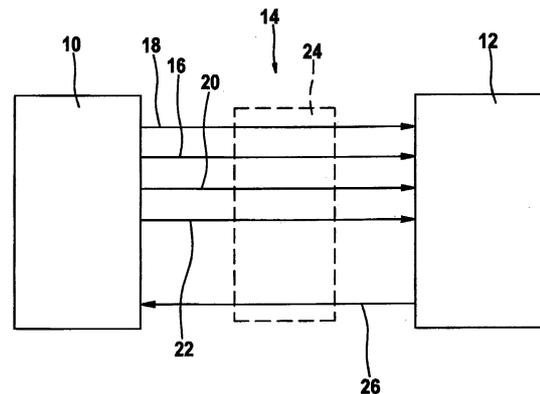
(72) Erfinder:

Maier, Gert, 72770 Reutlingen, DE; Moessner, Claus, 75228 Ispringen, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Verfahren zum Durchführen einer bidirektionalen Kommunikation**

(57) Zusammenfassung: Es werden ein Verfahren zur Durchführung einer bidirektionalen Kommunikation, eine elektronische Einheit (10, 12) sowie ein Computerprogramm und ein Computerprogrammprodukt zur Durchführung des Verfahrens vorgestellt. Das Verfahren ermöglicht eine bidirektionale Kommunikation zwischen einer ersten elektronischen Einheit (10) und mindestens einer zweiten elektronischen Einheit (12), bei dem von der ersten elektronischen Einheit (10) ein Taktsignal (16) und ein mit diesem synchronisiertes Eingabesignal (22) zu der mindestens zweiten elektronischen Einheit (12) übermittelt wird und die zweite elektronische Einheit (12) eine auf das Eingabesignal (22) erzeugte Antwortfolge in einem Ausgabesignal (26) zu der ersten elektronischen Einheit (10) sendet, wobei in der zweiten elektronischen Einheit (12) eine eindeutige Testfolge erzeugt wird, die vor der Antwortfolge in dem Ausgabesignal zu der ersten elektronischen Einheit (10) gesendet wird, wobei eine zeitliche Abfolge zwischen Testfolge und Antwortfolge in dem Ausgabesignal (26) eine Berücksichtigung einer zeitlichen Verzögerung zwischen der ersten elektronischen Einheit (10) und der mindestens einen zweiten elektronischen Einheit (12) ermöglicht.



Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zum Durchführen einer bidirektionalen Kommunikation zwischen einer ersten elektronischen Einheit und mindestens einer zweiten elektronischen Einheit, eine solche elektronische Einheit sowie ein Computerprogramm und ein Computerprogrammprodukt zur Durchführung des Verfahrens.

Stand der Technik

[0002] Üblicherweise wird bei einer bidirektionalen Kommunikation zwischen elektronischen Einheiten von einer ersten elektronischen Einheit als sogenanntes Werkzeug (tool) ein Eingabe- oder Befehlsignal zu mindestens einer zweiten elektronischen Einheit, die als Ziel (target) bezeichnet werden kann, gesendet. Dieses Eingangssignal ist mit einem internen Takt der ersten elektronischen Einheit synchronisiert, wobei für ein Erkennen eines Signalpegels gewährleistet sein sollte, dass die Flanke des Taktsignals sich in der Mitte des Signals befindet, so dass dieses sicher erkannt und ausgelesen werden kann.

[0003] Die empfangende, zweite elektronische Einheit erzeugt auf das empfangene Eingangssignal ein Ausgangssignal, das wiederum zu der ersten elektronischen Einheit gesendet wird. In der zweiten elektronischen Einheit wird dabei das ebenfalls empfangene Taktsignal der ersten elektronischen Einheit verwendet. Nunmehr wird aber lediglich das erzeugte Ausgangssignal zu der ersten elektronischen Einheit rückgesendet. In dieser wird das aufgenommene Ausgangssignal mit dem intern vorliegenden Takt ausgewertet.

[0004] Hierbei ist problematisch, dass es aufgrund von zwischen den Einheiten vorgesehenen Schaltungsanordnungen zu erheblichen Verzögerungen kommen kann, deren Ausmaß häufig unbekannt ist. Diese Verzögerungen, die für unterschiedliche Signale ggf. auch verschieden sind, können auch von äußeren Bedingungen, wie bspw. der Temperatur, abhängig sein und können dazu führen, dass die zeitliche Verschiebung des internen Takts zu dem empfangenen Ausgangssignal derart ist, dass das Ausgangssignal nicht mehr sicher erfasst und ausgewertet werden kann.

Offenbarung der Erfindung

[0005] Das beschriebene Verfahren dient zum Durchführen einer bidirektionalen Kommunikation zwischen einer ersten elektronischen Einheit und mindestens einer zweiten elektronischen Einheit, bei dem von der ersten elektronischen Einheit ein Taktsignal und ein mit diesem synchronisiertes Eingangssignal zu der mindestens zweiten elektronischen Einheit übermittelt wird und die zweite elektronische Ein-

heit eine auf das Eingangssignal erzeugte Antwortfolge in einem Ausgangssignal zu der ersten elektronischen Einheit sendet, wobei in der zweiten elektronischen Einheit eine eindeutige Testfolge erzeugt wird, die vor der Antwortfolge in dem Ausgangssignal zu der ersten elektronischen Einheit gesendet wird, wobei eine zeitliche Abfolge zwischen Testfolge und Antwortfolge in dem Ausgangssignal eine Berücksichtigung einer zeitlichen Verzögerung zwischen der ersten elektronischen Einheit und der mindestens einen zweiten elektronischen Einheit ermöglicht.

[0006] In Ausgestaltung wird die Testfolge in dem Ausgangssignal von der ersten elektronischen Einheit erfasst und auf diese Weise die Antwortfolge in dem Ausgangssignal erkannt. Dies ist möglich, da die zeitliche Abfolge zwischen Testfolge und Antwortfolge bekannt ist. Daher ist bekannt, in welchem zeitlichen Abstand zu der Testfolge die Antwortfolge in dem Ausgangssignal übermittelt wird.

[0007] Es kann vorgesehen sein, dass das Ausgangssignal mit einem Mehrfachen des Takts, der auch mit dem Taktsignal übermittelt wird, abgetastet wird. Dies ermöglicht ein schnelles Erkennen der Testfolge. Der Takt, mit dem dann anschließend die Antwortfolge in dem Ausgangssignal ausgewertet wird, wird unter Berücksichtigung der Testfolge gewählt bzw. der Antwortfolge angepasst.

[0008] In Ausgestaltung wird bei dem Verfahren die zeitliche Verzögerung zwischen der ersten elektronischen Einheit und der mindestens einen zweiten elektronischen Einheit gemessen.

[0009] Die Kommunikation kann über eine JTAG-Schnittstelle (JTAG, joint test action group) erfolgen.

[0010] Die Testfolge umfasst bspw. mindestens einen Zustandswechsel. Das bedeutet, dass die Testfolge bspw. durch die Pegelwertfolge 01 oder 10 gegeben ist.

[0011] Eine elektronische Einheit dient insbesondere zur Durchführung eines Verfahrens nach einem der Ansprüche 1 bis 7 und weist eine Einrichtung zum Erzeugen einer Antwortfolge auf das Eingangssignal und einer Testfolge sowie zum Kombinieren der Testfolge mit der Antwortfolge auf.

[0012] Die Erfindung betrifft weiterhin ein Computerprogramm mit Programmcodemitteln, um alle Schritte eines beschriebenen Verfahrens durchzuführen, wenn das Computerprogramm auf einem Computer oder einer entsprechenden Recheneinheit, insbesondere in einer beschriebenen elektronischen Einheit, ausgeführt wird.

[0013] Das erfindungsgemäße Computerpro-

grammprodukt mit Programmcodemitteln, die auf einem computerlesbaren Datenträger gespeichert sind, ist zum Durchführen aller Schritte eines beschriebenen Verfahrens ausgebildet, wenn das Computerprogramm auf einem Computer oder einer entsprechenden Recheneinheit, insbesondere in einer beschriebenen elektronischen Einheit, ausgeführt wird.

[0014] Bei dem vorgestellten Verfahren kann somit das Ausgabesignal bzw. TDO-Signal werkzeugseitig entkoppelt vom Takt- bzw. TCK-Signal werden. Anstelle der im Stand der Technik vorgesehenen Synchronisation zwischen TDO- und TCK-Signal treten zusätzlich auf das TDO-Signal aufgeprägte Testfolgen- bzw. Synchronisationsbits auf. Dadurch ergeben sich zwei Vorteile, nämlich dass die Taktrate aller Signale deutlich erhöht werden kann und dass auch bei gleichbleibender Taktrate die Kommunikation robuster gegen sporadische Verzögerungen durch Puffer oder Treiberbauelemente in der Signalübertragung erfolgt.

[0015] Insbesondere ist zu berücksichtigen, dass die Kompatibilität zum Stand der Technik gegeben ist. Bestehende Werkzeuge ignorieren die zusätzliche Synchronisation auf dem TDO-Signal, da bisher dort keine Information übertragen wird, und können somit mit der bisherigen Taktfrequenz weiterbetrieben werden.

[0016] Weitere Vorteile und Ausgestaltungen der Erfindung ergeben sich aus der Beschreibung und der beiliegenden Zeichnung.

[0017] Es versteht sich, dass der voranstehend genannten und die nachstehend noch zu erläuternden Merkmale nicht nur in der jeweils angegebenen Kombination, sondern auch in anderen Kombinationen oder in Alleinstellung verwendbar sind, ohne den Rahmen der vorliegenden Erfindung zu verlassen.

Kurze Beschreibung der Zeichnungen

[0018] Die Erfindung ist anhand von Ausführungsformen in den Zeichnungen schematisch dargestellt und wird im Folgenden auf die Bezugnahme auf Zeichnungen ausführlich beschrieben.

[0019] [Fig. 1](#) zeigt eine Anordnung mit einer ersten elektronischen Einheit und einer zweiten elektronischen Einheit zur Durchführung des erfindungsgemäßen Verfahrens.

[0020] [Fig. 2](#) zeigt Verläufe der bei einer bidirektionalen Kommunikation gesendeten Signale gemäß dem Stand der Technik.

[0021] [Fig. 3](#) zeigt weitere Verläufe von bei einer bidirektionalen Kommunikation gesendeten Signalen

gemäß dem Stand der Technik.

[0022] [Fig. 4](#) zeigt mögliche Konfigurationen des JTAG-Standards.

[0023] [Fig. 5](#) zeigt in einem Zustandsdiagramm eine JTAG-TAP-Zustandsmaschine.

[0024] [Fig. 6](#) zeigt ein Zeitablaufdiagramm der JTAG-TAP-Zustandsmaschine mit zugeordneten Zuständen bei einem Ablauf gemäß dem Stand der Technik.

[0025] [Fig. 7](#) zeigt ein weiteres Zeitablaufdiagramm der JTAG-TAP-Zustandsmaschine mit zugeordneten Zuständen bei einem Ablauf nach dem erfindungsgemäßen Verfahren.

[0026] [Fig. 8](#) zeigt das Zeitablaufdiagramm aus [Fig. 7](#) ergänzt durch Angaben zum Verhalten des TDO-Signals.

[0027] [Fig. 9](#) zeigt zwei Beispiele von Übertragungsnetzwerken.

[0028] [Fig. 10](#) zeigt ein weiteres Zeitablaufdiagramm.

Ausführungsformen der Erfindung

[0029] In [Fig. 1](#) ist eine erste elektronische Einheit **10** und eine zweite elektronische Einheit **12** dargestellt, die für eine bidirektionale Kommunikation vorgesehen sind und hierzu über eine JTAG-Schnittstelle **14** miteinander verbunden sind. Die erste elektronische Einheit **10** wird auch als Werkzeug bzw. Tool und die zweite elektronische Einheit **12** als Ziel bzw. Target bezeichnet. Diese zweite elektronische Einheit **12** kann bspw. ein Mikrocontroller in einem Steuergerät sein.

[0030] Die erste elektronische Einheit **10** als sogenannter Master steuert die Kommunikation über die JTAG-Schnittstelle **14** und erzeugt ein Taktsignal **16** (TCK-Signal), ein Reset-Signal **18** (TRST-Signal), ein Testmodus-Auswahlsignal **20** (TMS-Signal bzw. test modus select signal) und ein Eingabesignal **22** (TDI-Signal) und sendet diese zu der zweiten elektronischen Einheit **12**. Hierbei ist zu beachten, dass die genannten Signale einer zeitlichen Verzögerung unterworfen sind, die in der Darstellung mit einem Verzögerungsblock **24** (delay) angezeigt ist.

[0031] Die zweite elektronische Einheit **12** stellt den sogenannten Slave dar und führt angeforderte Aktionen, wie bspw. Lese- und Schreibvorgänge, durch. Hierbei sendet die zweite elektronische Einheit **12** ein Ausgabesignal **26** (TDO-Signal) zu der ersten elektronischen Einheit **10**. Weiterhin kann die zweite elektronische Einheit **12** zusätzliche Signale zum Anzei-

gen bzw. Signalisieren verwenden. Zu beachten ist, dass die zweite elektronische Einheit **12** den Takt der ersten elektronischen Einheit **10** verwendet.

[0032] Die Verzögerung zwischen der ersten elektronischen Einheit **10** und der zweiten elektronischen Einheit **12** wird beeinflusst durch die Leitungslänge zwischen den Einheiten **10** und **12** und ggf. durch vorgesehene weitere elektronische Einrichtungen zwischen diesen. Dies führt zu Verzögerungen bei der Signalübertragung, deren Ausmaß regelmäßig unbekannt ist. Da in der ersten elektronischen Einheit **10** das empfangene Ausgabesignal **26** der zweiten elektronischen Einheit **12** mit dem intern vorliegenden Takt erfasst und ausgewertet wird, kann dies dazu führen, dass das Ausgabesignal **26** nicht erkannt oder falsch interpretiert wird.

[0033] In [Fig. 2](#) sind Signalverläufe bei einer bidirektionalen Kommunikation dargestellt. In der Darstellung oben sind die Verläufe auf Seiten des Tool gezeigt, nämlich ein Taktsignal **40**, ein Eingabesignal **42** und ein empfangenes Ausgabesignal **44**. Unten in der Darstellung sind auf Seiten des Target das Taktsignal **40**, das Eingabesignal **42** und das Ausgabesignal **44** dargestellt. Ein Doppelpfeil **48** verdeutlicht die Periode des Takts.

[0034] Eine ansteigende Flanke **50** des Taktsignals bewirkt verzögert um den Zeitraum t_{CO_A} **52** das Auslösen einer Signalwerts **54** in dem Eingabesignal **42**, das zu dem Target gesendet und dort verzögert um eine Zeitspanne **56** empfangen wird. Dieses Eingabesignal **42** wird nach einer Zeitspanne t_{SU_B} **57** bei dem Target mit einer ansteigenden Flanke **58** erkannt, wobei diese ansteigende Flanke ebenfalls im Vergleich zu der Toolseite um eine zeitliche Verzögerung **60** verschoben auftritt. Mit abfallender Flanke **62** wird nach einer Zeitspanne **64** t_{CO_B} eine Antwort- bzw. Ausgabefolge **66** erzeugt und zu der Toolseite gesendet. Auf Seiten des Tool wird diese Ausgabefolge **66** in dem Ausgabesignal **44** auf Seiten des Tool nach einer Verzögerung **68** empfangen. Diese Ausgabefolge **66** wird auf Seiten des Tool mit einer abfallenden Flanke **70** des Taktsignals **40** nach einer Zeitspanne **72** t_{SU_A} erfasst.

[0035] Die Darstellung zeigt, dass die Ausgabefolge **66** auf Seiten des Tool noch korrekt erfasst und erkannt werden kann. Dies ist aufgrund der im Vergleich zur vorliegenden Verzögerung **56**, **60** und **68** vorliegenden Verzögerung verhältnismäßig lange gewählten Periode **48** des Taktsignals **40** möglich. Die Darstellung verdeutlicht auch, dass die Verzögerungen **56**, **60** und **68** die maximale Taktfrequenz begrenzen, bei der noch eine fehlerfreie Kommunikation zwischen Tool und Target möglich ist.

[0036] In [Fig. 3](#) sind wiederum Signalverläufe bei einer bidirektionalen Kommunikation dargestellt, wobei

oben die Verläufe auf Seiten des Tool gezeigt sind, nämlich ein Taktsignal **100**, ein Eingabesignal **102** und ein empfangenes Ausgabesignal **104**. Unten in der Darstellung sind auf Seiten des Target das Taktsignal **100**, das Eingabesignal **102** und das Ausgabesignal **104** wiedergegeben. Ein Doppelpfeil **108** zeigt die Periode des Takts.

[0037] Eine ansteigende Flanke **110** des Taktsignals **100** bewirkt verzögert um den Zeitraum t_{CO_A} **112** das Auslösen eines Signalwerts **114** in dem Eingabesignal **102**, das zu dem Target gesendet wird und dort verzögert um eine Zeitspanne **116** empfangen wird. Dieser Signalwert **114** wird nach einer Zeitspanne t_{SU_B} **117** bei dem Target mit einer ansteigenden Flanke **118** erkannt, wobei diese ansteigende Flanke **118** ebenfalls im Vergleich zu der Toolseite um eine zeitliche Verzögerung **120** verschoben auftritt. Mit abfallender Flanke **122** wird nach einer Zeitspanne **124** t_{CO_B} eine Ausgabefolge **126** erzeugt und zu der Toolseite gesendet. Auf Seiten des Tool wird diese Ausgabefolge **126** in dem Ausgabesignal **104** nach einer Verzögerung **128** empfangen. Diese Ausgabefolge **126** kann auf Seiten des Tool mit einer abfallenden Flanke **130** des Taktsignals **100** nicht mehr erfasst werden.

[0038] Das Tool erzeugt somit basierend auf dem Taktsignal **100** das TMS-Signal und das TDI-Signal mit einer Verzögerung von t_{CO_A} und stellt diese Signale dem Target zur Verfügung. Üblicherweise werden das TMS-Signal und das TDI-Signal dabei bei einer ansteigenden Flanke des TCK-Signals erzeugt. Alle Signale werden über einen Übertragungsweg übertragen und erreichen das Target mit einer gewissen Verzögerung. Die Unterschiede in den Verzögerungen der einzelnen Signale sind üblicherweise vernachlässigbar.

[0039] Das Target erfasst die Signale mit dem empfangenen Takt bzw. tastet diese mit dem Takt ab. Für ein fehlerfreies Abtasten ist eine definierte Setup- bzw. Einrichtzeit t_{SU_B} erforderlich.

[0040] Das Target erzeugt das TDO-Signal basierend auf dem TCK-Signal mit einer Verzögerung von t_{CO_B} und stellt dieses Signal dem Tool zur Verfügung. Üblicherweise wird das TDO-Signal bei einer fallenden Flanke des TCK-Signals erzeugt. Das TDO-Signal wird über den Übertragungsweg zu dem Tool gesendet und dort mit einer gewissen Verzögerung empfangen. Das Tool tastet das TDO-Signal mit dem Takt ab, wobei für ein fehlerfreies Abtasten eine definierte Setup-Zeit t_{SU_A} notwendig ist.

[0041] Die zeitliche Verzögerung zwischen dem Tool und dem Target ist in der Regel unkritisch, wenn die Unterschiede zwischen zeitlichen Verzögerungen unterschiedlicher Signale, d. h. die Laufzeitunterschiede der einzelnen Signale, vernachlässigbar

sind. Die zeitliche Beziehung zwischen TCK, TMS und TDI bleibt durch die Verzögerung unbeeinflusst. Dies bedeutet, dass, wenn die erforderliche Setup-Zeit t_{SU_B} auf Seiten des Tool erfüllt ist, dies auch bei dem Target der Fall ist.

[0042] Der Übertragungsweg zwischen dem Target und dem Tool stellt den kritischen Pfad dar. Angenommen, die zeitliche Verzögerung ist bei beiden Übertragungswegen gleich, so ergibt sich folgende Gleichung:

$$t_{CO_B} + t_{SU_A} + 2 \cdot \text{Verzögerung} < TCK$$

[0043] Die Periode des Takts muss somit größer als die gesamte zeitliche Verzögerung sein, um einen fehlerfreien Ablauf zu gewährleisten. Daher ist die Frequenz des Takts und damit der gesamten Schnittstelle begrenzt. Wenn die zeitliche Verzögerung fest und bekannt ist, kann das Tool das TDO-Signal mit einem verzögerten Takt abtasten. Ist die Verzögerung aber variabel oder unbekannt, stellt dies ein erhebliches Problem dar.

[0044] Hier setzt das vorgestellte Verfahren an. Dieses ermöglicht höhere Frequenzen bei der Datenübertragung, insbesondere bei einer JTAG-Schnittstelle. Weiterhin wird die Robustheit selbst bei beträchtlichen Verzögerungen verbessert. Diese zeitlichen Verzögerungen kommen bspw. durch lange Übertragungswege und zwischengeschaltete Puffer zustande. Ein Abweichen bzw. Driften der zeitlichen Verzögerung kann auch durch Temperatureinflüsse verursacht werden. Mit dem Verfahren ist eine dynamische Anpassung an unterschiedliche Übertragungswege und sich ändernde Temperaturen möglich.

[0045] In [Fig. 4](#) sind mögliche Ausführungen des JTAG-Standards dargestellt. Dabei ist in einer ersten Ausführung **150** eine serielle Konfiguration und in einer zweiten Ausführung **152** eine gemischte seriell-parallele Konfiguration dargestellt.

[0046] In der seriellen Konfiguration **150** sind vier elektronische Einheiten **154**, **156**, **158** und **160** in Reihe geschaltet vorgesehen. Ein Eingangssignal **162** TDI wird zusammen mit einem Taktsignal **164** TCK und einem Test-Mode-Select-Signal **166** in die erste elektronische Einheit **154** eingegeben. Ein Ausgangssignal **168** TDO der ersten elektronischen Einheit **154** stellt ein Eingangssignal **170** TDI für die zweite elektronische Einheit **156** dar. Das Ausgangssignal **172** TDO der zweiten elektronischen Einheit **156** ist das Eingangssignal **174** für die dritte elektronische Einheit **158**. Das Ausgangssignal **176** TDO der dritten elektronischen Einheit **158** stellt das Eingangssignal **178** der vierten elektronischen Einheit **160** dar. Das Ausgangssignal **180** TDO der vierten elektronischen Einheit **160** ist das Ausgangssignal **180** TDO der gesamten

Konfiguration **150**. Das Taktsignal **164** und das Test-Mode-Select-Signal **166** werden den elektronischen Einheiten **154** bis **160** jeweils gesondert zugeführt.

[0047] In der zweiten Ausführung **152** sind wiederum vier elektronische Einheiten **182**, **184**, **186** und **188** vorgesehen, die in zwei Zweigen bzw. Gruppen, nämlich eine erste Gruppe mit den Einheiten **182** und **184** und eine zweite Gruppe mit den Einheiten **186** und **188**, unterteilt sind. In den Gruppen sind die Einheiten **182** bis **188** seriell miteinander verbunden. Die beiden Gruppen sind parallel zueinander angeordnet und entsprechend miteinander verbunden.

[0048] Als Eingangsgröße dient ein TDI **190** und ein TCK **192**. Allerdings sind für die beiden Gruppen getrennte Test-Mode-Select-Signale, nämlich ein mit Bezugsziffer **194** bezeichnetes TMS 1 und ein mit Bezugsziffer **196** bezeichnetes TMS 2 vorgesehen. Ausgangsgröße ist TDO **198**.

[0049] Der JTAG-Standard definiert, dass das TDO-Signal nur in den Shift-IR- und Shift-DR-Zuständen des TAP-Controllers aktiv und in allen anderen Zuständen inaktiv (hochohmig) ist. Das dargestellte Verfahren modifiziert das Verhalten des TDO in einigen TAP-Zuständen, ohne die Funktionalität der JTAG-Schnittstelle zu beeinträchtigen. Bei der seriellen Konfiguration sind alle TAP-Controller jeder Kette in dem selben Zustand und TDO ist mit dem TDI der benachbarten Einheit verbunden. Ein Überführen der TAP in einen anderen Zustand als die Shift-Zustände hat keinen Einfluss.

[0050] Bei einer parallelen Konfiguration sind alle TDOs und TDIs miteinander verbunden, haben aber getrennte TMS-Signale. Somit kann nur ein Controller in dem Shift-Zustand sein und alle anderen Einheiten können in dem Reset- oder Idle-Zustand des TAP-Controller gehalten sein. In diesen beiden Zuständen, nämlich Reset und Idle schlägt das vorgestellte Verfahren ein unverändertes Verhalten (hochohmig) vor, so dass nur eine aktive Einheit TDO ausgegeben wird.

[0051] Dies ist auch auf gemischte seriell-parallele Anordnung anwendbar, wie diese in [Fig. 4](#) mit Bezugsziffer **152** bezeichnet wiedergegeben ist.

[0052] In [Fig. 5](#) ist in einem Zustandsdiagramm eine JTAG-TAP-Zustandsmaschine gezeigt (TAP, Test Access Port: Testzugangsanschluss), die insgesamt mit der Bezugsziffer **210** bezeichnet ist. Dies ist eine Zustandsmaschine, deren Übergänge durch das TMS-Signal gesteuert bzw. bewirkt werden und die das Verhalten des JTAG-Systems kontrolliert.

[0053] Zustände sind Test-Logic-Reset **212**, Run-Test/Idle **214**, Select-DR-Scan **216**, Capture-DR

218, Shift-DR **220**, Exit-DR **222**, Pause-DR **223**, Exit2-DR **224**, Update-DR **226**, Select-IR-Scan **228**, Capture-IR **230**, Shift-IR **232**, Exit-IR **234**, Pause-IR **236**, Exit2-IR **238** und Update-IR **240**.

[0054] Signalverläufe und zugeordnete Zustände der JTAG-TAP-Zustandsmaschine **210** sind in [Fig. 6](#) in einem Zeitablaufdiagramm wiedergegeben. Die Darstellung zeigt den Verlauf eines Taktsignals TCK **250**, eines Test-Select-Mode-Signals TMS **252**, eines Eingabesignals TDI **254** und eines Ausgabesignals TDO **256**. Die Darstellung zeigt das Verhalten der Zustandsmaschine bei einem Ablauf gemäß dem Stand der Technik.

[0055] Zugeordnete Zustände sind Idle **260**, Select-DR **262**, Select-IR **264**, Capture-IR **266**, Shift-IR **268**, Exit1-IR **270**, Update-IR **272**, Select-DR **274**, Capture-DR **276**, Shift-DR **278**, Exit1-DR **280**, Update-DR **282** und Idle **284**.

[0056] Gestrichelt dargestellte Signalwerte **286** des TDI-Signals **254** haben keine Auswirkung. Ein Signalwert **288** des TDO-Signals **256** gibt einen hochohmigen Zustand wieder.

[0057] Das TMS-Signal **252** bestimmt die Abfolge der Zustände der JTAG-TAP-Zustandsmaschine **210**. Dabei werden unterschiedliche Aktionen in den spezifischen bzw. zugeordneten Zuständen durchgeführt. Ein Datenaustausch erfolgt im Shift-IR-Zustand und im Shift-DR-Zustand. Somit wird nur in diesen Zuständen TDO aktiv getrieben.

[0058] Das Zeitablaufdiagramm der [Fig. 6](#) zeigt einen Zyklus durch den IR- und den DR-Pfad, beginnend mit dem Zustand Idle und zu diesem Zustand zurückkehrend. Dabei umfassen IR-Daten zwei Bits und DR-Daten vier Bits. TDI muss bei der ansteigenden Flanke von TCK gültig sein. TDO wird bei der fallenden Flanke von TCK geändert.

[0059] In [Fig. 7](#) ist ein weiteres Zeitablaufdiagramm der JTAG-TAP-Zustandsmaschine aus [Fig. 5](#) dargestellt.

[0060] Das Diagramm zeigt den Verlauf des Taktsignals TCK **350**, eines Test-Select-Mode-Signals TMS **352**, eines Eingabesignals TDI **354** und eines Ausgabesignals TDO **356**. Die Darstellung zeigt das Verhalten der Zustandsmaschine bei einem erfindungsgemäßen Ablauf.

[0061] Zugeordnete Zustände sind Idle **360**, Select-DR **362**, Select-IR **364**, Capture-IR **366**, Shift-IR **368**, Exit1-IR **370**, Update-IR **372**, Select-DR **374**, Capture-DR **376**, Shift-DR **378**, Exit1-DR **380**, Update-DR **382** und Idle **384**.

[0062] Gestrichelt dargestellte Signalwerte **386** des

TDI-Signals **254** haben keine Auswirkung. Ein Signalwert **388** des TDO-Signals **256** gibt einen hochohmigen Zustand mit pull-up-Verhalten (Hochzieh-Verhalten) wieder.

[0063] Bei dem erfindungsgemäßen Verfahren bleibt die JTAG-TAP-Zustandsmaschine unverändert gegenüber der Vorgehensweise gemäß dem Stand der Technik. TDO wird aktiv tief bzw. low während des Zustands Select-DR. Während der Zustände Select-IR **364**, Capture-DR **376**, Capture-IR **366**, Exit1-IR **370**, Pause-DR, Pause-IR, Exit2-DR, Exit2-IR wird TDO aktiv hoch bzw. high getrieben.

[0064] TDO bleibt hochohmig während der Zustände Reset, Idle, Update-DR, Update-IR. Weiterhin zeigt TDO ein Hochzieh-Verhalten während hochohmiger Zustände entweder durch einen internen oder externen Pullup-Widerstand. Die in [Fig. 6](#) dargestellte Sequenz ändert sich dann zu der in [Fig. 7](#) dargestellten Sequenz.

[0065] In [Fig. 7](#) ist zu erkennen, dass in dem TDO-Signal vor einer Antwortfolge **390** und **392** jeweils eine Testfolge **396** und **398** umfasst ist, die jeweils ein Bitmuster 01 aufweist. Dieses eindeutige Bitmuster wird von dem Tool erkannt. Da die zeitliche Abfolge zwischen Antwortfolge **390** und **392** und Testfolge **396** und **398** bekannt ist, erkennt das Tool, wann die Antwortfolgen **390** und **392** in dem Ausgabesignal TDO **356** anliegen.

[0066] In [Fig. 8](#) ist das Zeitablaufdiagramm aus [Fig. 7](#) wiedergegeben, wobei zusätzlich zeitliche Bereiche unterschiedlichen Verhaltens des TDO verdeutlicht sind.

[0067] In einem ersten Bereich **450** ist TDO hochohmig mit pull-up. In einem zweiten Bereich **452** ist TDO als erster Bitwert 0 der Testfolge **396** nach unten gezogen. In einem dritten Bereich **454** ist TDO als zweiter Bitwert 1 der Testfolge **396** nach oben gezogen. In einem vierten Bereich **456** gibt TDO im Rahmen der Antwortfolge **390** Daten aus. In einem fünften Bereich **458** ist TDO nach oben gezogen. In einem sechsten Bereich **460** ist TDO hochohmig mit pull-up. In einem siebten Bereich **462** ist TDO im Rahmen der Testfolge **398** nach unten gezogen. In einem achten Bereich **464** ist TDO nach oben gezogen. In einem neunten Bereich **466** gibt TDO Daten aus. In einem zehnten Bereich **468** ist TDO nach oben gezogen. In einem elften Bereich **470** ist TDO hochohmig mit pull-up.

[0068] Das erfindungsgemäße Verfahren arbeitet somit mit nur geringfügigen Änderungen im Verhalten des TDO. So kann bspw. das Verhalten von TDO während der update-Zustände unverändert bleiben. Außerdem wird TDO mit fallender Taktflanke geändert. Die beschriebene Vorgehensweise sieht vor, dass TDO eine Folge bzw. einen Impuls definierter

Länge mit definierten Pegeln ausgibt, ohne dabei die JTAG-TAP-Zustandsmaschine zu beeinflussen. Das Verhalten der Schnittstelle in serieller oder paralleler Konfiguration und das Werkzeug bzw. Tool bleiben unverändert. Dies erleichtert den Einsatz des dargestellten Verfahrens in bestehenden Systemen.

[0069] Von besonderem Vorteil ist, dass die TAP-Zustandsmaschine nicht geändert werden muss. Es ist möglich, Zeitverzögerungen zu kompensieren, selbst wenn das Maß dieser Verzögerungen unbekannt ist. Bei variierenden Verzögerungen ist eine dynamische Kompensation möglich.

[0070] In [Fig. 9](#) sind zwei Beispiele von Übertragungsnetzwerken dargestellt, wobei oben ein sogenanntes LVDS-Übertragungsnetzwerk **670** (LVDS, low voltage differential signalling) und unten ein sogenanntes SerDes-Übertragungsnetzwerk **672** (SerDes, Serializer/Deserializer) dargestellt sind.

[0071] Das LVDS-Netzwerk **670** weist eine erste elektronische Einheit **674** bzw. ein Tool und eine zweite elektronische Einheit **676** bzw. ein Target auf. Das Tool **674** sendet ein Reset-Signal bzw. TRST-Signal **678**, ein Taktsignal bzw. TCK-Signal **680**, ein Test-Modus-Select-Signal bzw. TMS-Signal **682** und ein Eingabesignal bzw. TDI-Signal **684** zu dem Target **676**.

[0072] Die über das Netzwerk empfangenen Signale werden in dem Target **676** verarbeitet und es wird in Reaktion auf das TDI-Signal **684** eine Antwortfolge generiert, die in einem Ausgabesignal bzw. TDO-Signal **686** an das Tool **674** gesendet wird.

[0073] Das vorgeschlagene Verfahren bietet, zumindest in einigen der beschriebenen Ausführungen, eine Reihe von Vorteilen. So ist es nicht erforderlich, die TAP-Zustandsmaschine zu ändern. Die Anordnung kann immer noch in einer JTAG-Konfiguration, unabhängig davon, ob dies eine serielle oder parallele Konfiguration ist, betrieben werden. Die Eigenschaften und das Leistungsvermögen der JTAG-Schnittstelle werden nicht beeinträchtigt. Daher sind keine zusätzlichen Zustände und keine zusätzlichen Taktgeber erforderlich. Die Sequenz ist vergleichbar der Sequenz, die in [Fig. 6](#) dargestellt ist.

[0074] Eine Umstellung auf ein modifiziertes Tool ist nicht notwendig. Bisher verwendete Tools werden nicht durch das neue Verhalten beeinflusst, diese ignorieren lediglich das neue TDO-Verhalten und arbeiten wie bisher bis zu einer begrenzten Frequenz und begrenzten Übertragungsverzögerungen.

[0075] Die neue Vorgehensweise kann die beschriebenen Verzögerungen kompensieren, was insbesondere bei unbekanntem oder variierendem Verzögerungen von Vorteil ist. Das gesamte System wird

dadurch robuster.

[0076] Das in der [Fig. 9](#) unten dargestellte SerDes-Übertragungsnetzwerk **672** umfasst ebenfalls eine erste elektronische Einheit bzw. ein Tool **688** und eine zweite elektronische Einheit bzw. ein Target **690**. Bei dieser Ausführung werden ein TRST-Signal **692**, ein TCK-Signal **694**, ein TMS-Signal **696** und ein TDI-Signal **698** von dem Tool **688** ausgegeben und in einem Multiplexer bzw. Serializer **700** zu einem kombinierten Signal **702** zusammengefasst bzw. gebündelt. Dieses kombinierte Signal **702** wird in einem Demultiplexer bzw. Deserializer **704** wieder in die vier Ausgangssignale wieder entbündelt. Als Reaktion auf das TDI-Signal **698** wird von dem Target **690** ein TDO-Signal **706** ausgegeben, das über einen Serializer **708** und einen Deserializer **710** zu dem Tool **688** übertragen wird.

[0077] In [Fig. 10](#) ist ein Beispiel einer dynamischen Anpassung an eine unbekannt oder variierende Verzögerung auf Seiten des Tool dargestellt.

[0078] Die Darstellung zeigt ein Zeitablaufdiagramm mit einem TCK-Signal **800**, einem TMS-Signal **802**, einem TDI-Signal **804** und einem TDO-Signal **806**. Das TDO-Signal **806** trägt eine erste Testfolge **808** mit einer zugeordneten Antwortfolge **810** und eine zweite Testfolge **812** mit zugeordneter Antwortfolge **814**.

[0079] Der durch das TCK-Signal **800** festgelegte Takt stellt den ursprünglichen Takt des Tool dar. Das TDO-Signal **806** wird mit einem Mehrfachen des Takts des TCK-Signals **800** abgetastet, wie dies mit Pfeilen **816** verdeutlicht ist, so dass die Testfolgen **808** und **812** schnell erkannt werden. Nach Erkennen der Testfolge **808** bzw. **812** kann das TCK-Signal **800** entsprechend angepasst werden, so dass ein sicheres Erkennen der Antwortfolgen **810** und **814** gewährleistet werden kann.

[0080] Es erfolgt somit ein mehrfaches Überabtasten (oversampling) auf Seiten des TDO, die Frequenz von TCK ist bekannt, es werden somit phasenverschobene Abtastakte verwendet.

[0081] Durch das bekannte Testmuster **808** oder **812** kann nun aus den möglichen Abtastzeitpunkten 1, 2, 3, 4 des Abtasttaktes **816** der richtige ausgewählt werden. In dem dargestellten Diagramm eignet sich z. B. der gestrichelt eingezeichnete Zeitpunkt 3 des Abtasttaktes **816** zur weiteren Abtastung der Antwortfolge **810** und **814**. Das heißt, dass die Antwortfolge **810** und **814** im weiteren Verlauf jeweils zum Zeitpunkt 3 des Abtasttaktes **816** ausgewertet wird. Bei einer nächsten Antwort auf eine neue Eingabefolge **802** und **804** wird die Auswahl des richtigen Abtastzeitpunkts 1, 2, 3, 4 mit Hilfe des Testmusters neu ermittelt. Es erfolgt somit eine dynamische Anpassung

sung des Abtastzeitpunkts.

Patentansprüche

1. Verfahren zum Durchführen einer bidirektionalen Kommunikation zwischen einer ersten elektronischen Einheit (**10, 154, 674, 688**) und mindestens einer zweiten elektronischen Einheit (**12, 156, 676, 690**), bei dem von der ersten elektronischen Einheit (**10, 154, 674, 688**) ein Taktsignal (**16, 40, 100, 164, 250, 350, 680**) und ein mit diesem synchronisiertes Eingabesignal (**22, 42, 102, 162, 170, 174, 178, 254, 354, 684**) zu der mindestens zweiten elektronischen Einheit (**12, 156, 676, 690**) übermittelt wird und die zweite elektronische Einheit (**12, 156, 676, 690**) eine auf das Eingabesignal (**22, 42, 102, 162, 170, 174, 178, 254, 354, 684**) erzeugte Antwortfolge (**390, 392, 810, 814**) in einem Ausgabesignal (**26, 44, 104, 168, 172, 176, 180, 256, 356, 686**) zu der ersten elektronischen Einheit sendet, wobei in der zweiten elektronischen Einheit (**12, 156, 676, 690**) eine eindeutige Testfolge (**396, 398, 808, 812**) erzeugt wird, die vor der Antwortfolge (**390, 392, 810, 814**) in dem Ausgabesignal (**26, 44, 104, 168, 172, 176, 180, 256, 356, 686**) zu der ersten elektronischen Einheit (**10, 154, 674, 688**) gesendet wird, so dass eine zeitliche Abfolge zwischen Testfolge (**396, 398, 808, 812**) und Antwortfolge (**390, 392, 810, 814**) in dem Ausgabesignal (**26, 44, 104, 168, 172, 176, 180, 256, 356, 686**) eine Berücksichtigung einer zeitlichen Verzögerung zwischen der ersten elektronischen Einheit (**10, 154, 674, 688**) und der mindestens einen zweiten elektronischen Einheit (**12, 156, 676, 690**) ermöglicht.

2. Verfahren nach Anspruch 1, bei dem die Testfolge (**396, 398, 808, 812**) in dem Ausgabesignal (**26, 44, 104, 168, 172, 176, 180, 256, 356, 686**) von der ersten elektronischen Einheit (**10, 154, 674, 688**) erfasst wird und so die Antwortfolge (**390, 392, 810, 814**) in dem Ausgabesignal (**26, 44, 104, 168, 172, 176, 180, 256, 356, 686**) erkannt wird.

3. Verfahren nach Anspruch 1 oder 2, bei dem das Ausgabesignal (**26, 44, 104, 168, 172, 176, 180, 256, 356, 686**) in der ersten elektronischen Einheit (**10, 154, 674, 688**) mit einem Mehrfachen des Takts abgetastet wird.

4. Verfahren nach Anspruch 3, bei dem eine Anpassung des internen Takts an die erfasste Antwortfolge (**390, 392, 810, 814**) in dem abgetasteten Ausgabesignal (**26, 44, 104, 168, 172, 176, 180, 256, 356, 686**) erfolgt.

5. Verfahren nach einem der Ansprüche 1 bis 4, bei dem eine zeitliche Verzögerung zwischen der ersten elektronischen Einheit (**10, 154, 674, 688**) und der zweiten elektronischen Einheit (**12, 156, 676, 690**) gemessen wird.

6. Verfahren nach einem der Ansprüche 1 bis 5, bei dem die Kommunikation über eine JTAG-Schnittstelle (**14**) erfolgt.

7. Verfahren nach einem der Ansprüche 1 bis 6, bei dem die Testfolge (**396, 398, 808, 812**) mindestens einen Zustandswechsel umfasst.

8. Elektronische Einheit, insbesondere zur Durchführung eines Verfahrens nach einem der Ansprüche 1 bis 7, die eine Einrichtung zum Erzeugen einer Antwortfolge auf ein Eingabesignal (**22, 42, 102, 162, 170, 174, 178, 254, 354, 684**), einer Testfolge (**396, 398, 808, 812**) und zum Kombinieren der Testfolge (**396, 398, 808, 812**) mit der Antwortfolge (**390, 392, 810, 814**) in einem Ausgabesignal (**26, 44, 104, 168, 172, 176, 180, 256, 356, 686**) aufweist.

9. Computerprogramm mit Programmcodemitteln, um alle Schritte eines Verfahrens in einem der Ansprüche 1 bis 7 durchzuführen, wenn das Computerprogramm auf einem Computer oder einer entsprechenden Recheneinheit ausgeführt wird.

10. Computerprogrammprodukt mit Programmcodemitteln, die auf einem computerlesbaren Datenträger gespeichert sind, um alle Schritte eines Verfahrens im Rahmen der Ansprüche 1 bis 7 durchzuführen, wenn das Computerprogramm auf einem Computer oder einer entsprechenden Recheneinheit ausgeführt wird.

Es folgen 10 Blatt Zeichnungen

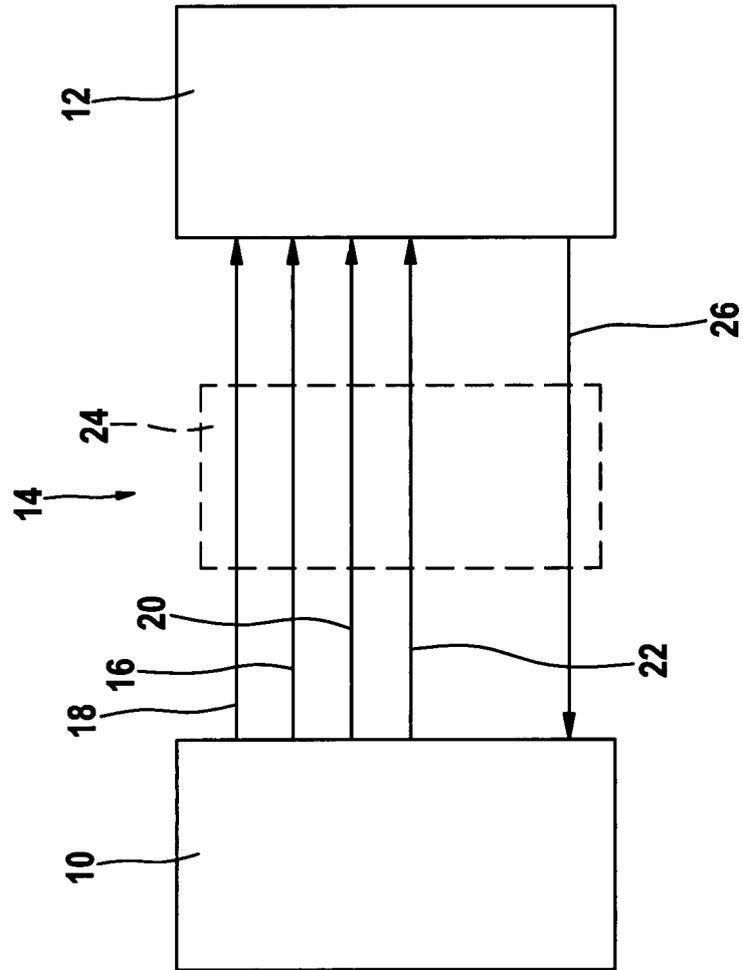


Fig. 1

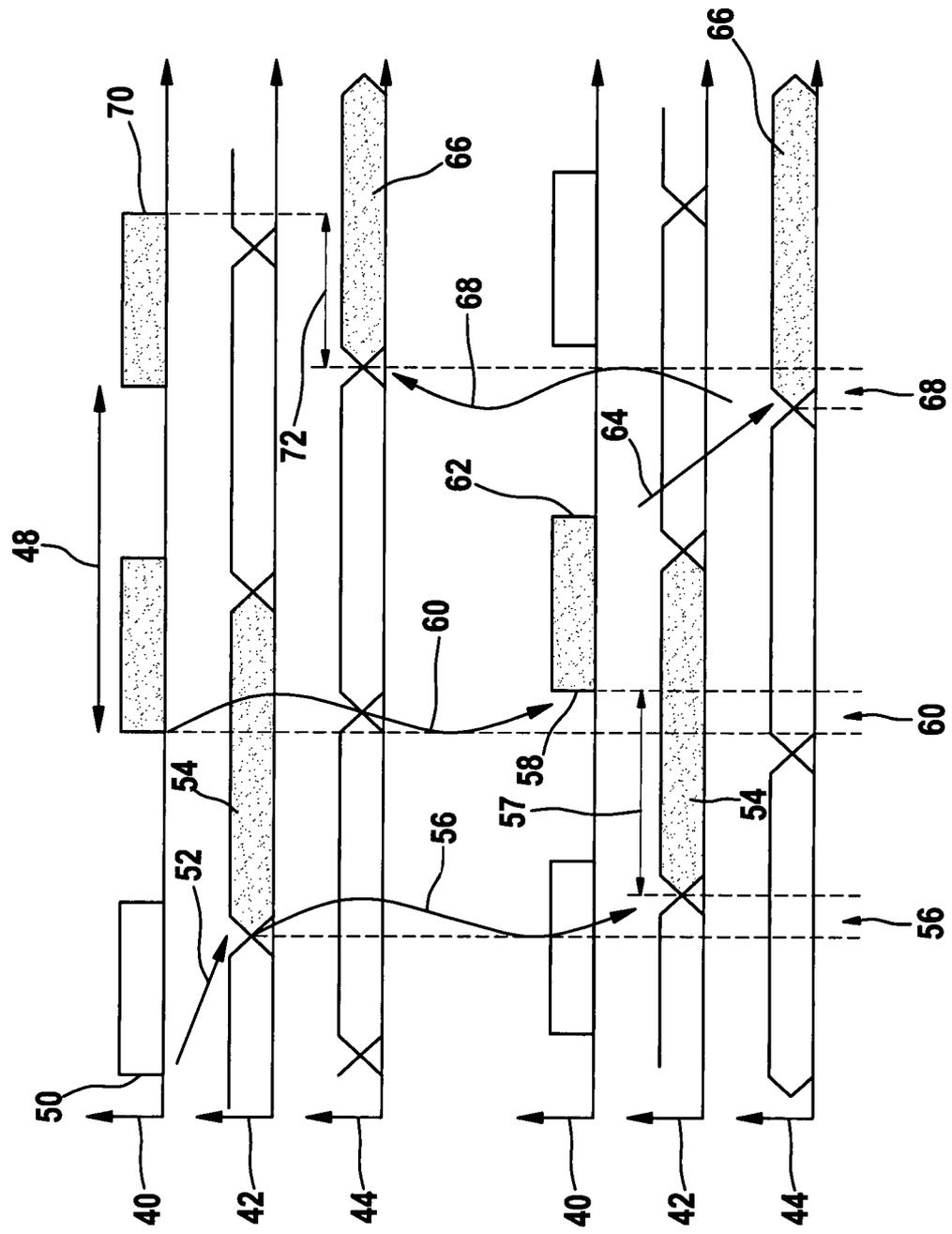


Fig. 2

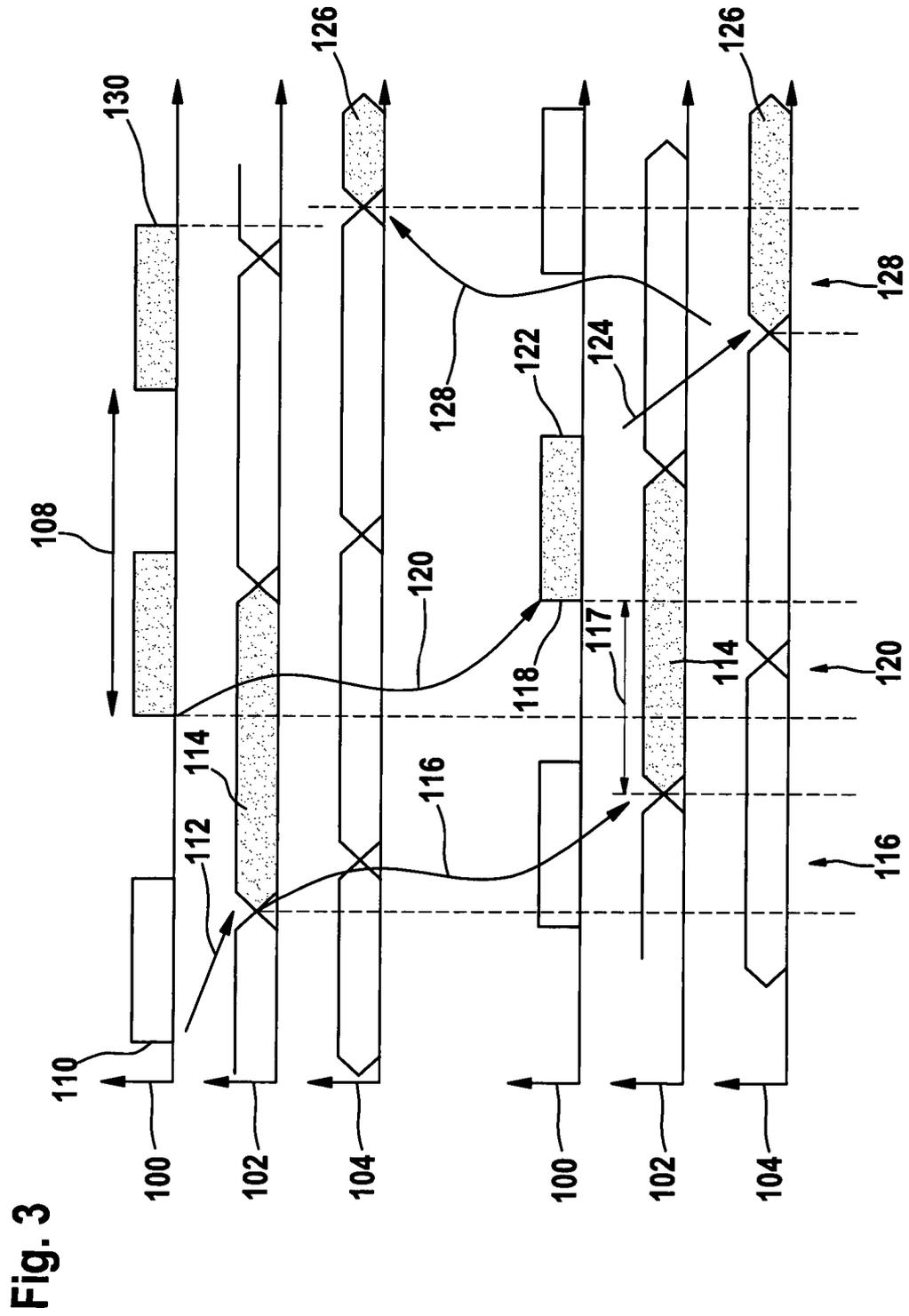
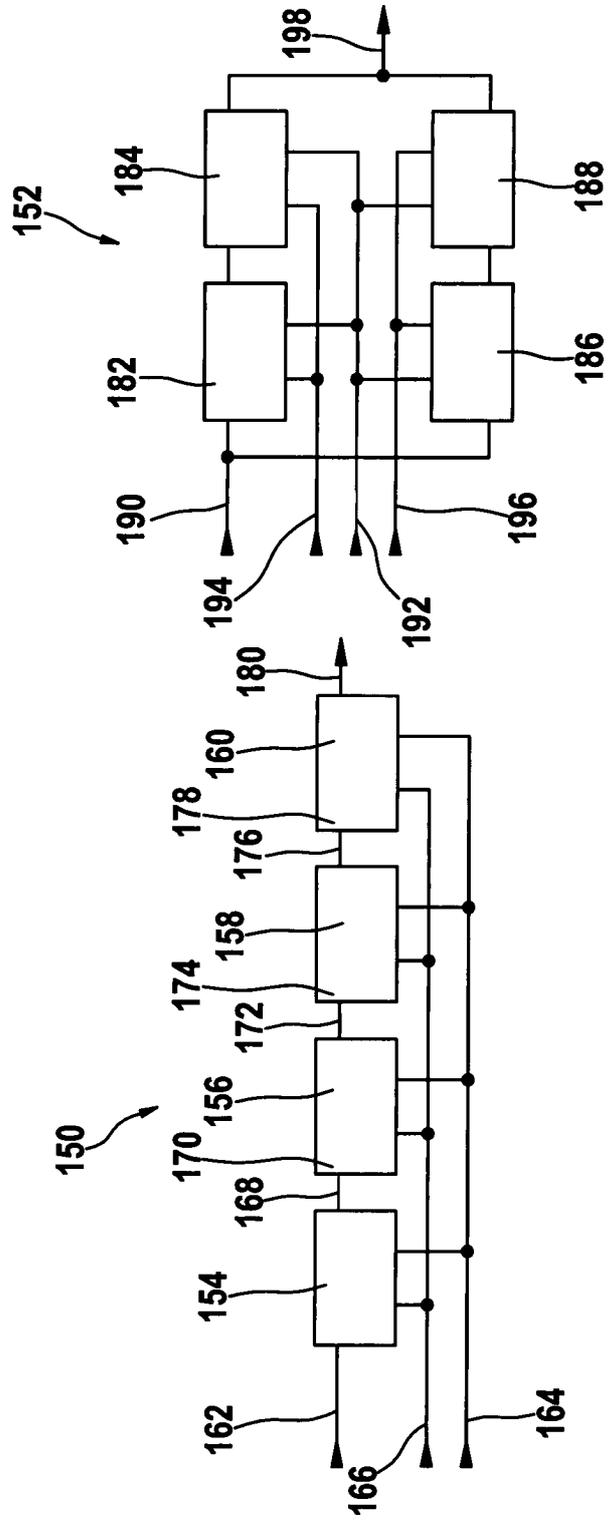


Fig. 4



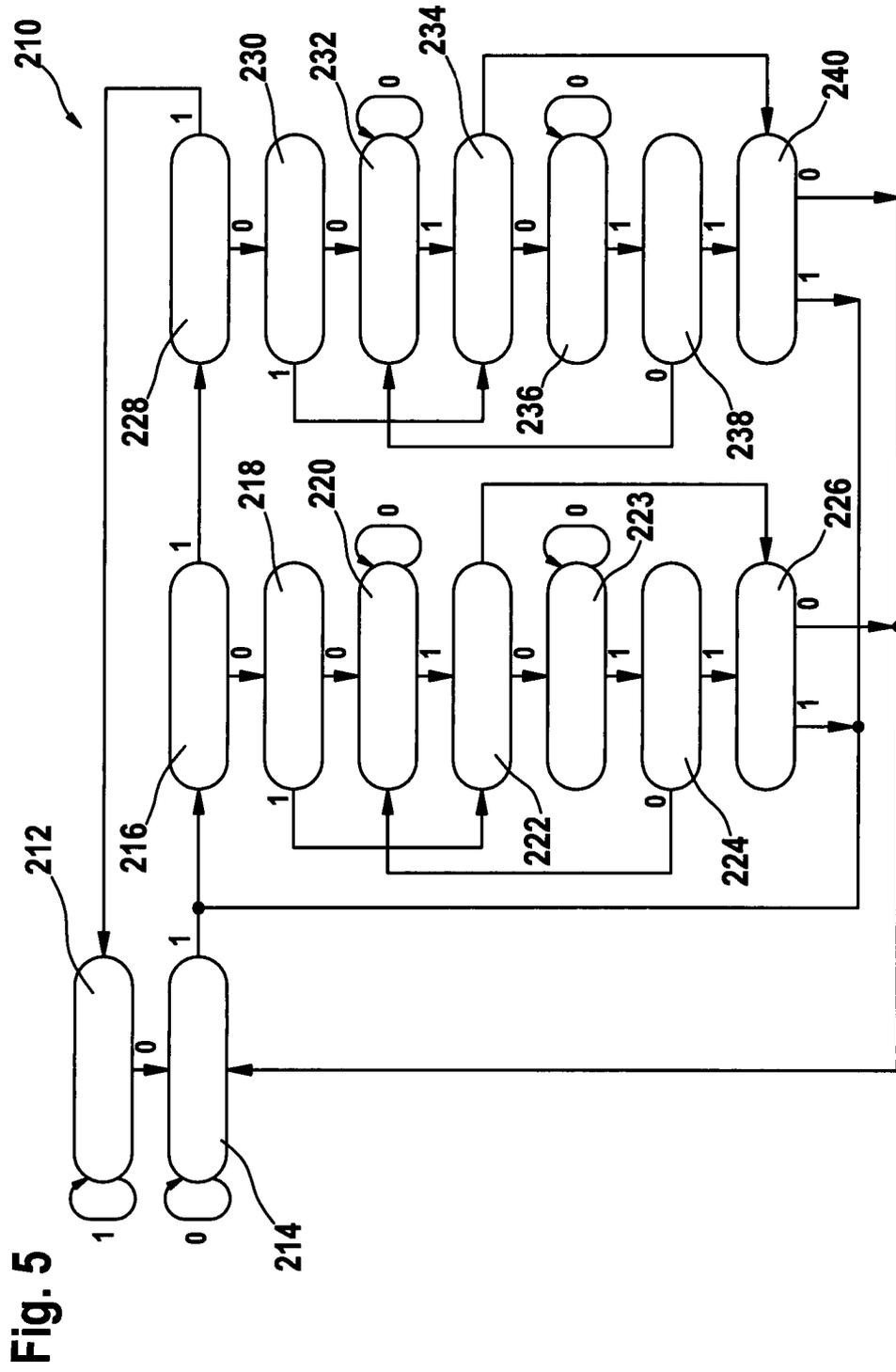


Fig. 6

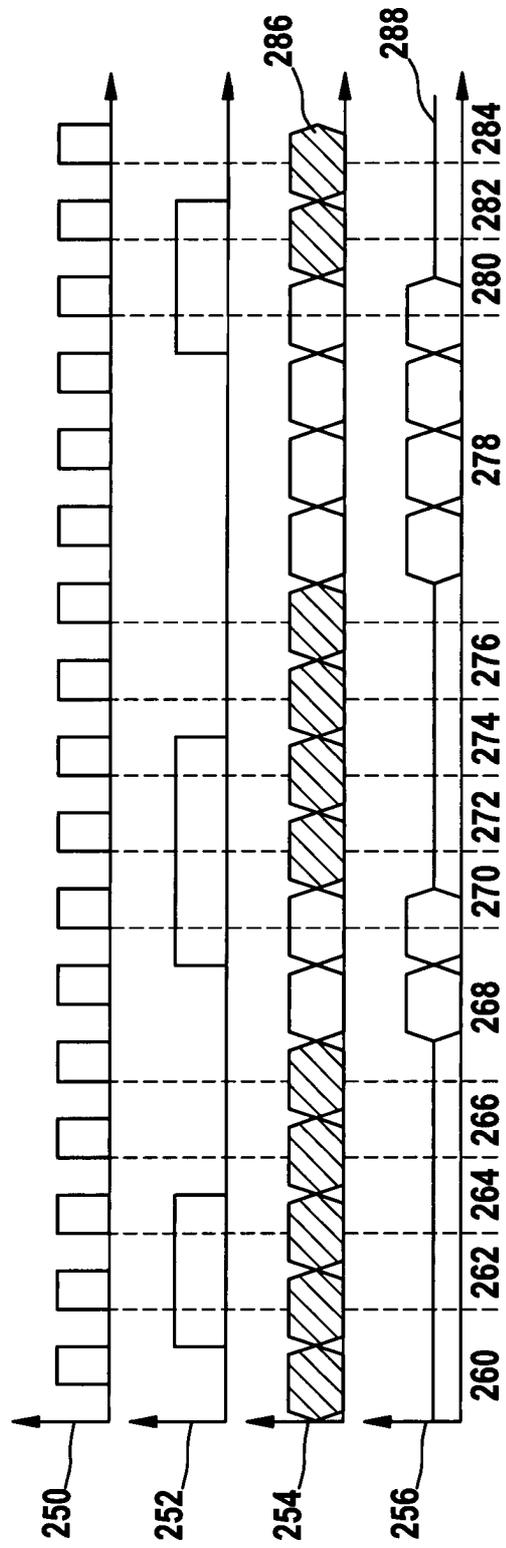


Fig. 7

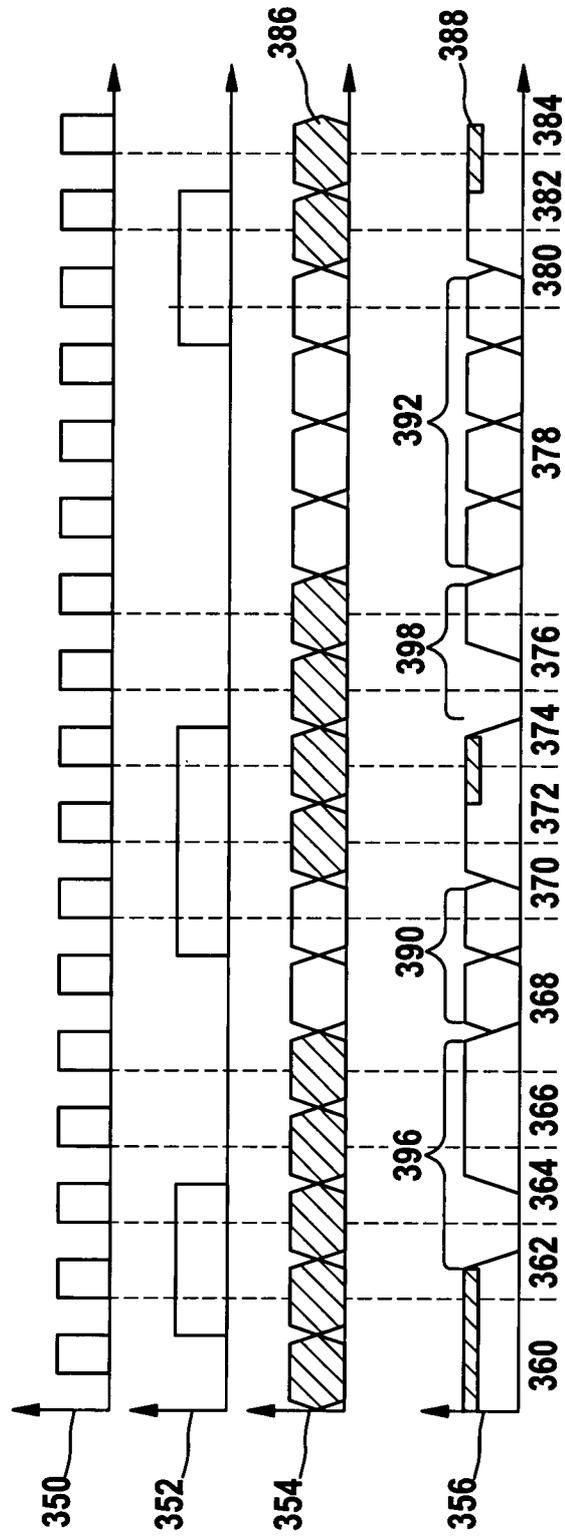
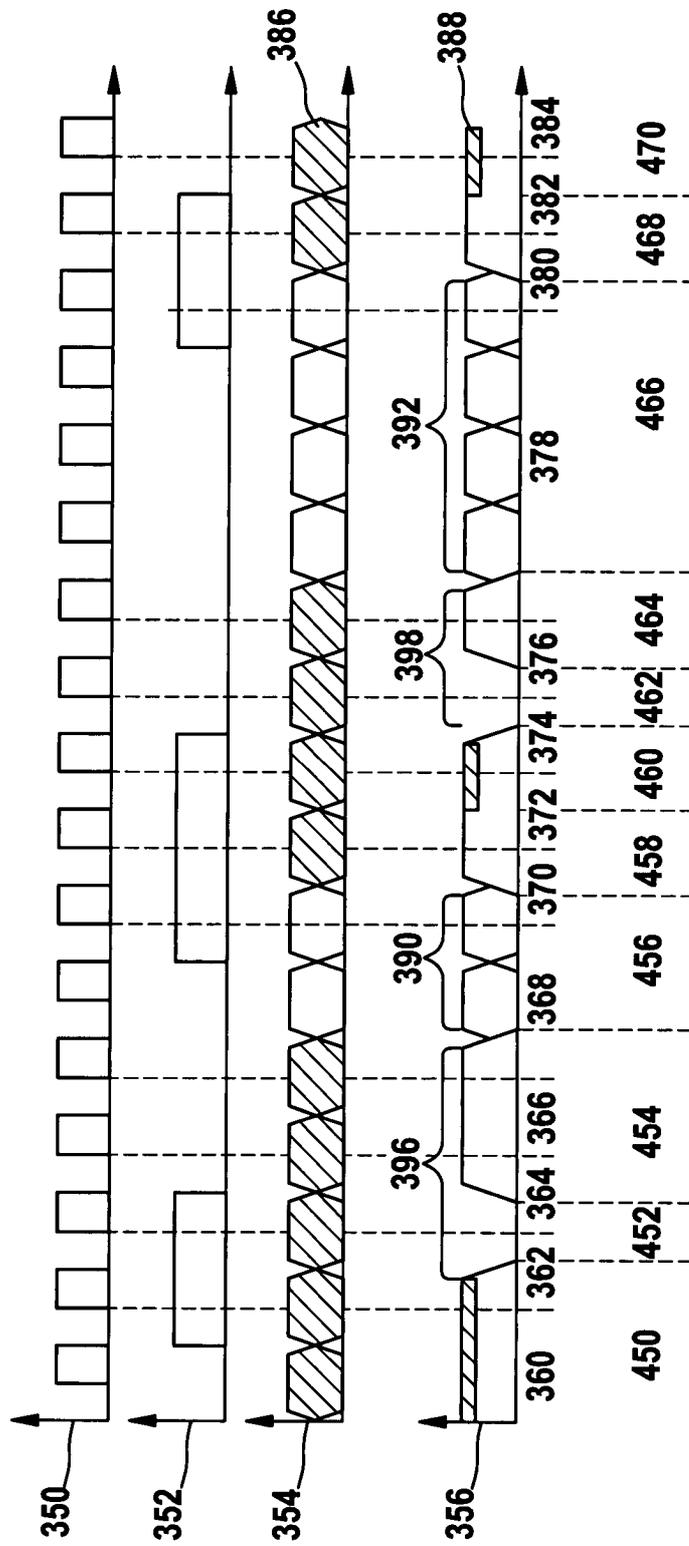


Fig. 8



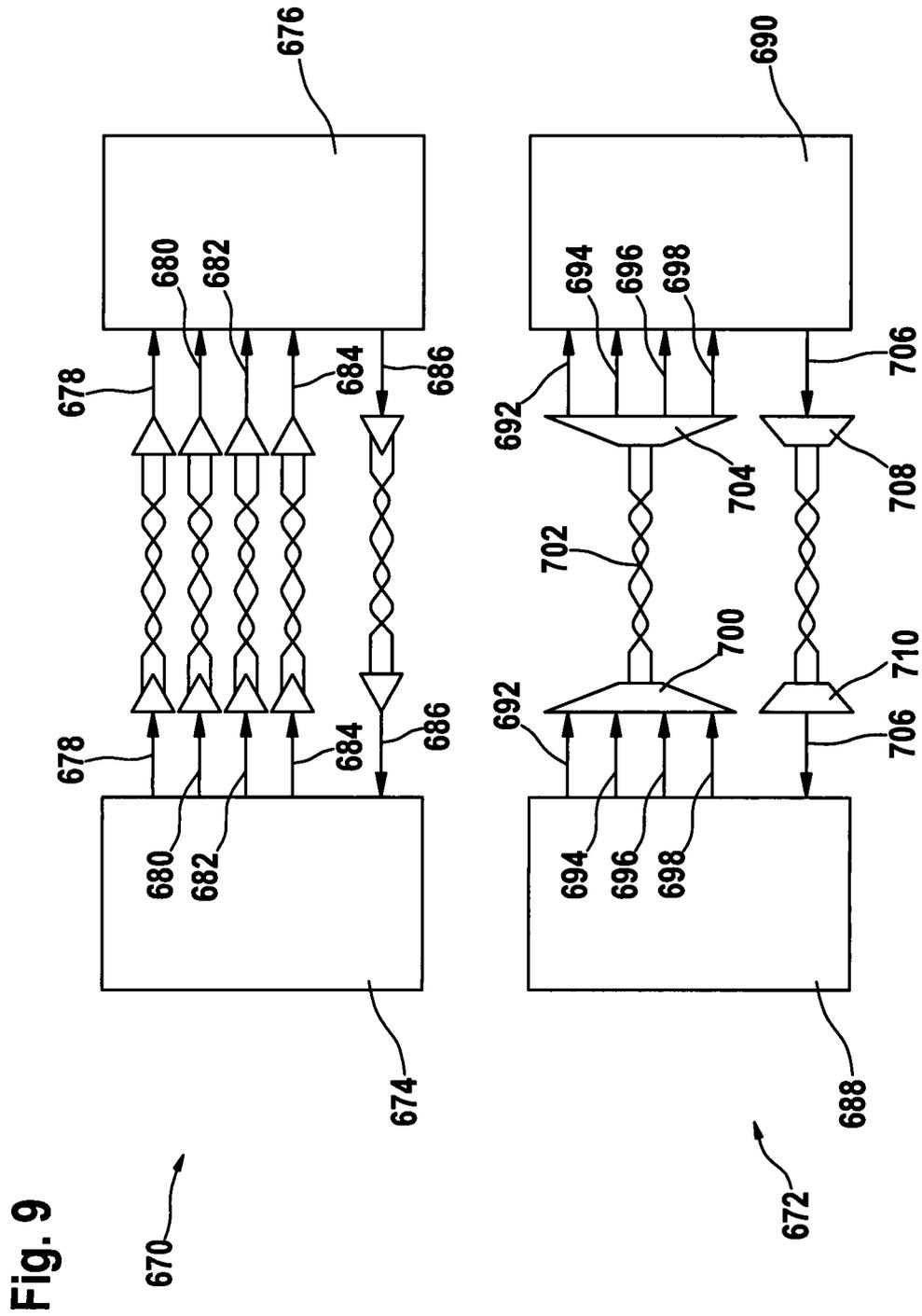


Fig. 10

