【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成17年12月2日(2005.12.2)

【公開番号】特開2000-22165(P2000-22165A)
【公開日】平成12年1月21日(2000.1.21)
【出願番号】特願平10-192116
【国際特許分類第７版】
　Ｈ０１Ｌ　29/786
　Ｈ０１Ｌ　21/336
　Ｇ０２Ｆ　 1/136
　Ｈ０１Ｌ　21/20
　Ｈ０１Ｌ　21/268
【ＦＩ】
　Ｈ０１Ｌ　29/78　　６２７Ｇ
　Ｇ０２Ｆ　 1/136　　５００
　Ｈ０１Ｌ　21/20
　Ｈ０１Ｌ　21/268　　Ｆ

【手続補正書】
【提出日】平成17年10月14日(2005.10.14)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【書類名】　明細書
【発明の名称】　半導体装置の作製方法
【特許請求の範囲】
【請求項１】
　基板上に半導体膜を形成し、
　前記半導体膜の任意の領域に、１回のショットでレーザ光を照射して、前記領域を結晶化し、
　前記半導体膜の、前記領域とは異なる別の領域に、１回のショットで前記レーザ光を照射して、前記別の領域を結晶化し、
　前記半導体膜の結晶化された領域を用いて活性層を形成することを特徴とする半導体装置の作製方法。
【請求項２】
　基板上に下地膜を形成し、
　前記下地膜上に半導体膜を形成し、
　前記半導体膜の任意の領域に、１回のショットでレーザ光を照射することによって、前記領域を結晶化し、
　前記半導体膜の、前記領域とは異なる別の領域に、１回のショットで前記レーザ光を照射して、前記別の領域を結晶化し、
　前記半導体膜の結晶化された領域を用いて活性層を形成し、
　前記活性層上にゲート絶縁膜を形成し、
　前記ゲート絶縁膜上にゲート電極を形成し、
　前記活性層中に不純物を添加して、ソース領域、ドレイン領域及びチャネル形成領域を形成することを特徴とする半導体装置の作製方法。
【請求項３】

基板上に下地膜を形成し、
前記下地縁膜上にゲート電極を形成し、
前記ゲート電極上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上に半導体膜を形成し、
前記半導体膜の任意の領域に、１回のショットでレーザ光を照射することによって、前記領域を結晶化し、
前記半導体膜の、前記領域とは別の領域に、１回のショットで前記レーザ光を照射して、前記別の領域を結晶化し、
前記半導体膜の結晶化された領域を用いて活性層を形成し、
前記活性層中に不純物を添加して、ソース領域、ドレイン領域及びチャネル形成領域を形成することを特徴とする半導体装置の作製方法。
【請求項４】
請求項１乃至請求項３のいずれか１項において、
前記レーザ光のトータルエネルギーは５Ｊ以上であることを特徴とする半導体装置の作製方法。
【請求項５】
請求項１乃至請求項４のいずれか１項において、
前記レーザ光は、スリットに通されることによって、前記レーザ光が照射される面積が制御されることを特徴とする半導体装置の作製方法。
【請求項６】
請求項１乃至請求項５のいずれか１項において、
前記半導体装置は、薄膜トランジスタであり、
前記薄膜トランジスタは、画素マトリクス回路、駆動回路又はロジック回路を構成することを特徴とする半導体装置の作製方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
【０００２】
本発明は、レーザー光を用いて非晶質シリコン膜を多結晶化する方法に関する。また、その方法によって得られた多結晶シリコンを活性層として用いた薄膜トランジスタに関する。また、その薄膜トランジスタを用いた半導体装置に関する。
【０００３】
【従来の技術】
【０００４】
近年、半導体素子、特に薄膜トランジスタ（以下ＴＦＴと呼ぶ）の作製プロセスの低温化に関して盛んに研究が進められている。その大きな理由としては、安価で加工性に富んだガラス等の絶縁基板上に半導体素子を形成する必要が生じてきたからである。また、素子の微小化や素子の多層化を進める観点からもＴＦＴの作製プロセスの低温化が求められている。
【０００５】
高性能のＴＦＴの作製プロセスにおいては、半導体材料に含まれる非晶質成分もしくは非晶質半導体材料を結晶化させる工程が必要となる。従来、このような目的のためには熱的なアニール（熱アニール）が用いられていた。半導体材料としてシリコンを用いる場合には、６００℃から１１００℃の温度で０．１～４８時間、もしくはそれ以上の時間のアニールをおこなうことによって、非晶質の結晶化がなされてきた。
【０００６】
上記のような熱アニールは、一般に温度が高いほど処理時間は短くて済むが、５００℃以下の温度ではほとんど効果はなかった。したがって、作製プロセスの低温化の観点からは、熱アニールによってなされていた工程を他の手段によって置き換えることが必要とされていた。特に基板としてガラス基板を用いた場合には、ガラス基板の耐熱温度が６００

℃程度であることから、この温度以下の温度で上述の熱アニールに匹敵する手段が必要とされていた。

【０００７】

【発明が解決しようとする課題】

【０００８】

最近、上述したような要求を満たす方法として、半導体材料にレーザ光を照射することにより非晶質の多結晶化が注目を集めてきている。レーザ光の照射による熱アニールにおいては、所望の箇所にのみ限定して熱アニールに匹敵する高いエネルギーを与えることができるので、基板全体を高い温度にさらす必要がないという利点がある。

【０００９】

レーザ光の照射に関しては、大きく分けて２つの方法が提案されいる。

【００１０】

第１の方法はアルゴンイオン・レーザ等の連続発振レーザを用いたものであり、スポット状のビームを半導体材料に照射する方法である。これはビーム内部でのエネルギー分布の差、およびビームの移動によって、半導体材料が溶融した後、緩やかに凝固することを利用して、半導体材料を多結晶化させる方法である。

【００１１】

第２の方法はエキシマーレーザのごときパルス発振レーザを用いて、大エネルギーレーザパルスを半導体材料に照射し、この際半導体材料が瞬間的に溶融し、凝固することによって結晶成長が進行することを利用する方法である。

【００１２】

第１の方法の問題点は処理に時間がかかることであった。これは連続発振レーザの最大エネルギーが限られたものであるため、ビームスポットのサイズがせいぜいｍｍ角単位であるためである。

【００１３】

第２の方法においては、レーザー光の形状を線状に変形して、ビームの幅を処理すべき基板を越える長さとし、このレーザー光を基板に対して相対的に走査する方法を採用することによって、スループットを大きく改善することができる。ここでいう走査とは、線状レーザをすこしずつずらして重ねながら照射することを言う。近年では、この第２の方法がよく用いられるようになり、商品も市場に出てきている。

【００１４】

しかしながら、線状のパルスレーザを少しずつずらしながら重ねて照射する上記技術によると、どうしてもレーザ照射された半導体材料の表面に線状の縞が発生してしまう。これらの縞は半導体材料上に形成された素子もしくは将来形成される素子の特性に大きな悪影響を及ぼす。特に、基板上に複数の素子を形成し、それらの素子１つ１つの特性を均一にしなければならない時に深刻な問題となる。このような場合、縞模様１本１本では特性は均質なのだが、縞同士の特性にはバラツキが生じているのである。

【００１５】

このように線状のレーザ光を用いたアニール方法においてもその照射効果の均一性が問題となる。ここでいう均一性が高いということは、基板上のどの部分に素子を形成しても同じ様な素子特性がでるということを指す。均一性を高めるということは、半導体材料の結晶性を均質にするということである。

【００１６】

そこで、最近、シングルショットで、大面積をアニールすることが可能な大出力のエキシマレーザが開発されてきている。この大出力のエキシマレーザを用いると、大面積の非晶質シリコンを一度に多結晶化することができる。多結晶化されたシリコン膜の膜質もある程度面内で均一であることが分かっている。

【００１７】

ここで、アクティブマトリクス型液晶表示装置のアクティブマトリクス基板の作製に、この大出力のエキシマレーザを用いた場合の概略上面図を図１７に示す。

【００１８】
図１７において、１７００は基板である。１７０１および１７０５はアクティブマトリクス回路である。１７０２および１７０６はソースドライバであり、１７０３、１７０４、１７０７および１７０８はゲイトドライバである。１７０９～１７１２はレーザー光の照射領域であり、レーザー光ワンショットで、各領域の非晶質シリコン膜が多結晶化される。よってこの従来例では、４回のレーザー光の照射によって、基板全体の非晶質シリコン膜の全てが多結晶化されることがわかる。なお、説明の便宜上、レーザー光照射領域１７０９～１７１２は、それぞれ異なる模様によって示されているが、これらの領域には同等のレーザー光が照射される。

【００１９】
１７１３～１７１７によって示されているレーザー光照射重畳領域には、複数回のレーザー光の照射がなされることが容易に理解される。例えば、１７１３では２回、１７１７では４回のレーザー光の照射がそれぞれなされることになる。レーザー光の照射回数が異なると、多結晶シリコン膜の特性も異なることがわかっており、よって、このような従来例の場合、基板面内で多結晶シリコン膜の特性のばらつきが生じてしまう。したがって、この従来例においては、大出力のエキシマレーザーを用いても、多結晶シリコン膜の面内均一が得られない。結果として、線状レーザーを用いた場合に比較してスループットは上がるが、多結晶シリコンの面内均一性については依然として問題が残存していた。

【００２０】
そこで、本発明は上記問題を鑑みてなされたものであり、レーザー光を用いて非晶質シリコン膜を多結晶化する際に、基板面内の多結晶シリコン膜の均一性を実現し、その多結晶シリコン膜を活性層とする薄膜トランジスタの特性のばらつきを防ぎ、かつスループットを上げる薄膜トランジスタの作製方法を提供するものである。また、その作製方法によって作製された薄膜トランジスタを用いた高性能の半導体装置を提供するものである。

【００２１】
【課題を解決するための手段】

【００２２】
図１を参照する。図１には、大出力を用いたレーザー光による本発明の非晶質シリコン膜の多結晶化のレーザー照射領域について示されている。なお、図１には、本発明の方法によって作製された薄膜トランジスタを用いた半導体装置の例として、アクティブマトリクス型液晶表示装置が示されている。

【００２３】
１００は基板である。１０１および１０５はアクティブマトリクス回路である。１０２および１０６はソースドライバであり、１０３、１０４、１０７および１０８はゲイトドライバである。１０９～１１２はレーザー光の照射領域であり、レーザー光ワンショットで、各領域の非晶質シリコン膜が多結晶化される。また、図１中の”Ａ”および”Ｂ”で示される距離は、それぞれレーザー光が照射される領域とレーザー光が照射される領域との距離である。

【００２４】
本発明の非晶質シリコン膜の多結晶化方法においては、図１に示されるように、大出力のレーザー光ワンショットが照射される領域は重畳しない。レーザー光照射領域の間隔”Ａ”および”Ｂ”は、それぞれアクティブマトリクス回路の画素ピッチやドライバ回路のＴＦＴのサイズ等に応じて決定される。レーザー光照射領域の間隔”Ａ”および”Ｂ”で示される部分、すなわちレーザー光が照射されない部分（レーザー光非照射領域）は、薄膜トランジスタの活性層とならないように設計する。

【００２５】
図１において、αおよびβで示される部分は、レーザー光照射領域とレーザー光非照射領域との境界を含む部分をさしている。図８にβ部分の拡大図を示す。図８において、８０１は多結晶シリコンからなる半導体活性層であり、８０２はゲイト電極であり、８０３はソース電極である。説明の便宜上、画素電極や層間絶縁膜などは省略してある。P_X は

Ｘ軸方向の画素ピッチであり、P_YはＹ軸方向の画素ピッチである。S_Xは半導体活性層のＸ軸方向の長さであり、S_Yは半導体活性層のＹ軸方向の長さである。図８によると、レーザー光非照射領域には、半導体活性層が入り込んでいないことが理解される。つまり、レーザー光照射領域１１１とレーザー光照射領域１１２との間隔”Ａ”によって定義される、レーザー光非照射領域は、半導体活性層は入り込んでいない。よって、レーザー光非照射領域、つまり多結晶化されなかった領域は、半導体活性層としては用いられない。

【００２６】

次に、図２を参照する。図２には、本発明の非晶質シリコン膜を多結晶化するシステムの一つが示されている。図２において、２００は基板、２０１は基板上に形成された非晶質シリコン膜である。２０２は大出力のレーザー光であり、図の説明の便宜上、レーザー本体と光学系は省略されている。なお、レーザー本体には、大出力のエキシマレーザーが適している。２０３はレーザー光が照射された領域の非晶質シリコン膜が多結晶化している様子が示されている。また、２０４～２０７はレーザー光照射領域である。２０８はステージであり、このステージ上に基板がセットされる。ステージ２０８は、ステージＸ位置制御装置２０９およびステージＹ位置制御装置２１０によって移動される。ステージ２０８の停止位置の誤差は、０．０４μｍとなっている。ステージ２０８を移動させることによってレーザー光２０２が照射される領域を制御している。

【００２７】

ここで、図６を参照する。図６には、本発明の非晶質シリコン膜を多結晶化するシステムの一つが示されている。図２と異なる点は、レーザー光学系より導入されるレーザー光６０２を、スリット６０３に通すことによって、非晶質シリコン膜６０１に照射されるレーザー光の面積を制御している点である。

【００２８】

次に、図３を参照する。図３には、本発明の非晶質シリコン膜を多結晶化するシステムの一つが示されている。図２と異なる点は、レーザー光学系より導入されるレーザー光の面積が、レーザー光の進行方向に広がりを有する場合である点である。

【００２９】

図３に示されるシステムにおいても、図６に示したようなスリットを用いることによって、レーザー光の面積を制御することができる。

【００３０】

次に、図４を参照する。図４には、本発明の非晶質シリコン膜を多結晶化するシステムの一つが示されている。図２または図３と異なる点は、レーザー光学系より導入されるレーザー光の面積が、レーザー光の進行方向に狭まりを有する場合である点である。

【００３１】

また、図７には、本発明の非晶質シリコン膜を多結晶化するシステムの一つが示されている。図４と異なる点は、レーザー光学系より導入されるレーザー光７０２を、スリット７０３に通すことによって、非晶質シリコン膜７０１に照射されるレーザー光の面積を制御している点である。

【００３２】

次に図５を参照する。図５には、より大型の基板を扱う場合の本発明の非晶質シリコン膜を多結晶化するシステムの一つが示されている。図５においては、レーザー光照射領域は５０４～５１５であり、１６ショットのレーザー光によって、基板５００上の非晶質シリコン膜５０１のほとんど全部分を多結晶化することができる。また、レーザー光照射領域とレーザー光照射領域との間、つまりレーザー光非照射領域の距離は、図に示されるように、”A_1”、”A_2”、”A_3”、”B_1”、”B_2”で示される。レーザー光非照射領域の距離”A_1”、”A_2”、”A_3”、”B_1”、”B_2”は、それぞれアクティブマトリクス回路の画素ピッチやドライバ回路のＴＦＴのサイズ等に応じて決定される。レーザー光非照射領域の距離”A_1”、”A_2”、”A_3”、”B_1”、”B_2”は、薄膜トランジスタの活性層とならないように設計する。

【００３３】

また、”A_1”、”A_2”、”A_3”、”B_1”、”B_2”は全て同じであってもよいし、それぞれ異なっていてもよい。これらの距離は、上述したように、アクティブマトリクス回路やドライバ回路の設計次第で決定される。

【００３４】

なお、図５に示すような大型の基板上の非晶質シリコン膜を多結晶化する際にも、上述の図３、図４、図６、図７に示したようなレーザー光およびレーザー光の面積の制御方法を用いても良い。

【００３５】

以下に本発明の構成を説明する。

【００３６】

本発明のある実施形態によると、

基板上に非晶質シリコン膜を形成する第１の工程と、

前記非晶質シリコン膜の一部分に、トータルエネルギーが５Ｊ以上であるレーザー光をワンショットだけ照射することによって前記非晶質シリコン膜を多結晶化する第２の工程と、

前記第２の工程を繰り返し、前記非晶質シリコン膜の概略全領域を多結晶化する第３の工程と、

前記多結晶化されたシリコン膜を活性層とする薄膜トランジスタを形成する第４の工程と、

を有する薄膜トランジスタの作製方法が提供される。

【００３７】

また、多結晶化された前記非晶質シリコン膜の間隔は、約１０μｍ以下であってもよい。

【００３８】

前記非晶質シリコン膜のうち、多結晶化された領域だけを活性層として用いるようにしてもよい。

【００３９】

ここで、以下の実施例をもって本発明の詳細について説明する。なお、以下の実施例は本発明のある実施形態にすぎず、本発明はこれらに限定されるわけではない。

【００４０】

【実施例】

【００４１】

（実施例１）

【００４２】

本実施例では、本発明の非晶質シリコン膜の多結晶化方法を用いて作製されたＴＦＴを有するアクティブマトリクス型液晶表示装置の作製について具体的に説明する。本実施例では、複数のＴＦＴを形成し、画素マトリクス回路、駆動回路、およびロジック回路等をモノリシックに構成する例を図９～図１２に示す。なお、本実施例では、画素マトリクス回路の１つの画素と、他の回路（駆動回路、ロジック回路等）の基本回路であるＣＭＯＳ回路とが同時に形成される様子を示す。また、本実施例では、Ｐチャネル型ＴＦＴとＮチャネル型ＴＦＴとがそれぞれ１つのゲイト電極を備えている場合について、その作製工程を説明するが、ダブルゲイト型やトリプルゲイト型のような複数のゲイト電極を備えたＴＦＴによるＣＭＯＳ回路をも同様に作製することができる。

【００４３】

図９（Ａ）を参照する。まず、絶縁表面を有する基板としてガラス基板９０１を準備する。ガラスの代わりに熱酸化膜を形成したシリコン基板を用いることもできるし、石英基板を用いることもできる。ガラス基板上に一旦非晶質珪素膜を形成し、それを完全に熱酸化して絶縁膜とする様な方法をとっても良い。さらに、絶縁膜として窒化シリコン膜を形成したガラス基板、石英基板、セラミックス基板またはシリコン基板を用いても良い。次に、下地膜９０２を形成する。本実施例では、酸化シリコン膜（SiO_2）が用いられた

。次に、非晶質シリコン膜９０３を形成する。非晶質シリコン膜９０３は、最終的な膜厚（熱酸化後の膜減りを考慮した膜厚）が１０～７５ｎｍ（好ましくは１５～４５ｎｍ）となる様に調節する。

【００４４】

なお、非晶質シリコン膜９０３の成膜に際して膜中の不純物濃度の管理を徹底的に行うことが重要である。本実施例の場合、非晶質シリコン膜９０３中では、後の結晶化を阻害する不純物であるＣ（炭素）およびＮ（窒素）の濃度はいずれも5×10^{18}ａｔｏｍｓ／ｃｍ^{3}未満（代表的には5×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは2×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下）、Ｏ（酸素）は1.5×10^{19}ａｔｏｍｓ／ｃｍ^{3}未満（代表的には1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは5×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下）となる様に管理する。なぜならば各不純物がこれ以上の濃度で存在すると、後の結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となるからである。本明細書中において膜中の上記の不純物元素濃度は、ＳＩＭＳ（質量２次イオン分析）の測定結果における最小値で定義されている。

【００４５】

上記構成を得るため、本実施例で用いる減圧熱ＣＶＤ炉は定期的にドライクリーニングを行い、成膜室の清浄化を図っておくことが望ましい。ドライクリーニングは、２００～４００℃程度に加熱した炉内に１００～３００ｓｃｃｍのClF_3（フッ化塩素）ガスを流し、熱分解によって生成したフッ素によって成膜室のクリーニングを行えば良い。

【００４６】

なお、本出願人の知見によれば炉内温度３００℃とし、ClF_3ガスの流量を３００ｓｃｃｍとした場合、約２μｍ厚の付着物（主にシリコンを主成分する）を４時間で完全に除去することができる。

【００４７】

また、非晶質シリコン膜９０３中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質シリコン膜９０３の成膜は減圧熱ＣＶＤ法であることが好ましい。なお、成膜条件を最適化することでプラズマＣＶＤ法を用いることも可能である。

【００４８】

次に、エキシマレーザーの照射による非晶質シリコン膜９０３の多結晶化工程を行う。図９（Ｂ）を参照する。本実施例では、１ショットが１５Ｊの大出力エキシマレーザを用いた。また、エネルギー密度は、２００ｍＪ／ｃｍ^{2}であった。このようにして多結晶シリコン膜９０４が得られる（図９（Ｃ））。なお、エキシマレーザの出力は５Ｊ以上が望ましい。

【００４９】

次に、図１０（Ａ）を参照する。多結晶シリコン膜９０４をパターンニングし、半導体活性層９０５～９０７を形成する。

【００５０】

次に、図１０（Ｂ）を参照する。活性層をパターンニングによって形成した後ゲイト絶縁膜９０８を形成する。そして、酸化性雰囲気において、８００～１１００℃（好ましくは９５０～１０５０℃）で加熱処理を行い、活性層とゲイト絶縁膜界面に熱酸化膜（図示せず）を形成する。

【００５１】

次に、図示しないアルミニウムを主成分とする金属膜を成膜し、パターニングによって後のゲイト電極の原型を形成する。本実施例では２ｗｔ％のスカンジウムを含有したアルミニウム膜を用いる。

【００５２】

次に、特開平７－１３５３１８号公報記載の技術により多孔性の陽極酸化膜９０９～９１４、無孔性の陽極酸化膜９１５～９１７、およびゲイト電極９１８～９２０を形成する（図１０（Ｂ））。

【００５３】
こうして図１０（Ｂ）の状態が得られたら、次にゲイト電極９１８～９２０および多孔性の陽極酸化膜９０９～９１４をマスクとしてゲイト絶縁膜９０８をエッチングする。そして、多孔性の陽極酸化膜９０９～９１４を除去して図１０（Ｃ）の状態を得る。なお、図１０（Ｃ）において９２１～９２３で示されるのは加工後のゲイト絶縁膜である。

【００５４】
図１１（Ａ）を参照する。次に、一導電性を付与する不純物元素の添加工程を行う。不純物元素としてはＮチャネル型ならばＰ（リン）またはＡｓ（砒素）、Ｐ型ならばＢ（ボロン）またはＧａ（ガリウム）を用いれば良い。本実施例では、Ｎチャネル型およびＰチャネル型のＴＦＴを形成するための不純物添加をそれぞれ２回の工程に分けて行う。

【００５５】
最初に、ＮチャネルのＴＦＴを形成するための不純物添加を行う。まず、１回目の不純物添加（本実施例ではＰ（リン）を用いる）を高加速電圧８０ｋｅＶ程度で行い、n^-領域を形成する。このn^-領域は、Ｐイオン濃度が1×10^{18}ａｔｏｍｓ／ｃｍ^3～1×10^{19}ａｔｏｍｓ／ｃｍ^{3}となるように調節する。

【００５６】
さらに、２回目の不純物添加を低加速電圧１０ｋｅＶ程度で行い、n^+領域を形成する。この時は、加速電圧が低いので、ゲイト絶縁膜がマスクとして機能する。また、このn^+領域は、シート抵抗が５００Ω以下（好ましくは３００Ω以下）となるように調節する。

【００５７】
以上の工程を経て、ＣＭＯＳ回路を構成するＮチャネル型ＴＦＴのソース領域およびドレイン領域９２４および９２５、低濃度不純物領域（ＬＤＤ領域）９２８、チャネル形成領域９３０が形成される。また、画素ＴＦＴを構成するＮチャネル型ＴＦＴのソース領域およびドレイン領域９２６および９２７、低濃度不純物領域（ＬＤＤ領域）９２９、チャネル形成領域９３１が確定する（図１１（Ａ））。

【００５８】
なお、図１１（Ａ）に示す状態ではＣＭＯＳ回路を構成するＰチャネル型ＴＦＴの活性層は、Ｎチャネル型ＴＦＴの活性層と同じ構成となっている。

【００５９】
次に、図１１（Ｂ）に示すように、Ｎチャネル型ＴＦＴを覆ってレジストマスク９３２を設け、Ｐ型を付与する不純物イオン（本実施例ではボロンを用いる）の添加を行う。

【００６０】
この工程も前述の不純物添加工程と同様に２回に分けて行うが、Ｎチャネル型をＰチャネル型に反転させる必要があるため、前述のＰイオンの添加濃度の数倍程度の濃度のＢ（ボロン）イオンを添加する。

【００６１】
こうしてＣＭＯＳ回路を構成するＰチャネル型ＴＦＴのソース領域およびドレイン領域９３３および９３４、低濃度不純物領域（ＬＤＤ領域）９３５、チャネル形成領域９３６が形成される（図１１（Ｂ））。

【００６２】
次に、ファーネスアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物イオンの活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【００６３】
図１１（Ｃ）を参照する。次に、第１層間絶縁膜９３７として酸化シリコン膜と窒化シリコン膜との積層膜を形成し、コンタクトホールを形成した後、ソース電極およびドレイン電極９３８～９４２を形成して図１１（Ｃ）に示す状態を得る。なお、層間絶縁膜９３７として有機性樹脂膜を用いることもできる。

【００６４】

図１１（Ｃ）に示す状態が得られたら、有機性樹脂膜からなる第２層間絶縁膜９４３を０．５～３μｍの厚さに形成する。有機性樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等が用いられる。有機性樹脂膜の利点は、成膜方法が簡単である点、容易に膜厚を厚くできる点、比誘電率が低いので寄生容量を低減できる点、平坦性に優れている点などが挙げられる。なお、上述した以外の有機性樹脂膜を用いることもできる。

【００６５】

次に、第２の層間絶縁膜９４３に遮光性を有する膜でなるブラックマトリクス９４４を形成する。本実施例では、ブラックマトリクス９４４にはチタンを用いた。ブラックマトリクス９４４としては、黒色顔料を含む樹脂膜等を用いることもできる。

【００６６】

次に、有機性樹脂膜からなる第３層間絶縁膜９４５を０．５～３μｍの厚さに形成する。有機性樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等が用いられる。なお、上述した以外の有機性樹脂膜を用いることもできる。

【００６７】

そして第２層間絶縁膜９４３および第３層間絶縁膜９４５にコンタクトホールを形成し、透明画素電極９４６を１２０ｎｍの厚さに形成する。なお、本実施例は透過型のアクティブマトリクス液晶表示装置の例であるため透明画素電極９４６を構成する導電膜としてＩＴＯ等の透明導電膜を用いる。

【００６８】

次に、基板全体を３５０℃の水素雰囲気で１～２時間加熱し、素子全体の水素化を行うことで膜中（特に活性層中）のダングリングボンド（不対結合手）を補償する。以上の工程を経て同一基板上にＣＭＯＳ回路および画素マトリクス回路を作製することができる。

【００６９】

次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、アクティブマトリクス型液晶表示装置を作製する工程を説明する。

【００７０】

図１２（Ｂ）の状態のアクティブマトリクス基板に配向膜９４７を形成する。本実施例では、配向膜９４７には、ポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板９４８、対向電極９４９、配向膜９５０とで構成される。

【００７１】

なお、本実施例では、配向膜には、ポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施した。なお、本実施例では、比較的小さなプレチル角を持つようなポリイミドを用いた。

【００７２】

次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ（共に図示せず）などを介して貼り合わせる。その後、両基板の間に液晶９５１を注入し、封止剤（図示せず）によって完全に封止する。本実施例では、液晶９５１としてネマチック液晶を用いた。

【００７３】

よって、図１２（Ｃ）に示すような透過型のアクティブマトリクス型液晶表示装置が完成する。

【００７４】

（実施例２）

【００７５】

本実施例では、逆スタガ型のＴＦＴの作製に本発明の非晶質シリコン膜の多結晶化システムを用いた場合について説明する。

【００７６】

図１３を参照する。図１３には、本実施例の逆スタガ型のＴＦＴの断面図が示されている。１３０１は基板であり、実施例１で説明したようなものが用いられる。１３０２は酸化シリコン膜である。１３０３はゲイト電極である。１３０４はゲイト絶縁膜である。１

３０５、１３０６、１３０７および１３０８は、多結晶シリコン膜から成る半導体活性層である。この半導体活性層の作製にあたっては、実施例１で説明した非晶質シリコン膜の多結晶化と同様の方法が用いられた。なお、１３０５はソース領域、１３０６はドレイン領域、１３０７は低濃度不純物領域（ＬＤＤ領域）、１３０８はチャネル形成領域である。１３０９はチャネル保護膜であり、１３１０は層間絶縁膜である。１３１１および１３２はそれぞれ、ソース電極、ドレイン電極である。

【００７７】

（実施例３）

【００７８】

本実施例では、実施例１とは異なる構成のＴＦＴの作製方法について図１４、図１５を用いて説明する。なお、実施例１の図１０（Ｂ）に示されるゲイト絶縁膜の形成迄の工程は、実施例１と同じなので、ここでは省略する。非晶質シリコン膜の代わりに、Si_XGe_{1-X}（０＜Ｘ＜１）で示されるシリコンゲルマニウム膜を用いても良い。

【００７９】

次に、ゲイト絶縁膜１４０２上に厚さ２０ｎｍのタンタル膜（Ｔａ膜）１４０３と、厚さ４０ｎｍの２ｗｔ％のスカンジウムを含有したアルミニウム膜（Ａｌ膜）１４０４とを、スパッタ装置において積層して成膜した。そして、Ａｌ膜１４０４に陽極酸化装置のプローブＰを接触させて電流を流し、Ａｌ膜１４０４の表面に薄いバリア型アルミナ膜（図示せず）を形成した。この陽極酸化工程はレジストマスク１４０５の密着性を向上するためである。条件は、電解溶液に３％の酒石酸を含むエチレングリコール溶液を用い、電解溶液温度３０℃、到達電圧１０Ｖ、電圧印加時間１５分、供給電流１０ｍＡ／１基板とした。そして、レジストマスク２３３を形成する（図１４（Ｂ））。

【００８０】

図示しないアルミナ膜をクロム混酸でエッチングし、次にアルミ混酸でアルミニウム膜をエッチングして、第２の配線層としてアルミニウム層（Ａｌ層）１４０６を形成した。Ａｌ層１４０６はゲート配線の上層を構成するものである。なお、図８では向かって左側のＡｌ層１４０６と右側のＡｌ層１４０６とが分断して記載されているが、実際には一体である。向かって左側のＡｌ層１４０６は最終的には活性層１４０１と重なってＴＦＴのゲート電極として機能する。また、向かって右側のＡｌ層１４０６は後に外部端子と接続するためのコンタクト部となる。

【００８１】

次に、レジストマスク１４０５を残したまま、陽極酸化装置において、プローブＰをタンタル膜１４０３に接触させて、陽極酸化を行った。条件は、電解溶液に３％シュウ酸水溶液（温度１０℃）を用い、到達電圧８Ｖ、電圧印加時間４０分、供給電流２０ｍＡ／１基板とした。この陽極酸化条件では、Ａｌ層１４０６の側面にポーラス状の陽極酸化物膜２３４（以下、ポーラスＡ．Ｏ．膜１４０７と記す）が形成される。Ａ．Ｏ．膜１４０７は多孔質アルミナ膜である（図１４（Ｄ））。

【００８２】

レジストマスク１４０５を除去した後、再び陽極酸化装置においてＴａ膜１４０３に電圧を印加し、陽極酸化を行った。条件は、電解溶液に電解溶液に３％の酒石酸を含むエチレングリコール溶液を用い、電解溶液温度１０℃、到達電圧８０Ｖ、電圧印加時間３０分、供給電流３０ｍＡ／１基板とした。

【００８３】

ポーラスＡ．Ｏ．膜１４０７を酒石酸が浸透して、Ａｌ層１４０６表面が陽極酸化されて、バリア型の陽極酸化物膜（バリアＡ．Ｏ．膜と記す）１４０９が形成される。バリアＡ．Ｏ．膜１４０９は無孔質アルミナ膜である。また、Ｔａ膜１４０３においては、露出している部分およびポーラスＡ．Ｏ．膜１４０７が存在している部分も陽極酸化されて、タンタルオキサイド膜（以下ＴａＯｘ膜と記す）１４０８に変成される。残存したタンタル層（Ｔａ層）１４１０が第１の配線層として画定する。なお、ＴａＯｘ膜１４０８はＴ

ａ膜１４０３よりも厚くなるが、簡単化のため、図１４中では同じ厚さに図示した（図１４（Ｅ））。

【００８４】

次に、Ａ．Ｏ．膜１４０７および１４０９をマスクとして、TaO_X膜１４０８とゲイト絶縁膜１４０２をエッチングする。エッチングはCHF_3ガスを用いたドライエッチング法により行う（図１４（Ｆ））。

【００８５】

次に、アルミ混酸によってポーラスＡ．Ｏ．膜１４０７をエッチングによって除去する。この工程によって、Ｔａ層１４１０とＡｌ層１４０６が積層したゲート配線が完成する（図１５（Ａ））。

【００８６】

また、ゲート配線の側面全てはTaO_X膜１４０８、バリアＡ．Ｏ．膜１４０９で被覆された構造となっている。TaO_X膜１４０８はバリアＡ．Ｏ．膜１４０９側面よりも外側に延びている。

【００８７】

次に、一導電性を付与する不純物イオンを活性層１４０１に添加する。Ｎチャネル型ＴＦＴを作製するにはリン又は砒素を添加し、Ｐチャネル型ＴＦＴを作製するにはボロン又はガリウムを添加する。これら不純物イオンの添加はイオンインプランテーション法、プラズマドーピング法、レーザードーピング法のいずれかの手段を用いれば良い。また、ＣＭＯＳ回路を構成する様な場合にはレジストマスクを利用して不純物イオンを打ち分ければ良い。

【００８８】

この工程は加速電圧を２度に分けて行う。１度目は加速電圧を８０ｋｅＶ程度と高めに設定し、２度目は加速電圧を３０ｋｅＶ程度と低めに設定する。こうすることで、１度目はTaO_X膜１４０８と絶縁膜１４０２の下にも不純物イオンが添加され、２度目はTaO_X膜１４０８と絶縁膜１４０２とがマスクとなって、その下には不純物イオンが添加されない。

【００８９】

この様な不純物イオンの添加工程により、ＴＦＴのチャネル形成領域、ソース領域１４１２、ドレイン領域１４１３、低濃度不純物領域（ＬＤＤ領域）１４１４および１４１５が自己整合的に形成される。領域１４１１は不純物が添加されなかった領域であって、チャネル形成領域およびオフセット領域形成される。なお、各不純物領域に添加される不純物イオンの濃度は実施者が適宜設定すれば良い（図１５（Ｂ））。

【００９０】

不純物イオンの添加工程が終了したら、ファーネスアニール、ランプアニール、レーザーアニール又はそれらを併用して熱処理を行い、添加された不純物イオンの活性化を行う。なお、アルミナ膜１４０９の側面から突出しているタンタルオキサイド１４０８膜にタンタル層が残存した場合には、低濃度不純物領域１４１４および１４１５にゲート配線によって電圧が印加れてしまうため不都合である。そのため、添加工程終了後、４００～６００℃程度の温度で熱酸化して、残存したタンタル層を酸化してしまうとよい。

【００９１】

次に、酸化シリコン膜でなる層間絶縁膜１４１６を１μｍの厚さに形成する。次いで、層間絶縁膜１４１６をパターニングしてコンタクトホールを形成する。これらコンタクトホール１４１７～１４１９の形成は次の様にして行う。

【００９２】

まず、橋本化成株式会社製のＬＡＬ５００と呼ばれるエッチャントを用いて層間絶縁膜１４１６をエッチングする。ＬＡＬ５００はフッ化アンモニウムとフッ化水素酸と水とを混合したバッファードフッ酸に数％の界面活性剤を添加したエッチャントである。勿論、他のバッファードフッ酸でも良い。

【００９３】

ここで用いるバッファードフッ酸は酸化シリコン膜を比較的に速い速度でエッチングできることが好ましい。層間絶縁膜１４１６は１μｍと厚いのでエッチングレートの速い方がスループットの向上につながる。

【００９４】

こうして層間絶縁膜１４１６をエッチングした時点では，ＴＦＴ部ではソース領域１４１２、ドレイン領域１４１８が露出して，コンタクトホール１４１７および１４１８が完成する。ゲートコンタクト部ではバリアＡ．Ｏ．膜１４０９が露出している。次にフッ化アンモニウムとフッ化水素酸と水とを２：３：１５０（体積％）で混合した薄いバッファードフッ酸を用いてエッチングを進行させる。

【００９５】

このバッファードフッ酸ではシリコン膜、即ちソース領域１４１２およびドレイン領域１４１８は殆どエッチングされない。しかし、ゲートコンタクト部のバリアＡ．Ｏ．膜１４０９はエッチングされ、その下のＡｌ層１４０６もエッチングされる。最終的には、Ｔａ層１４１０までエッチングが到達した時点でエッチングが止まり、コンタクトホール１４１９が形成される（図１５（Ｃ））。

【００９６】

こうして図１５（Ｃ）の状態が得られたら、導電膜でなるソース配線１４２０、ドレイン配線１４２１を形成し、同一材料でゲート配線と電気的に接続される取り出し配線１４２２を形成する（図１５（Ｄ））。

【００９７】

このようにしてＴＦＴが完成する。アクティブマトリクス型液晶表示装置を作製する際には、実施例１の工程を参照できる。

【００９８】

（実施例４）

【００９９】

本発明によって作製された薄膜トランジスタをもちいた半導体装置には様々な用途がある。本実施例では、本発明によって作製された薄膜トランジスタをもちいた半導体表示装置を組み込んだ半導体装置について説明する。

【０１００】

このような半導体装置には、ビデオカメラ、スチルカメラ、プロジェクタ、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話など）などが挙げられる。それらの一例を図１６に示す。

【０１０１】

図１６（Ａ）は携帯電話であり、本体１６０１、音声出力部１６０２、音声入力部１６０３、半導体表示装置１６０４、操作スイッチ１６０５、アンテナ１６０６で構成される。

【０１０２】

図１６（Ｂ）はビデオカメラであり、本体１６０７、半導体表示装置１６０８、音声入力部１６０９、操作スイッチ１６１０、バッテリー１６１１、受像部１６１２で構成される。

【０１０３】

図１６（Ｃ）はモバイルコンピュータであり、本体１６１３、カメラ部１６１４、受像部１６１５、操作スイッチ１６１６、半導体表示装置１６１７で構成される。

【０１０４】

図１６（Ｄ）はヘッドマウントディスプレイであり、本体１６１８、半導体表示装置１６１９、バンド部１６２０で構成される。

【０１０５】

図１６（Ｅ）はリア型プロジェクタであり、１６２１は本体、１６２２は光源、１６２３は半導体表示装置、１６２４は偏光ビームスプリッタ、１６２５および１６２６はリフレクター、１６２７はスクリーンである。なお、リア型プロジェクタは、視聴者の見る位

置によって、本体を固定したままスクリーンの角度を変えることができるのが好ましい。なお、半導体表示装置１６２３を３個（Ｒ、Ｇ、Ｂの光にそれぞれ対応させる）使用することによって、さらに高解像度・高精細のリア型プロジェクタを実現することができる。

【０１０６】

図１６（Ｆ）はフロント型プロジェクタであり、本体１６２８、光源１６２９、半導体表示装置１６３０、光学系１６３１、スクリーン１６３２で構成される。なお、半導体表示装置１６３０を３個（Ｒ、Ｇ、Ｂの光にそれぞれ対応させる）使用することによって、さらに高解像度・高精細のフロント型プロジェクタを実現することができる。

【０１０７】

なお、上述の半導体表示装置は、透過型でも反射型でもよい。

【０１０８】

【発明の効果】

【０１０９】

本発明の非晶質シリコン膜の多結晶化方法においては、大出力のレーザー光ワンショットが照射される領域は重畳しない。かつレーザー光が照射されない部分（レーザー光非照射領域）は、薄膜トランジスタの活性層とならないように設計する。こうすることによって特性の均一な薄膜トランジスタを構成するための活性層が得られる。

【図面の簡単な説明】

【図１】　大出力を用いたレーザー光による本発明の非晶質シリコン膜の多結晶化のレーザー照射領域を示す図である。

【図２】　本発明の非晶質シリコン膜を多結晶化するシステムの一形態を示す図である。

【図３】　本発明の非晶質シリコン膜を多結晶化するシステムの一形態を示す図である。

【図４】　本発明の非晶質シリコン膜を多結晶化するシステムの一形態を示す図である。

【図５】　本発明の非晶質シリコン膜を多結晶化するシステムの一形態を示す図である。

【図６】　本発明の非晶質シリコン膜を多結晶化するシステムの一形態を示す図である。

【図７】　本発明の非晶質シリコン膜を多結晶化するシステムの一形態を示す図である。

【図８】　本発明の非晶質シリコン膜の多結晶化システムにおける、レーザー光照射領域とレーザー光非照射領域との境界の拡大図である。

【図９】　本発明の非晶質シリコン膜の多結晶化システムを用いたアクティブマトリクス型液晶表示装置の作製工程図である。

【図１０】　本発明の非晶質シリコン膜の多結晶化システムを用いたアクティブマトリクス型液晶表示装置の作製工程図である。

【図１１】　本発明の非晶質シリコン膜の多結晶化システムを用いたアクティブマトリクス型液晶表示装置の作製工程図である。

【図１２】　本発明の非晶質シリコン膜の多結晶化システムを用いたアクティブマトリクス型液晶表示装置の作製工程図である。

【図１３】　本発明の非晶質シリコン膜の多結晶化システムを用いたアクティブマトリクス型液晶表示装置の別の実施形態の断面図である。

【図１４】　本発明の非晶質シリコン膜の多結晶化システムを用いた薄膜トランジスタの作製工程図である。

【図１５】　本発明の非晶質シリコン膜の多結晶化システムを用いた薄膜トランジスタの作製工程図である。

【図１６】　本発明の非晶質シリコン膜の多結晶化システムを用いて作製された薄膜トランジスタを有する半導体装置の一例である。

【図１７】　大出力を用いたレーザー光による従来の非晶質シリコン膜の多結晶化のレーザー照射領域を示す図である。

【符号の説明】

１００　　基板

１０１、１０５　　アクティブマトリクス回路

１０２、１０６　ソースドライバ

１０３、１０４、１０７、１０８　ゲイトドライバ

１０９、１１０、１１１、１１２　レーザー光照射領域