

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成18年12月14日(2006.12.14)

【公開番号】特開2004-153827(P2004-153827A)

【公開日】平成16年5月27日(2004.5.27)

【年通号数】公開・登録公報2004-020

【出願番号】特願2003-365742(P2003-365742)

【国際特許分類】

H 03M 1/12 (2006.01)

【F I】

H 03M 1/12 C

【手続補正書】

【提出日】平成18年10月26日(2006.10.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

1つ以上の出力ピンを有するパッケージであって、該出力ピンは、全体として最高データ転送速度を有することからなる、パッケージと、

前記パッケージ内に搭載された集積回路チップ(122)

とを備えるアナログ・ディジタル変換システム(100)であって、

前記集積回路が、

あるサンプリング・レートでディジタル・サンプルを生成するように構成された、デジタル出力(122)を有するアナログ・ディジタル変換器(102)と、

データ入力(130)及びデータ出力(132)を有するメモリ(106)と、

前記出力ピンに接続された出力ポート(110)と、

前記アナログ・ディジタル変換器の前記ディジタル出力から前記メモリの前記データ入力まで延び、前記サンプリング・レートで動作するように構成されたオンチップ入力データ・バス(104)と、

前記メモリの前記データ出力から前記出力ポートまで延びる出力データ・バス(108)

とを備える回路を具現化し、

前記最高データ転送速度が前記サンプリング・レートより低いことからなる、アナログ・ディジタル変換システム。

【請求項2】

前記メモリ(206)がメモリ・モジュール(例えば、206-1)を備え、該メモリ・モジュールの各々が、データ入力(230)及びデータ出力(232)を有し、

前記入力データ・バス(304)が、前記アナログ・ディジタル変換器の前記ディジタル出力から前記メモリ・モジュールのそれぞれの前記データ入力まで延びることからなる、請求項1に記載のアナログ・ディジタル変換システム。

【請求項3】

前記入力データ・バスが、

前記アナログ・ディジタル変換器の前記ディジタル出力から延びる少なくとも1つのADCサブバス(370)と、

前記少なくとも1つのADCサブバスから前記メモリ・モジュールのうちのいくつかの

メモリ・モジュールのデータ入力に接続する入力サブバス（例えば、304-1）を備えることからなる、請求項2に記載のアナログ・ディジタル変換システム。

【請求項4】

前記出力データ・バス（208）が、前記メモリ・モジュールのうちのいくつかのメモリ・モジュールのデータ出力から延びる出力サブバス（例えば、208-1）を備える、請求項2に記載のアナログ・ディジタル変換システム。

【請求項5】

前記アナログ・ディジタル変換器（202）が、アナログ・ディジタル変換器モジュール（例えば、202-1）を備え、該アナログ・ディジタル変換器モジュールの各々が、ディジタル出力（222）を有し、

前記入力データ・バス（204）が、前記アナログ・ディジタル変換器モジュールのディジタル出力から前記メモリ・モジュールの前記データ入力まで延びることからなる、請求項2に記載のアナログ・ディジタル変換システム。

【請求項6】

アナログ・ディジタル変換システムを提供するステップであって、該アナログ・ディジタル変換システムが、

全体として最高データ転送速度を有する1つ以上の出力ピンを備えるパッケージと、

前記パッケージ内に搭載された集積回路チップであって、該集積回路は、アナログ・ディジタル変換器とメモリから構成される回路を具現化することからなる、集積回路チップ

とを備えることからなる、ステップと、

前記アナログ・ディジタル変換器を用いてアナログ信号をディジタル的にサンプリングするステップ（704）であって、該サンプリングは、あるサンプリング・レートでディジタル・サンプルを生成することからなる、ステップと、

前記サンプリング・レートで前記メモリに前記ディジタル・サンプルを記憶するステップ（706）と、

前記最高データ転送速度以下の速度で、前記出力ピンを介して前記メモリから前記ディジタル・サンプルを読み出すステップ（708）であって、前記最高データ転送速度は前記サンプリング・レートよりも低いことからなる、ステップとを含む、方法。