



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0019595

(43) 공개일자 2016년02월22일

(51) 국제특허분류(Int. Cl.)

G11C 5/14 (2006.01) G11C 7/10 (2015.01)

(21) 출원번호 10-2014-0103774

(22) 출원일자 2014년08월11일

심사청구일자 없음

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

임우진

서울 성북구 송인로2길 61, 117동 1602호 (길음동, 동부센트레빌아파트)

송태중

경기 성남시 분당구 내정로 186, 102동 802호 (수내동, 파크타운대림아파트)

(뒷면에 계속)

(74) 대리인

특허법인 고려

전체 청구항 수 : 총 10 항

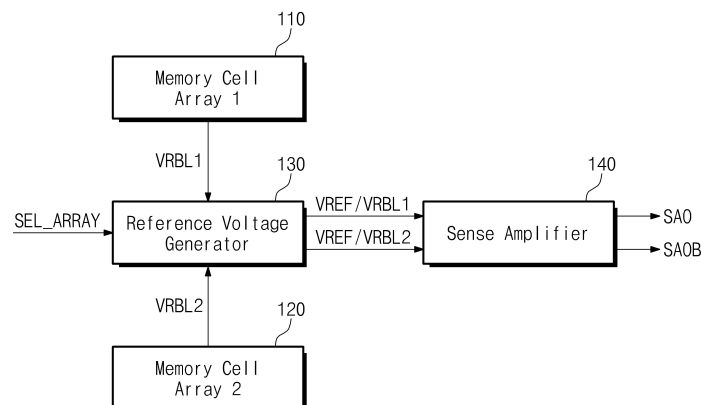
(54) 발명의 명칭 기준 전압 발생기를 포함하는 메모리 장치

(57) 요약

본 발명에 따른 스택틱 랜덤 액세스 메모리 장치는, 단일 비트 라인 구조의 메모리 셀들을 포함하는 제 1 메모리 셀 어레이, 단일 비트 라인 구조의 메모리 셀들을 포함하는 제 2 메모리 셀 어레이, 상기 제 1 메모리 셀 어레이 또는 상기 제 2 메모리 셀 어레이 중 어레이 선택 신호에 따라 선택된 메모리 셀 어레이의 비트 라인 전압을 센싱 전압으로 출력하고, 비 선택된 메모리 셀 어레이의 비트 라인 전압을 기준 전압으로 출력하는 기준 전압 생성부, 그리고 상기 센싱 전압과 상기 기준 전압의 차이를 증폭하여 출력하는 차동 센스 앰프를 포함하되, 상기 센싱 전압과 상기 기준 전압의 로직 상태는 서로 상보이다.

대표도 - 도3

100



(72) 발명자

김규홍

서울 서초구 서운로 62, 11동 1002호 (서초동, 우성아파트)

박종선

서울 성북구 안암로 145, 자연계 캠퍼스 창의관 (안암동5가, 고려대학교)

최웅

서울 성북구 안암로 145, 자연계 캠퍼스 창의관 (안암동5가, 고려대학교)

명세서

청구범위

청구항 1

단일 비트 라인 구조의 메모리 셀들을 포함하는 제 1 메모리 셀 어레이;

단일 비트 라인 구조의 메모리 셀들을 포함하는 제 2 메모리 셀 어레이;

상기 제 1 메모리 셀 어레이 또는 상기 제 2 메모리 셀 어레이 중 어레이 선택 신호에 따라 선택된 메모리 셀 어레이의 비트 라인 전압을 센싱 전압으로 출력하고, 비 선택된 메모리 셀 어레이의 비트 라인 전압을 기준 전압으로 출력하는 기준 전압 생성부; 그리고,

상기 센싱 전압과 상기 기준 전압의 차이를 증폭하여 출력하는 차동 센스 앰프를 포함하되,

상기 센싱 전압과 상기 기준 전압의 로직 상태는 서로 상보적인 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 기준 전압 생성부는 상기 선택된 메모리 셀 어레이의 비트 라인 전압 레벨에 따라 상기 출력되는 기준 전압의 레벨을 조절하는 메모리 장치.

청구항 3

제 2 항에 있어서,

상기 어레이 선택 신호는 상기 제 1 메모리 셀 어레이의 선택 여부를 나타내는 제 1 선택 신호와 상기 제 2 메모리 셀 어레이의 선택 여부를 나타내는 제 2 선택 신호를 포함하며, 상기 제 1 선택 신호와 상기 제 2 선택 신호의 로직 상태는 서로 상보적인 메모리 장치.

청구항 4

제 3 항에 있어서,

상기 기준 전압 생성부는:

상기 제 1 선택 신호 및 상기 제 2 메모리 셀 어레이의 비트 라인 전압에 따라 상기 제 1 메모리 셀 어레이의 비트 라인 전압을 센싱 전압 또는 기준 전압으로 출력하는 제 1 전압 출력부와, 그리고

상기 제 2 선택 신호 및 상기 제 1 메모리 셀 어레이의 비트 라인 전압에 따라 상기 제 2 메모리 셀 어레이의 비트 라인 전압을 센싱 전압 또는 기준 전압으로 출력하는 제 2 전압 출력부를 포함하는 메모리 장치.

청구항 5

제 4 항에 있어서,

상기 제 1 전압 출력부는:

직렬로 연결되어, 상기 제 1 선택 신호 및 상기 제 2 메모리 셀 어레이의 비트 라인 전압에 응답하여 상기 제 1 메모리 셀 어레이의 비트 라인 전압을 접지 레벨로 구동하기 위한 제 1 풀다운 트랜지스터 및 제 2 풀다운 트랜지스터를 포함하는 메모리 장치.

청구항 6

제 5 항에 있어서,

상기 제 2 전압 출력부는:

직렬로 연결되어, 상기 제 2 선택 신호 및 상기 제 1 메모리 셀 어레이의 비트 라인 전압에 응답하여 상기 제 2

메모리 셀 어레이의 비트 라인 전압을 접지 레벨로 구동하기 위한 제 3 풀다운 트랜지스터 및 제 4 풀다운 트랜지스터를 포함하는 메모리 장치.

청구항 7

제 6 항에 있어서,

상기 차동 센스 앰프의 출력 신호와 상기 제 1 선택 신호 및 제 2 선택 신호에 응답하여 선택된 메모리 셀에 저장된 데이터의 로직 상태에 대응하는 데이터 신호를 출력하는 멀티플렉서를 더 포함하는 메모리 장치.

청구항 8

오픈 비트 라인 구조의 메모리 장치에 있어서,

단일 비트 라인 구조의 메모리 셀들을 포함하는 상부 메모리 셀 어레이;

단일 비트 라인 구조의 메모리 셀들을 포함하는 하부 메모리 셀 어레이;

어드레스 신호에 응답하여 상기 상부 메모리 셀 어레이 또는 상기 하부 메모리 셀 어레이 중 하나를 선택하는 어레이 선택 신호를 출력하는 어드레스 디코더;

상기 어레이 선택 신호에 따라 선택된 메모리 셀 어레이의 비트 라인 전압을 센싱 전압으로 출력하고, 비 선택된 메모리 셀 어레이의 비트 라인 전압을 기준 전압으로 출력하는 기준 전압 생성부; 그리고,

상기 센싱 전압과 상기 기준 전압의 전압 차이를 증폭하여 출력하는 차동 센스 앰프를 포함하되,

상기 센싱 전압과 상기 기준 전압의 로직 상태는 서로 상보적인 메모리 장치.

청구항 9

제 8 항에 있어서,

상기 기준 전압 생성부는 상기 선택된 메모리 셀 어레이의 비트 라인 전압 레벨에 따라 상기 출력되는 기준 전압의 레벨을 조절하는 메모리 장치.

청구항 10

제 9 항에 있어서,

상기 어드레스 디코더는 상기 상부 메모리 셀 어레이의 선택 여부를 나타내는 상부 선택 신호와 상기 하부 메모리 셀 어레이의 선택 여부를 나타내는 하부 선택 신호를 출력하며, 상기 상부 선택 신호와 상기 하부 선택 신호의 로직 상태는 서로 상보적인 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 장치에 관한 것으로, 좀 더 구체적으로는 기준 전압 발생기를 포함하는 메모리 장치에 관한 것이다.

배경 기술

[0002] 단일 비트 라인 구조의 메모리 셀들로 구성된 메모리 장치는 읽기 동작시 차동 센스 앰프에서 전위를 비교하기 위한 기준 전압을 요구한다. 이러한 기준 전압을 공급하기 위해서는 추가적인 기준 전압 생성부가 필요하다.

[0003] 일반적으로 기준 전압 생성기의 구현을 위해서는 밴드 갭 레퍼런스(Band Gap Reference, BGR), 컨트롤 회로, 전압 생성 회로 등 다양한 회로들이 필요하다. 따라서, 기준 전압 생성기를 추가적으로 구비하는 것은 메모리 장치의 전력 소모가 증가하고 칩의 면적 또한 증가하는 문제가 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 외부에서 생성되는 기준 전압 발생기를 사용하지 않고, 메모리 내부 신호와 회로를 이용하여 기준 전압을 생성하는 메모리 장치를 제공하는데 있다.

과제의 해결 수단

[0005] 상기 목적을 달성하기 위한 본 발명에 따른 메모리 장치는, 단일 비트 라인 구조의 메모리 셀들을 포함하는 제 1 메모리 셀 어레이, 단일 비트 라인 구조의 메모리 셀들을 포함하는 제 2 메모리 셀 어레이, 상기 제 1 메모리 셀 어레이 또는 상기 제 2 메모리 셀 어레이 중 어레이 선택 신호에 따라 선택된 메모리 셀 어레이의 비트 라인 전압을 센싱 전압으로 출력하고, 비 선택된 메모리 셀 어레이의 비트 라인 전압을 기준 전압으로 출력하는 기준 전압 생성부, 그리고 상기 센싱 전압과 상기 기준 전압의 차이를 증폭하여 출력하는 차동 센스 앰프를 포함하되, 상기 센싱 전압과 상기 기준 전압의 로직 상태는 서로 상보이다.

[0006] 상기 목적을 달성하기 위한 본 발명에 따른 오픈 비트 라인 구조의 메모리 장치는, 단일 비트 라인 구조의 메모리 셀들을 포함하는 상부 메모리 셀 어레이, 단일 비트 라인 구조의 메모리 셀들을 포함하는 하부 메모리 셀 어레이, 어드레스 신호에 응답하여 상기 상부 메모리 셀 어레이 또는 상기 하부 메모리 셀 어레이 중 하나를 선택하는 어레이 선택 신호를 출력하는 어드레스 디코더, 상기 어레이 선택 신호에 따라 선택된 메모리 셀 어레이의 비트 라인 전압을 센싱 전압으로 출력하고, 비 선택된 메모리 셀 어레이의 비트 라인 전압을 기준 전압으로 출력하는 기준 전압 생성부, 그리고 상기 센싱 전압과 상기 기준 전압의 전압 차이를 증폭하여 출력하는 차동 센스 앰프를 포함하되, 상기 센싱 전압과 상기 기준 전압의 로직 상태는 서로 상보적이다.

[0007] 상기 목적을 달성하기 위한 본 발명에 따른 메모리 장치는, 단일 비트 라인 구조의 메모리 셀들 및 더미 비트 라인을 포함하는 제 1 메모리 셀 어레이, 단일 비트 라인 구조의 메모리 셀들 및 더미 비트 라인을 포함하는 제 2 메모리 셀 어레이, 상기 제 1 메모리 셀 어레이 또는 상기 제 2 메모리 셀 어레이 중 어레이 선택 신호에 따라 선택된 메모리 셀 어레이의 비트 라인 전압을 센싱 전압으로 출력하고, 비 선택된 메모리 셀 어레이의 더미 비트 라인 전압을 기준 전압으로 출력하는 기준 전압 생성부, 그리고 상기 센싱 전압과 상기 기준 전압의 차이를 증폭하여 출력하는 차동 센스 앰프를 포함하되, 상기 센싱 전압과 상기 기준 전압의 로직 상태는 서로 상보적이다.

발명의 효과

[0008] 이상과 같은 본 발명의 실시 예에 따르면, 메모리 장치의 내부 신호와 회로를 이용하여 기준 전압을 생성함으로써, 별도의 외부 기준 신호 생성기를 구비하는 것에 비해 전력 소모가 감소하고 칩 면적이 줄어드는 효과가 있다.

도면의 간단한 설명

[0009] 도 1은 2-포트 에스램 메모리 셀을 예시적으로 나타내는 도면이다.
 도 2는 도 1의 메모리 셀의 데이터 노드에 저장된 데이터에 따른 읽기 비트 라인의 전압 레벨의 변화를 보여주는 그래프이다.
 도 3은 본 발명의 실시 예에 따른 메모리 장치를 보여주는 블록도이다.
 도 4는 본 발명의 실시 예에 따른 메모리 장치를 예시적으로 보여주는 회로도이다.
 도 5는 도 4의 기준 전압 생성부의 동작을 설명하기 위한 도면이다.
 도 6은 본 발명의 다른 실시 예에 따른 메모리 장치를 보여주는 블록도이다.
 도 7은 본 발명의 또 다른 실시 예에 따른 메모리 장치를 보여주는 블록도이다.
 도 8은 본 발명에 따른 메모리 장치를 포함하는 사용자 장치를 예시적으로 보여주는 블록도이다.
 도 9는 본 발명에 따른 메모리 장치를 포함하는 컴퓨터 시스템을 예시적으로 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 앞의 일반적인 설명 및 다음의 상세한 설명 모두 예시적이라는 것이 이해되어야 하며, 청구된 발명의 추가적인 설명이 제공되는 것으로 여겨져야 한다. 참조 부호들이 본 발명의 바람직한 실시 예들에 상세히 표시되어 있으며, 그것의 예들이 참조 도면들에 표시되어 있다. 가능한 어떤 경우에도, 동일한 참조 번호들이 동일한 또는 유

사한 부분을 참조하기 위해서 설명 및 도면들에 사용된다.

- [0011] 이하에서는, 반도체 장치 또는 반도체 칩이 본 발명의 특징 및 기능을 설명하기 위한 단위의 예로서 사용될 것이다. 하지만, 이 기술 분야에 정통한 사람은 여기에 기재된 내용에 따라 본 발명의 다른 이점들 및 성능을 쉽게 이해할 수 있을 것이다. 본 발명은 다른 실시 예들을 통해 또한, 구현되거나 적용될 수 있을 것이다. 게다가, 상세한 설명은 본 발명의 범위, 기술적 사상 그리고 다른 목적으로부터 상당히 벗어나지 않고 관점 및 응용에 따라 수정되거나 변경될 수 있다.
- [0012] 도 1은 2-포트 에스램(static random access memory, SRAM)의 메모리 셀을 도시한다. 2-포트 에스램은 8개의 트랜지스터로 구성되어 8T 에스램으로도 불린다. 도 1을 참조하면, 2-포트 에스램 메모리 셀(10)은 데이터를 저장하는 래치 회로(11)와, 패스 게이트들(PG, PGB), 그리고 읽기 버퍼(12)를 포함한다. 읽기 버퍼(12)는 읽기 패스 게이트들(RPG1, RPG2)을 포함한다. 래치 회로(11)의 데이터 노드들(Q, QB)은 한 비트의 데이터를 저장한다. 2-포트 에스램 메모리 셀은 동시 멀티플 액세스가 가능하여 빠른 동작 속도가 필요한 그래픽 프로세서 유닛(GPU)에 필수적이다.
- [0013] 이하, 2-포트 에스램 메모리 셀(10)의 쓰기 및 읽기 동작을 간략히 설명한다.
- [0014] 먼저, 쓰기 동작을 설명한다. 쓰기 워드 라인(WWL)이 쓰기 워드 라인 인에이블 신호에 의해 활성화된다. 쓰기 워드 라인(WWL)이 활성화되면 패스 게이트들(PG, PGB)이 턴 온 된다. 그 후, 쓰기 드라이버(미도시)는 저장하고자 하는 데이터에 대응하는 쓰기 전압을 쓰기 비트 라인들(WBL, WBLB)에 인가한다. 인가된 쓰기 전압은 각 데이터 노드들(Q, QB)의 전압 레벨을 원하는 로직 상태로 변경시켜 쓰기 동작이 완료되게 된다.
- [0015] 다음으로, 읽기 동작을 설명한다. 읽기 동작은 먼저 읽기 비트 라인(RBL)이 프리차지 전압 레벨로 프리차지 된다. 그 후, 읽기 워드 라인(RWL)이 읽기 워드 라인 인에이블 신호에 의해 활성화된다. 읽기 워드 라인(RWL)이 활성화되면 읽기 버퍼(12)의 읽기 패스 게이트(RPG1)가 턴 온 된다. 데이터 노드(QB)에 저장된 데이터의 로직 상태에 따라 읽기 패스 게이트(RPG2)가 턴 온 또는 턴 오프 된다. 예를 들어, 데이터 노드(QB)에 저장된 데이터가 로직 하이 상태인 경우 읽기 패스 게이트(RPG2)는 턴 온 된다. 반대로 데이터 노드(QB)에 저장된 데이터가 로직 로우 상태인 경우 읽기 패스 게이트(RPG2)는 턴 오프 된다. 읽기 패스 게이트(RPG2)의 턴 온 또는 턴 오프 동작에 따라 읽기 비트 라인(RBL)과 접지 단자 사이에 전류 패스가 생성되거나 차단된다. 결과적으로, 데이터 노드(QB)에 저장된 데이터의 로직 상태에 따라 프리차지된 읽기 비트 라인(RBL)의 전압 레벨이 변하거나 변하지 않게 된다.
- [0016] 도 2는 데이터 노드의 로직 상태에 따른 읽기 비트 라인의 전압 변화를 나타내는 그래프이다. 도 2a는 데이터 노드(QB)의 로직 상태가 '1'인 경우, 도 2b는 데이터 노드(QB)의 로직 상태가 '0'인 경우를 나타낸다.
- [0017] 도 2a를 참조하면, 데이터 노드(QB)에 저장된 데이터의 로직 상태가 '1'인 경우 읽기 패스 게이트(RPG2)가 턴 온 된다. 따라서, 읽기 비트 라인(RBL)의 전압 레벨이 프리차지 전압 레벨(VDD)에서 감소하게 된다. 반면에, 도 2b를 참조하면, 데이터 노드(QB)에 저장된 데이터의 로직 상태가 '0'인 경우 읽기 패스 게이트(RPG2)가 턴 오프 된다. 따라서, 읽기 비트 라인(RBL)의 전압 레벨은 프리차지 전압 레벨(VDD)을 유지하게 된다.
- [0018] 상술한 바와 같은 2-포트 에스램 메모리 셀의 경우 단일 읽기 비트 라인(RBL)을 구비한다. 따라서, 읽기 동작시 차동 센스 앰프의 입력 신호로서 기준 신호가 추가로 필요하다. 본 발명에 따른 메모리 장치는 단일 비트 라인 메모리 셀로 구성된 메모리 장치들에 적용될 수 있는 기준 전압 생성부를 포함한다. 이하에서 설명하는 메모리 장치들은 도 1에 도시된 2-포트 에스램 메모리 셀들로 구성된 메모리 장치를 예로 들어 설명한다.
- [0019] 도 3은 본 발명의 실시 예에 따른 메모리 장치를 보여주는 블록도이다. 도 1을 참조하면, 메모리 장치(100)는 메모리 셀 어레이(110, 120), 기준 전압 생성부(130), 그리고 차동 센스 앰프(140)를 포함한다. 본 발명에 따른 메모리 장치(100)는 단일 비트 라인 구조의 메모리 셀들로 구성된다. 메모리 셀 어레이(110, 120) 각각은 복수의 단일 비트 라인 구조의 메모리 셀들을 포함한다. 기준 전압 생성부(130)는 어레이 선택 신호(SEL_ARRAY)와 각 메모리 셀 어레이의 비트 라인 전압(VRBL1, VRBL2)을 입력받아 센싱 전압과 기준 전압(VREF)을 출력한다. 차동 센스 앰프(140)는 센싱 전압과 기준 전압(VREF)의 전압 차이를 증폭하여 센스 앰프 출력 신호(SAO, SAOB)를 출력한다.
- [0020] 메모리 셀 어레이(110, 120)는 도 1에서 도시한 2-포트 에스램 메모리 셀들로 구성될 수 있으나, 이에 한정되지 않는다. 즉, 메모리 셀 어레이(100, 120)는 단일 비트 라인 구조의 다른 메모리 셀들로 구성될 수 있다. 예를 들어, 메모리 셀 어레이(100, 120)는 단일 비트 라인 구조의 디램(Dynamic Random Access Memory, DRAM) 메모리 셀들로 구성될 수 있다. 메모리 셀 어레이(110, 120)는 어드레스 신호에 응답하여 선택된 메모리 셀에 저장

된 데이터에 대응하는 전압을 비트 라인 전압(VRBL1, VRBL2)으로 출력한다.

[0021] 기준 전압 생성부(130)는 어레이 선택 신호(SEL_ARRAY) 및 각 메모리 셀 어레이로부터 비트 라인 전압(VRBL1, VRBL2)을 입력받는다. 기준 전압 생성부(130)는 어레이 선택 신호(SEL_ARRAY)에 따라 선택된 메모리 셀 어레이의 비트 라인 전압을 센싱 전압으로 출력한다. 또한, 기준 전압 생성부(130)는 비 선택된 메모리 셀 어레이의 비트 라인 전압을 기준 전압(VREF)으로 출력한다. 여기에서, 기준 전압 생성부(130)는 기준 전압(VREF) 레벨이 센싱 전압 레벨과 서로 상보적인 레벨을 가지도록 비트 라인 전압 레벨을 조절하여 출력한다. 예를 들어, 기준 전압 생성부(130)는 센싱 전압 레벨이 로직 하이 상태 레벨이면 로직 로우 상태 레벨의 기준 전압을 출력한다. 예를 들어, 기준 전압 생성부(130)는 센싱 전압 레벨이 로직 로우 상태 레벨이면 로직 하이 상태 레벨의 기준 전압을 출력한다.

[0022] 차동 센스 앰프(140)는 센싱 전압과 기준 전압(VREF)을 입력받아 두 전압의 전압 차이를 증폭하여 센스 앰프 출력 신호(SAO, SAOB)를 출력한다.

[0023] 상술한 본 발명에 따른 메모리 장치(100)는 어레이 선택 신호(SEL_ARRAY)와 메모리 셀 어레이의 비트 라인 전압을 이용하여 기준 전압을 생성한다. 즉, 기준 전압 생성부(130)는 선택된 메모리 셀 어레이의 비트 라인 전압을 센싱 전압으로 출력한다. 또한, 기준 전압 생성부(130)는 비 선택된 메모리 셀 어레이의 비트 라인 전압을 기준 전압(VREF)으로 출력한다. 기준 전압(VREF)의 로직 상태는 센싱 전압의 로직 상태와 서로 상보적이다. 따라서, 차동 센스 앰프(140)는 저장된 데이터의 상태에 따른 기준 전압(VREF)과 센싱 전압의 차이를 정확하게 증폭할 수 있다. 또한, 기준 전압 생성부(130)는 차동 센스 앰프(140)와 인접한 곳에 위치하고, 내부 신호를 이용하여 기준 전압을 생성하므로 기준 전압 생성에 따른 전력 소모를 감소시킬 수 있다.

[0024] 도 4는 본 발명에 따른 메모리 장치를 예시적으로 보여주는 회로도이다. 도 4를 참조하면, 메모리 장치(200)는 기준 전압 생성부(210), 차동 센스 앰프(220), 그리고 멀티플렉서(230)를 포함한다. 기준 전압 생성부(210)는 어레이 선택 신호들(SEL1, SEL2)에 응답하여 비트 라인 전압들(VRBL1, VRBL2) 중 어느 한 전압을 센싱 전압으로 출력하고 다른 비트 라인 전압을 기준 전압(VREF)으로 출력한다. 차동 센스 앰프(220)는 센싱 전압과 기준 전압(VREF)의 전압 차이를 증폭하여 센스 앰프 출력 신호(SAO, SAOB)를 출력한다. 멀티플렉서(230)는 비트 라인 전압들(VRBL1, VRBL2)과 어레이 선택 신호들(SEL1, SEL2)을 입력받아 논리 연산하여 선택된 메모리 셀에 저장된 데이터의 로직 상태에 대응하는 데이터 신호(DATA)를 출력한다. 이하, 도 3 및 도 4를 참조하여 본 발명에 따른 메모리 장치를 설명한다. 도 4에는 도시되지 않았지만, 기준 전압 생성부(210)의 제 1 비트 라인 전압(VRBL1)은 도 3의 제 1 메모리 셀 어레이(110)의 비트 라인으로부터 인가된다. 또한, 기준 전압 생성부(210)의 제 2 비트 라인 전압(VRBL2)은 도 3의 제 2 메모리 셀 어레이(120)의 비트 라인으로부터 인가된다. 도 3의 어레이 선택 신호(SEL_ARRAY)는 선택된 메모리 셀 어레이에 대한 정보를 나타내는 제 1 선택 신호(SEL1)와 제 2 선택 신호(SEL2)를 포함한다. 예를 들어, 제 1 메모리 셀 어레이(110)가 활성화된 경우, 제 1 선택 신호(SEL1)는 로직 하이 상태 신호이고, 제 2 선택 신호(SEL2)는 로직 로우 상태 신호일 수 있다.

[0025] 기준 전압 생성부(210)는 제 1 전압 출력부(212)와 제 2 전압 출력부(214)를 포함한다. 제 1 전압 출력부(212)는 제 1 선택 신호(SEL1) 및 제 2 메모리 셀 어레이(120)의 비트 라인 전압(VRBL2)에 따라 제 1 메모리 셀 어레이(110)의 비트 라인 전압(VRBL1)을 센싱 전압 또는 기준 전압(VREF)으로 출력한다. 제 2 전압 출력부(214)는 제 2 선택 신호(SEL2) 및 제 1 메모리 셀 어레이(110)의 비트 라인 전압(VRBL1)에 따라 제 2 메모리 셀 어레이(120)의 비트 라인 전압(VRBL2)을 센싱 전압 또는 기준 전압(VREF)으로 출력한다.

[0026] 제 1 전압 출력부(212)는 제 1 메모리 셀 어레이(110)의 비트 라인 전압(VRBL1)을 센싱 전압 또는 기준 전압(VREF)으로 출력하기 위한 제 1 풀다운 트랜지스터(NM1)와 제 2 풀다운 트랜지스터(PM1)를 포함한다. 제 1 풀다운 트랜지스터(NM1)의 일단으로 제 1 메모리 셀 어레이(110)의 비트 라인 전압(VRBL1)이 인가된다. 제 1 풀다운 트랜지스터(NM1)의 타단은 제 2 풀다운 트랜지스터(PM1)의 일단과 연결되며, 제 2 메모리 셀 어레이(120)의 비트 라인 전압(VRBL2)에 응답하여 턴 온 또는 턴 오프 된다. 제 2 풀다운 트랜지스터(PM1)의 일단은 제 1 풀다운 트랜지스터(NM1)의 타단과 연결된다. 제 2 풀다운 트랜지스터(PM1)의 타단은 노드(N3)와 연결되며, 제 1 선택 신호(SEL1)에 의해 턴 온 또는 턴 오프 된다. 즉, 제 1 풀다운 트랜지스터(NM1)와 제 2 풀다운 트랜지스터(PM1)는 서로 직렬로 연결되어 제 1 전압 출력부(212)의 입력 단자에서 접지 단자로의 전압 경로를 형성할 수 있다. 이 전압 경로는 제 1 선택 신호(SEL1)와 제 2 메모리 셀 어레이(120)의 비트 라인 전압(VRBL2)에 따라 열리거나 닫힌다. 전압 경로가 열리는 경우, 제 1 메모리 셀 어레이(110)의 비트 라인 전압(VRBL1) 레벨은 점차 감소할 것이다. 전압 경로가 닫히는 경우, 제 1 메모리 셀 어레이(110)의 비트 라인 전압(VRBL1) 레벨은 유지될 것이다.

- [0027] 제 2 전압 출력부(214)는 제 2 메모리 셀 어레이(120)의 비트 라인 전압(VRBL2)을 입력받아 센싱 전압 또는 기준 전압(VREF)으로 출력하기 위한 제 3 풀다운 트랜지스터(NM2)와 제 4 풀다운 트랜지스터(PM2)를 포함한다. 제 3 풀다운 트랜지스터(NM2)의 일단은 제 2 메모리 셀 어레이(120)의 비트 라인 전압(VRBL2)이 인가된다. 제 3 풀다운 트랜지스터(NM2)의 타단은 제 4 풀다운 트랜지스터(PM2)의 일단과 연결되며, 제 1 메모리 셀 어레이(110)의 비트 라인 전압(VRBL1)에 응답하여 턴 온 또는 턴 오프 된다. 제 4 풀다운 트랜지스터(PM2)의 일단은 제 3 풀다운 트랜지스터(NM2)의 타단과 연결된다. 제 4 풀다운 트랜지스터(PM2)의 타단은 노드(N3)와 연결되며, 제 2 선택 신호(SEL2)에 의해 턴 온 또는 턴 오프 된다. 즉, 제 3 풀다운 트랜지스터(NM2)와 제 4 풀다운 트랜지스터(PM2)는 서로 직렬로 연결되어 제 2 전압 출력부(214)의 입력 단자에서 접지 단자로의 전압 경로를 형성한다. 이 전압 경로는 제 2 선택 신호(SEL2)와 제 1 메모리 셀 어레이(110)의 비트 라인 전압(VRBL1)에 따라 열리거나 닫힌다. 전압 경로가 열리는 경우, 제 2 메모리 셀 어레이(120)의 비트 라인 전압(VRBL2) 레벨은 점차 감소할 것이다. 전압 경로가 닫히는 경우, 제 2 메모리 셀 어레이(120)의 비트 라인 전압(VRBL2) 레벨은 유지될 것이다.
- [0028] 상술한 기준 전압 생성부(210)의 보다 자세한 동작은 도 5a 및 도 5b를 참조하여 후술한다.
- [0029] 차동 센스 앰프(220)는 노드(N1)의 전압과 노드(N2)의 전압의 차이를 증폭하여 출력한다. 제 1 선택 신호(SEL1)에 의해 제 1 메모리 셀 어레이(110)가 선택된 경우 노드(N1)의 전압이 센싱 전압일 것이다. 이 경우, 노드(N2)의 전압이 기준 전압(VREF)일 것이다. 반대로, 제 2 선택 신호(SEL2)에 의해 제 2 메모리 셀 어레이(120)가 선택된 경우 노드(N2)의 전압이 센싱 전압일 것이다. 이 경우, 노드(N1)의 전압이 기준 전압(VREF)일 것이다. 이하, 차동 센스 앰프(220)의 동작을 설명한다. 동작 설명은 노드(N1)의 전압이 로직 하이 상태 전압이고 노드(N2)의 전압이 로직 로우 상태 전압인 경우를 예를 들어 설명한다.
- [0030] 먼저, 센스 앰프 인에이블 신호(SAEN)에 의해 차동 센스 앰프(220)가 활성화된다. 센스 앰프 인에이블 신호(SAEN)는 트랜지스터(PM3)와 트랜지스터(NM4)를 턴 온 시킨다. 트랜지스터(PM3)는 노드(N4)를 전원 전압(VDD) 레벨로 구동한다. 트랜지스터(NM4)는 노드(N5)를 접지 전압 레벨로 구동한다.
- [0031] 그 후, 트랜지스터(NM6)가 로직 하이 상태인 노드(N1)의 전압에 응답하여 턴 온 된다. 또한, 트랜지스터(PM4)가 로직 로우 상태인 노드(N2)의 전압에 응답하여 턴 온 된다. 따라서, 노드(N1)의 전압은 전원 전압(VDD) 레벨로 상승하고, 노드(N2)의 전압은 접지 전압 레벨로 하강한다. 따라서 차동 센스 앰프(220)는 전원 전압(VDD) 레벨의 출력 신호(SA0)와, 접지 전압 레벨의 출력 신호(SA0B)를 출력한다. 즉, 차동 센스 앰프(220)는 전원 전압(VDD) 레벨보다 낮은 두 입력 신호의 전압 차이를 전원 전압(VDD) 레벨까지 증폭하여 출력한다. 만약, 노드(N1)의 전압이 로직 로우 상태 전압이고, 노드(N2)의 전압이 로직 하이 상태 전압인 경우에는, 트랜지스터(NM5)와 트랜지스터(PM5)가 턴 온 될 것이다. 이 경우, 차동 센스 앰프(220)의 출력 신호(SA0)는 접지 전압 레벨이며, 출력 신호(SA0B)는 전원 전압 레벨(VDD)일 것이다.
- [0032] 멀티플렉서(230)는 논리 게이트들(232, 234, 236)을 포함한다. 멀티플렉서(230)는 차동 센스 앰프(220)의 출력 신호(SA0, SA0B)와 제 1 선택 신호(SEL1) 및 제 2 선택 신호(SEL2)에 응답하여, 선택된 메모리 셀에 저장된 데이터의 로직 상태에 대응하는 데이터 신호(DATA)를 출력한다. 이하, 제 1 메모리 셀 어레이(110)가 선택되고, 데이터 노드(QB)에 저장된 데이터가 로직 하이 상태인 경우를 예를 들어 멀티플렉서(230)의 동작을 설명한다.
- [0033] 데이터 노드(QB)에 저장된 데이터가 로직 하이 상태인 경우, 도 2를 참조하면 제 1 메모리 셀 어레이(110)의 비트 라인 전압(VRBL1)은 로직 로우 상태 전압이다. 또한, 제 1 선택 신호(SEL1)는 로직 하이 상태 전압, 제 2 선택 신호(SEL2)는 로직 로우 상태 전압이다. 기준 전압 생성부(210)는 로직 로우 상태 전압인 제 1 메모리 셀 어레이(110)의 비트 라인 전압(VRBL1)에 응답하여 로직 하이 상태인 기준 전압(VREF)를 출력한다.
- [0034] 논리 게이트(232)는 로직 로우 상태의 두 입력 신호를 입력받아 논리 연산하여 로직 하이 상태인 출력 신호를 출력한다. 논리 게이트(234)는 로직 하이 상태인 두 입력 신호를 입력받아 로직 로우 상태인 출력 신호를 출력한다. 논리 게이트(236)은 논리 게이트(232) 및 논리 게이트(234)의 출력 신호를 입력받아 로직 하이 상태인 데이터 신호(DATA)를 출력한다. 상술한 바와 같이 데이터 신호(DATA)는 데이터 노드(QB)에 저장된 데이터의 로직 상태와 동일하다. 여기에서 논리 게이트는 NAND 논리 게이트일 수 있다.
- [0035] 도 5a, 도 5b, 그리고 도 5c는 도 4에 따른 기준 전압 생성부의 동작을 설명하기 위한 도면이다. 도 5a는 데이터 노드에 저장된 데이터의 로직 상태에 따른 비트 라인 전압을 보여주는 그래프이다. 도 5b는 데이터 노드에 저장된 데이터가 로직 로우 상태인 경우를, 도 5c는 데이터 노드에 저장된 데이터가 로직 하이 상태인 경우의 기준 전압 생성부의 동작을 보여준다. 읽기 동작 전 각 메모리 셀 어레이(110, 120)의 비트 라인 전압(VRBL1,

VRBL2)은 프리차지 전압 레벨로 프리차지된 상태이다. 여기에서 프리차지 전압 레벨은 전원 전압(VDD) 레벨일 수 있다. 도 5b, 도 5c 모두 제 1 메모리 셀 어레이(110)가 선택된 경우를 예로 든 것이다.

[0036] 먼저, 도 1, 도3, 그리고 도 4를 참조하여 도 5b에 따른 기준 전압 생성부(210)의 동작을 설명한다.

[0037] 데이터 노드(QB)에 저장된 데이터가 로직 로우 상태인 경우 제 1 메모리 셀 어레이(110)의 비트 라인 전압(VRBL1)의 전압은 로직 하이 상태 전압('1')이다. 또한, 제 1 메모리 셀 어레이(110)가 선택되므로, 제 1 선택 신호(SEL1)는 로직 하이 상태 전압(VDD), 제 2 선택 신호(SEL2)는 로직 로우 상태 전압(VSS)이다. 비 선택된 제 2 메모리 셀 어레이(120)의 비트 라인 전압(VRBL2)은 프리차지 전압(VDD)이다.

[0038] 먼저, 기준 전압 생성부 인에이블 신호(RVEN)에 응답하여 트랜지스터(NM3)가 턴 온 된다. 기준 전압 생성부 인에이블 신호(RVEN)는 메모리 컨트롤러에서 생성될 수 있다. 그 후, 트랜지스터(PM1)는 제 1 선택 신호(SEL1)인 전원 전압(VDD)에 응답하여 턴 오프 된다. 트랜지스터(PM2)는 제 2 선택 신호(SEL2)인 접지 전압(VSS)에 응답하여 턴 온 된다. 턴 오프 된 트랜지스터(PM1)에 의해 제 1 메모리 셀 어레이(110)의 비트 라인 전압(VRBL1)은 로직 하이 상태 전압으로 유지된다. 로직 하이 상태 전압인 제 1 메모리 셀 어레이(110)의 비트 라인 전압(VRBL1)에 응답하여 트랜지스터(NM2)는 턴 온 된다. 트랜지스터(NM3), 트랜지스터(PM2), 그리고 트랜지스터(NM2)의 턴 온에 의해 노드(N2)에서 접지 단자로 전압 경로가 형성된다. 따라서, 프리차지된 제 2 메모리 셀 어레이(120)의 비트 라인 전압(VRBL2)이 감소하여 로직 로우 상태 전압이 된다. 감소된 로직 로우 상태의 비트 라인 전압(VRBL2)이 기준 전압(VREF)으로 출력된다.

[0039] 다음으로, 도 1, 도3, 그리고 도 4를 참조하여 도 5c에 따른 기준 전압 생성부(210)의 동작을 설명한다.

[0040] 데이터 노드(QB)에 저장된 데이터가 로직 하이 상태인 경우 제 1 메모리 셀 어레이(110)의 비트 라인 전압(VRBL1)의 전압은 로직 로우 상태 전압('0')이다. 또한, 제 1 메모리 셀 어레이(110)가 선택되므로, 제 1 선택 신호(SEL1)는 로직 하이 상태 전압(VDD), 제 2 선택 신호(SEL2)는 로직 로우 상태 전압(VSS)이다. 비 선택된 제 2 메모리 셀 어레이(120)의 비트 라인 전압(VRBL2)은 프리차지 전압(VDD)이다.

[0041] 먼저, 기준 전압 생성부 인에이블 신호(RVEN)에 응답하여 트랜지스터(NM3)가 턴 온 된다. 그 후, 트랜지스터(PM1)는 제 1 선택 신호(SEL1)인 전원 전압(VDD)에 응답하여 턴 오프 된다. 트랜지스터(PM2)는 제 2 선택 신호(SEL2)인 접지 전압(VSS)에 응답하여 턴 온 된다. 턴 오프 된 트랜지스터(PM1)에 의해 제 1 메모리 셀 어레이(110)의 비트 라인 전압(VRBL1)은 로직 로우 상태 전압으로 유지된다. 로직 로우 상태 전압인 제 1 메모리 셀 어레이(110)의 비트 라인 전압(VRBL1)에 응답하여 트랜지스터(NM2)는 턴 오프 된다. 트랜지스터(NM2)의 턴 오프 동작으로 인해 노드(N2)에서 접지 단자로의 전압 경로가 형성되지 않는다. 따라서, 프리차지된 제 2 메모리 셀 어레이(120)의 비트 라인 전압(VRBL2)은 유지된다. 로직 하이 상태인 비트 라인 전압(VRBL2)이 기준 전압(VREF)으로 출력된다.

[0042] 상술한 바와 같이, 본 발명에 따른 기준 전압 생성부(210)는 선택된 메모리 셀 어레이의 비트 라인 전압을 센싱 전압으로 출력한다. 또한, 기준 전압 생성부(210)는 비 선택된 메모리 셀 어레이의 비트 라인 전압을 선택된 메모리 셀 어레이의 비트 라인 전압에 따라 조절하여 기준 전압(VREF)으로 출력한다. 출력되는 기준 전압(VREF)의 로직 상태는 센싱 전압의 로직 상태와 서로 상보적이다.

[0043] 도 6은 본 발명의 다른 실시 예에 따른 메모리 장치들을 보여주는 블록도이다. 도 6을 참조하면, 메모리 장치(300)는 메모리 셀 어레이(310, 320), 기준 전압 생성부(330), 차동 센스 앰프(340), 멀티플렉서(350), 메모리 컨트롤러(360), 어드레스 디코더(370), 그리고 와이-패스 게이트(380, 390)를 포함한다. 본 발명의 다른 실시 예에 따른 메모리 장치는 오픈 비트 라인(open bit line) 구조의 메모리 장치일 수 있다. 오픈 비트 라인 구조는 중앙에 센스 앰프가 위치하고 센스 앰프의 상하에 메모리 셀 어레이가 배치된 구조를 의미한다. 오픈 비트 라인 구조의 메모리의 상부 및 하부 메모리 셀 어레이는 하나의 센스 앰프를 공유할 수 있다.

[0044] 메모리 셀 어레이(310, 320)는 단일 비트 라인 구조의 메모리 셀들로 구성된다. 예를 들어, 단일 비트 라인 구조의 메모리 셀은 도 1에 도시된 2-포트 에스램 메모리 셀일 수 있다. 오픈 비트 라인 구조의 메모리 장치인 경우, 메모리 셀 어레이(310)는 상부 메모리 셀 어레이로, 메모리 셀 어레이(320)는 하부 메모리 셀 어레이로 지칭될 수 있다.

[0045] 기준 전압 생성부(330)는 선택 신호(USEL, DSEL)와 데이터 라인(UDL, DDL) 전압을 입력받아 센싱 전압(VSEN)과 기준 전압(VREF)을 출력한다. 선택 신호(USEL, DSEL)는 어드레스 디코더(370)에서 생성될 수 있다. 선택 신호(USEL, DSEL)는 활성화된 메모리 셀 어레이에 대한 정보를 나타낸다. 예를 들어, 메모리 셀 어레이(310)가 활성화된 경우, 선택 신호(USEL)는 로직 하이 레벨이고, 선택 신호(DSEL)는 로직 로우 레벨일 수 있다. 기준 전압

생성부(330)는 활성화된 메모리 셀 어레이(310)의 데이터 라인(UDL) 전압을 센싱 전압(VSEN)으로 출력한다. 기준 전압 생성부(330)는 비 활성화된 메모리 셀 어레이(320)의 데이터 라인(DDL) 전압을 기준 전압(VREF)으로 출력한다. 여기에서, 출력되는 기준 전압(VREF)은 센싱 전압(VSEN)과 서로 상보적이다. 즉, 센싱 전압(VSEN)의 로직 상태가 로직 하이 상태이면, 기준 전압(VREF)의 로직 상태는 로직 로우 상태이다.

[0046] 차동 센스 앰프(340)는 센싱 전압(VSEN)과 기준 전압(VREF)을 입력받아 두 전압의 차이를 증폭하여 출력한다. 차동 센스 앰프(340)의 출력 신호(SAO, SAOB)는 차동 신호이며, 두 출력 신호의 전압 차이는 전원 전압 레벨일 수 있다.

[0047] 멀티플렉서(350)는 선택 신호(USEL, DSEL)와 차동 센스 앰프(340)의 출력 신호(SAO, SAOB)를 입력받아 데이터 신호(DATA)를 출력한다. 데이터 신호(DATA)는 선택된 메모리 셀에 저장된 데이터의 로직 상태에 대응하는 신호이다. 예를 들어, 선택된 메모리 셀에 저장된 데이터의 로직 상태가 로직 하이 상태인 경우, 데이터 신호(DAT A)의 로직 상태는 로직 하이 상태일 것이다.

[0048] 컨트롤러(360)는 외부 장치(예를 들면, 호스트, 메모리 컨트롤러, 메모리 인터페이스)의 제어 신호들(/CS, /OE, /WR)과 어드레스(ADD)에 응답하여 메모리 장치(300)의 제반 동작을 제어한다. 예를 들면, 컨트롤러(360)는 메모리 장치(300)의 읽기 동작 그리고 쓰기 동작을 제어할 것이다.

[0049] 어드레스 디코더(370)은 어드레스 신호(ADD)에 응답하여 메모리 셀을 선택하기 위한 신호들을 생성한다. 어드레스 디코더(370)은 와이-페스 게이트(380, 390)를 통해 특정 비트 라인을 선택하기 위한 신호(UMUX, DMUX)를 생성할 수 있다. 또는, 어드레스 디코더(370)는 활성화된 메모리 셀 어레이에 대한 정보를 나타내는 선택 신호(USEL, DSEL)을 생성할 수 있다.

[0050] 상술한 바와 같이 메모리 장치가 오픈 비트 라인 구조인 경우, 본 발명에 따른 기준 전압 생성부(330)는 차동 센스 앰프와 인접한 영역에 배치될 수 있다. 또한, 도 6에 도시된 기준 전압 생성부(330)의 배치는 상부 메모리 셀 어레이 및 하부 메모리 셀 어레이로부터 비트 라인 전압을 용이하게 입력받을 수 있는 이점이 있다.

[0051] 도 7은 본 발명의 또 다른 실시 예에 따른 메모리 장치를 보여주는 블록도이다. 도 7을 참조하면, 메모리 장치(400)는 메모리 셀 어레이(410, 420), 기준 전압 생성부(430), 차동 센스 앰프(440), 멀티플렉서(450), 메모리 컨트롤러(460), 어드레스 디코더(470), 그리고 와이-페스 게이트(480, 490)를 포함한다. 본 발명의 또 다른 실시 예에 따른 메모리 장치(400)는 더미 비트 라인(DBL)을 이용하여 기준 전압(VREF)을 생성한다. 즉, 각 메모리 셀 어레이는 하나 이상의 더미 비트 라인(DBL)을 포함할 수 있다.

[0052] 메모리 셀 어레이(410, 420)는 복수의 메모리 셀(MC)들을 포함하며, 메모리 셀(MC)들은 워드 라인들(WL0, WLm)과 비트 라인들(BL0, BLn)의 교차점에 위치한다. 메모리 셀 어레이(410, 420)는 더미 비트 라인(DBL)을 포함한다. 더미 비트 라인(DBL)은 메모리 장치의 읽기 동작시 프리차지 전압으로 프리차지 된다.

[0053] 이하, 본 발명의 또 다른 실시 예에 따른 메모리 장치(400)의 동작을 도 6에 도시된 메모리 장치(300)의 동작과의 차이점을 중심으로 설명한다. 여기에서, 동작 설명은 메모리 셀 어레이(410)가 활성화되었다고 가정하고 설명한다.

[0054] 어드레스 디코더(470)에 의해 메모리 셀 어레이(410)의 메모리 셀(MC)들 중 하나의 메모리 셀이 선택된다. 선택된 메모리 셀과 연결된 비트 라인 전압은 저장된 데이터 상태에 따라 변하거나 또는 프리차지 전압 레벨을 유지한다. 선택된 메모리 셀과 연결된 비트 라인 전압은 와이-페스 게이트(480)에 의해 데이터 라인(UDL)과 연결된다. 또한, 비 선택된 메모리 셀 어레이(420)의 더미 비트 라인(DBL)과 데이터 라인(DDL)은 와이-페스 게이트(490)에 의해 연결된다. 이 때, 비 선택된 메모리 셀 어레이(420)의 더미 비트 라인(DBL)은 프리차지 전압으로 프리차지된 상태이다.

[0055] 기준 전압 생성부(430)는 데이터 라인(UDL, DDL) 전압과 선택 신호(USEL, DSEL)를 입력받아 센싱 전압(VSEN)과 기준 전압(VREF)을 생성한다. 여기에서, 센싱 전압(VSEN)은 데이터 라인(UDL) 전압이다. 또한, 기준 전압(VREF)은 데이터 라인(UDL) 전압에 따라 데이터 라인(DDL) 전압이거나 또는 접지 레벨의 전압일 수 있다.

[0056] 차동 센스 앰프(440)는 센싱 전압(VSEN)과 기준 전압(VREF)을 입력받아 두 전압의 차이를 증폭하여 출력한다.

[0057] 멀티플렉서(450)는 차동 센스 앰프(440)의 출력 신호(SAO, SAOB)와 선택 신호(USEL, DSEL)를 입력받아 선택된 메모리 셀에 저장된 데이터의 로직 상태에 대응하는 데이터 신호(DATA)를 출력한다.

[0058] 이상에서 본 발명에 따른 메모리 장치를 2-포트 에스램 메모리 셀로 구성된 메모리 장치에 대해 설명하였으나,

본 발명의 메모리 장치가 에스램에 한정되는 것은 아니다. 본 발명에 따른 기준 전압 생성부는 단일 비트 라인 구조의 메모리 셀들로 구성된 메모리 장치에 적용될 수 있다. 따라서 본 발명에 따른 메모리 장치는 디램일 수 있다. 또한, 본 발명에 따른 기준 전압 생성부는 오픈 비트 라인 구조의 메모리 장치에 용이하게 적용할 수 있다.

- [0059] 8은 본 발명의 실시 예에 따른 메모리 장치를 포함하는 사용자 장치를 예시적으로 보여주는 블록도이다.
- [0060] 도 8을 참조하면, 사용자 장치(1000)는 메모리 컨트롤러(1200) 및 불휘발성 메모리 장치(1900)를 포함한다.
- [0061] 메모리 컨트롤러(1200)는 호스트(1100) 및 불휘발성 메모리 장치들(1900)에 연결된다. 호스트(1100)로부터의 요청에 응답하여, 메모리 컨트롤러(1200)는 불휘발성 메모리 장치들(1900)을 액세스하도록 구성된다. 예를 들면, 메모리 컨트롤러(1200)는 불휘발성 메모리 장치들(1900)의 읽기, 쓰기 그리고 소거 동작을 제어하도록 구성된다. 메모리 컨트롤러(1200)는 불휘발성 메모리 장치들(1900) 및 호스트(1100) 사이에 인터페이스를 제공하도록 구성된다. 메모리 컨트롤러(1200)는 불휘발성 메모리 장치들(1900)을 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.
- [0062] 메모리 컨트롤러(1200)는 램(RAM), 중앙 처리 장치(central processing unit: CPU), 호스트 인터페이스(host interface), 에러 정정 블록(error correcting code: ECC), 그리고 메모리 인터페이스(memory interface)와 같은 잘 알려진 구성 요소들을 포함할 수 있다. 중앙 처리 장치(1400)는 본 발명의 실시 예에 따른 메모리 장치인 에스램(1450)을 포함할 수 있다.
- [0063] 램(2600)은 중앙 처리 장치(1400)의 동작 메모리(working memory)로써 이용될 수 있다. 램(2600)은 본 발명의 실시 예에 따른 메모리 장치일 수 있으며, 이 경우 램(2600)은 디램일 수 있다. 에스램(1450)은 중앙 처리 장치(1400)의 캐시 메모리(cache memory)로써 이용될 수 있다. 중앙 처리 장치(1400)는 메모리 컨트롤러(1200)의 제반 동작을 제어한다.
- [0064] 호스트 인터페이스(1300)는 호스트(1100)와 메모리 컨트롤러(1200) 사이의 데이터 교환을 수행하기 위한 프로토콜(protocol)을 포함할 수 있다. 예를 들면, 메모리 컨트롤러(1200)는 USB(Universal Serial Bus) 프로토콜, MMC(Multimedia Card) 프로토콜, PCI(Peripheral Component Interconnection) 프로토콜, PCI-E(PCI-Express) 프로토콜, ATA(Advanced Technology Attachment) 프로토콜, SATA(Serial ATA) 프로토콜, SCSI(Small Computer Small Interface) 프로토콜, ESDI(Enhanced Small Disk Interface) 프로토콜, 그리고 IDE(Integrated Drive Electronics) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들 중 하나를 통해 외부(예를 들면, 호스트)와 통신하도록 구성될 수 있다.
- [0065] 에러 정정 블록(1700)은 불휘발성 메모리 장치들(1900)로부터 읽어진 데이터의 오류를 검출하고, 정정하도록 구성될 수 있다. 에러 정정 블록(1700)은 메모리 컨트롤러(1200)의 구성 요소로 제공될 수 있다. 다른 예로써, 에러 정정 블록(1700)은 불휘발성 메모리 장치들(1900) 각각의 구성 요소로 제공될 수 있다. 메모리 인터페이스(1500)는 불휘발성 메모리 장치들(1900)과 메모리 컨트롤러(1200)를 인터페이싱(interfacing)할 수 있다.
- [0066] 메모리 컨트롤러(1200)의 구성 요소들이 위에서 언급된 구성 요소들에 국한되지 않음은 잘 이해될 것이다. 예를 들면, 메모리 컨트롤러(1200)는 초기 부팅 동작에 필요한 코드 데이터(code data) 그리고 호스트(1100)와의 인터페이싱을 위한 데이터를 저장하는 ROM(read only memory)을 더 포함할 수 있다.
- [0067] 메모리 컨트롤러(1200) 및 불휘발성 메모리 장치들(1900)은 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 메모리 컨트롤러(1200) 및 불휘발성 메모리 장치들(1900)은 하나의 반도체 장치로 집적되어 PCMCIA(personal computer memory card international association) 카드, CF(compact flash) 카드, 스마트 미디어(smart media) 카드, 메모리 스틱(memory stick), 멀티 미디어(multi media) 카드(MMC, RS-MMC, MMC-micro), SD(secure digital) 카드(SD, Mini-SD, Micro-SD, SDHC), UFS(universal flash storage) 등을 구성할 수 있다.
- [0068] 다른 예로써, 메모리 컨트롤러(1200) 그리고 불휘발성 메모리 장치들(1900)은 반도체 드라이브(solid state drive: SSD), 컴퓨터(computer), 휴대용 컴퓨터(portable computer), UMPC(ultra mobile personal computer), 워크스테이션(work station), 넷북(net book), PDA(personal digital assistant), 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 카메라(digital camera), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크(home network)를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크(computer network)를 구성하

는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크(telematics network)를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 시스템(computer system)을 구성하는 다양한 구성 요소들 중 하나, RFID(radio frequency identification) 장치 또는 임베디드 시스템(embedded system)에 적용될 수 있다.

[0069] 본 발명의 실시 예에 따른 사용자 장치(1000)의 중앙 처리 장치(1400)는 본 발명의 실시 예에 따른 에스램(1450)을 포함할 수 있다. 에스램(1450)은 2-포트 에스램 메모리 셀들로 구성된 메모리 셀 어레이를 포함할 수 있다. 에스램(1450)은 읽기 동작을 수행하기 위해 상술한 기준 전압 생성부를 포함할 수 있다. 기준 전압 생성부는 메모리 내부에 위치하여 비트 라인 전압과 어레이 선택 신호에 이용하여 센스 앰프의 기준 전압을 생성할 수 있다.

[0070] 도 9는 본 발명의 실시 예에 따른 메모리 장치를 포함하는 컴퓨터 시스템(2000)을 예시적으로 보여주는 블록도이다.

[0071] 본 발명에 따른 컴퓨터 시스템(2000)은 시스템 버스(2700)에 전기적으로 연결되는 네트워크 어댑터(2100), 중앙 처리 장치(2200), 데이터 저장 장치(2300), 램(2400), 롬(2500) 그리고 사용자 인터페이스(2600)를 포함한다. 중앙 처리 장치(2200)는 본 발명의 실시 예에 따른 메모리 장치인 에스램(2250)을 포함한다.

[0072] 네트워크 어댑터(2100)는 컴퓨터 시스템(2000)과 외부의 네트워크들 간의 인터페이싱을 제공한다. 중앙 처리 장치(2200)는 램(2400)에 상주하는 운영 체제(Operating System)나 응용 프로그램(Application Program)을 구동하기 위한 제반 연산 처리를 수행한다. 이러한 연산 처리를 수행하기 위하여, 중앙 처리 장치(2200)는 에스램(2250)을 캐시 메모리로 사용할 수 있다. 에스램(2250)은 2-포트 에스램 메모리 셀로 구성되어, 읽기 동작시 상술한 기준 전압 생성부에 의해 기준 전압이 생성될 것이다. 센스 앰프는 생성된 기준 전압과 센싱 전압을 이용하여 두 전압의 차이를 증폭하여 센싱 동작을 수행한다. 에스램(2250)은 외부에 별도의 기준 전압 발생기를 구비하지 않으므로, 읽기 동작시 전력 소모가 감소할 것이다.

[0073] 데이터 저장 장치(2300)는 컴퓨터 시스템(2000)에서 필요한 제반 데이터를 저장한다. 예를 들면, 데이터 저장 장치(2300)에는 컴퓨터 시스템(2000)을 구동하기 위한 운영 체제(Operating System), 응용 프로그램(Application Program), 다양한 프로그램 모듈(Program Module), 프로그램 데이터(Program Data), 그리고 유저 데이터(User Data) 등이 저장된다.

[0074] 램(2400)은 컴퓨터 시스템(2000)의 워킹 메모리로 사용될 수 있다. 램(2600)은 본 발명의 실시 예에 따른 메모리 장치일 수 있으며, 이 경우 램(2600)은 디램일 수 있다. 부팅 시에 램(2400)에는 데이터 저장 장치(2300)로부터 읽혀진 운영 체제(Operating System), 응용 프로그램(Application Program), 다양한 프로그램 모듈(Program Module)과 프로그램들의 구동에 소요되는 프로그램 데이터(Program data)가 로드된다. 롬(2500)에는 부팅시 운영 체제(Operating System)가 구동되기 이전부터 활성화되는 기본적인 입출력 시스템인 바이오스(BIOS: Basic Input/Output System)가 저장된다. 유저 인터페이스(2600)를 통해서 컴퓨터 시스템(2000)과 사용자 사이의 정보 교환이 이루어진다.

[0075] 이외에도, 컴퓨터 시스템(2000)은 배터리(Battery)나 모뎀(Modem) 등을 더 포함할 수 있다. 또한, 비록 도면에는 도시되지 않았지만, 본 발명에 따른 컴퓨터 시스템에는 응용 칩셋(Application chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 모바일 디램(Mobile DRAM) 등이 더 제공될 수 있음은 잘 이해될 것이다.

부호의 설명

[0076] 10: 2-포트 에스램 메모리 셀
11: 래치 회로
12: 읽기 버퍼
100, 200, 300, 400: 메모리 장치
110, 120, 310, 320, 410, 420: 메모리 셀 어레이
130, 210, 330, 430: 기준 전압 생성부
140, 220, 340, 440: 차동 센스 앰프

230, 350: 멀티플렉서

360: 메모리 컨트롤러

370: 어드레스 디코더

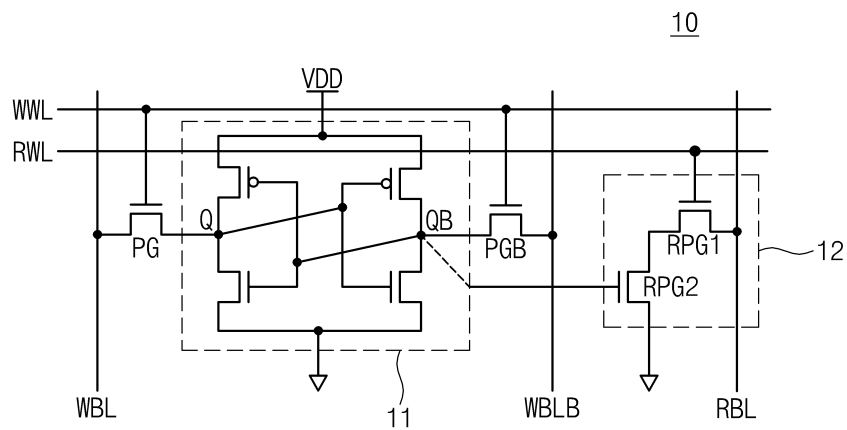
380, 390: 와이-패스 게이트

1000: 사용자 장치

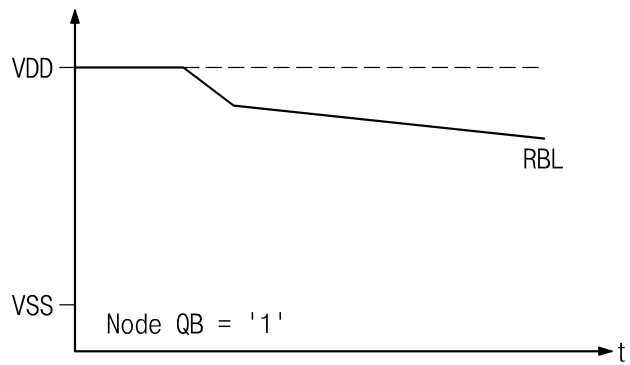
2000: 컴퓨터 시스템

도면

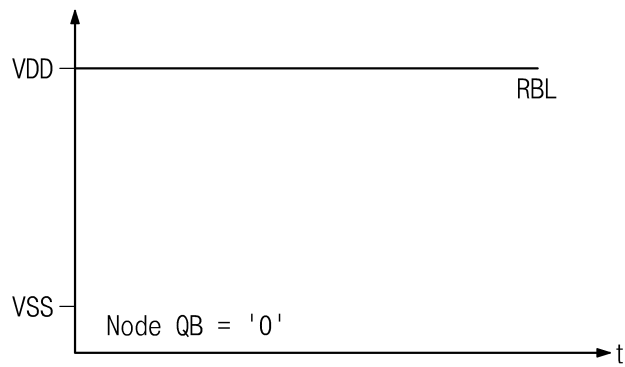
도면1



도면2a

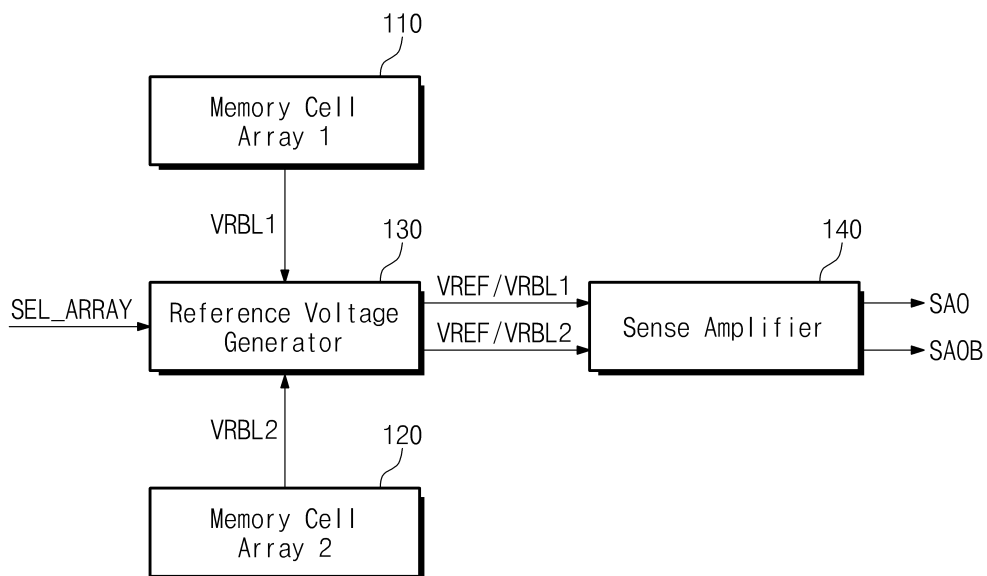


도면2b

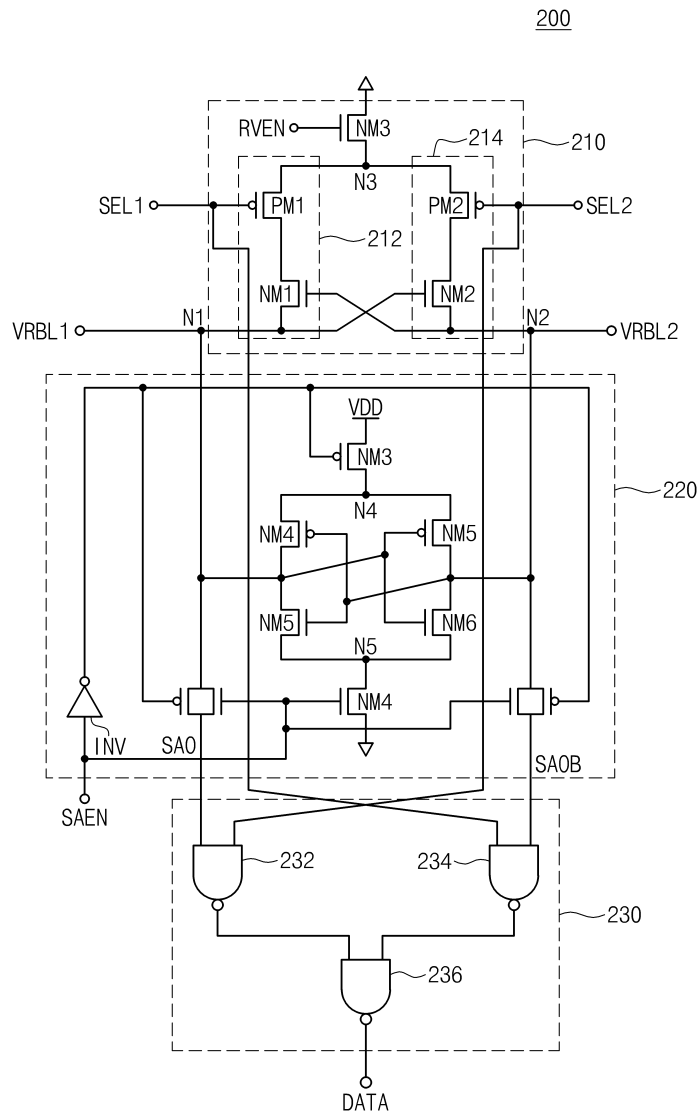


도면3

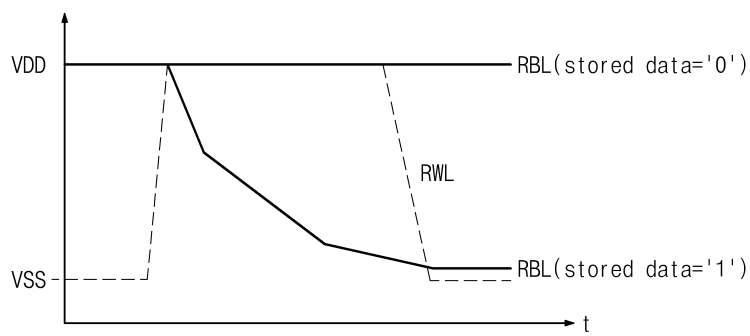
100



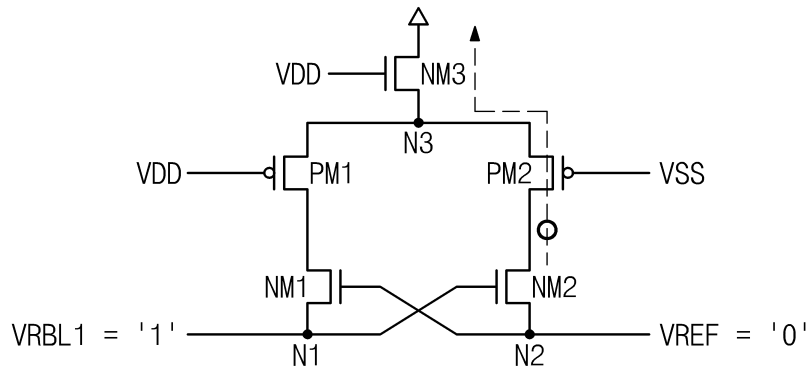
도면4



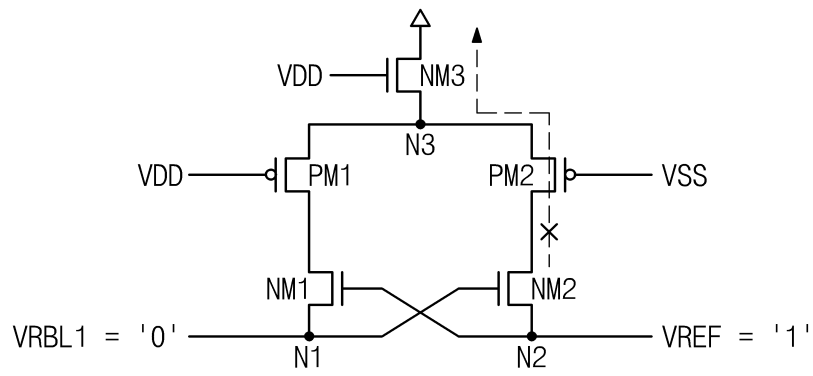
도면5a



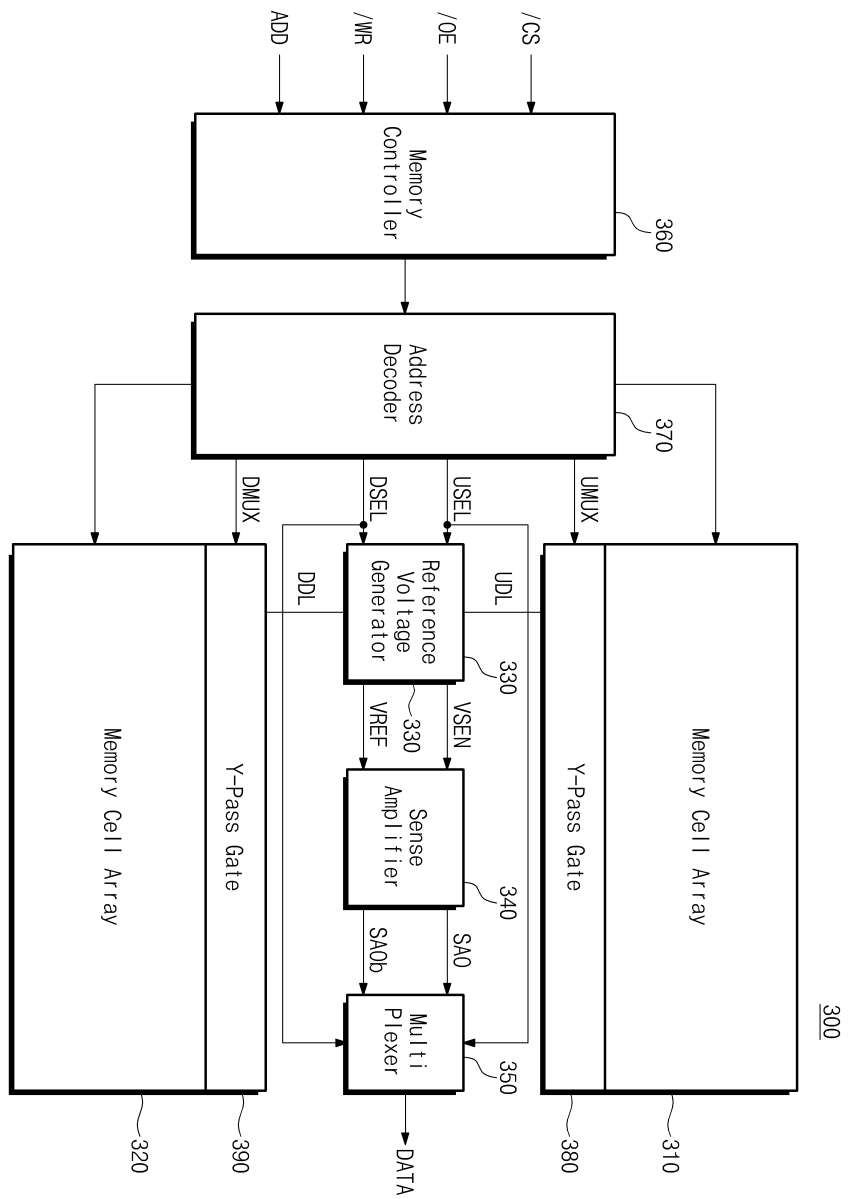
도면5b



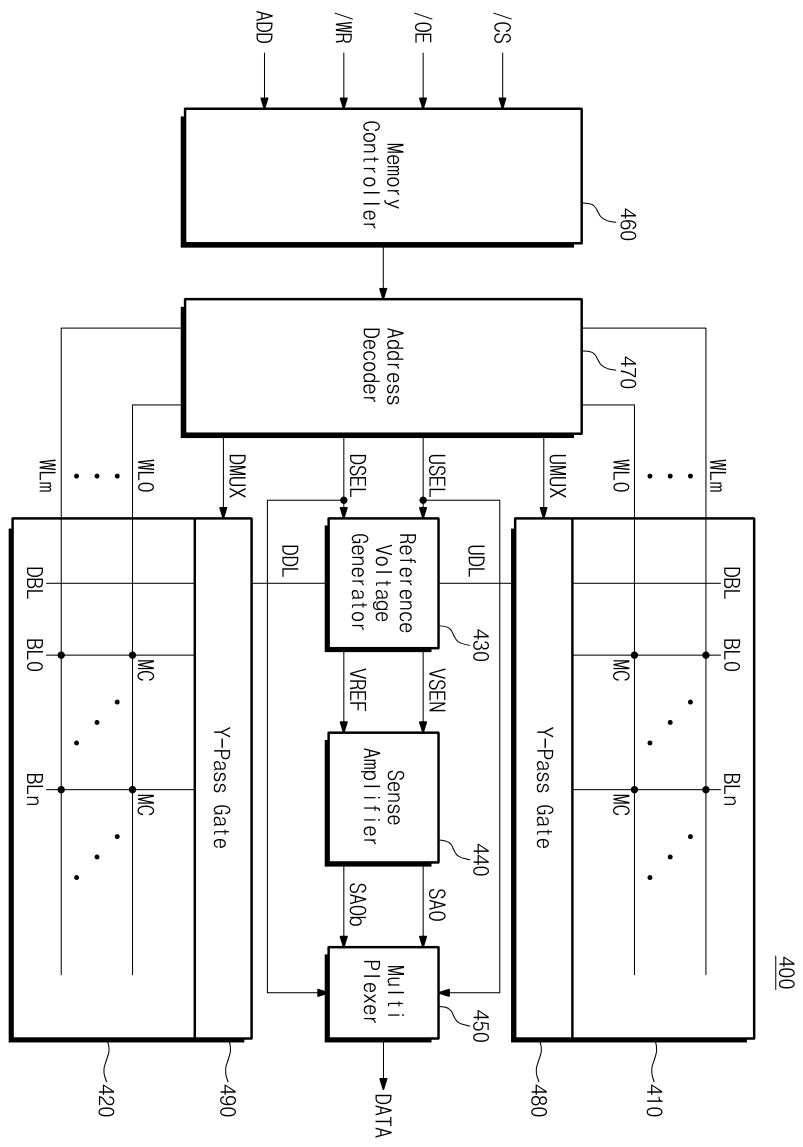
도면5c



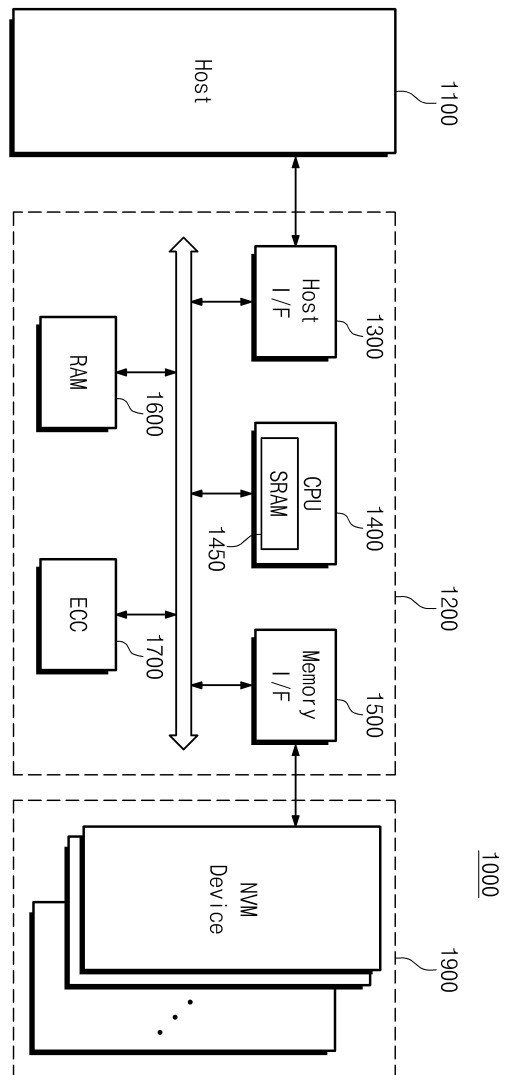
도면6



도면7



도면8



도면9

