



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년10월16일
 (11) 등록번호 10-1452128
 (24) 등록일자 2014년10월10일

(51) 국제특허분류(Int. Cl.)
 H01G 4/30 (2006.01) H05K 3/46 (2006.01)
 (21) 출원번호 10-2013-0100976
 (22) 출원일자 2013년08월26일
 심사청구일자 2013년08월26일
 (56) 선행기술조사문헌
 JP2013149939 A
 KR1020130084853 A
 KR1020130084852 A

(73) 특허권자
 삼성전기주식회사
 경기도 수원시 영통구 매영로 150 (매탄동)
 (72) 발명자
 이진우
 경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
 이해준
 경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
 (뒷면에 계속)
 (74) 대리인
 특허법인씨엔에스

전체 청구항 수 : 총 16 항

심사관 : 김상철

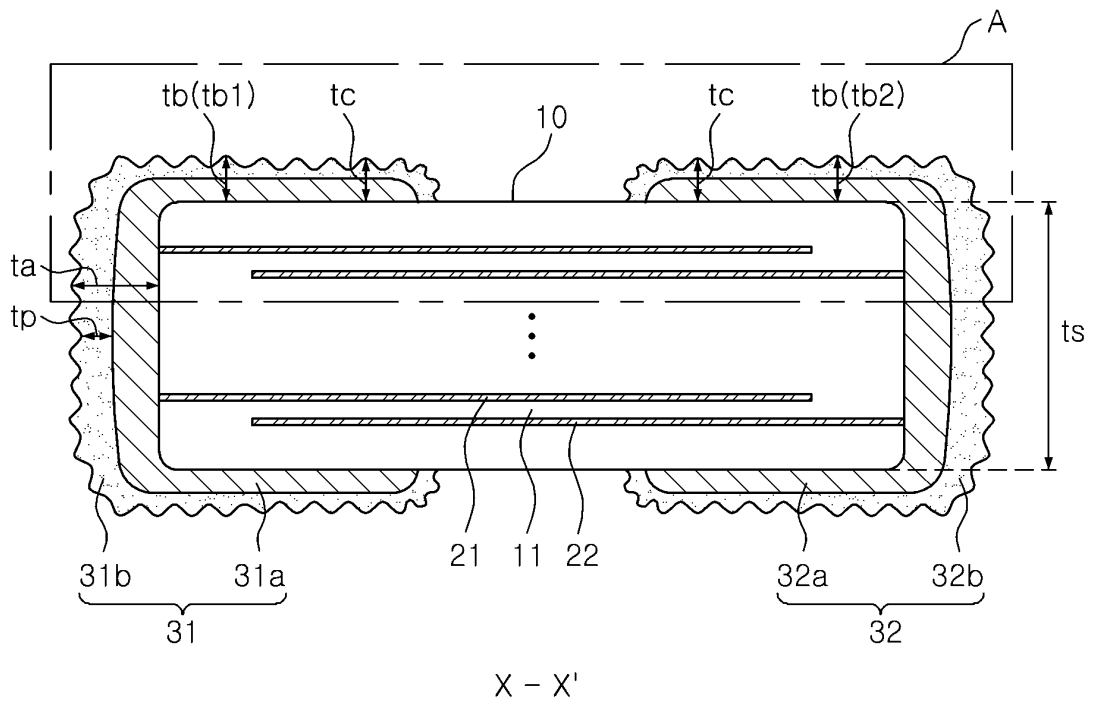
(54) 발명의 명칭 **기판 내장용 적층 세라믹 전자부품 및 적층 세라믹 전자부품 내장형 인쇄회로기판**

(57) 요약

본 발명은 유전체층을 포함하며, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체; 상기 유전체층을 사이에 두고 상기 세라믹 본체의 양 단면을 통해 번갈아 노출되도록 형성된 복수의 제1 및 제2 내부 전극; 및 상기 세라믹 본체의 양측 단부에 형성된 제1 및 제2 외

(뒷면에 계속)

대표도 - 도2



부전극;을 포함하며, 상기 제1 외부전극은 제1 바탕전극 및 상기 제1 바탕전극 상에 형성된 제1 단자전극을 포함하고, 상기 제2 외부전극은 제2 바탕전극 및 상기 제2 바탕전극 상에 형성된 제2 단자전극을 포함하고, 상기 제1 외부전극 및 제2 외부전극은 상기 세라믹 본체의 제1 및 제2 주면으로 연장 형성되며, 상기 세라믹 본체의 두께를 t_s , 상기 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최대 두께를 t_b 및 상기 세라믹 본체의 제1 및 제2 단면에 형성된 제1 및 제2 외부전극의 상기 세라믹 본체의 길이 방향 최소 거리를 t_a 라 하면, $0.1 \leq t_b/t_s \leq 1.0$ 및 $0.5 \leq t_a/t_b \leq 2.0$ 를 만족하는 기관 내장용 적층 세라믹 전자부품을 제공한다.

(72) 발명자

이병화

경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)

정진만

경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)

특허청구의 범위

청구항 1

유전체층을 포함하며, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체;

상기 유전체층을 사이에 두고 상기 세라믹 본체의 양 단면을 통해 번갈아 노출되도록 형성된 복수의 제1 및 제2 내부 전극; 및

상기 세라믹 본체의 양측 단부에 형성된 제1 및 제2 외부전극;을 포함하며,

상기 제1 외부전극은 제1 바탕전극 및 상기 제1 바탕전극 상에 형성된 제1 단자전극을 포함하고, 상기 제2 외부전극은 제2 바탕전극 및 상기 제2 바탕전극 상에 형성된 제2 단자전극을 포함하고, 상기 제1 외부전극 및 제2 외부전극은 상기 세라믹 본체의 제1 및 제2 주면으로 연장 형성되며, 상기 세라믹 본체의 두께를 t_s , 상기 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최대 두께를 t_b 및 상기 세라믹 본체의 제1 및 제2 단면에 형성된 제1 및 제2 외부전극의 상기 세라믹 본체의 길이 방향 최소 거리를 t_a 라 하면, $0.1 \leq t_b/t_s \leq 1.0$ 및 $0.5 \leq t_a/t_b \leq 2.0$ 를 만족하는 기관 내장용 적층 세라믹 전자부품.

청구항 2

제1항에 있어서,

상기 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최대 두께를 각각 t_{b1} , t_{b2} 라 하면, $0.8 \leq t_{b2}/t_{b1} \leq 1.25$ 를 만족하는 기관 내장용 적층 세라믹 전자부품.

청구항 3

제1항에 있어서,

상기 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최소 두께를 t_c 라 하면, $0.8 \leq t_c/t_b \leq 1.0$ 를 만족하는 기관 내장용 적층 세라믹 전자부품.

청구항 4

제1항에 있어서,

상기 제1 및 제2 단자전극은 구리(Cu)로 이루어진 기관 내장용 적층 세라믹 전자부품.

청구항 5

제1항에 있어서,

상기 제1 및 제2 단자전극의 두께를 t_p 라 하면, $t_p \geq 5\mu\text{m}$ 을 만족하는 기관 내장용 적층 세라믹 전자부품.

청구항 6

제1항에 있어서,

상기 제1 및 제2 단자전극의 표면조도를 R_a 및 상기 제1 및 제2 단자전극의 두께를 t_p 라 하면, $200\text{nm} \leq R_a \leq t_p$ 를 만족하는 기관 내장용 적층 세라믹 전자부품. 기관 내장용 적층 세라믹 전자부품.

청구항 7

제1항에 있어서,
 상기 제1 및 제2 단자전극은 도금으로 형성된 기판 내장용 적층 세라믹 전자부품.

청구항 8

제1항에 있어서,
 상기 세라믹 본체의 두께를 t_s 라 하면, $t_s \leq 100 \mu\text{m}$ 를 만족하는 기판 내장용 적층 세라믹 전자부품.

청구항 9

절연기판; 및
 상기 절연기판에 내장된 유전체층을 포함하며, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체와 상기 유전체층을 사이에 두고 상기 세라믹 본체의 양 단면을 통해 번갈아 노출되도록 형성된 복수의 제1 및 제2 내부 전극 및 상기 세라믹 본체의 양측 단부에 형성된 제1 및 제2 외부전극을 포함하며, 상기 제1 외부전극은 제1 바탕전극 및 상기 제1 바탕전극 상에 형성된 제1 단자전극을 포함하고, 상기 제2 외부전극은 제2 바탕전극 및 상기 제2 바탕전극 상에 형성된 제2 단자전극을 포함하고, 상기 제1 외부전극 및 제2 외부전극은 상기 세라믹 본체의 제1 및 제2 주면으로 연장 형성되며, 상기 세라믹 본체의 두께를 t_s , 상기 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최대 두께를 t_b 및 상기 세라믹 본체의 제1 및 제2 단면에 형성된 제1 및 제2 외부전극의 상기 세라믹 본체의 길이 방향 최소 거리를 t_a 라 하면, $0.1 \leq t_b/t_s \leq 1.0$ 및 $0.5 \leq t_a/t_b \leq 2.0$ 를 만족하는 기판 내장용 적층 세라믹 전자부품;
 을 포함하는 적층 세라믹 전자부품 내장형 인쇄회로기판.

청구항 10

제9항에 있어서,
 상기 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최대 두께를 각각 t_{b1} , t_{b2} 라 하면, $0.8 \leq t_{b2}/t_{b1} \leq 1.25$ 를 만족하는 적층 세라믹 전자부품 내장형 인쇄회로기판.

청구항 11

제9항에 있어서,
 상기 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최소 두께를 t_c 라 하면, $0.8 \leq t_c/t_b \leq 1.0$ 를 만족하는 적층 세라믹 전자부품 내장형 인쇄회로기판.

청구항 12

제9항에 있어서,
 상기 제1 및 제2 단자전극은 구리(Cu)로 이루어진 적층 세라믹 전자부품 내장형 인쇄회로기판.

청구항 13

제9항에 있어서,

상기 제1 및 제2 단자전극의 두께를 t_p 라 하면, $t_p \geq 5\mu\text{m}$ 을 만족하는 적층 세라믹 전자부품 내장형 인쇄회로 기판.

청구항 14

제9항에 있어서,

상기 제1 및 제2 단자전극의 표면조도를 R_a 및 상기 제1 및 제2 단자전극의 두께를 t_p 라 하면, $200\text{nm} \leq R_a \leq t_p$ 를 만족하는 적층 세라믹 전자부품 내장형 인쇄회로기판.

청구항 15

제9항에 있어서,

상기 제1 및 제2 단자전극은 도금으로 형성된 적층 세라믹 전자부품 내장형 인쇄회로기판.

청구항 16

제9항에 있어서,

상기 세라믹 본체의 두께를 t_s 라 하면, $t_s \leq 100\mu\text{m}$ 를 만족하는 적층 세라믹 전자부품 내장형 인쇄회로기판.

명세서

기술분야

[0001] 본 발명은 기판 내장용 적층 세라믹 전자부품 및 적층 세라믹 전자부품 내장형 인쇄회로기판에 관한 것이다.

배경기술

[0002] 전자회로가 고밀도화, 고집적화됨에 따라 인쇄회로 기판에 실장되는 수동 소자들의 실장 공간이 부족하게 되고, 이를 해결하기 위해 기판 속에 내장되는 부품, 즉 임베디드 소자(embedded device)를 구현하고자 하는 노력이 진행되고 있다. 특히, 용량성 부품으로 사용되는 적층 세라믹 전자부품을 기판 내부에 내장하는 방안이 다양하게 제시되고 있다.

[0003] 기판 내에 적층 세라믹 전자부품을 내장하는 방법으로는, 기판 재료 자체를 적층 세라믹 전자부품용 유전체 재료로 사용하고 구리 배선 등을 적층 세라믹 전자부품용 전극으로 사용하는 방법이 있다. 또한, 기판 내장용 적층 세라믹 전자부품을 구현하기 위한 다른 방안으로서, 고유전율의 고분자 시트나 박막의 유전체를 기판 내부에 형성하여 기판 내장용 적층 세라믹 전자부품을 형성하는 방법, 및 적층 세라믹 전자부품을 기판 내에 내장하는 방법 등이 있다.

[0004] 일반적으로 적층 세라믹 전자부품은 세라믹 재질로 된 복수 개의 유전체층과 이 복수 개의 유전체층 사이에 삽입된 내부 전극을 구비한다. 이러한 적층 세라믹 전자부품을 기판 내부에 배치시킴으로써, 높은 정전용량을 갖는 기판 내장용 적층 세라믹 전자부품을 구현할 수 있다.

- [0005] 기판 내장용 적층 세라믹 전자부품을 구비하는 인쇄회로기판을 제조하기 위해서는 적층 세라믹 전자부품을 코어 기판 내부에 삽입한 후, 기판 배선과 적층 세라믹 전자부품의 외부 전극을 연결하기 위하여 레이저를 이용하여 상부 적층판 및 하부 적층판에 비아홀(via hole)을 뚫어야 한다. 이러한 레이저 가공은 인쇄회로 기판의 제조 비용을 상당히 증가시키는 요인이 된다.
- [0006] 한편, 기판 내장용 적층 세라믹 전자부품은 기판 내 코어 부분에 내장해야 하므로, 기판의 표면에 실장하는 일반적인 적층 세라믹 전자부품과 달리 외부전극 상에 니켈/주석(Ni/Sn) 도금층이 필요치 않게 된다.
- [0007] 즉, 기판 내장용 적층 세라믹 전자부품의 외부전극은 기판 내의 회로와 구리 (Cu) 재질의 비아(via)를 통해 전기적으로 연결되기 때문에, 니켈/주석(Ni/Sn)층 대신 구리(Cu)층이 상기 외부전극 상에 필요하게 된다.
- [0008] 통상 상기 외부전극의 경우에도 구리(Cu)를 주성분으로 하고 있으나, 글라스(glass)가 포함되어 있어 기판 내 비아(via) 형성에 사용되는 레이저 가공시 상기 글라스가 포함하는 성분이 상기 레이저를 흡수함으로써, 비아의 가공 깊이를 조절할 수 없는 문제가 있다.
- [0009] 이러한 이유로, 기판 내장용 적층 세라믹 전자부품의 외부전극 상에는 구리(Cu) 도금층을 별도로 형성하고 있는 실정이다.
- [0010] 한편, 기판 내장용 적층 세라믹 전자부품의 외부전극은 일반적으로 외부전극용 도전성 페이스트를 세라믹 본체의 양 단부에 도포하여 형성한다.
- [0011] 이 경우 외부전극의 도포 형상이 일정하지 않고, 세라믹 본체의 양 단면에 형성된 외부전극의 형상이 평평하지 않아 세라믹 본체의 상하면에 형성된 외부전극의 폭을 충분히 확보하기가 어려운 문제가 있다.
- [0012] 또한, 상기 외부전극의 도포 형상이 일정하지 않아 각 영역에서의 두께 조절이 어려워 기판에 내장시 외부전극의 두께의 편차로 인하여 기판과의 사이에 박리(Delamination) 불량 발생하여 신뢰성 저하의 원인이 되고 있다.

선행기술문헌

특허문헌

- [0013] (특허문헌 0001) 한국공개특허 제2006-0047733호

발명의 내용

해결하려는 과제

- [0014] 본 발명은 기판 내장용 적층 세라믹 전자부품 및 적층 세라믹 전자부품 내장형 인쇄회로기판에 관한 것이다.

과제의 해결 수단

- [0015] 본 발명의 일 실시형태는 유전체층을 포함하며, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체; 상기 유전체층을 사이에 두고 상기 세라믹 본체의 양 단면을 통해 번갈아 노출되도록 형성된 복수의 제1 및 제2 내부 전극; 및 상기 세라믹 본체의 양측 단부에 형성된 제1 및 제2 외부전극;을 포함하며, 상기 제1 외부전극은 제1 바탕전극 및 상기 제1 바탕전극 상에 형성된 제

1 단자전극을 포함하고, 상기 제2 외부전극은 제2 바탕전극 및 상기 제2 바탕전극 상에 형성된 제2 단자전극을 포함하고, 상기 제1 외부전극 및 제2 외부전극은 상기 세라믹 본체의 제1 및 제2 주면으로 연장 형성되며, 상기 세라믹 본체의 두께를 t_s , 상기 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최대 두께를 t_b 및 상기 세라믹 본체의 제1 및 제2 단면에 형성된 제1 및 제2 외부전극의 상기 세라믹 본체의 길이 방향 최소 거리를 t_a 라 하면, $0.1 \leq t_b/t_s \leq 1.0$ 및 $0.5 \leq t_a/t_b \leq 2.0$ 를 만족하는 기관 내장용 적층 세라믹 전자 부품을 제공한다.

[0016] 상기 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최대 두께를 각각 t_{b1} , t_{b2} 라 하면, $0.8 \leq t_{b2}/t_{b1} \leq 1.25$ 를 만족할 수 있다.

[0017] 상기 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최소 두께를 t_c 라 하면, $0.8 \leq t_c/t_b \leq 1.0$ 를 만족할 수 있다.

[0018] 상기 제1 및 제2 단자전극은 구리(Cu)로 이루어질 수 있다.

[0019] 상기 제1 및 제2 단자전극의 두께를 t_p 라 하면, $t_p \geq 5 \mu\text{m}$ 을 만족할 수 있다.

[0020] 상기 제1 및 제2 단자전극의 표면조도를 R_a 및 상기 제1 및 제2 단자전극의 두께를 t_p 라 하면, $200\text{nm} \leq R_a \leq t_p$ 를 만족할 수 있다.

[0021] 상기 제1 및 제2 단자전극은 도금으로 형성될 수 있다.

[0022] 상기 세라믹 본체의 두께를 t_s 라 하면, $t_s \leq 100 \mu\text{m}$ 를 만족할 수 있다.

[0023] 본 발명의 다른 실시형태는 절연기관; 및 상기 절연기관에 내장된 유전체층을 포함하며, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체와 상기 유전체층을 사이에 두고 상기 세라믹 본체의 양 단면을 통해 번갈아 노출되도록 형성된 복수의 제1 및 제2 내부 전극 및 상기 세라믹 본체의 양측 단부에 형성된 제1 및 제2 외부전극을 포함하며, 상기 제1 외부전극은 제1 바탕전극 및 상기 제1 바탕전극 상에 형성된 제1 단자전극을 포함하고, 상기 제2 외부전극은 제2 바탕전극 및 상기 제2 바탕전극 상에 형성된 제2 단자전극을 포함하고, 상기 제1 외부전극 및 제2 외부전극은 상기 세라믹 본체의 제1 및 제2 주면으로 연장 형성되며, 상기 세라믹 본체의 두께를 t_s , 상기 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최대 두께를 t_b 및 상기 세라믹 본체의 제1 및 제2 단면에 형성된 제1 및 제2 외부전극의 상기 세라믹 본체의 길이 방향 최소 거리를 t_a 라 하면, $0.1 \leq t_b/t_s \leq 1.0$ 및 $0.5 \leq t_a/t_b \leq 2.0$ 를 만족하는 기관 내장용 적층 세라믹 전자부품;을 포함하는 적층 세라믹 전자부품 내장형 인쇄회로기판을 제공한다.

[0024] 상기 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최대 두께를 각각 t_{b1} , t_{b2} 라 하면, $0.8 \leq t_{b2}/t_{b1} \leq 1.25$ 를 만족할 수 있다.

[0025] 상기 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최소 두께를 t_c 라 하면, $0.8 \leq t_c/t_b \leq 1.0$ 를 만족할 수 있다.

[0026] 상기 제1 및 제2 단자전극은 구리(Cu)로 이루어질 수 있다.

[0027] 상기 제1 및 제2 단자전극의 두께를 t_p 라 하면, $t_p \geq 5 \mu\text{m}$ 을 만족할 수 있다.

[0028] 상기 제1 및 제2 단자전극의 표면조도를 Ra 및 상기 제1 및 제2 단자전극의 두께를 t_p 라 하면, $200\text{nm} \leq \text{Ra} \leq t_p$ 를 만족할 수 있다.

[0029] 상기 제1 및 제2 단자전극은 도금으로 형성될 수 있다.

[0030] 상기 세라믹 본체의 두께를 t_s 라 하면, $t_s \leq 100 \mu\text{m}$ 를 만족할 수 있다.

발명의 효과

[0031] 본 발명에 따르면 기판 내장용 적층 세라믹 전자부품의 단면에 형성된 외부전극의 두께와 상하면에 형성된 외부전극의 최대 두께와 최소 두께를 조절함으로써, 신뢰성이 우수한 적층 세라믹 커패시터를 구현할 수 있다.

[0032] 또한, 본 발명에 따르면, 도금층의 표면 조도를 조절하여 적층 세라믹 전자부품과 기판 사이의 들뜸 현상을 개선할 수 있는 접착 특성을 향상시킬 수 있다.

도면의 간단한 설명

[0033] 도 1은 본 발명의 일 실시형태에 따른 기판 내장용 적층 세라믹 전자부품을 나타내는 사시도이다.

도 2는 도 1의 X-X' 단면도이다.

도 3은 도 2의 A 영역의 확대도이다.

도 4는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 내장형 인쇄회로기판을 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0034] 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0035] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0036] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙이도록 한다.

[0037] 기판 내장용 적층 세라믹 전자부품

[0038] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 설명한다.

- [0039] 도 1은 본 발명의 일 실시형태에 따른 기판 내장용 적층 세라믹 전자부품을 나타내는 사시도이다.
- [0040] 도 2는 도 1의 X-X' 단면도이다.
- [0041] 도 3은 도 2의 A 영역의 확대도이다.
- [0042] 도 1 내지 도 3을 참조하면, 본 발명의 일 실시형태에 따른 기판 내장용 적층 세라믹 전자부품은 유전체층(11)을 포함하며, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체(10); 상기 유전체층(11)을 사이에 두고 상기 세라믹 본체(10)의 양 단면을 통해 번갈아 노출되도록 형성된 복수의 제1 및 제2 내부 전극(21, 22)을 포함하여 용량이 형성되는 액티브층; 상기 액티브층의 상부 및 하부에 형성된 상부 및 하부 커버층; 및 상기 세라믹 본체(10)의 양측 단부에 형성된 제1 및 제2 외부전극(31, 32)을 포함하며, 상기 제1 외부전극(31)은 제1 바탕전극(31a) 및 상기 제1 바탕전극(31a) 상에 형성된 제1 단자전극(31b)을 포함하고, 상기 제2 외부전극(32)은 제2 바탕전극(32a) 및 상기 제2 바탕전극(32a) 상에 형성된 제2 단자전극(32b)을 포함하고, 상기 제1 외부전극(31) 및 제2 외부전극(32)은 상기 세라믹 본체(10)의 제1 및 제2 주면으로 연장 형성되며, 상기 세라믹 본체(10)의 두께를 t_s , 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32)의 최대 두께를 t_b 및 상기 세라믹 본체(10)의 제1 및 제2 단면에 형성된 제1 및 제2 외부전극(31, 32)의 상기 세라믹 본체(10)의 길이 방향 최소 거리를 t_a 라 하면, $0.1 \leq t_b/t_s \leq 1.0$ 및 $0.5 \leq t_a/t_b \leq 2.0$ 를 만족할 수 있다.
- [0043] 이하에서는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 이에 제한되는 것은 아니다.
- [0044] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터에 있어서, '길이 방향'은 도 1의 'L' 방향, '폭 방향'은 'W' 방향, '두께 방향'은 'T' 방향으로 정의하기로 한다. 여기서 '두께 방향'은 유전체층을 쌓아 올리는 방향 즉 '적층 방향'과 동일한 개념으로 사용할 수 있다.
- [0045] 본 발명의 일 실시형태에서, 세라믹 본체(10)는 형상에 있어 특별히 제한은 없지만, 도시된 바와 같이 육면체 형상일 수 있다.
- [0046] 본 발명의 일 실시형태에서, 세라믹 본체(10)는 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 가질 수 있으며, 상기 제1 및 제2 주면은 상기 세라믹 본체(10)의 상면 및 하면으로 표현될 수도 있다.
- [0047] 상기 세라믹 본체(10)의 두께(t_s)는 $100 \mu\text{m}$ 이하일 수 있다.
- [0048] 상기와 같이 세라믹 본체(10)의 두께(t_s)가 $100 \mu\text{m}$ 이하로 제작함으로써, 기판 내장용 적층 세라믹 커패시터로서 적합할 수 있다.
- [0049] 또한, 상기 세라믹 본체(10)의 두께(t_s)는 상기 제1 주면 및 제2 주면 사이의 거리일 수 있다.
- [0050] 본 발명의 일 실시형태에 따르면, 상기 유전체층(11)을 형성하는 원료는 충분한 정전 용량을 얻을 수 있는 한 특별히 제한되지 않으며, 예를 들어, 티탄산바륨(BaTiO_3) 분말일 수 있다.
- [0051] 상기 유전체층(11)을 형성하는 재료는 티탄산바륨(BaTiO_3) 등의 파우더에 본 발명의 목적에 따라 다양한 세라믹 첨가제, 유기용제, 가소제, 결합제, 분산제 등이 첨가될 수 있다.

- [0052] 상기 유전체층(11) 형성에 사용되는 세라믹 분말의 평균 입경은 특별히 제한되지 않으며, 본 발명의 목적 달성을 위해 조절될 수 있으나, 예를 들어, 400 nm 이하로 조절될 수 있다.
- [0053] 이러한 세라믹 본체(10)는 커패시터의 용량 형성에 기여하는 부분으로서의 액티브층과, 상하 마진부로서 액티브층의 상하부에 각각 형성된 상부 및 하부 커버층으로 구성될 수 있다.
- [0054] 상기 액티브층은 유전체층(11)을 사이에 두고 복수의 제1 및 제2 내부 전극(21, 22)을 반복적으로 적층하여 형성될 수 있다.
- [0055] 상기 상부 및 하부 커버층은 내부 전극을 포함하지 않는 것을 제외하고는 유전체층(11)과 동일한 재질 및 구성을 가질 수 있다.
- [0056] 상기 상부 및 하부 커버층은 단일 유전체층 또는 2 개 이상의 유전체층을 액티브층의 상하면에 각각 상하 방향으로 적층하여 형성할 수 있으며, 기본적으로 물리적 또는 화학적 스트레스에 의한 내부 전극의 손상을 방지하는 역할을 수행할 수 있다.
- [0057] 한편, 상기 제1 및 제2 내부 전극(21, 22)은 서로 다른 극성을 갖는 한 쌍의 전극으로서, 유전체층(11) 상에 소정의 두께로 도전성 금속을 포함하는 도전성 페이스트를 인쇄하여 형성될 수 있다.
- [0058] 또한, 상기 제1 및 제2 내부 전극(21, 22)은 유전체층(11)의 적층 방향을 따라 양 단면을 통해 번갈아 노출되도록 형성될 수 있으며, 중간에 배치된 유전체층(11)에 의해 서로 전기적으로 절연될 수 있다.
- [0059] 즉, 제1 및 제2 내부 전극(21, 22)은 세라믹 본체(10)의 양 단면을 통해 번갈아 노출되는 부분을 통해 제1 및 제2 외부 전극(31, 32)과 각각 전기적으로 연결될 수 있다.
- [0060] 따라서, 제1 및 제2 외부 전극(31, 32)에 전압을 인가하면 서로 대향하는 제1 및 제2 내부 전극(21, 22) 사이에 전하가 축적되고, 이때 적층 세라믹 커패시터의 정전 용량은 제1 및 제2 내부 전극(21, 22)의 서로 중첩되는 영역의 면적과 비례하게 된다.
- [0061] 또한, 상기 제1 및 제2 내부 전극(21, 22)을 형성하는 도전성 페이스트에 포함되는 도전성 금속은 니켈(Ni), 구리(Cu), 팔라듐(Pd), 또는 이들의 합금일 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0062] 또한, 상기 도전성 페이스트의 인쇄 방법은 스크린 인쇄법 또는 그라비아 인쇄법 등을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0063] 본 발명의 일 실시형태에 따르면, 상기 세라믹 본체(10)의 양측 단부에는 제1 및 제2 외부전극(31, 32)이 형성될 수 있다.
- [0064] 상기 제1 외부전극(31)은 상기 제1 내부전극(21)과 전기적으로 연결되는 제1 바탕전극(31a)과 상기 제1 바탕전

극(31a) 상에 형성되는 제1 단자전극(31b)을 포함할 수 있다.

- [0065] 또한, 상기 제2 외부전극(32)은 상기 제2 내부전극(22)과 전기적으로 연결되는 제2 바탕전극(32a)과 상기 제2 바탕전극(32a) 상에 형성되는 제2 단자전극(32b)을 포함할 수 있다.
- [0066] 이하에서는, 상기 제1 및 제2 외부전극(31, 32)의 구조에 대하여 보다 상세히 설명하도록 한다.
- [0067] 상기 제1 및 제2 바탕전극(31a, 32a)은 제1 도전성 금속 및 글라스를 포함할 수 있다.
- [0068] 정전 용량 형성을 위해 상기 제1 및 제2 외부전극(31, 32)이 상기 세라믹 본체(10)의 양 단면에 형성될 수 있으며, 상기 제1 및 제2 외부전극(31, 32)이 포함하는 상기 제1 및 제2 바탕전극(31a, 32a)이 상기 제1 및 제2 내부전극(21, 22)과 전기적으로 연결될 수 있다.
- [0069] 상기 제1 및 제2 바탕전극(31a, 32a)은 상기 제1 및 제2 내부전극(21, 22)과 동일한 재료의 도전성 물질로 형성될 수 있으나 이에 제한되지는 않으며, 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 군으로부터 선택된 하나 이상인 제1 도전성 금속으로 형성될 수 있다.
- [0070] 상기 제1 및 제2 바탕전극(31a, 32a)은 상기 제1 도전성 금속 분말에 글라스 프리트를 첨가하여 마련된 도전성 페이스트를 도포한 후 소성함으로써 형성될 수 있다.
- [0071] 본 발명의 일 실시형태에 따르면, 상기 제1 및 제2 외부전극(31, 32)은 상기 제1 및 제2 바탕전극(31a, 32a) 상에 형성되는 제1 및 제2 단자전극(31b, 32b)을 포함할 수 있다.
- [0072] 상기 제1 및 제2 단자전극(31b, 32b)은 제2 도전성 금속으로 이루어질 수 있다.
- [0073] 상기 제2 도전성 금속은 특별히 제한되는 것은 아니나, 예를 들어 구리(Cu)일 수 있다.
- [0074] 일반적으로, 적층 세라믹 커패시터는 인쇄회로기판상에 실장되므로, 통상 외부전극 상에 니켈/주석 도금층을 형성한다.
- [0075] 그러나, 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터는 인쇄회로기판 내장용으로서 기판상에 실장을 하지 않으며, 상기 적층 세라믹 커패시터의 상기 제1 외부전극(31) 및 제2 외부전극(32)과 기판의 회로가 구리(Cu) 재료인 비아(via)를 통해 전기적으로 연결된다.
- [0076] 따라서, 본 발명의 일 실시형태에 따르면, 상기 제1 및 제2 단자전극(31b, 32b)은 상기 기판 내의 비아의 재료인 구리(Cu)와 전기적 연결성이 좋은 구리(Cu)로 이루어질 수 있다.
- [0077] 한편, 상기 제1 바탕전극(31a) 및 제2 바탕전극(32a)의 경우에도 구리(Cu)를 주성분으로 하고 있으나, 글라스(glass)가 포함되어 있어 기판 내 비아(via) 형성에 사용되는 레이저 가공시 상기 글라스가 포함하는 성분이 상기 레이저를 흡수함으로써, 비아의 가공 깊이를 조절할 수 없는 문제가 있다.
- [0078] 이러한 이유로, 기판 내장용 적층 세라믹 전자부품의 상기 제1 및 제2 단자전극(31b, 32b)은 구리(Cu)로 이루어질 수 있다.

- [0079] 상기 제1 및 제2 단자전극(31b, 32b)을 형성하는 방법은 특별히 제한되지 않으며, 예를 들어 도금에 의해 형성될 수 있다.
- [0080] 따라서, 소성 후의 상기 제1 및 제2 단자전극(31b, 32b)은 구리(Cu)로만 이루어져 있으며, 글라스 프리트를 포함하지 않기 때문에 기판 내 비아(via) 형성에 사용되는 레이저 가공시 상기 글라스가 포함하는 성분이 상기 레이저를 흡수함으로써, 비아의 가공 깊이를 조절할 수 없는 문제가 발생하지 않는다.
- [0081] 한편, 본 발명의 일 실시형태에 따르면 상기 제1 외부전극(31) 및 제2 외부전극(32)은 상기 세라믹 본체(10)의 제1 및 제2 주면으로 연장 형성되며, 상기 세라믹 본체(10)의 두께를 t_s , 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32)의 최대 두께를 t_b 및 상기 세라믹 본체(10)의 제1 및 제2 단면에 형성된 제1 및 제2 외부전극(31, 32)의 상기 세라믹 본체(10)의 길이 방향 최소 거리를 t_a 라 하면, $0.1 \leq t_b/t_s \leq 1.0$ 및 $0.5 \leq t_a/t_b \leq 2.0$ 를 만족할 수 있다.
- [0082] 상기 세라믹 본체(10)의 두께(t_s) 대비 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32)의 최대 두께(t_b)의 비(t_b/t_s)가 $0.1 \leq t_b/t_s \leq 1.0$ 를 만족하도록 조절함으로써, 신뢰성이 우수한 적층 세라믹 커패시터를 구현할 수 있다.
- [0083] 상기 세라믹 본체(10)의 두께(t_s) 대비 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32)의 최대 두께(t_b)의 비(t_b/t_s)가 0.1 미만의 경우에는 도금액이 침투하거나 내습 불량으로 인하여 신뢰성에 문제가 발생할 수 있다.
- [0084] 상기 세라믹 본체(10)의 두께(t_s) 대비 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32)의 최대 두께(t_b)의 비(t_b/t_s)가 1.0을 초과하는 경우에는 박리(Delamination) 불량으로 인하여 신뢰성이 저하될 수 있다.
- [0085] 또한, 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32)의 최대 두께(t_b) 대비 상기 세라믹 본체(10)의 제1 및 제2 단면에 형성된 제1 및 제2 외부전극(31, 32)의 상기 세라믹 본체(10)의 길이 방향 최소 거리(t_a)의 비(t_a/t_b)가 $0.5 \leq t_a/t_b \leq 2.0$ 를 만족하도록 조절함으로써, 신뢰성이 우수한 적층 세라믹 커패시터를 구현할 수 있다.
- [0086] 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32)의 최대 두께(t_b) 대비 상기 세라믹 본체(10)의 제1 및 제2 단면에 형성된 제1 및 제2 외부전극(31, 32)의 상기 세라믹 본체(10)의 길이 방향 최소 거리(t_a)의 비(t_a/t_b)가 0.5 미만의 경우에는 도금액이 침투하거나 내습 불량으로 인하여 신뢰성에 문제가 발생할 수 있다.
- [0087] 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32)의 최대 두께(t_b) 대비 상기 세라믹 본체(10)의 제1 및 제2 단면에 형성된 제1 및 제2 외부전극(31, 32)의 상기 세라믹 본체(10)의 길이 방향 최소 거리(t_a)의 비(t_a/t_b)가 2.0을 초과하는 경우에는 박리(Delamination) 불량이 발생하거나 전극 들뜸 불량으로 인하여 신뢰성이 저하될 수 있다.
- [0088] 한편, 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32)의 최대 두께를 각각

tb1, tb2라 하면, $0.8 \leq tb2/tb1 \leq 1.25$ 를 만족할 수 있다.

- [0089] 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32) 각각의 최대 두께(tb1, tb2)의 비(tb2/tb1)가 $0.8 \leq tb2/tb1 \leq 1.25$ 를 만족하도록 조절함으로써, 기관에 상기 적층 세라믹 커패시터를 내장시 기관과의 들뜸 불량을 감소할 수 있다.
- [0090] 즉, 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 외부전극(31)의 최대 두께(tb1)와 제2 외부전극(32)의 최대 두께(tb2)의 비가 거의 1.0에 가깝도록 조절함으로써, 제1 외부전극과 제2 외부전극의 두께의 편차를 줄일 수 있다.
- [0091] 이로 인하여, 상기 적층 세라믹 커패시터의 기관과의 접촉 면적을 증가시킴으로써 기관과의 들뜸 불량을 감소시킬 수 있는 것이다.
- [0092] 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32) 각각의 최대 두께(tb1, tb2)의 비(tb2/tb1)가 0.8 미만이거나, 1.25를 초과하는 경우에는 기관에 상기 적층 세라믹 커패시터를 내장시 기관과의 들뜸 불량이 발생할 수 있다.
- [0093] 한편, 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32)의 최소 두께를 tc라 하면, $0.8 \leq tc/tb \leq 1.0$ 를 만족할 수 있다.
- [0094] 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32)의 최대 두께(tb) 대비 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32)의 최소 두께(tc)의 비(tc/tb)가 $0.8 \leq tc/tb \leq 1.0$ 를 만족하도록 조절함으로써, 기관에 상기 적층 세라믹 커패시터를 내장시 기관과의 들뜸 불량을 감소할 수 있다.
- [0095] 일반적인 적층 세라믹 커패시터의 경우에는 외부전극을 형성하는 과정에서 외부전극용 도전성 페이스트를 세라믹 본체에 도포할 경우 그 점성으로 인하여 각 영역별 두께에 편차가 발생할 수 있다.
- [0096] 상술한 바와 같이, 각 외부전극의 영역별 두께의 편차가 발생함으로 인하여, 기관과의 접촉 면적이 줄어들어 기관에 내장할 경우 들뜸 불량이 빈번하게 발생하였다.
- [0097] 그러나, 본 발명의 일 실시형태에 따르면 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32)의 최대 두께(tb) 대비 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32)의 최소 두께(tc)의 비(tc/tb)가 거의 1.0에 가깝도록 조절함으로써, 각 외부전극의 영역별 두께 편차를 줄일 수 있다.
- [0098] 이로 인하여, 상기 적층 세라믹 커패시터의 기관과의 접촉 면적을 증가시킴으로써 기관과의 들뜸 불량을 감소시킬 수 있는 것이다.
- [0099] 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32)의 최대 두께(tb) 대비 최소 두께(tc)의 비(tc/tb)가 0.8 미만일 경우에는 기관에 상기 적층 세라믹 커패시터를 내장시 기관과의 들뜸 불량이 발생할 수 있다.
- [0100] 상기와 같이 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32)의 최대 두께(tb)

대비 최소 두께(tc)의 비(tc/tb)가 $0.8 \leq tc/tb \leq 1.0$ 를 만족하도록 조절하는 방법은 외부전극을 형성하는 공정에 있어서, 종래와 달리 2차 도포법에 의해서 구현될 수 있으며, 이에 대한 자세한 사항은 후술하도록 한다.

- [0101] 한편, 상기 제1 및 제2 단자전극(31b, 32b)의 두께를 tp라 하면, $tp \geq 5 \mu\text{m}$ 을 만족할 수 있다.
- [0102] 상기 제1 및 제2 단자전극(31b, 32b)의 두께(tp)는 $tp \geq 5 \mu\text{m}$ 을 만족할 수 있으나, 이에 제한되는 것은 아니며, 상기 제1 및 제2 단자전극(31b, 32b)의 두께(tp)는 $15 \mu\text{m}$ 이하일 수 있다.
- [0103] 상기와 같이 제1 및 제2 단자전극(31b, 32b)의 두께(tp)가 $tp \geq 5 \mu\text{m}$ 을 만족하며, $15 \mu\text{m}$ 이하가 되도록 조절함으로써, 기판 내의 비아 가공이 우수하며, 신뢰성이 우수한 적층 세라믹 커패시터를 구현할 수 있다.
- [0104] 제1 및 제2 단자전극(31b, 32b)의 두께(tp)가 $5 \mu\text{m}$ 미만의 경우에는 후술하는 바와 같이 적층 세라믹 전자부품을 인쇄회로기판에 내장할 때 도전성 비아홀의 가공 시 세라믹 본체(10)까지 도전성 비아홀이 연결되는 불량이 발생되는 문제점이 있다.
- [0105] 제1 및 제2 단자전극(31b, 32b)의 두께(tp)가 $15 \mu\text{m}$ 를 초과하는 경우에는 제1 및 제2 단자전극(31b, 32b)의 응력에 의해 세라믹 본체(10)에 크랙이 발생할 수 있다.
- [0106] 한편, 도 3을 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품은 상기 제1 및 제2 단자전극(31b, 32b)의 표면조도를 Ra 및 상기 제1 및 제2 단자전극(31b, 32b)의 두께를 tp라 할때, $200\text{nm} \leq Ra \leq tp$ 를 만족할 수 있다.
- [0107] 상기 제1 및 제2 단자전극(31b, 32b)의 표면조도(Ra)가 $200\text{nm} \leq Ra \leq tp$ 를 만족하도록 조절함으로써, 적층 세라믹 전자부품과 기판 사이의 들뜸 현상을 개선하고 크랙을 방지할 수 있다.
- [0108] 표면 조도란 금속표면을 가공할 때에 표면에 생기는 미세한 요철의 정도를 일컫는 것으로서, 표면 거칠기라고도 한다.
- [0109] 표면 조도는 가공에 사용되는 공구, 가공법의 적부, 표면에 굽힌 흠, 녹 등에 의해서 생기는 것으로, 거칠기의 정도를 나타내는 데 있어서 표면을 그것과 직각인 평면으로 절단하고 그 단면을 보면 어떤 곡선을 이루는데, 이 곡선의 가장 낮은 곳에서 가장 높은 곳까지의 높이를 취하여 이것을 중심선 평균 거칠기라고 하며, Ra로 표시할 수 있다.
- [0110] 본 발명에서는 상기 제1 및 제2 단자전극(31b, 32b)의 중심선 평균 거칠기를 Ra 라 규정하기로 한다.
- [0111] 구체적으로, 상기 제1 및 제2 단자전극(31b, 32b)의 중심선 평균 거칠기(Ra)를 산출하는 방법은 상기 제1 및 제2 단자전극(31b, 32b)의 일 표면에 형성되어 있는 조도에 대하여 가상의 중심선을 그을 수 있다.
- [0112] 다음으로, 상기 조도의 가상의 중심선을 기준으로 각각의 거리(예를 들어, $r_1, r_2, r_3 \dots r_{13}$)를 측정 후 아래 식과 같이 각 거리의 평균값을 구하여 산출된 값으로 제1 및 제2 단자전극(31b, 32b)의 중심선 평균 거칠기(Ra)를 산출할 수 있다.

$$R_a = \frac{|r'_1| + |r'_2| + |r'_3| + \dots + |r'_n|}{n}$$

- [0113]
- [0114] 상기 제1 및 제2 단자전극(31b, 32b)의 중심선 평균 거칠기(Ra)를 $200\text{nm} \leq Ra \leq tp$ 의 범위로 조절함으로써, 내전압 특성이 우수하며, 적층 세라믹 전자부품과 기판 사이의 접착력이 향상된 신뢰성이 우수한 적층 세라믹 전자부품을 구현할 수 있다.
- [0115] 상기 제1 및 제2 단자전극(31b, 32b)의 표면조도가 200nm 미만인 경우에는 적층 세라믹 전자부품과 기판 사이의 들뜸 현상이 문제될 수 있다.
- [0116] 한편, 상기 제1 및 제2 단자전극(31b, 32b)의 표면조도가 제1 및 제2 단자전극(31b, 32b)의 두께(tp)를 초과하는 경우에는 크랙이 발생할 수 있다.
- [0117] 이하에서는 본 발명의 일 실시형태에 따른 기판 내장용 적층 세라믹 전자부품의 제조방법에 대하여 설명하나, 이에 제한되는 것은 아니다.
- [0118] 본 발명의 일 실시형태에 따른 기판 내장용 적층 세라믹 전자부품의 제조 방법은 우선, 티탄산바륨(BaTiO_3) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film)상에 도포 및 건조하여 복수 개의 세라믹 그린 시트를 마련하며, 이로써 유전체 층을 형성할 수 있다.
- [0119] 상기 세라믹 그린시트는 세라믹 분말, 바인더, 용제를 혼합하여 슬러리를 제조하고, 상기 슬러리를 닥터 블레이드 법으로 수 μm 의 두께를 갖는 시트(sheet)형으로 제작할 수 있다.
- [0120] 다음으로, 니켈 입자 평균 크기가 0.1 내지 0.2 μm 이며, 40 내지 50 중량부의 니켈 분말을 포함하는 내부전극용 도전성 페이스트를 마련할 수 있다.
- [0121] 상기 그린시트 상에 상기 내부전극용 도전성 페이스트를 스크린 인쇄공법으로 도포하여 내부전극을 형성한 후 400 내지 500층 적층하여 세라믹 본체(10)를 제작할 수 있다.
- [0122] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터에 있어서 상기 제1 및 제2 내부전극(21, 22)은 상기 세라믹 본체(10)의 양 단면으로 각각 노출되도록 형성될 수 있다.
- [0123] 다음으로, 상기 세라믹 본체(10)의 단부에 제1 도전성 금속 및 글라스를 포함하는 제1 바탕전극 및 제2 바탕전극을 형성할 수 있다.
- [0124] 상기 제1 도전성 금속은 특별히 제한되는 것은 아니나, 예를 들어 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 군으로부터 선택된 하나 이상일 수 있다.

- [0125] 상기 글라스는 특별히 제한되는 것은 아니며, 일반적인 적층 세라믹 커패시터의 외부전극 제작에 사용되는 글라스와 동일한 조성의 물질이 사용될 수 있다.
- [0126] 상기 제1 및 제2 바탕전극은 상기 세라믹 본체의 단부에 형성됨으로써, 상기 제1 및 제2 내부전극과 각각 전기적으로 연결될 수 있다.
- [0127] 상기 제1 및 제2 바탕전극은 상기 제1 도전성 금속 및 글라스를 포함하는 외부전극용 도전성 페이스트를 상기 세라믹 본체의 단부에 도포하여 형성할 수 있다.
- [0128] 이 경우, 상술한 바와 같이 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32)의 최대 두께(tb) 대비 최소 두께(tc)의 비(tc/tb)가 $0.8 \leq tc/tb \leq 1.0$ 를 만족하도록 조절하기 위해, 2차 도포 방법으로 수행될 수 있다.
- [0129] 구체적으로, 세라믹 본체의 단부에 페이스트를 도포하고 건조 및 소성하는 일반적인 공정과는 달리, 페이스트를 1차로 도포한 후 세라믹 본체의 단면에 형성된 외부전극 페이스트를 블로팅(blotting)하고 건조한 후 2차로 페이스트를 도포한 후 재차 블로팅 및 건조 공정을 거침으로써 상기의 조건을 만족하는 외부전극을 구현할 수 있다.
- [0130] 다음으로, 상기 제1 바탕전극 및 제2 바탕전극 상에 제2 도전성 금속으로 이루어진 도금층을 형성할 수 있다.
- [0131] 상기 제2 도전성 금속은 특별히 제한되는 것은 아니나, 예를 들어 구리(Cu)일 수 있다.
- [0132] 상기 도금층은 제1 및 제2 단자전극으로 형성될 수 있다.
- [0133] 그 외 상술한 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품의 특징과 동일한 부분에 대해서는 여기서 생략하도록 한다.
- [0134] 이하, 실시예를 들어 본 발명을 더욱 상세히 설명하지만, 본 발명이 이에 의해 제한되는 것은 아니다.
- [0135] 본 발명의 실시 형태에 따라 기관 내장용 적층 세라믹 전자부품의 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최대 두께(tb) 대비 세라믹 본체의 제1 및 제2 단면에 형성된 제1 및 제2 외부전극의 상기 세라믹 본체의 길이 방향 최소 거리(ta)의 비(ta/tb) 및 세라믹 본체의 두께(ts) 대비 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최대 두께(tb)의 비(tb/ts)에 따른 들뜸(Delamination) 불량, 전극 들뜸 불량, 내습 부하 신뢰성 및 고온 부하 신뢰성을 조사하였다.
- [0136] 상기 들뜸(Delamination) 불량은 내장용 적층 세라믹 전자부품과 접촉면 사이에서 발생하는 들뜸이며, 상기 전극 들뜸 불량은 외부전극과 세라믹 본체면 사이에서 발생하는 들뜸을 의미한다.
- [0137] 상기 내습 부하 신뢰성 조사는 85℃, 상대습도 85%, 1 Vr 및 1시간 조건하에서 수행하였다.
- [0138] 고온 부하 신뢰성 조사는 85℃, 1 Vr, 1시간의 1 단계, 85℃, 2 Vr, 1시간의 2 단계 및 105℃, 2 Vr 및 1시간의 3 단계 시험으로 수행하였다.

[0139] 또한, 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극 각각의 최대 두께(tb1, tb2)의 비(tb2/tb1)에 따른 접착면 들뜸 발생 빈도를 조사하였다.

[0140] 또한, 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최대 두께(tb) 대비 최소 두께(tc)의 비(tc/tb)에 따른 접착면 들뜸 발생 빈도를 조사하였다.

[0141] 또한, 제1 및 제2 단자전극(31b, 32b)의 두께에 따른 비아 가공 불량 발생 여부와 제1 및 제2 단자전극(31b, 32b)의 표면조도에 따른 접착면 들뜸 발생 빈도를 확인하기 위하여 모바일폰 마더 보드용 칩부품의 통상적인 조건인 85℃, 상대습도 85%에서 적층 세라믹 전자부품이 내장된 기관을 30분간 방치한 후 각각의 실험을 수행하여 조사하였다.

[0142] 아래 표 1에서는 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최대 두께(tb) 대비 세라믹 본체의 제1 및 제2 단면에 형성된 제1 및 제2 외부전극의 상기 세라믹 본체의 길이 방향 최소 거리(ta)의 비(ta/tb) 및 세라믹 본체의 두께(ts) 대비 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최대 두께(tb)의 비(tb/ts)에 따른 들뜸(Delamination) 불량, 전극 들뜸 불량, 내습 부하 신뢰성 및 고온 부하 신뢰성을 나타내었다.

표 1

[0143]

시료	본체두께 (μm)	ta/tb	tb/ts	접착면 들뜸	전극들뜸	내습부하신 뢰성	고온부하 신 뢰성
----	---------------------------	-------	-------	--------	------	-------------	--------------

*1	100	0.25	0.05	0/200	0/200	×	×
*2			0.1	0/200	0/200	×	×
*3			0.5	0/200	0/200	×	×
*4			1.0	0/200	0/200	×	×
*5			1.2	0/200	0/200	×	×
*6		0.5	0.05	0/200	0/200	×	×
7			0.1	0/200	0/200	○	○
8			0.5	0/200	0/200	○	○
9			1.0	0/200	0/200	○	○
*10			1.2	2/200	0/200	○	○
*11		1.0	0.05	0/200	0/200	×	×
12			0.1	0/200	0/200	○	○
13			0.5	0/200	0/200	○	○
14			1.0	0/200	0/200	○	○
*15			1.2	3/200	0/200	○	○
*16		2.0	0.05	0/200	0/200	×	×
17			0.1	0/200	0/200	○	○
18			0.5	0/200	0/200	○	○
19			1.0	0/200	0/200	○	○
*20			1.2	7/200	0/200	○	○
*21		2.5	0.05	0/200	0/200	×	×
*22			0.1	0/200	5/200	○	○
*23			0.5	0/200	16/200	○	○
*24			1.0	0/200	22/200	○	○
*25			1.2	20/200	39/200	○	○
*26		3.0	0.05	14/200	13/200	×	×
*27			0.1	17/200	17/200	○	○
*28			0.5	26/200	26/200	○	○
*29			1.0	32/200	40/200	○	○
*30			1.2	47/200	59/200	○	○

[0144] *: 비교예

[0145] ×: 불량율 10% 이상

[0146] ○: 불량율 10% 미만

[0147] 상기 표 1을 참조하면, 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최대 두께(tb) 대비 세라믹 본체의 제1 및 제2 단면에 형성된 제1 및 제2 외부전극의 상기 세라믹 본체의 길이 방향 최소 거리(ta)의 비(ta/tb) 및 세라믹 본체의 두께(ts) 대비 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최대 두께(tb)의 비(tb/ts)가 $0.5 \leq ta/tb \leq 2.0$ 및 $0.1 \leq tb/ts \leq 1.0$ 를 만족하는 경우, 접착면 들뜸(Delamination) 불량 및 전극 들뜸 불량이 없으며, 내습 부하 신뢰성 및 고온 부하 신뢰성이 우수함을 알 수 있다.

[0148] 반면, ta/tb 및 tb/ts의 값이 상기 수치범위를 벗어나는 경우에는 접착면 들뜸(Delamination) 불량 및 전극 들뜸 불량이 발생하거나, 내습 부하 신뢰성 및 고온 부하 신뢰성에 문제가 있음을 알 수 있다.

[0149] 아래 표 2에서는 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극 각각의 최대 두께(tb1, tb2)의 비(tb2/tb1)에 따른 접착면 들뜸 발생 빈도율을 나타내었다.

표 2

시료	tb2/tb1	접착면 들뜸
*1	0.6	12/200
*2	0.7	6/200
*3	0.75	4/200
4	0.8	0/200
5	0.9	0/200
6	1.0	0/200
7	1.1	0/200
8	1.2	0/200
9	1.25	0/200
*10	1.3	7/200
*11	1.4	11/200

[0150]

[0151] *: 비교예

[0152] 상기 표 2를 참조하면, 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극 각각의 최대 두께(tb1, tb2)의 비(tb2/tb1)가 $0.8 \leq tb2/tb1 \leq 1.25$ 를 만족하는 경우, 접착면 들뜸(Delamination) 불량이 없어 신뢰성이 우수함을 알 수 있다.

[0153] 반면, tb2/tb1의 값이 상기 수치범위를 벗어나는 경우에는 접착면 들뜸(Delamination) 불량이 발생하여 신뢰성에 문제가 있음을 알 수 있다.

[0154] 아래 표 3에서는 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최대 두께(tb) 대비 최소 두께(tc)의 비(tc/tb)에 따른 접착면 들뜸 발생 빈도를 나타내었다.

표 3

시료	tb2/tb1	접착면 들뜸
*1	0.6	11/200
*2	0.7	7/200
3	0.8	0/200
4	0.9	0/200
5	1.0	0/200

[0155]

[0156] *: 비교예

[0157] 상기 표 3을 참조하면, 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 최대 두께(tb) 대비 최소 두께(tc)의 비(tc/tb)가 $0.8 \leq tc/tb \leq 1.0$ 를 만족하는 경우, 접착면 들뜸(Delamination) 불량이 없어 신뢰성이 우수함을 알 수 있다.

[0158] 반면, tc/tb의 값이 0.8 미만일 경우에는 접착면 들뜸(Delamination) 불량이 발생하여 신뢰성에 문제가 있음을 알 수 있다.

[0159] 아래 표 4에서는 제1 및 제2 단자전극(31b, 32b)의 두께에 따른 비아 가공 불량 발생 여부를 나타내었다.

표 4

제1 및 제2 단자전극의 두께 (μm)	판 정
1 미만	×
1 ~ 2	×
2 ~ 3	×
3 ~ 4	△
4 ~ 5	○
5 ~ 6	◎
6 이상	◎

[0161] ×: 불량율 50% 이상

[0162] △: 불량율 10%~50%

[0163] ○: 불량율 0.01%~10%

[0164] ◎: 불량율 0.01% 미만

[0165] 상기 표 4를 참조하면, 상기 제1 및 제2 단자전극(31b, 32b)의 두께가 $5\mu\text{m}$ 이상의 경우에 기판 내의 비아 가공이 우수하며, 신뢰성이 우수한 적층 세라믹 커패시터를 구현할 수 있음을 알 수 있다.

[0166] 반면, 상기 제1 및 제2 단자전극(31b, 32b)의 두께가 $5\mu\text{m}$ 미만의 경우에는 기판 내의 비아 가공시 불량 발생 할 수 있음을 알 수 있다.

[0167] 아래 표 5에서는 제1 및 제2 단자전극(31b, 32b)의 표면조도에 따른 접촉면 들뜸 발생 빈도 여부를 나타내었다.

표 5

제1 및 제2 단자전극의 표면 조도 (nm)	판 정
50 미만	×
50 ~ 100	×
100 ~ 150	△
150 ~ 200	○
200 ~ 250	◎
250 이상	◎

[0169] ×: 불량율 50% 이상

[0170] △: 불량율 10%~50%

[0171] ○: 불량율 0.01%~10%

[0172] ◎: 불량율 0.01% 미만

[0173] 상기 표 5를 참조하면, 상기 제1 및 제2 단자전극(31b, 32b)의 표면조도가 200 nm 이상의 경우에 접촉면 들뜸

발생 빈도가 적어, 신뢰성이 우수한 적층 세라믹 커패시터를 구현할 수 있음을 알 수 있다.

[0174] 반면, 상기 제1 및 제2 단자전극(31b, 32b)의 표면조도가 200 nm 미만의 경우에는 접촉면 들뜸 발생 빈도가 증가하여 신뢰성에 문제가 있음을 알 수 있다.

[0175] **적층 세라믹 전자부품 내장형 인쇄회로기판**

[0176] 도 4는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 내장형 인쇄회로기판을 나타내는 단면도이다.

[0177] 도 4를 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 내장형 인쇄회로기판(100)은 절연기판(110); 및 상기 절연기판(100)에 내장된 유전체층(11)을 포함하며, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체(10); 상기 유전체층(11)을 사이에 두고 상기 세라믹 본체(10)의 양 단면을 통해 번갈아 노출되도록 형성된 복수의 제1 및 제2 내부 전극(21, 22)을 포함하여 용량이 형성되는 액티브층; 상기 액티브층의 상부 및 하부에 형성된 상부 및 하부 커버층; 및 상기 세라믹 본체(10)의 양측 단부에 형성된 제1 및 제2 외부전극(31, 32)을 포함하며, 상기 제1 외부전극(31)은 제1 바탕전극(31a) 및 상기 제1 바탕전극(31a) 상에 형성된 제1 단자전극(31b)을 포함하고, 상기 제2 외부전극(32)은 제2 바탕전극(32a) 및 상기 제2 바탕전극(32a) 상에 형성된 제2 단자전극(32b)을 포함하고, 상기 제1 외부전극(31) 및 제2 외부전극(32)은 상기 세라믹 본체(10)의 제1 및 제2 주면으로 연장 형성되며, 상기 세라믹 본체(10)의 두께를 t_s , 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극(31, 32)의 최대 두께를 t_b 및 상기 세라믹 본체(10)의 제1 및 제2 단면에 형성된 제1 및 제2 외부전극(31, 32)의 상기 세라믹 본체(10)의 길이 방향 최소 거리를 t_a 라 하면, $0.1 \leq t_b/t_s \leq 1.0$ 및 $0.5 \leq t_a/t_b \leq 2.0$ 를 만족하는 기판 내장용 적층 세라믹 전자부품;을 포함할 수 있다.

[0178] 상기 절연기판(110)은 절연층(120)이 포함된 구조로 이루어지며, 필요에 따라 도 4에 예시된 바와 같이 다양한 형태의 층간회로를 구성하는 도전성 패턴(130) 및 도전성 비아홀(140)을 포함할 수 있다. 이러한 절연 기판(110)은, 내부에 적층 세라믹 전자부품을 포함하는 인쇄회로기판(100)일 수 있다.

[0179] 상기 적층 세라믹 전자부품은 인쇄회로기판(100)에 삽입된 후 인쇄회로기판(100)의 열처리 등과 같은 후공정 진행 중의 여러 가혹환경을 동일하게 경험하게 된다.

[0180] 특히 열처리 공정에서 인쇄회로기판(100)의 수축 및 팽창은 인쇄회로기판(100) 내부에 삽입된 적층 세라믹 전자부품에 직접적으로 전달되어 적층 세라믹 전자부품과 인쇄회로기판(100)의 접촉면에 스트레스를 가하게 된다.

[0181] 적층 세라믹 전자부품과 인쇄회로기판(100)의 접촉면에 인가된 스트레스가 접촉강도보다 높을 경우 접촉면이 떨어지는 들뜸 불량을 발생시키게 된다.

[0182] 적층 세라믹 전자부품과 인쇄회로기판(100) 사이의 접촉강도는 적층 세라믹 전자부품과 인쇄회로기판(100)의 전기화학적 결합력과 접촉면의 유효표면적에 비례하는데, 적층 세라믹 전자부품과 인쇄회로기판(100) 사이 접촉면의 유효표면적을 향상시키기 위해 적층 세라믹 전자부품의 표면조도를 제어하여 적층 세라믹 전자부품과 인쇄회로기판(100) 사이의 들뜸 현상을 개선할 수 있다.

[0183] 또한, 인쇄회로기판(100) 내장용 적층 세라믹 전자부품의 표면조도에 따른 인쇄회로기판(100)과의 접촉면 들뜸 발생 빈도를 확인할 수 있다.

[0184] 또한, 기판 내장용 적층 세라믹 전자부품의 단면에 형성된 외부전극의 두께와 상하면에 형성된 외부전극의 최대 두께와 최소 두께를 조절함으로써, 신뢰성이 우수한 적층 세라믹 커패시터를 구현할 수 있다.

[0185] 그 외의 특징은 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 내장형 인쇄회로기판의 특징과 동일하므로 여기서는 생략하도록 한다.

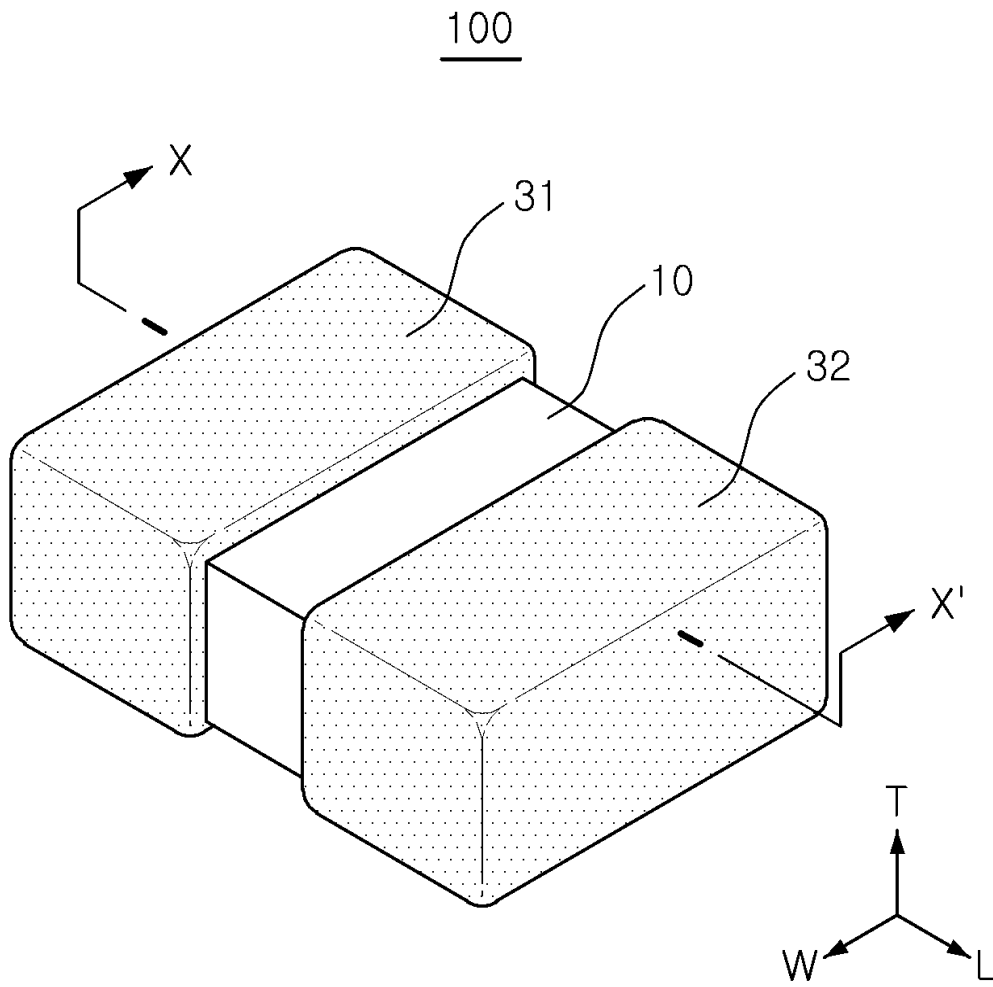
[0186] 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

부호의 설명

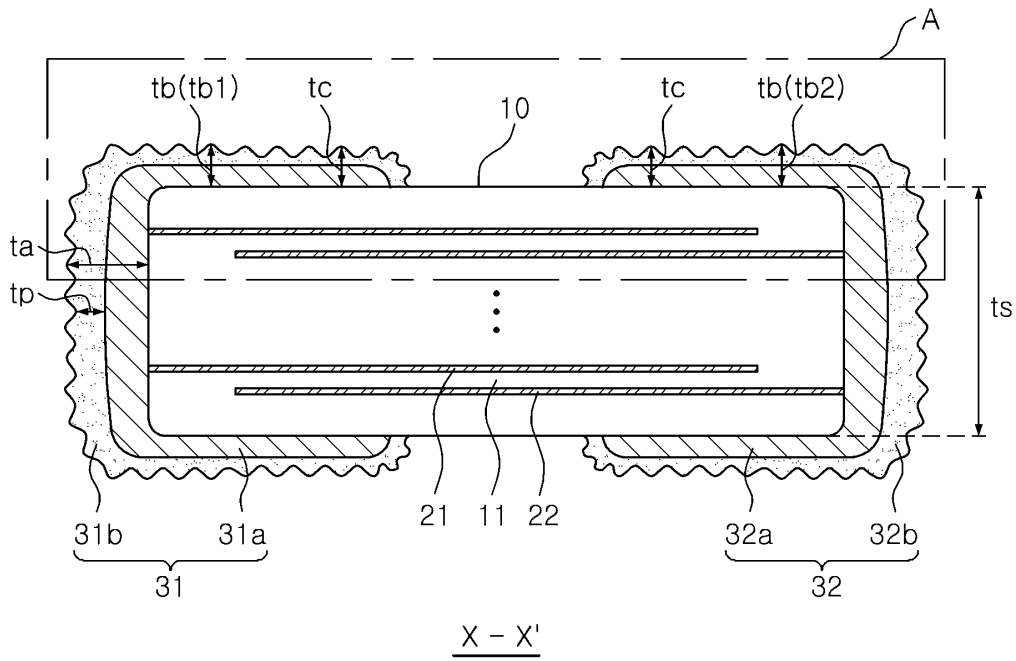
- [0187] 10: 세라믹 본체
 11: 유전체층
 21, 22: 제1 및 제2 내부전극
 31, 32: 제1, 제2 외부전극
 31a, 32a: 제1, 제2 바탕전극
 31b, 32b: 제1, 제2 단자전극
 100: 인쇄회로기판
 110: 절연기판
 120: 절연층
 130: 도전성 패턴
 140: 도전성 비아홀

도면

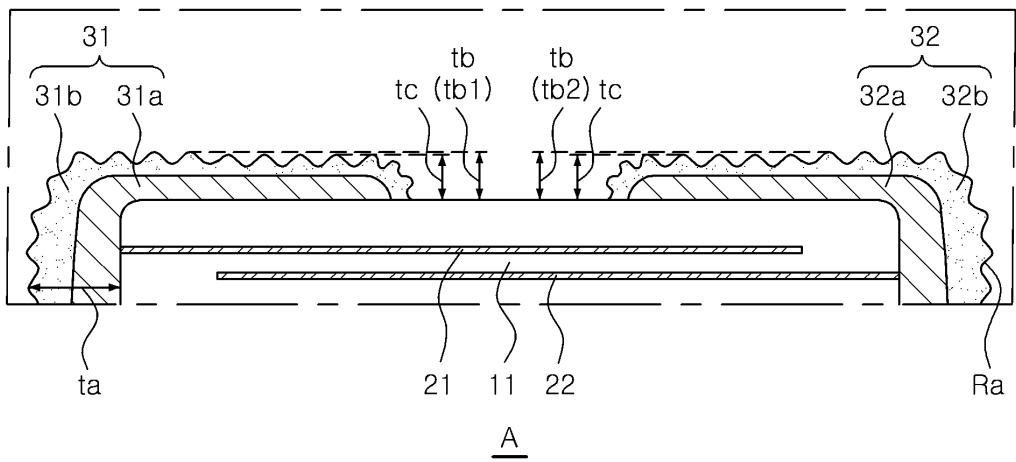
도면1



도면2



도면3



도면4

