(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
H01L 21/8247

(45) 공고일자 2002년09월28일
(11) 등록번호 10-0354304
(24) 등록일자 2002년09월12일

(21) 출원번호 10-2000-0049483
(22) 출원일자 2000년08월25일

(65) 공개번호 특2001-0076178
(43) 공개일자 2001년08월11일

(30) 우선권주장 2000-007585 2000년01월17일 일본(JP)

(73) 특허권자
료덴 세미컨덕터 시스템 엔지니어링 (주)
일본국 효고켄 이타미시 미즈하라 4-1
미쓰비시덴키 가부시키가이샤
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고

(72) 발명자
유즈리하고지로
일본도쿄도지요다쿠마루노우치2쵸메2반3고미쓰비시덴키가부시키가이샤내
시미즈슈
일본도쿄도지요다쿠마루노우치2쵸메2반3고미쓰비시덴키가부시키가이샤내
다나카다모츠
일본효고켄이타미시미즈하라4-1료덴세미컨덕터시스템엔지니어링(주)내
야노다카시
일본효고켄이타미시미즈하라4-1료덴세미컨덕터시스템엔지니어링(주)내

(74) 대리인
김창세

심사관 : 반성원

(54) 반도체 장치의 제조 방법 및 그에 의해 제조된 플래쉬메모리

요약

본 발명은 동일한 레지스트 패턴에 의해 건식 에칭 및 습식 에칭을 연속적으로 실행할 때에, 변질된 레지스트 표면층이 벗겨지지 않도록 개량된 반도체 장치의 제조 방법을 제공하는 것을 주요한 목적으로 한다.

반도체 기판(1) 상에 절연막(2)과 도전층(3)을 순차적으로 형성한다. 도전층(3)상에 레지스트 패턴(4)을 형성한다. 레지스트 패턴(4)을 마스크로 이용하여 도전층(3)을 건식 에칭한다. 레지스트 패턴(4)의 표층부를 일부 깎는다. 레지스트 패턴(4)을 마스크로 이용하여 절연막(2)을 습식 에칭한다.

대표도
도 1

명세서

도면의 간단한 설명

도 1은 실시예 1에 따른 제조 방법을 설명하기 위한 반도체 장치의 단면도,

도 2는 실시예 5에 따른 반도체 장치의 제조 방법의 순서중 제 1 공정에서의 반도체 장치의 단면도,

도 3은 실시예 5에 따른 반도체 장치의 제조 방법의 순서중 제 2 공정에서의 반도체 장치의 단면도,

도 4는 실시예 5에 따른 반도체 장치의 제조 방법의 순서중 제 3 공정에서의 반도체 장치의 단면도,

도 5는 실시예 10에 따른 플래쉬 메모리의 제조 방법에 의해 제조한 반도체 장치의 단면도,

도 6은 실시예 10에 따른 플래쉬 메모리의 제조 방법의 순서중 제 1 공정에서의 반도체 장치의 단면도,

도 7은 실시예 10에 따른 플래쉬 메모리의 제조 방법의 순서중 제 2 공정에서의 반도체 장치의 단면도,

도 8은 실시예 10에 따른 플래쉬 메모리의 제조 방법의 순서중 제 3 공정에서의 반도체 장치의 단면도,

도 9는 실시예 10에 따른 반도체 장치의 제조 방법의 순서중 제 4 공정에서의 반도체 장치의 단면도,

도 10은 실시예 10에 따른 반도체 장치의 제조 방법의 순서중 제 5 공정에서의 반도체 장치의 단면도,

도 11은 종래의 플래쉬 메모리의 메모리 셀의 단면도,

도 12는 종래의 플래쉬 메모리의 제조 방법의 순서중 제 1 공정에서의 반도체 장치의 단면도,

도 13은 종래의 플래쉬 메모리의 제조 방법의 순서중 제 2 공정에서의 반도체 장치의 단면도,

도 14는 종래의 플래쉬 메모리의 제조 방법의 순서중 제 3 공정에서의 반도체 장치의 단면도,

도 15는 종래의 플래쉬 메모리의 제조 방법의 순서중 제 4 공정에서의 반도체 장치의 단면도,

도 16은 종래의 반도체 장치의 제조 방법의 문제점을 나타내는 제 1 공정에서의 반도체 장치의 단면도,

도 17은 종래의 반도체 장치의 제조 방법의 문제점을 나타내는 제 2 공정에서의 반도체 장치의 단면도,

도 18은 실시예 3에 따른 방법을 설명하기 위한 반도체 장치의 단면도,

도 19는 실시예 7에 따른 제조 방법의 순서중 제 1 공정에서의 반도체 장치의 단면도,

도 20은 실시예 7에 따른 제조 방법의 순서중 제 2 공정에서의 반도체 장치의 단면도,

도 21은 실시예 7에 따른 제조 방법의 순서중 제 3 공정에서의 반도체 장치의 단면도,

도 22는 고저항 부하형 SRAM 메모리 셀의 등가 회로도,

도 23은 실시예 11에 따른 방법의 제조 방법의 순서중 제 1 공정에서의 반도체 장치의 단면도,

도 24 실시예 11에 따른 방법의 제조 방법의 순서중 제 2 공정에서의 반도체 장치의 단면도,

도 25 실시예 11에 따른 방법의 제조 방법의 순서중 제 3 공정에서의 반도체 장치의 단면도.

도면의 주요 부분에 대한 부호의 설명

1 : 반도체 기판 2 : 절연막

3 : 도전층 4 : 레지스트 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전반적으로 반도체 장치의 제조 방법에 관한 것으로, 특히 건식 에칭(dry etching)과 습식 에칭(wet etching)을 연속하여 실행하는 공정을 포함하는 반도체 장치의 제조 방법에 관한 것이다. 본 발명은 또한 건식 에칭 및 습식 에칭을 연속하여 실행하는 공정을 포함한 플래쉬 메모리의 제조 방법에 관한 것이다. 본 발명은 이와 같은 제조 방법에 의해 제조한 플래쉬 메모리에 관한 것이다. 본 발명은 또한 스태틱 랜덤 액세스 메모리(이하, SRAM라 함)의 제조 방법에 관한 것이다.

도 11은 종래의 플래쉬 메모리의 메모리 셀의 단면도이다.

도 11을 참조하여, P형 불순물을 포함하는 반도체 기판(1)의 표면 중에 P형 불순물 영역(1a)이 형성되어 있다. 반도체 기판(1) 상에 터널 산화막(3)을 개재시켜 플로팅 게이트(4)가 형성되어 있다. P형 불순물 영역(1a)의 표면 중에 있어서, 플로팅 게이트(4)의 양측에 소스/드레인 영역(2a, 2b)이 형성되어 있다. 플로팅 게이트(4) 상에 절연막(8)이 형성되어 있다. 절연막(8) 상에 제어 게이트(9)가 형성되어 있다. 제어 게이트(9)를 덮도록 반도체 기판(1) 상에 절연층(10, 11)이 형성되어 있다.

다음에, 플래쉬 메모리의 동작에 대하여 설명한다.

기록 동작에 있어서는, 드레인 영역(2b)에 6 8V 정도의 드레인 전압을, 제어 게이트(9)에 10 15V 정도의 게이트 전압을 인가한다. 소스 영역(2a)과 반도체 기판(1)의 전위는 접지 전위로 유지된다. 이 때, 채널 영역(2c)에는 수백 μA의 전류가 흐른다. 소스 영역(2a)에서 드레인 영역(2b)으로 흐른 전자중 드레인 영역(2b) 근방에서 가속된 전자는 고에너지를 갖는 전자(hot electron)로 된다. 이 전자는 제어 게이트(9)에 인가된 게이트 전압에 의한 전계 때문에, 화살표(12) 방향으로 흘러 플로팅 게이트(4)에 주입된다. 플로팅 게이트(4)에 전자의 축적이 행해지면, 트랜지스터의 임계값 전압이 높아지게 된다. 이 임계값 전압이 일정값보다 높게 된 경우가 "0"이라 불리는 상태이다.

다음에, 데이터 소거 동작에 대하여 설명한다. 우선, 소스 영역(2a)에 10 15V 정도의 소스 전압을 인가하고, 제어 게이트(9)와 반도체 기판(1)은 접지 전위로 유지한다. 다음에, 드레인 영역(2b)을 플로팅으로 하여 소스 영역(2a)에 인가하는 소스 전압에 의한 전계에 의해 플로팅 게이트(4)에 축적되어 있던 전자가 화살표(13) 방향으로 터널 절연막(3)을 통과하여 반도체 기판(1)내에 흐른다. 이렇게 하여, 플로팅 게이트(4) 내부에 축적되어 있던 전자가 추출됨으로

써 트랜지스터의 임계값이 높아지게 된다. 이 임계값 전압이 소정의 값보다 낮은 상태가 "1"이라 불리는 데이터를 소거한 상태이다. 이 소거 상태에 따라서, 동일 반도체 장치 내에 형성된 메모리 셀의 일괄 소거가 가능해진다. 또한, 판독 동작에 있어서는, 제어 게이트(9)에 5V 정도의 게이트 전압을 인가하고, 드레인 영역(2b)에 1 2V 정도의 드레인 전압을 인가한 때, 채널 영역(2c)에 전류가 흐르는 여부, 즉, 트랜지스터가 ON 상태인지 OFF 상태인지에 따라서 데이터가 "1"이나 "0"의 판정을 한다고 하는 것이다.

다음에, 상기한 바와 같이 구성되는 플래쉬 메모리의 제조 방법에 대하여 설명한다.

우선, 도 12를 참조하여, 단결정 실리콘으로 이루어지는 반도체 기판(1)상에 메모리 셀끼리, 주변 회로의 트랜지스터끼리 및 셀과 주변 트랜지스터를 분리하는 소자 분리 산화막을 형성하여, 메모리 셀이 형성되는 P형 불순물 영역(1a)을 형성한 후, 기판 상면을 산화하여 이산화 실리콘(SiO_2)으로 이루어지는 터널 절연막(3)을 형성한다.

도 13을 참조하여, 터널 절연막(3)상에 CVD(Chemical Vapor Deposition) 기술에 의해 다결정 실리콘을 적층하고, 이것을 메모리 셀 영역만 X 방향(지면을 향해 수평 방향, 도면에는 도시안됨)으로 에칭하여, 플로팅 게이트(4)를 형성한다. 다음에, 마찬가지로 CVD 기술에 의해 절연막(8)(예컨대, 실리콘질화(SiN)막, 실리콘 산화막)을 형성한다. 다음에, 주변 회로 영역의 절연막(8), 상기 다결정 실리콘, 터널 절연막(3)을 제거한다. 다음에, 다결정 실리콘(폴리실리콘)(플로팅게이트)(4)의 형성과 동일한 요령으로 CVD 기술에 의해 제어 게이트(9)로 되는 다결정 실리콘을 적층한다.

다음에, 도 14를 참조하여, 다결정 실리콘을 형성한 영역 중 게이트 전극으로서 남기고자 하는 영역에 대해서는, 그 상부에 레지스트 패턴(14)을 Y 방향(지면을 향해 수직 방향)으로 형성하여, 레지스트 패턴(14)을 마스크로서 터널 절연막(3)의 표면이 노출될 때까지 이방성 에칭을 실행한다.

그 후, 레지스트 패턴(14)을 플라즈마 애싱 등의 방법을 이용하여 제거한다.

도 15를 참조하여, 화살표(15) 방향을 따라 불순물 이온을 주입하여 P형 불순물 영역(1a)의 상부에 P형 불순물 영역(1a)보다 불순물 농도가 큰 N형 고농도 불순물 영역(소스/드레인 영역)(2a, 2b)의 형성을 실행한다. 그 후, 도 1l로 되돌아가, CVD 기술 등을 이용하여 실리콘 산화막으로 이루어지는 절연층(10, 11)을 보호막으로서 형성함으로써 플래쉬 메모리가 완성된다.

발명이 이루고자 하는 기술적 과제

이상과 같이 구성되는 반도체 장치의 제조 방법의 문제점에 대하여 간략화한 도면을 이용하여 설명한다.

도 16을 참조하여, 실리콘 기판(1) 상에 SiO_2막(2)을 형성한다. SiO_2막(2) 상에 폴리 실리콘막(3)을 퇴적한다. 폴리 실리콘막(3) 상에 사진 제판 기술에 의해 레지스트 패턴(4)을 형성한다. 레지스트 패턴(4)을 마스크로 하여, 폴리 실리콘막(3)을 건식 에칭하고, 이어서 연속적으로 SiO_2막(2)을 불산(HF)액에 의해 에칭한다.

이 때, 도 17을 참조하여, 불산액으로 처리할 때에 폴리 실리콘막(3)의 건식 에칭시에 변질된 레지스트 패턴(4)의 표면층(5)이 벗겨진다. 벗겨진 레지스트 표면층(5)이 실리콘 기판(1) 상에 재부착하여, 이 벗겨진 레지스트 표면층(5) 아래의 SiO_2막(2)의 에칭이 저해된다고 하는 문제점이 있었다. 또한, 박리된 레지스트 표면층(5)이 불산 처리조(處理槽) 내에 유출하여 이물로서 처리조를 오염한다는 문제점이 있었다.

그리고, 폴리 실리콘 에칭을 염소(Cl)계 가스를 사용하여 실행한 경우에, 특히 이러한 문제가 발생하기 쉬웠다.

또한, 폴리 실리콘막 상에 절연막, 예를 들면 SiO_2막, SiNH막이 퇴적되어 있는 경우에, SiO_2/SiNH막을 건식 에칭한 후, 폴리 실리콘막을 건식 에칭하고, 다음에, $Si0_2$막을 불산액으로 습식 에칭하는 연속 처리를 실행하면 한층더 이러한 문제가 발생하기 쉬웠다.

본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 레지스트 패턴의 표면 변질층이 벗겨지는 것을 방지할 수 있도록 개량된 반도체 장치의 제조 방법을 제공하는 것이다.

본 발명의 다른 목적은 레지스트 패턴의 표면 변질층이 벗겨지지 않도록 개량된 플래쉬 메모리의 제조 방법을 제공하는 것이다.

본 발명의 다른 목적은 레지스트 패턴의 표면 변질층이 벗겨지지 않도록 개량된 스태틱 랜덤 액세스 메모리의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

본 발명의 제 1 국면에 따른 반도체 장치의 제조 방법에 있어서는, 우선, 반도체 기판 상에 절연막과 도전층을 순차적으로 형성한다. 이 때의 형성은 성막시에서나 또는 성막 후에 패터닝을 실행하는 어느 쪽에도 대응한다(제 1 공정). 상기 도전층 상에 레지스트 패턴을 형성한다(제 2 공정). 상기 레지스트 패턴을 마스크로 이용하여 상기 도전층을 건식 에칭한다(제 3 공정). 상기 레지스트 패턴의 표층부를 일부 깎는다(제 4 공정). 상기 레지스트 패턴을 마스크로 이용하여 상기 절연막을 에칭한다.

본 발명에 따르면, 레지스트 패턴의 표층부를 일부 깎기 때문에, 변질한 레지스트 패턴의 표면이 제거된다.

본 발명의 제 2 국면에 따른 반도체 장치의 제조 방법에 있어서는, 상기 제 4 공정을 O_2 플라즈마를 이용하는 에칭에 의해 실행한다.

본 발명의 제 3 국면에 따른 반도체 장치의 제조 방법에 있어서는, 상기 제 3 공정에 있어서의 건식 에칭을 O_2 를 혼입한 가스를 이용하여 실행하지 않고, 이에 따라, 상기 제 4 공정을 상기 도전층의 건식 에칭의 시퀀스(sequence) 중에서 실행한다.

본 발명의 제 4 국면에 따른 반도체 장치의 제조 방법에 있어서는, 우선, 반도체 기판 상에 절연막과 도전층을 순차적으로 형성한다. 이 때의 형성은, 성막시에만 형성하더라도 무방하고, 성막후에 패터닝을 실행하여 형성하더라도 무방하다(제 1 공정). 상기 도전층 상에 레지스트 패턴을 형성한다(제 2 공정). 상기 레지스트 패턴을 마스크로 이용하여 상기 도전층을 건식 에칭한다(제 3 공정). 상기 레지스트 패턴의 표면의 변질층과 해당 레지스트 패턴의 표면보다 아래에 있는 정상적인 층을 부착하여 이들이 벗겨지지 않도록 한다(제 4 공정). 상기 레지스트 패턴을 마스크로 이용하여 상기 절연막을 에칭한다(제 5 공정).

본 발명에 따르면, 레지스트 패턴의 표면의 변질층과, 해당 레지스트 패턴의 표면보다 아래에 있는 정상적인 층을 부착하기 때문에, 이들이 벗겨지지 않게 된다.

본 발명의 제 5 국면에 따른 반도체 장치의 제조 방법에 있어서는, 상기 제 4 공정은 N_2 분위기 중에서 상기 레지스트 패턴의 표면에 딥(deep) 자외선광을 조사하고, 그 후 열처리하는 공정을 포함한다.

본 발명의 제 6 국면에 따른 반도체 장치의 제조 방법에 있어서는, 상기 제 4 공정은 건조 공기 분위기 중에서 상기 레지스트 패턴의 표면에 딥 자외선광을 조사하고, 그 후, 해당 레지스트 패턴을 열처리하는 공정을 포함한다.

본 발명의 제 7 국면에 따른 반도체 장치의 제조 방법에 있어서는, 상기 제 4 공정은 건조 공기 분위기 중에서 상기 레지스트 패턴을 열처리함으로써 실행한다.

본 발명의 제 8 국면에 따른 플래쉬 메모리의 제조 방법에 있어서는, 우선, 반도체 기판의 표면에 메모리 셀 영역과 주변 회로 영역을 분리하는 분리 산화막을 형성한다(제 1 공정). 상기 반도체 기판의 표면상에 터널 산화막을 형성한다(제 2 공정). 상기 터널 산화막 상에 제 1 폴리 실리콘층을 형성한다(제 3 공정). 상기 터널 산화막과 상기 제 1 폴리 실리콘층을 소망하는 형태로 패터닝한다(제 4 공정). 상기 제 1 폴리 실리콘층 상에 절연막을 형성한다(제 5 공정). 상기 절연막 상에, 그 단부가 분리 산화막상에 위치하고, 또한 상기 메모리 셀 영역만을 피복하여 레지스트 패턴을 형성한다(제 6 공정). 상기 레지스트 패턴을 마스크로 이용하여 상기 주변 회로 영역 상에 있는, 상기 절연막 및 상기 제 1 폴리 실리콘층을 건식 에칭에 의해 제거한다(제 7 공정). 상기 레지스트 패턴의 표층부를 일부 깎는다(제 8 공정). 상기 레지스트 패턴을 다시 마스크로 이용하여 상기 주변 회로 영역 상에 있는 상기 터널 산화막을 제거한다(제 9 공정). 상기 레지스트 패턴을 제거한다(제 10 공정). 상기 반도체 기판 상에 있어서, 상기 주변 회로 영역 상에, 주변 트랜지스터용 게이트 산화막을 형성한다(제 11 공정). 상기 반도체 기판 상에 제 2 폴리 실리콘층을 형성한다(제 12 공정). 상기 제 2 폴리 실리콘층 상에 에칭 마스크용 산화막을 형성한다(제 13 공정). 상기 메모리 셀 영역에 제어 게이트를 형성하여 주변 회로의 트랜지스터 게이트를 형성한다(제 14 공정). 상기 절연막 및 상기 제 1 폴리 실리콘층을 패터닝하여 플로팅 게이트를 형성한다(제 15 공정).

본 발명에 따르면, 레지스트 패턴의 표층부를 일부 깎기 때문에, 레지스트 패턴의 표면 변질층이 제거된다.

본 발명의 제 9 국면에 따른 플래쉬 메모리는 반도체 기판을 구비한다. 상기 반도체 기판 상에 더미 게이트 영역이 마련된다. 상기 반도체 기판 상에 상기 더미 게이트 영역을 사이에 개재하도록 메모리 셀 영역과 주변 회로 영역이 마련된다. 상기 더미 게이트 영역은 상기 반도체 기판 상에 형성된 분리 산화막을 포함한다. 상기 분리 산화막 상에 그 주변 회로 영역측의 단부가 상기 메모리 셀 영역측으로 후퇴한 제 1 도전층이 마련된다. 상기 제 1 도전층 상에 그 주변 회로 영역측의 단부가 상기 메모리 셀 영역측으로 후퇴한 절연층이 마련된다. 상기 분리 산화막상에 상기 제 1 도전층 및 상기 절연층을 덮도록 제 2 도전층이 마련된다.

본 발명의 제 10 국면에 따른 반도체 장치의 제조 방법에 있어서는, 전술한 본 발명의 제 1 국면 또는 제 4 국면의 제조 방법에 있어서, 상기 도전층은 폴리 실리콘막이며, 상기 건식 에칭은 염소 가스를 이용하여 실행된다.

본 발명의 제 11 국면에 따른 플래쉬 메모리의 제조 방법에 있어서는, 본 발명의 제 8 국면의 제 6 공정에 있어서의 건식 에칭을 염소 가스를 이용하여 실행한다.

본 발명의 제 12 국면에 따른 반도체 장치의 제조 방법에 있어서는, 우선, 반도체 기판 상에 절연막과 도전층을 순차적으로 형성한다(제 1 공정). 제 2 절연막을 형성한다(제 2 공정). 상기 제 2 절연막 상에 레지스트 패턴을 형성한다(제 3 공정). 상기 레지스트 패턴을 마스크로 이용하여 상기 제 2 절연막과 도전층을 건식 에칭한다(제 4 공정). 상기 레지스트 패턴의 표층부를 일부 깎는다(제 5 공정). 상기 레지스트 패턴을 마스크로 이용하여 상기 절연막을 에칭한다(제 6 공정).

본 발명의 제 13 국면에 따른 반도체 장치의 제조 방법에 있어서는, 상기 제 5 공정을 O_2 플라즈마를 이용하는 에칭에 의해 실행한다.

본 발명의 제 14 국면에 따른 반도체 장치의 제조 방법에 있어서는, 상기 제 4 공정에 있어서의 건식 에칭을 O_2 를 혼입한 가스를 이용하여 실행하고, 이에 따라, 상기 제 5 공정을 상기 도전층의 건식 에칭의 시퀀스 중에서 실행한다.

본 발명의 제 15 국면에 따른 반도체 장치의 제조 방법에 있어서는, 우선, 반도체 기판 상에 절연막과 도전층을 순차적으로 형성한다(제 1 공정). 제 2 절연막을 형성한다(제 2 공정). 상기 도전층 상에 레지스트 패턴을 형성한다(제 3 공정). 상기 레지스트 패턴을 마스크로 이용하여 상기 도전층을 건식 에칭한다(제 4 공정). 상기 레지스트 패턴의 표면의

변질층과, 해당 레지스트 패턴의 표면보다 아래에 있는 정상적인 층을 부착하여 이들이 벗겨지지 않도록 한다(제 5 공정). 상기 레지스트 패턴을 마스크로 이용하여 상기 절연막을 에칭한다(제 6 공정).

본 발명의 제 16 국면에 따른 반도체 장치의 제조 방법에 있어서는, 상기 제 5 공정은 N_2 분위기중에서 상기 레지스트 패턴의 표면에 딥 자외선광을 조사하고, 그 후, 해당 레지스트 패턴을 열처리하는 공정을 포함한다.

본 발명의 제 17 국면에 따른 반도체 장치의 제조 방법에 있어서는, 상기 제 5 공정은 건조 공기 분위기중에서 상기 레지스트 패턴의 표면에 딥 자외선광을 조사하고, 그 후, 해당 레지스트 패턴을 열처리하는 공정을 포함한다.

본 발명의 제 18 국면에 따른 반도체 장치의 제조 방법에 있어서는, 상기 제 5 공정은 건조 공기 분위기중에서 상기 레지스트 패턴을 열처리함으로써 실행한다.

본 발명의 제 19 국면에 따른 플래쉬 메모리의 제조 방법에 있어서는, 우선, 반도체 기판의 표면에 메모리 셀 영역과 주변 회로 영역을 분리하는 분리 산화막을 형성한다(제 1 공정). 상기 반도체 기판의 표면상에 터널 산화막을 형성한다(제 2 공정). 상기 터널 산화막 상에 제 1 폴리 실리콘층을 형성한다(제 3 공정). 상기 터널 산화막과 상기 제 1 폴리 실리콘층을 소망하는 형태로 패터닝한다(제 4 공정). 상기 제 1 폴리 실리콘층 상에 절연막을 형성한다(제 5 공정). 상기 절연막 상에, 그 단부가 분리 산화막상에 위치하고, 또한 상기 메모리 셀 영역만을 피복하는 레지스트 패턴을 형성한다(제 6 공정). 상기 레지스트 패턴을 마스크로 이용하여, 상기 주변 회로 영역 상에 있는, 상기 절연막 및 상기 제 1 폴리 실리콘층을 건식 에칭에 의해 제거한다(제 7 공정). 상기 레지스트 패턴의 표층부를 일부 깎는 것을 O_2 플라즈마를 이용하는 에칭에 의해 실행한다(제 8 공정). 상기 레지스트 패턴을 다시 마스크로 이용하여 상기 주변 회로 영역 상에 있는 상기 터널 산화막을 제거한다(제 9 공정). 상기 레지스트 패턴을 제거한다(제 10 공정). 상기 반도체 기판 상에 있어서, 상기 주변 회로 영역 상에 주변 트랜지스터용 게이트 산화막을 형성한다(제 11 공정). 상기 반도체 기판 상에 제 2 폴리 실리콘층을 형성한다(제 12 공정). 상기 제 2 폴리 실리콘층 상에 에칭 마스크용 산화막을 형성한다(제 13 공정). 상기 메모리 셀 영역에 제어 게이트를 형성하여, 주변 회로의 트랜지스터 게이트를 형성한다(제 14 공정). 상기 절연막 및 상기 제 1 폴리 실리콘층을 패터닝하여 플로팅 게이트를 형성한다(제 15 공정).

본 발명의 제 20 국면에 따른 플래쉬 메모리의 제조 방법에 있어서는, 상기 제 7 공정의 건식 에칭을 O_2 를 혼입한 가스를 이용하여 실행하고, 상기 제 8 공정의 레지스트 패턴의 표층부를 일부 깎는 것을 건식 에칭의 스퀀스중에서 실행하는 것을 특징으로 한다.

본 발명의 제 21 국면에 따른 플래쉬 메모리의 제조 방법에 있어서는, 우선, 반도체 기판의 표면에 메모리 셀 영역과 주변 회로 영역을 분리하는 분리 산화막을 형성한다(제 1 공정). 상기 반도체 기판의 표면상에 터널 산화막을 형성한다(제 2 공정). 상기 터널 산화막 상에 제 1 폴리 실리콘층을 형성한다(제 3 공정). 상기 터널 산화막과 상기 제 1 폴리 실리콘층을 소망하는 형태로 패터닝한다(제 4 공정). 상기 제 1 폴리 실리콘층 상에 절연막을 형성한다(제 5 공정). 상기 절연막상에, 그 단부가 분리 산화막상에 위치하고, 또한 상기 메모리 셀 영역만을 피복하는 레지스트 패턴을 형성한다(제 6 공정). 상기 레지스트 패턴을 마스크로 이용하여, 상기 주변 회로 영역 상에 있는, 상기 절연막 및 상기 제 1 폴리 실리콘층을 건식 에칭에 의해 제거한다(제 7 공정). 상기 레지스트 패턴의 표면 변질층과, 해당 레지스트 패턴의 표면보다 아래에 있는 정상적인 부분을 부착하여, 이들이 벗겨지지 않도록 한다(제 8 공정). 상기 레지스트 패턴을 다시 마스크로 이용하여, 상기 주변 회로 영역 상에 있는 상기 터널 산화막을 제거한다(제 9 공정). 상기 레지스트 패턴을 제거한다(제 10 공정). 상기 반도체 기판 상에 있어서, 상기 주변 회로 영역 상에 주변 트랜지스터용 게이트 산화막을 형성한다(제 11 공정). 상기 반도체 기판 상에 제 2 폴리 실리콘층을 형성한다(제 12 공정). 상기 제 2 폴리 실리콘층 상에 에칭 마스크용 산화막을 형성한다(제 13 공정). 상기 메모리 셀 영역에 제어 게이트를 형성하여, 주변 회로의 트랜지스터 게이트를 형성한다(제 14 공정). 상기 절연막 및 상기 제 1 폴리 실리콘층을 패터닝하여 플로팅 게이트를 형성한다(제 15 공정).

본 발명의 제 22 국면에 따른 플래쉬 메모리의 제조 방법에 있어서는, 상기 제 8 공정은 N_2 분위기중에서 상기 레지스트 패턴의 표면에 딥 자외선광을 조사하여 열처리하는 공정인 것을 포함한다.

본 발명의 제 23 국면에 따른 플래쉬 메모리의 제조 방법에 있어서는, 상기 제 8 공정은 건조 공기 분위기중에서 상기 레지스트 패턴의 표면에 딥 자외선광을 조사하여 열처리하는 공정인 것을 포함한다.

본 발명의 제 24 국면에 따른 플래쉬 메모리의 제조 방법에 있어서는, 상기 제 8 공정은 건조 공기 분위기중에서 상기 레지스트 패턴을 열처리함으로써 실행한다.

본 발명의 제 25 국면에 따른 SRAM의 제조 방법에 있어서는, 우선, 반도체 기판의 표면에 분리 산화막을 형성한다(제 1 공정). 상기 반도체 기판상에 게이트 산화막을 성막한다(제 2 공정). 상기 게이트 산화막상에 제 1 폴리 실리콘층을 성막한다(제 3 공정). 활성 영역으로부터 분리 산화막상에 걸쳐지는 개구부를 갖는 레지스트 패턴을 형성한다(제 4 공정). 상기 레지스트 패턴을 마스크로서 상기 제 1 폴리 실리콘층을 건식 에칭에 의해 제거한다(제 5 공정). 상기 레지스트 패턴의 표층부를 일부 깎는다(제 6 공정). 상기 레지스트 패턴을 다시 마스크로 이용하여, 패턴 바닥의 게이트 산화막을 제거한다(제 7 공정). 상기 레지스트 패턴을 제거한다(제 8 공정). 상기 제 2 폴리 실리콘층을 형성한다(제 9 공정). 액세스 트랜지스터, 드라이버 트랜지스터, 주변 회로의 트랜지스터의 게이트 전극으로 되는 패턴을 레지스트로써 형성한다(제 10 공정). 상기 레지스트 패턴을 마스크로서 상기 제 1 폴리 실리콘층, 상기 제 2 폴리 실리콘층을 건식 에칭한다(제 11 공정). 상기 레지스트 패턴을 제거한다(제 12 공정). n 영역에만 N형 불순물을 도핑한다(제 13 공정). 열처리를 실행한다(제 14 공정).

본 발명의 제 26 국면에 따른 SRAM의 제조 방법에 있어서는, 상기 제 6 공정을 O_2 플라즈마를 이용한 에칭에 의해 실행한다.

본 발명의 제 27 국면에 따른 SRAM의 제조 방법에 있어서는, 상기 제 5 공정에 있어서, 건식 에칭에 O_2 를 혼입한 가스를 이용하여 실행하고, 상기 제 6 공정의 레지스트 패턴의 표층부를 일부 깎는 것을 건식 에칭의 시퀀스중에서 실행한다.

본 발명의 제 28 국면에 따른 SRAM의 제조 방법에 있어서는, 우선, 반도체 기판의 표면에 분리 산화막을 형성한다(제 1 공정). 상기 반도체 기판상에 게이트 산화막을 성막한다(제 2 공정). 상기 게이트 산화막상에 제 1 폴리 실리콘층을 성막한다(제 3 공정). 활성 영역으로부터 분리 산화막상에 걸쳐지는 개구부를 갖는 레지스트 패턴을 형성한다(제 4 공정). 상기 레지스트 패턴을 마스크로서, 상기 제 1 폴리 실리콘층을 건식 에칭에 의해 제거한다(제 5 공정). 상기 레지스트 패턴 표면의 변질층과 표면보다 아래에 있는 정상적인 부분을 부착하여, 이들이 벗겨지지 않도록 한다(제 6 공정). 상기 레지스트 패턴을 다시 마스크로 이용하여, 패턴 바닥의 게이트 산화막을 제거한다(제 7 공정). 상기 레지스트 패턴을 제거한다(제 8 공정). 제 2 폴리 실리콘층을 형성한다(제 9 공정). 액세스 트랜지스터, 드라이버 트랜지스터, 주변 회로의 트랜지스터의 게이트 전극으로 되는 패턴을 레지스트로써 형성한다(제 10 공정). 상기 레지스트 패턴을 마스크로서, 제 1 폴리 실리콘층, 제 2 폴리 실리콘층을 건식 에칭한다(제 11 공정). 상기 레지스트 패턴을 제거한다(제 12 공정). n 영역에만 N형 불순물을 도핑한다(제 13 공정). 열처리를 실행한다(제 14 공정).

본 발명의 제 29 국면에 따른 SRAM의 제조 방법에 있어서는, 상기 제 6 공정은 N_2 분위기중에서 상기 레지스트 패턴의 표면에 딥 자외선광을 조사하고, 그 후, 해당 레지스트 패턴을 열처리하는 공정을 포함한다.

본 발명의 제 30 국면에 따른 SRAM의 제조 방법에 있어서는, 상기 제 6 공정은 건조 공기 분위기중에서 상기 레지스트 패턴의 표면에 딥 자외선광을 조사하고, 그 후, 해당 레지스트 패턴을 열처리하는 공정을 포함한다.

본 발명의 제 31 국면에 따른 SRAM의 제조 방법에 있어서는, 상기 제 6 공정은 건조 공기 분위기중에서 상기 레지스트 패턴을 열처리함으로써 실행한다.

본 발명의 상기 및 그 밖의 목적, 특징, 국면 및 이익 등은 첨부 도면을 참조로 하여 설명하는 이하의 상세한 실시예로부터 더욱 명백해질 것이다.

본 발명의 실시예는 사진 제판 - 폴리 실리콘 건식 에칭 - HF액 습식 에칭을 연속적으로 실행하거나 또는 사진 제판 - 실리콘 산화막 건식 에칭 - 폴리 실리콘 건식 에칭 - HF액 습식 에칭을 연속적으로 실행하는 공정을 포함하는 반도체 장치의 제조 방법 모두에 대해 적용된다. 이하, 실시예를 도면을 참조하여 설명한다.

실시예 1

도 1을 참조하여, 실리콘 기판(1) 상에 SiO_2막(2)을 형성한다. SiO_2막(2) 상에 폴리 실리콘막(3)을 형성한다. 이 때의 형성은, 성막시에서만이나, 또는 성막 후에 패터닝을 실행하는 어느 쪽에도 대응한다. 폴리 실리콘막(3)상에 레지스트 패턴(4)을 형성한다. 레지스트 패턴(4)을 마스크로 하여, 폴리 실리콘막(3)을 에칭한다. 그 후, O_2 플라즈마 처리(애싱 처리)를 실행한다. O_2 플라즈마 처리는 폴리 실리콘막(3)의 에칭의 시퀀스중, 또는 다른 장치에서 실행된다. 레지스트 패턴(4)의 표면을 약 10nm 제거한 후, 레지스트 패턴(4)을 마스크로 하여, SiO_2막(2)의 HF액 처리를 실행한다. 본 발명의 실시예에 따르면, O_2 플라즈마 처리에 의해, 레지스트 패턴(4)의 표층부를 일부 제거하고 있기 때문에, 도 17에 나타내는 종래 방법에 의해 발생한 문제점은 해소된다. 즉, 벗겨진 레지스트 표면 변질층이 SiO_2막(2)의 에칭을 방해한다는 문제가 발생되지 않는다. 또, HF액 처리 전에, 레지스트 패턴(4)이 본래의 패턴의 위치보다 후퇴하고 있지만(점선으로 나타낸 분만큼 수평 방향으로 후퇴하고 있음), 문제는 발생하지 않는다.

실시예 2

본 실시예도 변질 레지스트를 제거할 목적으로 실행된다. 본 실시예에서는 폴리 실리콘의 에칭의 시퀀스 중에서 변질 레지스트의 제거가 행하여진다. 즉, 폴리 실리콘막의 메인 에칭, 오버 에칭후에 O_2를 혼입한 에칭을 실행한다. 예컨대, 다음과 같은 에칭 시퀀스로 실행한다.

메인 에칭 →Cl_2가스를 이용하는 오버 에칭 →Cl_2 + O_2가스를 이용하는 후 처리

이 경우는 O_2 플라즈마 처리와 상이하기 때문에, 레지스트 패턴의 후퇴는 적어진다. 또한, O_2가스를 혼입한 에칭은 오버 에칭 도중에 실행하더라도 무방하다.

실시예 3

도 18을 참조하여, 실리콘 기판(1)상에 SiO_2막(2)을 형성한다. SiO_2막(2)상에 폴리실리콘막(3)을 형성한다. 폴리 실리콘막(3)상에 레지스트 패턴(4)을 형성한다. 이 때의 형성은 성막시에서만이나, 또는 성막후에 패터닝을 실행하는 어느 쪽에도 대응한다. 그 후, 제 2 절연막(7)의 성막 후, 레지스트 패턴(4)을 마스크로 하여, 제 2 절연막(7)과 폴리 실리콘막(3)을 에칭한다. 그 후, O_2 플라즈마 처리(애싱 처리)를 실행한다. O_2 플라즈마 처리는 폴리 실리콘막(3)의 에칭의 시퀀스 중, 또는 다른 장치에서 실행된다. 레지스트 패턴(4)의 표면을 약 10nm 제거한 후, 레지스트 패턴(4)을 마스크로 하여, SiO_2막(2)의 HF액 처리를 실행한다. 본 발명의 실시예에 따르면, O_2 플라즈마 처리에 의해 레지스트 패턴(4)의 표층부를 일부 제거시키고 있기 때문에, 도 17에 나타내는 종래 방법에 의해 발생한 문제점이 해소된다. 즉, 벗겨진 레지스트 표면 변질층이 SiO_2막(2)의 에칭을 방해한다는 문제가 발생하지 않는다. 또, HF액 처리 전에, 레지스트 패턴(4)이 본래의 패턴의 위치보다 후퇴하고 있지만(점선으로 나타낸 분만큼 수평 방향으로 후퇴하고 있음), 문제는 발생하지 않는다.

실시예 4

본 실시예도 변질 레지스트를 제거할 목적으로 실행된다. 본 실시예에서는 제 2 절연막(7)의 에칭후, 폴리 실리콘의 에칭의 시퀀스 중에서 변질 레지스트의 제거가 행하여진다. 즉, 폴리 실리콘막의 메인 에칭, 오버 에칭후에 O_2를 혼입한 에칭을 실행한다. 예를 들면, 다음과 같은 에칭 시퀀스로 실행한다.

메인 에칭 →Cl_2가스를 이용하는 오버 에칭 →Cl_2 + O_2가스를 이용하는 후 처리

이 경우는 O_2 플라즈마 처리와 상이하기 때문에, 레지스트 패턴의 후퇴는 적어진다. 또, O_2가스를 혼입한 에칭은 오버 에칭 도중에 실행하더라도 무방하다.

실시예 5

본 실시예는 변질한 표면 레지스트를 경화(硬化)함으로써, 변질부의 벗겨짐을 방지하는 것이다.

도 2를 참조하여, 실리콘 기판(1)상에 SiO_2막(2)을 형성한다. SiO_2막(2)상에 폴리 실리콘막(3)을 형성한다. 폴리 실리콘막(3)상에 레지스트 패턴(4)을 형성한다. 레지스트 패턴(4)을 마스크로 하여, 폴리 실리콘막(3)을 에칭한다. 이 때, 레지스트 패턴(4)의 표면이 변질된다. 도면 중, 참조 부호(6)은 변질된 레지스트 표면층을 나타내고 있다.

도 3을 참조하여, 변질된 레지스트 표면층(6)을 경화하기 위해, 레지스트 표면층(6)을 N_2분위기중에서 딥 자외선 큐어(Cure)(이하, DUV 큐어 처리라 함)한다. 구체적으로는, 파장 약 250nm 600nm의 빛을 레지스트 패턴(4)에 100초 동안 조사하여, 실리콘 기판(1)이 탑재되어 있는 스테이지를 약 100℃ 150℃까지 승온한다. 본 실시예에 따르면, DUV 광으로 변질된 표면 레지스트층(6)과, 아래의 정상적인 레지스트층(4)의 감광기를 분해하여 이들을 교차하게 한다. 도면 중, 참조부호(7)은 교차되어 생긴 층을 나타내고 있다.

도 4를 참조하여, 이 상태로 열 처리를 행하고, 변질층(6)을 아래의 정상적인 레지스트층(4)과 부착한다. 이에 의해, 변질된 레지스트 표면층(6)의 벗겨짐을 방지할 수 있다. 또한, DUV 큐어 처리에 의해 파장이 짧은 빛이 레지스트 표면층(6)에 조사되기 때문에, 표면의 잔류 에칭 가스가 화학 반응에 의해 제거된다고 하는 효과도 발생하여, 잔류 가스의 악영향이 제거된다. 본 실시예에 따른 공정을 요약하면, 다음과 같다.

폴리 실리콘 에칭 →DUV 큐어(N_2분위기) →HF액 습식 에칭

실시예 6

본 실시예는 실시예 3의 변형예이다. N_2분위기 대신에 건조 공기(Dry Air) 분위기 중에서 DUV Cure 처리를 실행한다. 이 처리를 실행하면, 레지스트의 표면 변질층과 아래의 정상적인 레지스트층을 교차시켜 이들을 경화할 뿐만 아니라, 변질층이 건조 공기 중의 O_2와, DUV 광에 의해 발생하는 O_3(오존)에 의해 수 nm정도 제거된다는 새로운 효과가 발생한다.

본 실시예의 공정을 요약하면, 다음과 같다.

폴리 실리콘 에칭 →DUV Cure(건조 공기 분위기) → HF액 습식 에칭

실시예 7

본 실시예는 변질된 표면 레지스트를 경화함으로써 변질부의 벗겨짐을 방지하는 것이다.

도 19를 참조하여, 실리콘 기판(1)상에 SiO_2막(2)을 형성한다. SiO_2막(2)상에 폴리 실리콘막(3)을 형성한다. 이 때의 형성은 성막시에서만이나, 또는 성막후에 패터닝을 실행하는 어느 쪽에도 대응한다. 그 후, 제 2 절연막(7)의 성막후, 제 2 절연막(7)상에 레지스트 패턴(4)을 형성한다. 레지스트 패턴(4)을 마스크로 하여, 제 2 절연막(7)과 폴리 실리콘막(3)을 에칭한다. 이 때, 레지스트 패턴(4)의 표면이 변질된다. 도면 중, 참조 부호(6)은 변질된 레지스트 표면층을 나타내고 있다.

도 20을 참조하여, 변질된 레지스트 표면층(6)을 경화하기 위해서, 레지스트 표면층(6)을 N_2분위기중에서 딥 자외선 큐어(이하, DUV Cure 처리라 함)한다. 구체적으로는, 파장 약 250nm 600nm의 빛을 레지스트 패턴(4)에 100초 동안 조사하여, 실리콘 기판(1)이 탑재되어 있는 스테이지를 약 100℃ 150℃까지 승온한다. 본 실시예에 따르면, DUV 광으로 변질된 표면 레지스트층(6)과 아래의 정상적인 레지스트층(4)의 감광기를 분해하여, 이들을 교차시킨다. 도면 중, 참조부호(7)은 교차되어 생성된 층을 나타내고 있다.

도 21을 참조하여, 이 상태로 열처리를 행하고, 변질층(6)을 아래의 정상적인 레지스트층(4)과 부착한다. 이에 의해, 변질된 레지스트 표면층(6)의 벗겨짐을 방지할 수 있다. 또한, DUV Cure 처리에 의해서, 파장이 짧은 빛이 레지스트 표면층(6)에 조사되기 때문에, 표면의 잔류 에칭 가스가 화학 반응에 의해 제거된다고 하는 효과도 발생하여, 잔류 가스의 악영향이 제거된다. 본 실시예에 따른 공정을 요약하면, 다음과 같다.

폴리 실리콘 에칭 →DUV Cure(N_2 분위기) →HF액 습식 에칭

실시예 8

본 실시예는 실시예 7의 변형예이다. N_2 분위기 대신에 건조 공기 분위기중에서 DUV Cure 처리를 실행한다. 이 처리를 실행하면, 레지스트의 표면 변질층과 아래의 정상적인 레지스트층을 교차시켜 이들을 경화할 뿐만 아니라 변질층이 건조 공기 중의 O_2와 DUV 광에 의해 발생하는 O_3 (오존)에 의해 수 nm정도 제거된다고 하는 새로운 효과가 발생한다.

본 실시예의 공정을 요약하면, 다음과 같다.

폴리 실리콘 에칭 →DUV 큐어(건조 공기 분위기) →HF액 습식 에칭

실시예 9

본 실시예도 실시예 5와 7의 변형예이다. 본 실시예에서는 DUV 큐어를 실행하지 않고, 웨이퍼를 건조 공기 분위기로 채워진 오븐속에서, 예컨대 150℃에서, 1 시간, 베이킹한다. 변질층과 하층의 정상층이 교차하는 효과는 적지만, 변질층과 하층의 정상층이 접하고 있는 부분에서, 경화할 때에 이들이 접합하여 이어지는 것을 기대할 수 있다.

본 실시예의 공정을 요약하면 다음과 같다.

폴리 실리콘 에칭 →오븐 처리(150℃, 1 시간, 건조 공기) →HF액 습식 에칭

실시예 10

본 실시예는 상술한 발명을 실제의 반도체 장치에 적용한 것이다. 본 실시예에서는 2층 스태틱 폴리 실리콘막에 의해 셀을 형성하는 플래쉬 메모리의 제조 방법에 대해 설명한다.

도 5는 실시예 10에 따른 방법에 의해 제조한 플래쉬 메모리의 단면도이다. 플래쉬 메모리는 반도체 기판(1)을 구비한다. 반도체 기판(1)상에 더미 게이트(14)를 포함하는 더미 게이트 영역이 마련된다. 반도체 기판상에 더미 게이트 영역을 사이에 개재시키도록 메모리 셀 영역과 주변 회로 영역이 마련된다. 더미 게이트 영역은 반도체 기판(1)상에 형성된 분리 산화막(8)을 포함한다. 분리 산화막(8)상에 제 1 도전층(10)이 마련된다. 제 1 도전층(10)의 주변 회로 영역측의 단부(10a)는 메모리 셀 영역측으로 후퇴하여 있다. 제 1 도전층(10)상에 절연층(11)이 마련된다. 절연층(11)의 주변 회로 영역측의 단부(11a)는 메모리 셀 영역측으로 후퇴하여 있다. 분리 산화막(8)상에 제 1 도전층(10) 및 절연층(11)을 덮도록 제 2 도전층(13)이 마련된다.

도 5를 참조하여, 메모리 셀에서는 플로팅 게이트, 폴리-폴리 절연막이 필요이지만, 주변 회로에서는 이들의 막이 불필요하다.

이하, 도 5에 나타내는 플래쉬 메모리의 제조 방법에 대하여 설명한다.

도 6을 참조하여, 반도체 기판(1)상에 분리 산화막(8)과 터널 산화막(9)을 형성한다. 그 후, 반도체 기판(1)상에 제 1 폴리 실리콘층(플로팅 게이트가 되는 것)(10)을 X 방향(지면을 향해 수평 방향. 도면에서는 도시안됨)으로 에칭한 후, 폴리-폴리 절연막(11)을 형성한다.

폴리-폴리 절연막(11)상에, 그 단부가 분리 산화막(8)상에 위치하고, 또한 메모리 셀 영역만을 피복하는 레지스트 패턴(15)을 사진 제판 처리에 의해 형성한다.

다음에, 도 7을 참조하여, $CC1_4$ 혹은 $CHC1_3$ 등의 플로로 카본계 에칭 가스를 이용하여 레지스트 패턴(15)을 마스크로 해서, 폴리-폴리 절연막(11)을 에칭하고, 다음에 제 1 폴리 실리콘층(10)을 에칭한다.

이 다음, 연속해서 터널 산화막(9)을 HF액으로 에칭하면, 레지스트 표면의 변질층이 벗겨지기 때문에, 상술한 실시예 1-9의 방법을 여기서 적용한다. 즉, 레지스트 패턴(15)의 표면의 변질층을 제거하던지 혹은 변질층과 그 아래에 있는 정상적인 레지스트층을 부착하여 레지스트 표면의 변질층이 벗겨지는 것을 방지한다.

다음에, 이와 같은 처리를 실행한 후, 레지스트 패턴(15)을 마스크로 하여, 주변 회로 영역의 터널 산화막(9)의 에칭 제거를 실행한다. 본 발명의 실시예에서는 상기 실시예 1 또는 2를 적용하고 있다. 이 후, 레지스트 패턴(15)을 제거한다. 주변 회로 영역에 게이트 산화막(12)을 형성한다.

다음에, 도 7을 참조하여, 제 2 폴리 실리콘층(13)과 에칭 마스크용 산화막(16)을 반도체 기판(1)상에 형성한다. 그런데, 본 실시예에 따르면, 레지스트 표면의 변질층이 벗겨지는 것을 방지하는 처리를 실행하면, 레지스트 패턴(15)이 O_2 플라즈마 또는 에칭 시퀀스중에 혼입하고 있는 O_2 때문에 후퇴한다. 그 때문에, 터널 산화막(9)의 에칭 제거시, 폴리-폴리 절연막(11)이 종래의 플로우의 것보다 메모리 셀 영역측으로 후퇴하여 마무리된다. 이 때문에, 후속 공정에 있어서, 이 영역에서, 즉, 분리 산화막(8)상에서 더미 게이트(14)를 형성할 때, 급격한 단차 변화는 발생하지 않는다. 즉, 분리 산화막(8) + 제 2 폴리 실리콘층(13)(화살표 A 부분)에서 곧 분리 산화막(8) + 제 1 폴리 실리콘층(10) + 폴리-폴리 절연층(11) + 제 2 폴리 실리콘층(13)(화살표 C 부분)으로 가는 급격한 단차 변화는 발생하지 않기 때문에, 분리 산화막(8) + 제 2 폴리 실리콘층(13)(화살표 A 부분) →분리 산화막(8) + 제 2 폴리 실리콘층(13) + 제 1 폴리 실리콘층(10)(화살표 B 부분) →분리 산화막(8) + 제 2 폴리 실리콘층(13) + 폴리-폴리 절연막(11) + 제 1 폴리 실리콘(10)(화살표 C 부분)으로 되도록, 단차가 완만하게 추이(推移)된다. 따라서, 이 영역 및 주변에서 후속 공정에 있어서의 사진 제판, 가공 처리가 용이하게 된다고 하는 이점이 발생한다.

도 8과 도 9를 참조하여, 에칭 마스크용 산화막(16)을 패터닝하여, 메모리 셀의 제어 게이트(13), 주변 회로의 트랜지스터 게이트(13)를 패터닝한다.

도 10을 참조하여, 메모리 셀 영역만큼 에칭 마스크용 산화막(16)을 사용하여, 폴리-폴리 절연막(11), 플로팅 게이트(10)를 에칭한다. 이에 따라, 도 5에 나타낸 바와 같이, 플래쉬 메모리가 완성된다.

실시예 11

SRAM에 본 발명을 적용한 예를 이하에 나타낸다.

도 22는 고저항 부하형 SRAM 메모리 셀의 등가 회로이다. 도면 중, 기억 노드(1)는 액세스 트랜지스터(1)의 소스, 드라이버 트랜지스터(2)의 드레인, 드라이버 트랜지스터(1)의 게이트를 결합시킬 필요가 있다.

이 부분에 본 발명을 적용한 예를 이하에 나타낸다.

도 23은, 예컨대 N형 기판(51) 중에 만든 P 웰(well)(52)내에 필드 산화막(53)을 만들어 분리를 행하고, 각 트랜지스터 공통의 게이트 산화막, 게이트 전극, 폴리 실리콘(54)을 성막한 상태이다.

다음에, 도 24를 참조하여, 레지스트 패턴(55)을 형성하여 소위 게이트 직접 콘택트(56)를 만든다.

즉, 레지스트 패턴(55)을 만들어 폴리 실리콘(54)을 건식 에칭하고, 다음에 게이트 산화막(56)을 습식 에칭하는데, 이 때에, 지금까지 설명한 바와 같이, 레지스트 패턴 표면의 이상이 발생하기 때문에, 전술한 실시예를 적용한다.

도 25는 게이트 직접 콘택트와 드라이버 트랜지스터(1)의 게이트 전극(57)이 완성된 도면이다. 도면 중, 콘택트, 활성 영역의 n^+ 영역이 기억 노드(1)에 상당한다.

이 구조에 딥 자외선광에 의한 수단을 이용한 경우, 게이트 직접 콘택트 내의 잔류한 에칭 가스의 잔류물, 예컨대 염소(Cl_2)라든지 카본(C) 등이 제거되기 때문에, 콘택트 저항이 낮고, n^+-P 웰 간에 결정 결함이 발생하지 않으며, 즉 기억 노드(1)에 축적된 전하가 리크(leakage)하지 않는다고 하는 효과도 기대할 수 있다.

발명의 효과

본 발명에 의하면, 동일한 레지스트 패턴에 의해 건식 에칭 및 습식 에칭을 연속적으로 실행할 때에, 변질한 레지스트 표면층이 벗겨지지 않는 효과가 있다.

이번 개시된 실시예는 모든 점에서 예시로서 제한적인 것이 아니라고 생각되어야 한다. 본 발명의 범위는 상기한 설명이 아니고 특허청구 범위에 의해서 나타내며, 특허청구범위와 균등의 의미 및 범위 내에서의 모든 변경이 포함되는 것을 의도한다.

(57) 청구의 범위

청구항 1.

반도체 기판상에 절연막과 도전층을 순차적으로 형성하는 제 1 공정과,

상기 도전층상에 레지스트 패턴을 형성하는 제 2 공정과,

상기 레지스트 패턴을 마스크로 이용하여, 상기 도전층을 건식 에칭하는 제 3 공정과,

상기 레지스트 패턴의 표층부를 일부 깎는 제 4 공정과,

상기 레지스트 패턴을 마스크로 이용하여, 상기 절연막을 에칭하는 제 5 공정

을 포함하는 반도체 장치의 제조 방법.

청구항 2.

반도체 기판상에 절연막과 도전층을 순차적으로 형성하는 제 1 공정과,

상기 도전층상에 레지스트 패턴을 형성하는 제 2 공정과,

상기 레지스트 패턴을 마스크로 이용하여, 상기 도전층을 건식 에칭하는 제 3 공정과,

상기 레지스트 패턴의 표면의 변질층과, 해당 레지스트 패턴의 표면보다 아래에 있는 정상적인 층을 부착하여, 이들이 벗겨지지 않도록 하는 제 4 공정과,

상기 레지스트 패턴을 마스크로 이용하여, 상기 절연막을 에칭하는 제 5 공정

을 포함하는 반도체 장치의 제조 방법.

청구항 3.

반도체 기판과,

상기 반도체 기판상에 마련된 더미 게이트 영역과,

상기 반도체 기판상에, 상기 더미 게이트 영역을 사이에 개재하도록 마련된 메모리 셀 영역과 주변 회로 영역을 구비하되,

상기 더미 게이트 영역은,

상기 반도체 기판상에 형성된 분리 산화막과,

상기 분리 산화막상에 마련되고, 그 주변 회로 영역측의 단부가 상기 메모리 셀 영역측으로 후퇴한 제 1 도전층과,

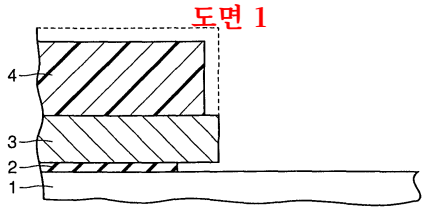
상기 제 1 도전층상에 마련되고, 그 주변 회로 영역측의 단부가 상기 메모리 셀 영역측으로 후퇴한 절연층과,

상기 분리 산화막상에, 상기 제 1 도전층 및 상기 절연층을 덮도록 마련된 제 2 도전층을 포함하는

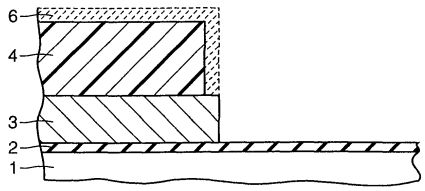
플래쉬 메모리.

도면

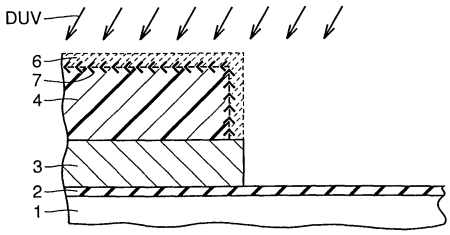
도면 1



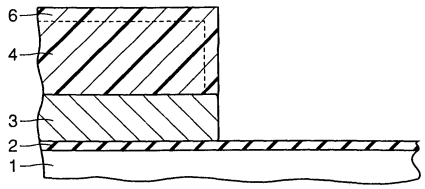
도면 2



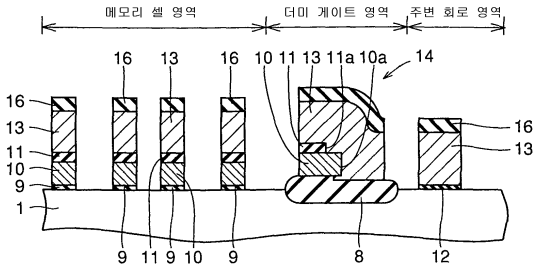
도면 3



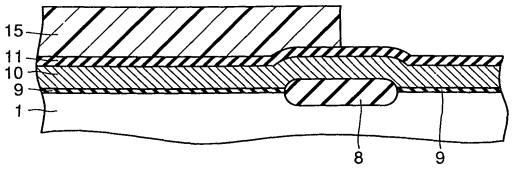
도면 4



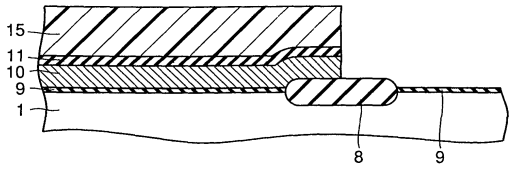
도면 5



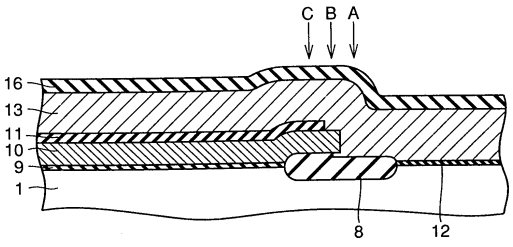
도면 6



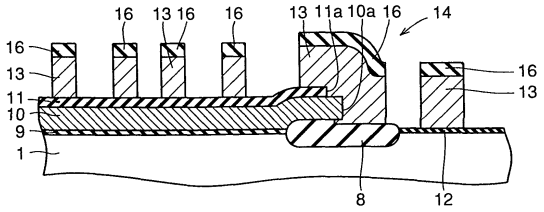
도면 7



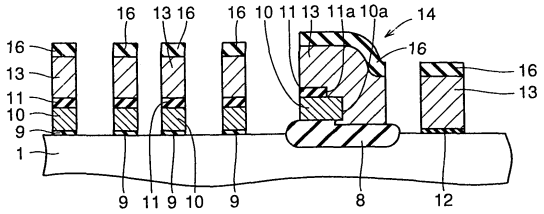
도면 8



도면 9

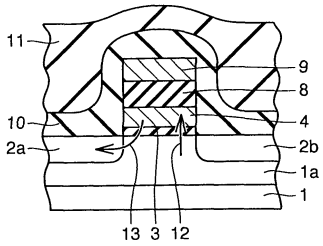


도면 10



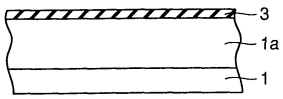
도면 11

(종래기술)



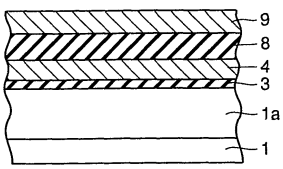
도면 12

(종래기술)



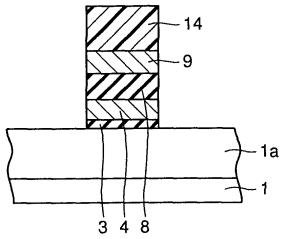
도면 13

(종래기술)



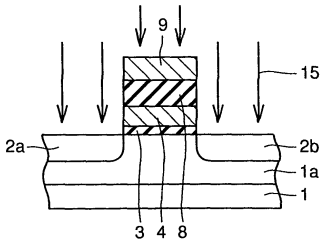
도면 14

(종래기술)



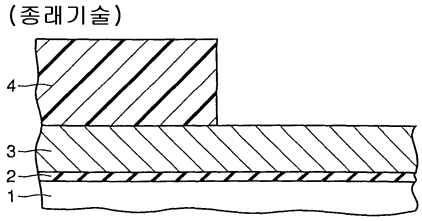
도면 15

(종래기술)



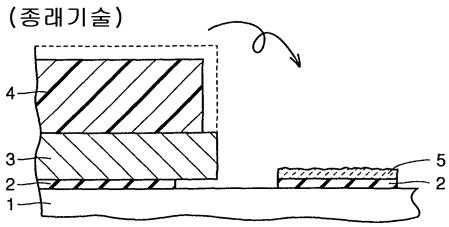
도면 16

(종래기술)

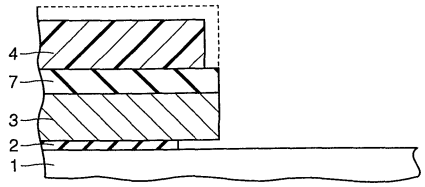


도면 17

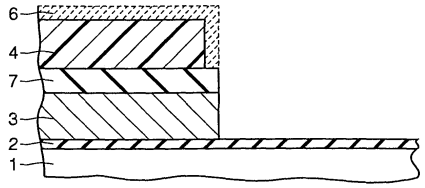
(종래기술)



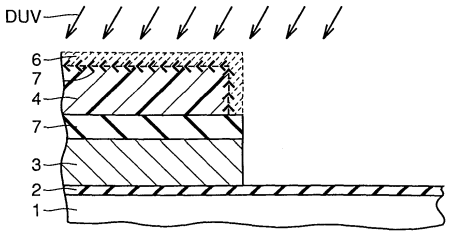
도면 18



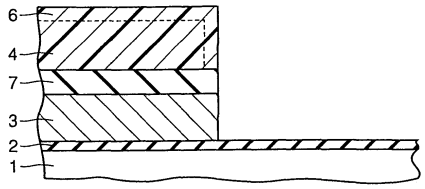
도면 19



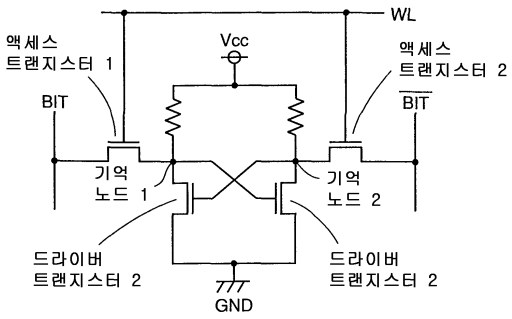
도면 20



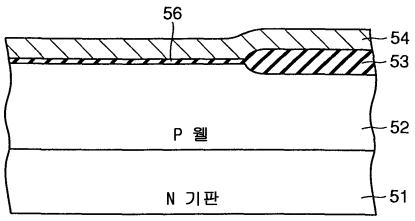
도면 21



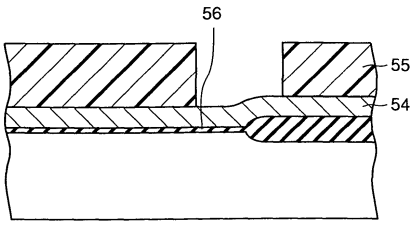
도면 22



도면 23



도면 24



도면 25