



(12) 发明专利

(10) 授权公告号 CN 101868919 B

(45) 授权公告日 2014. 05. 07

(21) 申请号 200880116731. 5
 (22) 申请日 2008. 08. 19
 (30) 优先权数据
 2007-328945 2007. 12. 20 JP
 (85) PCT国际申请进入国家阶段日
 2010. 05. 19
 (86) PCT国际申请的申请数据
 PCT/JP2008/064754 2008. 08. 19
 (87) PCT国际申请的公布数据
 W02009/081619 JA 2009. 07. 02
 (73) 专利权人 夏普株式会社
 地址 日本大阪府
 (72) 发明人 山本悦雄 村上祐一郎 佐佐木宁
 业天诚二郎 清水新策
 (74) 专利代理机构 北京市隆安律师事务所
 11323
 代理人 权鲜枝

(51) Int. Cl.
 H03K 19/0175(2006. 01)
 G09G 3/20(2006. 01)
 G09G 3/36(2006. 01)
 H03F 1/02(2006. 01)
 H03F 1/56(2006. 01)
 H03K 17/687(2006. 01)
 H03K 19/0185(2006. 01)
 H03K 19/094(2006. 01)

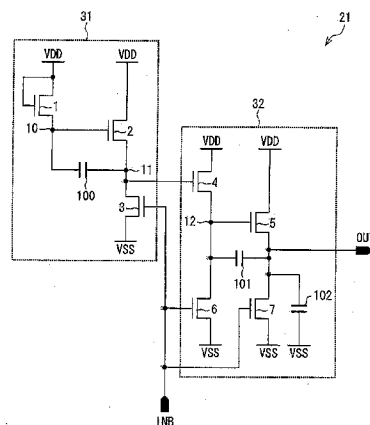
(56) 对比文件
 CN 1385825 A, 2002. 12. 18,
 US 3845324 A, 1974. 10. 29,
 JP 55156427 A, 1980. 12. 05,
 审查员 姜晓庆

权利要求书8页 说明书17页 附图21页

(54) 发明名称
 缓冲器和显示装置

(57) 摘要

具备:缓冲器部(32),其具有包括相互串联连接的n沟道型的2个晶体管(4、6)的第1串联电路、包括相互串联连接的n沟道型的2个晶体管(5、7)的第2串联电路以及电容(101);和反转信号生成部(31),其仅采用n沟道型的沟道极性的晶体管(1~3)构成,生成输入信号的反转信号,输入信号输入到晶体管(6)的栅极和晶体管(7)的栅极,由反转信号生成部(31)生成的反转信号输入到晶体管(4)的栅极,从第2串联电路的2个晶体管彼此的连接点(OUT)输出输出信号,由此实现包括单极性沟道晶体管、能够抑制消耗电流并且加大负载的驱动能力的单相输入的缓冲器。



CN 101868919 B

1. 一种缓冲器,对输入信号进行阻抗变换来输出输出信号,其特征在于:

具备:

缓冲器部,其具有第1串联电路、第2串联电路以及第1电容,其中,所述第1串联电路包括在高电源与低电源之间相互串联连接的n沟道型沟道极性的2个晶体管,所述第2串联电路包括在高电源与低电源之间相互串联连接的n沟道型沟道极性的2个晶体管,所述第1电容设置在上述第1串联电路的上述2个晶体管彼此的连接点与上述第2串联电路的上述2个晶体管彼此的连接点之间;和

反转信号生成部,其构成为所包含的晶体管仅为包含n沟道型沟道极性的晶体管,生成反转信号,所述反转信号具有与上述输入信号的极性相反的极性并且是任意决定了信号电平的信号,

上述输入信号输入到上述第1串联电路的上述低电源侧的上述晶体管的栅极和上述第2串联电路的上述低电源侧的上述晶体管的栅极,

由上述反转信号生成部生成的上述反转信号输入到上述第1串联电路的上述高电源侧的上述晶体管的栅极,

从上述第2串联电路的上述2个晶体管彼此的连接点输出上述输出信号,

上述反转信号生成部具备第4晶体管和电阻,

上述第4晶体管的栅极被输入上述输入信号,

上述第4晶体管和上述电阻相互串联连接,

上述第4晶体管的源极与上述反转信号生成部的高电源和低电源中的一方连接,上述电阻的上述第4晶体管侧的相反侧的一端与上述反转信号生成部的高电源和低电源中的另一方连接,

从上述第4晶体管和上述电阻的连接点输出上述反转信号。

2. 一种缓冲器,对输入信号进行阻抗变换来输出输出信号,其特征在于:

具备:

缓冲器部,其具有第1串联电路、第2串联电路以及第1电容,其中,所述第1串联电路包括在高电源与低电源之间相互串联连接的n沟道型沟道极性的2个晶体管,所述第2串联电路包括在高电源与低电源之间相互串联连接的n沟道型沟道极性的2个晶体管,所述第1电容设置在上述第1串联电路的上述2个晶体管彼此的连接点与上述第2串联电路的上述2个晶体管彼此的连接点之间;和

反转信号生成部,其构成为所包含的晶体管仅为包含n沟道型沟道极性的晶体管,生成反转信号,所述反转信号具有与上述输入信号的极性相反的极性并且是任意决定了信号电平的信号,

上述输入信号输入到上述第1串联电路的上述低电源侧的上述晶体管的栅极和上述第2串联电路的上述低电源侧的上述晶体管的栅极,

由上述反转信号生成部生成的上述反转信号输入到上述第1串联电路的上述高电源侧的上述晶体管的栅极,

从上述第2串联电路的上述2个晶体管彼此的连接点输出上述输出信号,

上述反转信号生成部具备第4晶体管和栅极与漏极相互连接的第5晶体管,

上述第4晶体管的栅极被输入上述输入信号,

上述第 4 晶体管和上述第 5 晶体管相互串联连接，

上述第 4 晶体管的源极与上述反转信号生成部的高电源和低电源中的一方连接，上述第 5 晶体管的漏极与上述反转信号生成部的高电源和低电源中的另一方连接，

从上述第 4 晶体管和上述第 5 晶体管的连接点输出上述反转信号。

3. 一种缓冲器，对输入信号进行阻抗变换来输出输出信号，其特征在于：

具备：

缓冲器部，其具有第 1 串联电路、第 2 串联电路以及第 1 电容，其中，所述第 1 串联电路包括在高电源与低电源之间相互串联连接的 n 沟道型沟道极性的 2 个晶体管，所述第 2 串联电路包括在高电源与低电源之间相互串联连接的 n 沟道型沟道极性的 2 个晶体管，所述第 1 电容设置在上述第 1 串联电路的上述 2 个晶体管彼此的连接点与上述第 2 串联电路的上述 2 个晶体管彼此的连接点之间；和

反转信号生成部，其构成为所包含的晶体管仅为包含 n 沟道型沟道极性的晶体管，生成反转信号，所述反转信号具有与上述输入信号的极性相反的极性并且是任意决定了信号电平的信号，

上述输入信号输入到上述第 1 串联电路的上述低电源侧的上述晶体管的栅极和上述第 2 串联电路的上述低电源侧的上述晶体管的栅极，

由上述反转信号生成部生成的上述反转信号输入到上述第 1 串联电路的上述高电源侧的上述晶体管的栅极，

从上述第 2 串联电路的上述 2 个晶体管彼此的连接点输出上述输出信号，

上述反转信号生成部具备：

第 4 晶体管；和

第 5 晶体管群，其相对于栅极与漏极相互连接的连接成二极管的晶体管，由其它 1 个以上的晶体管与上述连接成二极管的晶体管的源极侧级联连接而成，

上述其它 1 个以上的晶体管的各栅极与上述连接成二极管的晶体管的栅极连接，

上述第 4 晶体管的栅极被输入上述输入信号，

上述第 4 晶体管和上述第 5 晶体管群在上述第 5 晶体管群的成为源极的一侧的一端相互串联连接，

上述第 4 晶体管的源极与上述反转信号生成部的高电源和低电源中的一方连接，上述连接成二极管的晶体管的漏极与上述反转信号生成部的高电源和低电源中的另一方连接，

从上述第 4 晶体管和上述第 5 晶体管群的连接点输出上述反转信号。

4. 一种缓冲器，对输入信号进行阻抗变换来输出输出信号，其特征在于：

具备：

缓冲器部，其具有第 1 串联电路、第 2 串联电路以及第 1 电容，其中，所述第 1 串联电路包括在高电源与低电源之间相互串联连接的 p 沟道型沟道极性的 2 个晶体管，所述第 2 串联电路包括在高电源与低电源之间相互串联连接的 p 沟道型沟道极性的 2 个晶体管，所述第 1 电容设置在上述第 1 串联电路的上述 2 个晶体管彼此的连接点与上述第 2 串联电路的上述 2 个晶体管彼此的连接点之间；和

反转信号生成部，其构成为所包含的晶体管仅为包含 p 沟道型沟道极性的晶体管，生成反转信号，所述反转信号具有与上述输入信号的极性相反的极性并且是任意决定了信号

电平的信号，

上述输入信号输入到上述第 1 串联电路的上述高电源侧的上述晶体管的栅极和上述第 2 串联电路的上述高电源侧的上述晶体管的栅极，

由上述反转信号生成部生成的上述反转信号输入到上述第 1 串联电路的上述低电源侧的上述晶体管的栅极，

从上述第 2 串联电路的上述 2 个晶体管彼此的连接点输出上述输出信号，

上述反转信号生成部具备第 4 晶体管和电阻，

上述第 4 晶体管的栅极被输入上述输入信号，

上述第 4 晶体管和上述电阻相互串联连接，

上述第 4 晶体管的源极与上述反转信号生成部的高电源和低电源中的一方连接，上述电阻的上述第 4 晶体管侧的相反侧的一端与上述反转信号生成部的高电源和低电源中的另一方连接，

从上述第 4 晶体管和上述电阻的连接点输出上述反转信号。

5. 一种缓冲器，对输入信号进行阻抗变换来输出输出信号，其特征在于：

具备：

缓冲器部，其具有第 1 串联电路、第 2 串联电路以及第 1 电容，其中，所述第 1 串联电路包括在高电源与低电源之间相互串联连接的 p 沟道型沟道极性的 2 个晶体管，所述第 2 串联电路包括在高电源与低电源之间相互串联连接的 p 沟道型沟道极性的 2 个晶体管，所述第 1 电容设置在上述第 1 串联电路的上述 2 个晶体管彼此的连接点与上述第 2 串联电路的上述 2 个晶体管彼此的连接点之间；和

反转信号生成部，其构成为所包含的晶体管仅为包含 p 沟道型沟道极性的晶体管，生成反转信号，所述反转信号具有与上述输入信号的极性相反的极性并且是任意决定了信号电平的信号，

上述输入信号输入到上述第 1 串联电路的上述高电源侧的上述晶体管的栅极和上述第 2 串联电路的上述高电源侧的上述晶体管的栅极，

由上述反转信号生成部生成的上述反转信号输入到上述第 1 串联电路的上述低电源侧的上述晶体管的栅极，

从上述第 2 串联电路的上述 2 个晶体管彼此的连接点输出上述输出信号，

上述反转信号生成部具备第 4 晶体管和栅极与漏极相互连接的第 5 晶体管，

上述第 4 晶体管的栅极被输入上述输入信号，

上述第 4 晶体管和上述第 5 晶体管相互串联连接，

上述第 4 晶体管的源极与上述反转信号生成部的高电源和低电源中的一方连接，上述第 5 晶体管的漏极与上述反转信号生成部的高电源和低电源中的另一方连接，

从上述第 4 晶体管和上述第 5 晶体管的连接点输出上述反转信号。

6. 一种缓冲器，对输入信号进行阻抗变换来输出输出信号，其特征在于：

具备：

缓冲器部，其具有第 1 串联电路、第 2 串联电路以及第 1 电容，其中，所述第 1 串联电路包括在高电源与低电源之间相互串联连接的 p 沟道型沟道极性的 2 个晶体管，所述第 2 串联电路包括在高电源与低电源之间相互串联连接的 p 沟道型沟道极性的 2 个晶体管，所述

第 1 电容设置在上述第 1 串联电路的上述 2 个晶体管彼此的连接点与上述第 2 串联电路的上述 2 个晶体管彼此的连接点之间 ;和

反转信号生成部,其构成为所包含的晶体管仅为包含 p 沟道型沟道极性的晶体管,生成反转信号,所述反转信号具有与上述输入信号的极性相反的极性并且是任意决定了信号电平的信号,

上述输入信号输入到上述第 1 串联电路的上述高电源侧的上述晶体管的栅极和上述第 2 串联电路的上述高电源侧的上述晶体管的栅极,

由上述反转信号生成部生成的上述反转信号输入到上述第 1 串联电路的上述低电源侧的上述晶体管的栅极,

从上述第 2 串联电路的上述 2 个晶体管彼此的连接点输出上述输出信号,

上述反转信号生成部具备 :

第 4 晶体管 ;和

第 5 晶体管群,其相对于栅极与漏极相互连接的连接成二极管的晶体管,由其它 1 个以上的晶体管与上述连接成二极管的晶体管的源极侧级联连接而成,

上述其它 1 个以上的晶体管的各栅极与上述连接成二极管的晶体管的栅极连接,

上述第 4 晶体管的栅极被输入上述输入信号,

上述第 4 晶体管和上述第 5 晶体管群在上述第 5 晶体管群的成为源极的一侧的一端相互串联连接,

上述第 4 晶体管的源极与上述反转信号生成部的高电源和低电源中的一方连接,上述连接成二极管的晶体管的漏极与上述反转信号生成部的高电源和低电源中的另一方连接,

从上述第 4 晶体管和上述第 5 晶体管群的连接点输出上述反转信号。

7. 一种缓冲器,对输入信号进行阻抗变换来输出输出信号,其特征在于 :

具备 :

缓冲器部,其具有第 1 串联电路、第 2 串联电路以及第 1 电容,所述第 1 串联电路包括在高电源与低电源之间相互串联连接的 n 沟道型沟道极性的 2 个晶体管,所述第 2 串联电路包括在高电源与低电源之间相互串联连接的 n 沟道型沟道极性的 2 个晶体管,所述第 1 电容设置在上述第 1 串联电路的上述 2 个晶体管彼此的连接点与上述第 2 串联电路的上述 2 个晶体管彼此的连接点之间 ;

输入信号电平变换部,其构成为仅包含 n 沟道型沟道极性的晶体管作为晶体管,输出将上述输入信号进行电平变换得到的信号即电平变换信号 ;以及

反转信号生成部,其构成为所包含的晶体管仅为包含 n 沟道型沟道极性的晶体管,被输入由上述输入信号电平变换部生成的上述电平变换信号,生成反转信号,所述反转信号具有与上述输入信号的极性相反的极性并且是任意决定了信号电平的信号,

由上述输入信号电平变换部生成的上述电平变换信号还输入到上述第 1 串联电路的上述低电源侧的上述晶体管的栅极和上述第 2 串联电路的上述低电源侧的上述晶体管的栅极,

由上述反转信号生成部生成的上述反转信号输入到上述第 1 串联电路的上述高电源侧的上述晶体管的栅极,

从上述第 2 串联电路的上述 2 个晶体管彼此的连接点输出上述输出信号,

上述输入信号电平变换部具备：分别包括晶体管的第1电平变换部晶体管、第2电平变换部晶体管、第3电平变换部晶体管、第4电平变换部晶体管以及第5电平变换部晶体管；和包括电容的第1电平变换部电容和第2电平变换部电容，

上述第2电平变换部晶体管与上述第3电平变换部晶体管串联连接，

上述第1电平变换部晶体管的栅极与漏极相互连接，

上述第1电平变换部晶体管的源极与上述第2电平变换部晶体管的栅极连接，

上述第1电平变换部电容连接在上述第1电平变换部晶体管的源极与上述第2电平变换部晶体管和上述第3电平变换部晶体管的连接点之间，

上述第2电平变换部电容的一端与上述第2电平变换部晶体管和上述第3电平变换部晶体管的连接点连接，

上述第4电平变换部晶体管的漏极和栅极与上述第2电平变换部电容的另一端连接，

上述第5电平变换部晶体管的漏极与上述第2电平变换部电容的另一端连接，

上述第1电平变换部晶体管的漏极和上述第2电平变换部晶体管的漏极与上述反转信号生成部的高电源和低电源中的一方连接，

上述第3电平变换部晶体管的源极、上述第4电平变换部晶体管的源极以及上述第5电平变换部晶体管的源极与上述反转信号生成部的高电源和低电源中的另一方连接，

上述第3电平变换部晶体管的栅极被输入上述输入信号，

上述第5电平变换部晶体管的栅极能够输入将上述第5电平变换部晶体管在导通状态和截止状态之间进行切换的信号，

从上述第2电平变换部电容的另一端输出上述电平变换信号。

8. 一种缓冲器，对输入信号进行阻抗变换来输出输出信号，其特征在于：

具备：

缓冲器部，其具有第1串联电路、第2串联电路以及第1电容，其中，所述第1串联电路包括在高电源与低电源之间相互串联连接的p沟道型沟道极性的2个晶体管，所述第2串联电路包括在高电源与低电源之间相互串联连接的p沟道型沟道极性的2个晶体管，所述第1电容设置在上述第1串联电路的上述2个晶体管彼此的连接点与上述第2串联电路的上述2个晶体管彼此的连接点之间；

输入信号电平变换部，其构成为仅包含p沟道型沟道极性的晶体管作为晶体管，输出将上述输入信号进行电平变换得到的信号即电平变换信号；以及

反转信号生成部，其构成为所包含的晶体管仅为包含p沟道型沟道极性的晶体管，被输入由上述输入信号电平变换部生成的上述电平变换信号，生成反转信号，所述反转信号具有与上述输入信号的极性相反的极性并且是任意决定了信号电平的信号，

由上述输入信号电平变换部生成的上述电平变换信号还输入到上述第1串联电路的上述高电源侧的上述晶体管的栅极和上述第2串联电路的上述高电源侧的上述晶体管的栅极，

由上述反转信号生成部生成的上述反转信号输入到上述第1串联电路的上述低电源侧的上述晶体管的栅极，

从上述第2串联电路的上述2个晶体管彼此的连接点输出上述输出信号，

上述输入信号电平变换部具备：分别包括晶体管的第1电平变换部晶体管、第2电平变

换部晶体管、第 3 电平变换部晶体管、第 4 电平变换部晶体管以及第 5 电平变换部晶体管；和包括电容的第 1 电平变换部电容和第 2 电平变换部电容，

上述第 2 电平变换部晶体管与上述第 3 电平变换部晶体管串联连接，

上述第 1 电平变换部晶体管的栅极与漏极相互连接，

上述第 1 电平变换部晶体管的源极与上述第 2 电平变换部晶体管的栅极连接，

上述第 1 电平变换部电容连接在上述第 1 电平变换部晶体管的源极与上述第 2 电平变换部晶体管和上述第 3 电平变换部晶体管的连接点之间，

上述第 2 电平变换部电容的一端与上述第 2 电平变换部晶体管和上述第 3 电平变换部晶体管的连接点连接，

上述第 4 电平变换部晶体管的漏极和栅极与上述第 2 电平变换部电容的另一端连接，

上述第 5 电平变换部晶体管的漏极与上述第 2 电平变换部电容的另一端连接，

上述第 1 电平变换部晶体管的漏极和上述第 2 电平变换部晶体管的漏极与上述反转信号生成部的高电源和低电源中的一方连接，

上述第 3 电平变换部晶体管的源极、上述第 4 电平变换部晶体管的源极以及上述第 5 电平变换部晶体管的源极与上述反转信号生成部的高电源和低电源中的另一方连接，

上述第 3 电平变换部晶体管的栅极被输入上述输入信号，

上述第 5 电平变换部晶体管的栅极能够输入将上述第 5 电平变换部晶体管在导通状态和截止状态之间进行切换的信号，

从上述第 2 电平变换部电容的另一端输出上述电平变换信号。

9. 根据权利要求 7 或 8 所述的缓冲器，其特征在于：

上述反转信号生成部具备第 1 晶体管、第 2 晶体管、第 3 晶体管以及第 2 电容，

上述第 2 晶体管与上述第 3 晶体管串联连接，

上述第 1 晶体管的栅极与漏极相互连接，

上述第 1 晶体管的源极与上述第 2 晶体管的栅极连接，

上述第 2 电容连接在上述第 1 晶体管的源极与上述第 2 晶体管和上述第 3 晶体管的连接点之间，

上述第 1 晶体管的漏极和上述第 2 晶体管的漏极与上述反转信号生成部的高电源和低电源中的一方连接，上述第 3 晶体管的源极与上述反转信号生成部的高电源和低电源中的另一方连接，

上述第 3 晶体管的栅极被输入上述电平变换信号，

从上述第 2 晶体管和上述第 3 晶体管的连接点输出上述反转信号。

10. 根据权利要求 7 或 8 所述的缓冲器，其特征在于：

上述反转信号生成部具备第 1 晶体管、第 2 晶体管群、第 3 晶体管以及第 2 电容，

上述第 2 晶体管群包括多个级联连接的晶体管，并且与上述第 3 晶体管串联连接，

上述第 1 晶体管的栅极与漏极相互连接，

上述第 1 晶体管的源极与上述第 2 晶体管群的各晶体管的栅极连接，

上述第 2 电容连接在上述第 1 晶体管的源极与上述第 2 晶体管群和上述第 3 晶体管的连接点之间，

上述第 1 晶体管的漏极和上述第 2 晶体管群的成为漏极的一侧的一端与上述反转信号

生成部的高电源和低电源中的一方连接,上述第 3 晶体管的源极与上述反转信号生成部的高电源和低电源中的另一方连接,

上述第 3 晶体管的栅极被输入上述电平变换信号,

从上述第 2 晶体管群和上述第 3 晶体管的连接点输出上述反转信号。

11. 根据权利要求 7 或 8 所述的缓冲器,其特征在于:

上述反转信号生成部具备第 4 晶体管和电阻,

上述第 4 晶体管与上述电阻相互串联连接,

上述第 4 晶体管的源极与上述反转信号生成部的高电源和低电源中的一方连接,上述电阻的上述第 4 晶体管侧的相反侧的一端与上述反转信号生成部的高电源和低电源中的另一方连接,

上述第 4 晶体管的栅极被输入上述电平变换信号,

从上述第 4 晶体管和上述电阻的连接点输出上述反转信号。

12. 根据权利要求 7 或 8 所述的缓冲器,其特征在于:

上述反转信号生成部具备第 4 晶体管和栅极与漏极相互连接的第 5 晶体管,

上述第 4 晶体管与上述第 5 晶体管相互串联连接,

上述第 4 晶体管的源极与上述反转信号生成部的高电源和低电源中的一方连接,上述第 5 晶体管的漏极与上述反转信号生成部的高电源和低电源中的另一方连接,

上述第 4 晶体管的栅极被输入上述电平变换信号,

从上述第 4 晶体管和上述第 5 晶体管的连接点输出上述反转信号。

13. 根据权利要求 7 或 8 所述的缓冲器,其特征在于:

上述反转信号生成部具备:

第 4 晶体管;和

第 5 晶体管群,其相对于栅极与漏极相互连接的连接成二极管的晶体管,由其它 1 个以上的晶体管与上述连接成二极管的晶体管的源极侧级联连接而成,

上述其它 1 个以上的晶体管的各栅极与上述连接成二极管的晶体管的栅极连接,

上述第 4 晶体管和上述第 5 晶体管群在上述第 5 晶体管群的成为源极的一侧的一端相互串联连接,

上述第 4 晶体管的源极与上述反转信号生成部的高电源和低电源中的一方连接,上述连接成二极管的晶体管的漏极与上述反转信号生成部的高电源和低电源中的另一方连接,

上述第 4 晶体管的栅极被输入上述电平变换信号,

从上述第 4 晶体管和上述第 5 晶体管群的连接点输出上述反转信号。

14. 根据权利要求 7 或 8 所述的缓冲器,其特征在于:

第 3 电容与上述第 2 串联电路的上述 2 个晶体管彼此的连接点连接。

15. 一种显示装置,其特征在于:

具备权利要求 1 ~ 14 中的任一项所述的缓冲器。

16. 根据权利要求 15 所述的显示装置,其特征在于:

源极驱动器的输出电路具备上述缓冲器。

17. 根据权利要求 15 或 16 所述的显示装置,其特征在于:

栅极驱动器的输出电路具备上述缓冲器。

18. 根据权利要求 15 或 16 所述的显示装置,其特征在于:
生成提供给源极驱动器和栅极驱动器的信号的电路中所包含的逆变器具备上述缓冲器。
19. 根据权利要求 15 或 16 所述的显示装置,其特征在于:
生成提供给源极驱动器和栅极驱动器供给的信号电路中所包含的电平移位电路具备上述缓冲器。

缓冲器和显示装置

技术领域

[0001] 本发明涉及包括单极性的沟道晶体管的缓冲器。

背景技术

[0002] 液晶显示装置使用变换电源电压电平的电平移位器、得到相对于输入信号等倍的输出的放大电路那样的以低输出阻抗输出广义的放大信号的所谓的缓冲器。当这种缓冲器包括 CMOS 晶体管时,需要分别形成 p 沟道和 n 沟道的工艺,因此为了简化工序,也有仅以 n 沟道等单极性的沟道晶体管来构成缓冲器的情况(例如参照专利文献 1)。

[0003] 图 18 和图 19 表示仅使用了 n 沟道晶体管的缓冲器的结构例。该缓冲器是具有输入端子 In、Inb 的两相输入的结构。

[0004] 如图 18 所示,晶体管 201、202、203 的源极与 VSS 连接。因此,在输入端子 In 输入 VDD,输入端子 Inb 输入 VSS 的情况下,具有与输入端子 In 连接的栅极的晶体管 201、202、203 成为导通状态。另外,晶体管 204 的漏极与 VDD 连接。因此,与输入端子 Inb 连接的晶体管 204 成为截止状态。随之,作为晶体管 201 和晶体管 204 的连接点的点 210 的电位成为 VSS。点 210 连接到与晶体管 202 在 VDD 侧串联连接的晶体管 205 的栅极和与晶体管 203 在 VDD 侧串联连接的晶体管 206 的栅极。晶体管 205、206 的漏极与 VDD 连接。

[0005] 因此,晶体管 205、206 成为截止状态。

[0006] 晶体管 206 处于截止状态,晶体管 203 处于导通状态,因此输出端子 OUT 输出 VSS。

[0007] 如图 19 所示,在输入端子 In 输入 VSS,输入端子 Inb 输入 VDD 的情况下,晶体管 201、202、203 成为截止状态。另外,晶体管 204 成为导通状态。随之,点 210 的电位成为 VDD- 晶体管 204 的阈值电压 V_{th} 。随着点 210 的电位上升,晶体管 205 成为导通状态,漏极电流增加。当点 210 的电位成为 VDD- 晶体管 204 的阈值电压 V_{th} 时,晶体管 204 成为截止状态。

[0008] 在晶体管 205 的栅极与源极之间设有自举电容 101。当与晶体管 205 的源极连接的点 211 的电位上升时,由于自举电容 101 的效应,点 210 的电位升压。只要设计为点 210 的电位由于该升压而成为 VDD+ 晶体管 205 的阈值电压 V_{th} 以上,就能够使点 211 的电位不降低阈值电压 V_{th} 的量而上升到 VDD。另外,在晶体管 202 的漏极与栅极之间设有电容 100。

[0009] 另外,晶体管 206 的栅极也输入有点 210 的电位,因此输出端子 OUT 也不降低阈值电压 V_{th} 的量而输出 VDD。

[0010] 然后,图 20 和图 21 表示仅使用了 n 沟道晶体管的缓冲器的另一结构例。该缓冲器是仅有输入端子 In 的单相输入的结构。它是去掉图 18 和图 19 的输入端子 Inb,将晶体管 204 的栅极与漏极相互连接起来的结构。

[0011] 如图 20 所示,在输入端子 In 输入 VDD 的情况下,晶体管 201、202、203 成为导通状态。因此,点 210 的电位成为 VSS。因此,晶体管 204 的漏极/源极间电压即栅极/源极间电压成为 VDD-VSS,晶体管 204 成为导通状态。晶体管 204 成为导通状态,因此产生流过

晶体管 204 的直通电流。设计晶体管 204 与晶体管 201 的尺寸比,使得点 210 的电位接近 VSS。另外,点 210 的电位输入到晶体管 205、206 的栅极,由此晶体管 205、206 成为截止状态。晶体管 203 处于导通状态、晶体管 206 处于截止状态,因此从输出端子 OUT 输出 VSS。

[0012] 如图 21 所示,在输入端子 In 输入 VSS 的情况下,晶体管 201、202、203 成为截止状态。晶体管 204 保持与图 20 的情况相同的导通状态。随之,点 210 的电位从 VSS 升高到 $VDD - V_{th}$ 晶体管 204 的阈值电压 V_{th} 。随着点 210 的电位上升,晶体管 205 成为导通状态,漏极电流增加。当点 210 的电位成为 $VDD - V_{th}$ 晶体管 204 的阈值电压 V_{th} 时,晶体管 204 成为截止状态。

[0013] 在该状态下当点 210 的电位上升时,由于自举电容 101 的效应,点 210 的电位升压。只要设计为点 210 的电位由于该升压而成为 $VDD + V_{th}$ 晶体管 205 的阈值电压 V_{th} 以上,就能够使点 210 的电位不降低 阈值电压 V_{th} 的量而上升到 VDD。

[0014] 另外,晶体管 206 的栅极上也输入有点 210 的电位,因此输出端子 OUT 上也不降低 阈值电压 V_{th} 的量而输出 VDD。

[0015] 如上述图 20 和图 21 所示,在单相输入的缓冲器的情况下会产生直通电流,因此需要抑制消耗电流。实际上采用如下对策:将晶体管 204 的沟道宽度 W 设计得较小,或者用高电阻值的电阻代替晶体管 204 来抑制直通电流。

[0016] 图 22 表示将晶体管 204 换成高电阻值的电阻 T 的结构。电阻 T 使得直通电流变小。在输入端子 In 输入 VDD 的情况下和输入端子 In 输入 VSS 的情况下的输出端子 OUT 的电位分别与图 20 和图 21 相同。专利文献 1:日本国公开专利公报“特开 2003-179476 号公报(公开日:2003 年 6 月 27 日)”

发明内容

[0017] 然而,在将以往的包括单极性沟道晶体管的缓冲器设为单相输入的图 22 的结构中,利用高电阻值的电阻 T 抑制直通电流,因此点 210 的电位上升到 VDD 需要较长的时间。因此,点 210 的电位输入到晶体管 205、206 的栅极,因此从输入端子 In 输入 VSS 到晶体管 205、206 成为导通状态需要较长的时间。其结果是,在输出端子 OUT 连接较大的电容性负载的情况下,输出端子 OUT 的输出会发生延迟。

[0018] 为了减小这种延迟,需要将高电阻值的电阻换成低电阻,或者加大代替该电阻而使用的晶体管的沟道宽度 W,来加大缓冲器的驱动能力,但是这在结果上取消了抑制直通电流的对策,会导致消耗电流增加。

[0019] 本发明是鉴于上述以往的问题点而完成的,其目的在于实现包括单极性的沟道的晶体管、能够抑制消耗电流并且加大负载的驱动能力的单相输入的缓冲器和具备该缓冲器的显示装置。

[0020] 为了解决上述课题,本发明的缓冲器是对输入信号进行阻抗变换来输出输出信号的缓冲器,其特征在于:具备:缓冲器部,其具有第 1 串联电路、第 2 串联电路以及第 1 电容,其中,所述第 1 串联电路包括在高电源与低电源之间相互串联连接的 n 沟道型沟道极性的 2 个晶体管,所述第 2 串联电路包括在高电源与低电源之间相互串联连接的 n 沟道型沟道极性的 2 个晶体管、所述第 1 电容设置在上述第 1 串联电路的上述 2 个晶体管彼此的连接点与上述第 2 串联电路的上述 2 个晶体管彼此的连接点之间;和反转信号生成部,其构成为所

包含的晶体管仅为包含 n 沟道型沟道极性的晶体管,生成反转信号,所述反转信号具有与上述输入信号的极性相反的极性并且是任意决定了信号电平的信号,上述输入信号输入到上述第 1 串联电路的上述低电源侧的上述晶体管的栅极和上述第 2 串联电路的上述低电源侧的上述晶体管的栅极,由上述反转信号生成部生成的上述反转信号输入到上述第 1 串联电路的上述高电源侧的上述晶体管的栅极,从上述第 2 串联电路的上述 2 个晶体管彼此的连接点输出上述输出信号。

[0021] 根据上述发明,设置在第 1 串联电路的 2 个晶体管彼此的连接点与第 2 串联电路的 2 个晶体管彼此的连接点之间的第 1 电容具有自举电容的功能,因此即使第 1 串联电路的晶体管的驱动能力较小,也能够通过电位的升压来充分地驱动第 2 串联电路中的栅极与第 1 串联电路连接的晶体管。并且,在第 1 串联电路中不需要流过特别大的电流,因此能够抑制直通电流,并且输出电压的生成不用花费较长的时间。另外,即使是输入端子为 1 个的单相输入,也能够由反转信号生成电路生成输入信号的反转信号来输入到第 1 串联电路,因此缓冲器部能够不降低阈值电压的量而生成输出电压。

[0022] 根据以上说明,具有如下效果:能够实现包括单极性沟道晶体管、能够抑制消耗电流并且加大负载的驱动能力的单相输入的缓冲器。

[0023] 为了解决上述课题,本发明的缓冲器是对输入信号进行阻抗变换来输出输出信号的缓冲器,其特征在于:具备:缓冲器部,其具有第 1 串联电路、第 2 串联电路以及第 1 电容,其中,所述第 1 串联电路包括在高电源与低电源之间相互串联连接的 p 沟道型沟道极性的 2 个晶体管,所述第 2 串联电路包括在高电源与低电源之间相互串联连接的 p 沟道型沟道极性的 2 个晶体管,所述第 1 电容设置在上述第 1 串联电路的上述 2 个晶体管彼此的连接点与上述第 2 串联电路的上述 2 个晶体管彼此的连接点之间;和反转信号生成部,其构成为所包含的晶体管仅为包含 p 沟道型沟道极性的晶体管,生成反转信号,所述反转信号具有与上述输入信号的极性相反的极性并且是任意决定了信号电平的信号,上述输入信号输入到上述第 1 串联电路的上述高电源侧的上述晶体管的栅极和上述第 2 串联电路的上述高电源侧的上述晶体管的栅极,由上述反转信号生成部生成的上述反转信号输入到上述第 1 串联电路的上述低电源侧的上述晶体管的栅极,从上述第 2 串联电路的上述 2 个晶体管彼此的连接点输出上述输出信号。

[0024] 根据上述发明,设置在第 1 串联电路的 2 个晶体管彼此的连接点与第 2 串联电路的 2 个晶体管彼此的连接点之间的第 1 电容具有自举电容的功能,因此即使第 1 串联电路的晶体管的驱动能力较小,也能够通过电位的升压而充分地驱动第 2 串联电路中的栅极与第 1 串联电路连接的晶体管。并且,在第 1 串联电路中,不需要流过特别大的电流,因此能够抑制直通电流,并且输出电压的生成不用花费较长的时间。另外,即使是输入端子为 1 个的单相输入,也能够由反转信号生成电路生成输入信号的反转信号来输入到第 1 串联电路,因此缓冲器部能够不降低阈值电压的量而生成输出电压。

[0025] 根据以上说明,具有如下效果:能够实现包括单极性沟道晶体管、能够抑制消耗电流并且加大负载的驱动能力的单相输入的缓冲器。

[0026] 为了解决上述课题,本发明的缓冲器的特征在于:上述反转信号生成部具备第 1 晶体管、第 2 晶体管、第 3 晶体管以及第 2 电容,上述第 3 晶体管的栅极被输入上述输入信号,上述第 2 晶体管与上述第 3 晶体管串联连接,上述第 1 晶体管的栅极与漏极相互连接,

上述第 1 晶体管的源极与上述第 2 晶体管的栅极连接,上述第 2 电容连接在上述第 1 晶体管的源极与上述第 2 晶体管和上述第 3 晶体管的连接点之间,上述第 1 晶体管的漏极和上述第 2 晶体管的漏极与上述反转信号生成部的高电源和低电源中的一方连接,上述第 3 晶体管的源极与上述反转信号生成部的高电源和低电源中的另一方连接,从上述第 2 晶体管和上述第 3 晶体管的连接点输出上述反转信号。

[0027] 根据上述发明,具有如下效果:第 2 电容具有自举电容的功能,因此能够不降低晶体管的阈值电压的量而得到反转信号。因此,输入该反转信号的缓冲器部能够容易地不随着降低阈值电压的量而输出输出信号。

[0028] 为了解决上述课题,本发明的缓冲器的特征在于:上述反转信号生成部具备第 1 晶体管、第 2 晶体管群、第 3 晶体管以及第 2 电容,上述第 3 晶体管的栅极被输入上述输入信号,上述第 2 晶体管群包括多个级联连接的晶体管,并且与上述第 3 晶体管串联连接,上述第 1 晶体管的栅极与漏极相互连接,上述第 1 晶体管的源极与上述第 2 晶体管群的各晶体管的栅极连接,上述第 2 电容连接在上述第 1 晶体管的源极与上述第 2 晶体管群和上述第 3 晶体管的连接点之间,上述第 1 晶体管的漏极和上述第 2 晶体管群的成为漏极的一侧的一端与上述反转信号生成部的高电源和低电源中的一方连接,上述第 3 晶体管的源极与上述反转信号生成部的高电源和低电源中的另一方连接,从上述第 2 晶体管群和上述第 3 晶体管的连接点输出上述反转信号。

[0029] 根据上述发明,具有如下效果:第 2 电容具有自举电容的功能,因此能够不降低晶体管的阈值电压的量而得到反转信号。因此,输入该反转信号的缓冲器部能够容易地不随着阈值电压的量的降低而输出输出信号。

[0030] 另外,具有如下效果:由于具备包括多个级联连接的晶体管的第 2 晶体管群,因此能够加大电流路径的电阻而抑制直通电流。

[0031] 为了解决上述课题,本发明的缓冲器的特征在于:上述反转信号生成部具备第 4 晶体管和电阻,上述第 4 晶体管的栅极被输入上述输入信号,上述第 4 晶体管与上述电阻相互串联连接,上述第 4 晶体管的源极与上述反转信号生成部的高电源和低电源中的一方连接,上述电阻的上述第 4 晶体管侧的相反侧的一端与上述反转信号生成部的高电源和低电源中的另一方连接,从上述第 4 晶体管和上述电阻的连接点输出上述反转信号。

[0032] 根据上述发明,具有如下效果:为了得到反转信号而使用了电阻,因此不需要自举电容,能够减小电路的布设面积,并且不需要对晶体管导致的阈值电压的量的降低进行补偿的结构。

[0033] 为了解决上述课题,本发明的缓冲器的特征在于:上述反转信号生成部具备第 4 晶体管和栅极与漏极相互连接的第 5 晶体管,上述第 4 晶体管的栅极被输入上述输入信号,上述第 4 晶体管与上述第 5 晶体管相互串联连接,上述第 4 晶体管的源极与上述反转信号生成部的高电源和低电源中的一方连接,上述第 5 晶体管的漏极与上述反转信号生成部的高电源和低电源中的另一方连接,从上述第 4 晶体管和上述第 5 晶体管的连接点输出上述反转信号。

[0034] 根据上述发明,具有如下效果:为了得到反转信号而使用连接成二极管的第 5 晶体管作为电阻,因此不需要自举电容,能够减小电路的布设面积。

[0035] 为了解决上述课题,本发明的缓冲器的特征在于:上述反转信号生成部具备:第 4

晶体管和第 5 晶体管群,该第 5 晶体管群相对于栅极与漏极相互连接的连接成二极管的晶体管,由其它 1 个以上的晶体管与上述连接成二极管的晶体管的源极侧级联连接而成,上述其它 1 个以上的晶体管的各栅极与上述连接成二极管的晶体管的栅极连接,上述第 4 晶体管的栅极被输入上述输入信号,上述第 4 晶体管和上述第 5 晶体管群在上述第 5 晶体管群的成为源极的一侧的一端相互串联连接,上述第 4 晶体管的源极与上述反转信号生成部的高电源和低电源中的一方连接,上述连接成二极管的晶体管的漏极与上述反转信号生成部的高电源和低电源中的另一方连接,从上述第 4 晶体管和上述第 5 晶体管群的连接点输出上述反转信号。

[0036] 根据上述发明,具有如下效果:为了得到反转信号而使用具有连接成二极管的晶体管的级联连接的第 5 晶体管群作为电阻,因此不需要自举电容,能够减小电路的布设面积。

[0037] 为了解决上述课题,本发明的缓冲器是对输入信号进行阻抗变换来输出输出信号的缓冲器,其特征在于:具备:缓冲器部,其具有第 1 串联电路、第 2 串联电路以及第 1 电容,所述第 1 串联电路包括在高电源与低电源之间相互串联连接的 n 沟道型沟道极性的 2 个晶体管,所述第 2 串联电路包括在高电源与低电源之间相互串联连接的 n 沟道型沟道极性的 2 个晶体管,所述第 1 电容设置在上述第 1 串联电路的上述 2 个晶体管彼此的连接点与上述第 2 串联电路的上述 2 个晶体管彼此的连接点之间;输入信号电平变换部,其构成为仅包含 n 沟道型沟道极性的晶体管作为晶体管,输出将上述输入信号进行电平变换得到的信号即电平变换信号;以及反转信号生成部,其构成为所包含的晶体管仅为包含 n 沟道型沟道极性的晶体管,输入由上述输入信号电平变换部生成的上述电平变换信号,生成反转信号,所述反转信号具有与上述输入信号的极性相反的极性并且是任意决定了信号电平的信号,由上述输入信号电平变换部生成的上述电平变换信号还输入到上述第 1 串联电路的上述低电源侧的上述晶体管的栅极和上述第 2 串联电路的上述低电源侧的上述晶体管的栅极,由上述反转信号生成部生成的上述反转信号输入到上述第 1 串联电路的上述高电源侧的上述晶体管的栅极,从上述第 2 串联电路的上述 2 个晶体管彼此的连接点输出上述输出信号。

[0038] 根据上述发明,设置在第 1 串联电路的 2 个晶体管彼此的连接点与第 2 串联电路的 2 个晶体管彼此的连接点之间的第 1 电容具有自举电容的功能,因此即使第 1 串联电路的晶体管的驱动能力较小,也能够通过电位的升压而充分地驱动第 2 串联电路中的栅极与第 1 串联电路连接的晶体管。并且,在第 1 串联电路中不需要流过特别大的电流,因此能够抑制直通电流,并且输出电压的生成不用花费较长的时间。另外,即使是输入端子为 1 个的单相输入,也能够由反转信号生成电路生成反转信号来输入到第 1 串联电路,因此缓冲器部能不降低阈值电压的量而生成输出电压。

[0039] 根据以上说明,具有如下效果:能够实现包括单极性沟道晶体管、能够抑制消耗电流并且加大负载的驱动能力的单相输入的缓冲器。

[0040] 另外,具有如下效果:通过具备输入信号电平变换部,能够避免产生因输入信号的电平不同而使缓冲器部的输入输入信号的晶体管不成为截止状态的问题。

[0041] 为了解决上述课题,本发明的缓冲器是对输入信号进行阻抗变换来输出输出信号的缓冲器,其特征在于:具备:缓冲器部,其具有第 1 串联电路、第 2 串联电路以及第 1 电容,

其中,所述第1串联电路包括在高电源与低电源之间相互串联连接的p沟道型沟道极性的2个晶体管,所述第2串联电路包括在高电源与低电源之间相互串联连接的p沟道型沟道极性的2个晶体管,所述第1电容设置在上述第1串联电路的上述2个晶体管彼此的连接点与上述第2串联电路的上述2个晶体管彼此的连接点之间;输入信号电平变换部,其构成为仅包含p沟道型沟道极性的晶体管作为晶体管,输出将上述输入信号进行电平变换得到的信号即电平变换信号;以及反转信号生成部,其构成为所包含的晶体管仅为包含p沟道型沟道极性的晶体管,输入由上述输入信号电平变换部生成的上述电平变换信号,生成反转信号,所述反转信号具有与上述输入信号的极性相反的极性并且是任意决定了信号电平的信号,由上述输入信号电平变换部生成的上述电平变换信号还输入到上述第1串联电路的上述高电源侧的上述晶体管的栅极和上述第2串联电路的上述高电源侧的上述晶体管的栅极,由上述反转信号生成部生成的上述反转信号输入到上述第1串联电路的上述低电源侧的上述晶体管的栅极,从上述第2串联电路的上述2个晶体管彼此的连接点输出上述输出信号。

[0042] 根据上述发明,设置在第1串联电路的2个晶体管彼此的连接点与第2串联电路的2个晶体管彼此的连接点之间的第1电容具有自举电容的功能,因此即使第1串联电路的晶体管的驱动能力较小,也能够通过电位的升压而充分地驱动第2串联电路中的栅极与第1串联电路连接的晶体管。并且,在第1串联电路中不需要流过特别大的电流,因此能够抑制直通电流,并且输出电压的生成不用花费较长的时间。另外,即使是输入端子为1个的单相输入,也能够由反转信号生成电路生成反转信号来输入到第1串联电路,因此缓冲器部能够不降低阈值电压的量而生成输出电压。

[0043] 根据以上说明,具有如下效果:能够实现包括单极性沟道晶体管、能够抑制消耗电流并且加大负载的驱动能力的单相输入的缓冲器。

[0044] 另外,具有如下效果:通过具备输入信号电平变换部,能够避免产生因输入信号的电平不同而使缓冲器部的输入输入信号的晶体管不成为截止状态的问题。

[0045] 为了解决上述课题,本发明的缓冲器的特征在于:上述反转信号生成部具备第1晶体管、第2晶体管、第3晶体管以及第2电容,上述第2晶体管与上述第3晶体管串联连接,上述第1晶体管的栅极与漏极相互连接,上述第1晶体管的源极与上述第2晶体管的栅极连接,上述第2电容连接在上述第1晶体管的源极与上述第2晶体管和上述第3晶体管的连接点之间,上述第1晶体管的漏极和上述第2晶体管的漏极与上述反转信号生成部的高电源和低电源中的一方连接,上述第3晶体管的源极与上述反转信号生成部的高电源和低电源中的另一方连接,上述第3晶体管的栅极被输入上述电平变换信号,从上述第2晶体管和上述第3晶体管的连接点输出上述反转信号。

[0046] 根据上述发明,具有如下效果:第2电容具有自举电容的功能,因此能够不降低晶体管的阈值电压的量而得到反转信号。因此,输入该反转信号的缓冲器部能够容易地不随着阈值电压的量的降低而输出输出信号。

[0047] 为了解决上述课题,本发明的缓冲器的特征在于:上述反转信号生成部具备第1晶体管、第2晶体管群、第3晶体管以及第2电容,上述第3晶体管的栅极被输入上述输入信号,上述第2晶体管群包括多个级联连接的晶体管,并且与上述第3晶体管串联连接,上述第1晶体管的栅极与漏极相互连接,上述第1晶体管的源极与上述第2晶体管群的各晶

体管的栅极连接,上述第 2 电容连接在上述第 1 晶体管的源极与上述第 2 晶体管群和上述第 3 晶体管的连接点之间,上述第 1 晶体管的漏极和上述第 2 晶体管群的成为漏极的一侧的一端与上述反转信号生成部的高电源和低电源中的一方连接,上述第 3 晶体管的源极与上述反转信号生成部的高电源和低电源中的另一方连接,上述第 3 晶体管的栅极被输入上述电平变换信号,从上述第 2 晶体管群和上述第 3 晶体管的连接点输出上述反转信号。

[0048] 根据上述发明,具有如下效果:第 2 电容具有自举电容的功能,因此能够不降低晶体管的阈值电压的量而得到反转信号。因此,输入该反转信号的缓冲器部能够容易地不随着阈值电压的量的降低而输出输出信号。

[0049] 另外,具有如下效果:具备包括多个级联连接的晶体管的第 2 晶体管群,因此能够加大电流路径的电阻而抑制直通电流。

[0050] 为了解决上述课题,本发明的缓冲器的特征在于:上述反转信号生成部具备第 4 晶体管和电阻,上述第 4 晶体管的栅极被输入上述输入信号,上述第 4 晶体管与上述电阻相互串联连接,上述第 4 晶体管的源极与上述反转信号生成部的高电源和低电源中的一方连接,上述电阻的上述第 4 晶体管侧的相反侧的一端与上述反转信号生成部的高电源和低电源中的另一方连接,上述第 4 晶体管的栅极被输入上述电平变换信号,从上述第 4 晶体管和上述电阻的连接点输出上述反转信号。

[0051] 根据上述发明,具有如下效果:为了得到反转信号而使用了电阻,因此不需要自举电容,能够减小电路的布设面积,并且不需要对晶体管导致的阈值电压的量的降低进行补偿的结构。

[0052] 为了解决上述课题,本发明的缓冲器的特征在于:上述反转信号生成部具备第 4 晶体管和栅极与漏极相互连接的第 5 晶体管,上述第 4 晶体管的栅极被输入上述输入信号,上述第 4 晶体管与上述第 5 晶体管相互串联连接,上述第 4 晶体管的源极与上述反转信号生成部的高电源和低电源中的一方连接,上述第 5 晶体管的漏极与上述反转信号生成部的高电源和低电源中的另一方连接,上述第 4 晶体管的栅极被输入上述电平变换信号,从上述第 4 晶体管和上述第 5 晶体管的连接点输出上述反转信号。

[0053] 根据上述发明,具有如下效果:为了得到反转信号而使用连接成二极管的第 5 晶体管作为电阻,因此不需要自举电容,能够减小电路的布设面积。

[0054] 为了解决上述课题,本发明的缓冲器的特征在于:上述反转信号生成部具备第 4 晶体管和第 5 晶体管群,该第 5 晶体管群相对于栅极与漏极相互连接的连接成二极管的晶体管,由其它 1 个以上的晶体管与上述连接成二极管的晶体管的源极侧级联连接而成,上述其它 1 个以上的晶体管的各栅极与上述连接成二极管的晶体管的栅极连接,上述第 4 晶体管的栅极被输入上述输入信号,上述第 4 晶体管与上述第 5 晶体管群在上述第 5 晶体管群的成为源极的一侧的一端相互串联连接,上述第 4 晶体管的源极与上述反转信号生成部的高电源和低电源中的一方连接,上述连接成二极管的晶体管的漏极与上述反转信号生成部的高电源和低电源中的另一方连接,上述第 4 晶体管的栅极被输入上述电平变换信号,从上述第 4 晶体管和上述第 5 晶体管群的连接点输出上述反转信号。

[0055] 根据上述发明,具有如下效果:为了得到反转信号而使用具有连接成二极管的晶体管的级联连接的第 5 晶体管群作为电阻,因此不需要自举电容,能够减小电路的布设面积。

[0056] 为了解决上述课题,本发明的缓冲器的特征在于:上述输入信号电平变换部具备:分别包括晶体管的第1电平变换部晶体管、第2电平变换部晶体管、第3电平变换部晶体管、第4电平变换部晶体管以及第5电平变换部晶体管;和包括电容的第1电平变换部电容和第2电平变换部电容,上述第2电平变换部晶体管与上述第3电平变换部晶体管串联连接,上述第1电平变换部晶体管的栅极与漏极相互连接,上述第1电平变换部晶体管的源极与上述第2电平变换部晶体管的栅极连接,上述第1电平变换部电容连接在上述第1电平变换部晶体管的源极与上述第2电平变换部晶体管和上述第3电平变换部晶体管的连接点之间,上述第2电平变换部电容的一端与上述第2电平变换部晶体管和上述第3电平变换部晶体管的连接点连接,上述第4电平变换部晶体管的漏极和栅极与上述第2电平变换部电容的另一端连接,上述第5电平变换部晶体管的漏极与上述第2电平变换部电容的另一端连接,上述第1电平变换部晶体管的漏极和上述第2电平变换部晶体管的漏极与上述反转信号生成部的高电源和低电源中的一方连接,上述第3电平变换部晶体管的源极、上述第4电平变换部晶体管的源极和上述第5电平变换部晶体管的源极与上述反转信号生成部的高电源和低电源中的另一方连接,上述第3电平变换部晶体管的栅极被输入上述输入信号,上述第5电平变换部晶体管的栅极能够输入将上述第5电平变换部晶体管在导通状态与截止状态之间进行切换的信号,从上述第2电平变换部电容的另一端输出上述电平变换信号。

[0057] 根据上述发明,在输入信号电平变换部中,第5电平变换部晶体管的栅极被输入将第5电平变换部晶体管置为导通状态的信号,接着输入将第5电平变换部晶体管置为截止状态的信号,由此能够将第2电平变换部电容的另一端置为与第5电平变换部晶体管的源极连接的高电源或低电源的电位。

[0058] 并且,在第3电平变换部晶体管的栅极被输入将第3电平变换部晶体管置为导通状态的输入信号的情况下,能够通过第2电平变换部电容的降压效应或升压效应,将反转信号生成部中的输入电平变换信号的第3晶体管和缓冲器部的第1串联电路和第2串联电路中的输入电平变换信号的各晶体管可靠地置为截止状态。

[0059] 另外,在第3电平变换部晶体管的栅极被输入将第3电平变换部晶体管置为导通状态的输入信号的情况下,通过第2电平变换部电容的降压效应或升压效应,即使第2电平变换部电容的另一端的电位要成为将反转信号生成部中的输入电平变换信号的第3晶体管和缓冲器部的第1串联电路和第2串联电路中的输入电平变换信号的各晶体管置为截止状态的电位,由于第4晶体管成为导通状态,也能够保持这些晶体管的截止状态。

[0060] 根据以上说明,具有如下效果:能够将反转信号生成部中的输入电平变换信号的第3晶体管和缓冲器部的第1串联电路和第2串联电路中的输入电平变换信号的各晶体管可靠地置为截止状态。

[0061] 为了解决上述课题,本发明的缓冲器的特征在于:第3电容与上述第2串联电路的上述2个晶体管彼此的连接点连接。

[0062] 根据上述发明,具有如下效果:缓冲器的输出电压对与第2串联电路的上述2个晶体管彼此的连接点连接的电容进行充电,因此不会急剧地上升。因此,能够充分地进行连接在第1串联电路与第2串联电路之间的自举电容导致的第1串联电路中的电位升压,因此,能够可靠地得到没有不降低阈值电压的量的输出电压。

[0063] 为了解决上述课题,本发明的缓冲器的特征在于:具备:作为上述缓冲器的第1缓冲器;以及作为上述缓冲器的第2缓冲器,上述第2缓冲器的第2串联电路中的被输入电平变换信号的上述晶体管的栅极,被输入上述第1缓冲器的上述输出信号来代替上述电平变换信号。

[0064] 根据上述发明,具有如下效果:能够得到相位相互反转的2个输出电压,针对不因在面板内生成的反转信号加大消耗电流而需要驱动能力较大的信号的情况,将一方缓冲器的输出电压用于驱动另一方缓冲器的第2串联电路的晶体管,因此能够正常地输出2个输出电压。

[0065] 为了解决上述课题,本发明的显示装置的特征在于:具备上述缓冲器。

[0066] 根据上述发明,具有如下效果:能够实现能抑制功耗、充分地驱动负载的显示装置。

[0067] 为了解决上述课题,本发明的显示装置的特征在于:源极驱动器的输出电路具备上述缓冲器。

[0068] 根据上述发明,具有如下效果:能够实现具备能抑制功耗、充分地驱动负载的源极驱动器的显示装置。

[0069] 为了解决上述课题,本发明的显示装置的特征在于:栅极驱动器的输出电路具备上述缓冲器。

[0070] 根据上述发明,具有如下效果:能够实现具备能够抑制功耗、充分地驱动负载的栅极驱动器的显示装置。

[0071] 为了解决上述课题,本发明的显示装置的特征在于:生成提供给源极驱动器和栅极驱动器供给的信号的电路中所包含的逆变器具备上述缓冲器。

[0072] 根据上述发明,具有如下效果:能够实现具备能够抑制功耗、充分地驱动负载的逆变器的显示装置。

[0073] 为了解决上述课题,本发明的显示装置的特征在于:生成提供给源极驱动器和栅极驱动器供给的信号的电路中所包含的电平移位电路具备上述缓冲器。

[0074] 根据上述发明,具有如下效果:能够实现具备能够抑制功耗、充分地驱动负载的电平移位电路的显示装置。

[0075] 通过以下给出的记载可以足够了解本发明的其它目的、特征及优点。另外,通过参照附图的说明可以明白本发明的优点。

附图说明

[0076] 图1表示本发明的实施方式,是表示第1缓冲器的结构的电路图。

[0077] 图2表示本发明的实施方式,是表示第2缓冲器的结构的电路图。

[0078] 图3是表示第1反转信号生成部的第1动作的电路图。

[0079] 图4是表示第1反转信号生成部的第2动作的电路图。

[0080] 图5是表示第2反转信号生成部的第1动作的电路图。

[0081] 图6是表示第2反转信号生成部的第2动作的电路图。

[0082] 图7是表示缓冲器部的第1动作的电路图。

[0083] 图8是表示缓冲器部的第2动作的电路图。

- [0084] 图 9 是表示缓冲器部的结构的详细说明书的电路图。
- [0085] 图 10 表示本发明的实施方式,是表示第 3 缓冲器的结构的电路图。
- [0086] 图 11 是表示输入信号电平变换部的第 1 动作的电路图。
- [0087] 图 12 是表示输入信号电平变换部的第 2 动作的电路图。
- [0088] 图 13 是表示输入信号电平变换部的第 3 动作的电路图。
- [0089] 图 14 表示本发明的实施方式,是表示第 4 缓冲器的结构的电路图。
- [0090] 图 15 表示本发明的实施方式,是表示第 5 缓冲器的结构的电路图。
- [0091] 图 16 表示本发明的实施方式,是表示第 6 缓冲器的结构的电路图。
- [0092] 图 17 表示本发明的实施方式,是表示显示装置的结构框图。
- [0093] 图 18 表示以往技术,是表示以往的第 1 缓冲器的结构和第 1 动作的电路图。
- [0094] 图 19 表示以往技术,是表示以往的第 1 缓冲器的结构和第 2 动作的电路图。
- [0095] 图 20 表示以往技术,是表示以往的第 2 缓冲器的结构和第 1 动作的电路图。
- [0096] 图 21 表示以往技术,是表示以往的第 2 缓冲器的结构和第 2 动作的电路图。
- [0097] 图 22 表示以往技术,是表示以往的第 3 缓冲器的结构和动作的电路图。
- [0098] 图 23 是表示第 1 缓冲器具备的第 1 反转信号生成部的变形例的结构的电路图。
- [0099] 图 24 是表示由晶体管构成第 2 反转信号生成部的电阻的情况下的第 2 缓冲器的结构的电路图。
- [0100] 图 25 是表示图 24 的第 2 反转信号生成部的变形例的结构的电路图。
- [0101] 图 26 是表示图 25 的第 2 反转信号生成部的第 1 动作的电路图。
- [0102] 图 27 是表示图 25 的第 2 反转信号生成部的第 2 动作的电路图。
- [0103] 图 28 是表示第 6 缓冲器的动作的电路图。
- [0104] 图 29 表示本发明的实施方式,是表示第 7 缓冲器的结构的电路图。
- [0105] 图 30 表示本发明的实施方式,是表示第 8 缓冲器的结构的电路图。
- [0106] 附图标记说明
- [0107] 1、/1 :晶体管 (第 1 晶体管);2、/2 :晶体管 (第 2 晶体管);3、/3 :晶体管 (第 3 晶体管);21、22、23、24、25、26、27、28 :缓冲器;100、/100 :电容 (第 2 电容);101、/101 :电容 (第 1 电容);102、/102 :电容;151 :液晶显示装置 (显示装置);A、AA、AB :晶体管 (第 4 晶体管);T :电阻;Ta :晶体管 (第 5 晶体管、连接成二极管的晶体管);a ~ e、/a ~ /e :晶体管 (第 1 电平变换部晶体管~第 5 电平变换部晶体管);103、/103 :电容 (第 1 电平变换部电容);104、/104 :电容 (第 2 电平变换部电容)

具体实施方式

- [0108] 根据图 1 ~图 17 和图 23 ~图 30 如下说明本发明的一个实施方式。
- [0109] 图 17 表示本实施方式的液晶显示装置 (显示装置)151 的结构。
- [0110] 液晶显示装置 151 在面板 152 上具备像素区域 153、源极驱动器 154、栅极驱动器 155、缓冲 / 电平移位电路 156、电源电路 157 以及端子 158…。源极驱动器 154 具备输出电路 154a,向像素区域 153 的各源极总线输出数据信号。栅极驱动器 155 具备输出电路 155a,为了向像素区域 153 的各像素写入来自源极驱动器 154 的数据信号而向栅极总线输出选择信号。输出电路 154a、155a 包括从输入信号生成等倍的数据信号的作为低输出阻抗放大电

路的缓冲器。缓冲 / 电平移位电路 156 具备对逆变器等的信号的衰减进行校正的等倍的放大电路、对信号的电源电压电平进行变换的电平移位电路等作为低输出阻抗放大电路的缓冲器,将通过这种缓冲器的信号供给到源极驱动器 154 和栅极驱动器 155。这样,该缓冲器对输入信号进行阻抗变换来输出输出信号。电源电路 157 生成数据信号的基准电压、相对电压、辅助电容电压等。端子 158...是用于向面板 152 上的上述各电路输入信号、电源的端子。

[0111] 其次,说明上述缓冲器的结构。

[0112] 图 1 表示缓冲器 21 的结构。

[0113] 缓冲器 21 具备反转信号生成部 31 和缓冲部 32。缓冲器 21 是具有 1 个输入端子 INB 的单相输入缓冲器,是采用单极性沟道、在此是 n 沟道型晶体管来构成的。晶体管可采用 TFT、形成在硅基板上的场效应晶体管。

[0114] 反转信号生成部 31 是生成具有与从输入端子 INB 输入的信号的极性相反的极性的信号、即是作为将高和低相互替换的极性的信号的反转信号的电路,具备晶体管 1 ~ 3 和电容 100。另外,表示上述反转信号的高 / 低的电平的信号电平可通过任意决定了反转信号生成部 31 内的电源电压来任意决定。反转信号的定义也适用于以下所述的所有反转信号生成部。电容 (第 2 电容) 100 是自举电容。电源包括高电源的 VDD 和低电源的 VSS。晶体管 (第 1 晶体管) 1 的漏极与 VDD 连接,栅极与漏极连接。晶体管 1 的源极与电容 100 的一方端子连接。晶体管 (第 2 晶体管) 2 的漏极与 VDD 连接,栅极与晶体管 1 的源极连接。晶体管 2 的源极与晶体管 (第 3 晶体管) 3 的漏极和电容 100 的另一方端子连接。晶体管 3 的源极与 VSS 连接,栅极与输入端子 INB 连接。晶体管 2 和晶体管 3 的连接点是反转信号生成部 31 的输出端子 11。

[0115] 缓冲部 (缓冲器部) 32 具备晶体管 4 ~ 7 和电容 101、102。电容 (第 1 电容) 101 是自举电容。缓冲部 32 具有低输出阻抗的输出部,是对从输入端子 INB 输入的信号实施阻抗变换的电路。电源包括高电源的 VDD 和低电源的 VSS。晶体管 4 的漏极与 VDD 连接,栅极与反转信号生成部 31 的输出端子 11 连接。晶体管 6 的漏极与晶体管 4 的源极连接,栅极与输入端子 INB 连接。晶体管 6 的源极与 VSS 连接。晶体管 5 的漏极与 VDD 连接,栅极与晶体管 4 的源极连接,将其连接点设为点 12。晶体管 7 的漏极与晶体管 5 的源极连接,栅极与输入端子 INB 连接。晶体管 7 的源极与 VSS 连接。电容 101 连接在晶体管 4 的源极与晶体管 5 的源极之间。晶体管 5 和晶体管 7 的连接点是缓冲部 32 的输出端子 OUT。另外,电容 102 连接在输出端子 OUT 与 VSS 之间。

[0116] 在上述结构中,晶体管 4 和晶体管 6 相互串联连接,构成第 1 串联电路。另外,晶体管 5 和晶体管 7 相互串联连接,构成第 2 串联电路。

[0117] 上述电容 100、101 也可以由寄生电容构成,电容 102 也可以由寄生电容构成。

[0118] 在由寄生电容构成电容 100、101 的情况下,满足以下条件即可。

[0119] 在图 1 和图 2 中,由寄生电容构成电容 101 的情况下,设:

[0120] $C_a = (\text{晶体管 4 的寄生电容}) + (\text{晶体管 6 的寄生电容}) + (\text{晶体管 5 的栅极与晶体管 4 的源极和晶体管 6 的漏极之间的配线的电容}),$

[0121] $C_g = (\text{晶体管 5 的导通电容 (= 相对于源极 / 漏极的栅极电容)}),$

[0122] $V = V_{DD} - V_{SS}$: 升压时的晶体管 5 的源极的电位变化量,

- [0123] $\Delta V = (C_g / (C_a + C_g)) \times V$: 升压的点 12 的电压,
- [0124] 则在设计缓冲部 32 时, 设计为使:
- [0125] $V_{DD} - (\text{晶体管 4 的阈值电压 } V_{th} + \Delta V) > V_{DD} + (\text{晶体管 5 的阈值电压}) \dots (1)$ 。
- [0126] 在仅用 C_g 就满足式 (1) 的情况下, 为了构成电容 101, 仅寄生电容就足够了, 但是假如不满足时, 为了构成电容 101, 只要设计为增加自举用电容来可靠地满足式 (1) 即可。
- [0127] 另外, 在图 1 中, 由寄生电容构成电容 100 的情况下, 设:
- [0128] $C_a = (\text{晶体管 1 的寄生电容}) + (\text{晶体管 2 的栅极与晶体管 1 的源极之间的配线的电容})$,
- [0129] $C_g = (\text{晶体管 2 的导通电容 (= 相对于源极 / 漏极的栅极电容)})$,
- [0130] $V = V_{DD} - V_{SS}$: 升压时的点 11 的电位变化量,
- [0131] $\Delta V = (C_g / (C_a + C_g)) \times V$: 升压的点 10 的电压,
- [0132] 则设计反转信号生成部 31 时, 设计为使得:
- [0133] $V_{DD} - (\text{晶体管 1 的阈值电压 } V_{th} + \Delta V) > V_{DD} + (\text{晶体管 2 的阈值电压}) \dots (2)$ 。
- [0134] 在仅用 C_g 就满足式 (2) 的情况下, 为了构成电容 100, 仅寄生电容就足够了, 但是假如不满足时, 为了构成电容 101, 只要设计为增加自举用电容来可靠地满足式 (2) 即可。
- [0135] 另外, 图 2 表示缓冲器 22 的结构。
- [0136] 缓冲器 22 具备反转信号生成部 33 和缓冲部 32。缓冲器 22 是具有 1 个输入端子 INB 的单相输入缓冲器, 采用单极性沟道、在此是 n 沟道型晶体管来构成的。缓冲部 32 与缓冲器 21 的缓冲部 32 相同。
- [0137] 反转信号生成部 33 具备晶体管 A 和电阻 T。电源包括高电源的 V_{DD} 和低电源的 V_{SS} 。电阻 T 是高电阻值的电阻, 一端与 V_{DD} 连接。晶体管 (第 4 晶体管) A 的漏极与电阻 T 的另一端连接, 栅极与输入端子 INB 连接。晶体管 A 的源极与 V_{SS} 连接。作为电阻 T 和晶体管 A 的连接点的点 Z 是反转信号生成部 33 的输出端子。
- [0138] 然后, 下面说明上述缓冲器 21、22 的各电路的动作。
- [0139] 图 3 和图 4 表示缓冲器 21 的反转信号生成部 31 的动作。
- [0140] 如图 3 所示, 在输入端子 INB 输入输入信号的高侧的电压 V_{DDA} 的情况下, 设定成 $V_{DDA} - V_{SS}$ 在晶体管 3 的阈值电压 V_{th} 以上, 晶体管 3 成为导通状态。晶体管 1 的栅极被输入有 V_{DD} , 设有电容 100, 因此当点 11 的电位下降时点 10 的电位也下降。当点 10 的电位成为 $V_{DD} - \text{晶体管 1 的阈值电压 } V_{th}$ 以下时, 晶体管 1 成为导通状态, 因此从 V_{DD} 向晶体管 1 流过漏极电流, 点 10 的电位上升。其结果是, 在点 10 的电位上升到 $V_{DD} - \text{晶体管 1 的阈值电压 } V_{th}$ 的时刻, 晶体管 1 成为截止状态。最终, 点 10 的电位成为电位为 $V_{DD} - \text{晶体管 1 的阈值电压 } V_{th}$ 。晶体管 2 的栅极被输入电位为 $V_{DD} - \text{晶体管 1 的阈值电压 } V_{th}$, 点 11 的电位为 V_{SS} , 由此晶体管 2 成为导通状态。这样, 晶体管 2、3 成为导通状态, 因此产生通过晶体管 2、3 的直通电流。在此, 只要晶体管 2 采用抑制驱动能力的结构, 就能够抑制消耗电流。为了降低晶体管 2 的驱动能力, 如图 23 所示, 晶体管 2 也可以由晶体管 2a 和晶体管 2b 那样具有相同沟道极性的多个纵叠的晶体管、即级联连接的晶体管构成晶体管 2, 由此提高电流路径的电阻, 抑制直通电流。在该情况下, 如图 23 所示, 将纵叠的各晶体管的栅极与点 10 连接即可。晶体管 2a 和晶体管 2b 构成第 2 晶体管群。
- [0141] 如图 4 所示, 在输入端子 INB 输入输入信号的低侧的电压 V_{SS} 的情况下, 晶体管

3 成为截止状态。点 11 的电位上升到 V_{DD-} 晶体管 2 的阈值电压 V_{th} 。点 10 的电位成为 V_{DD-} 晶体管 1 的阈值电压 V_{th} ，晶体管 1 成为截止状态。在该状态下当点 11 的电位上升时，电容 100 使点 10 的电位升压。因此，只要设计为使点 10 的电位由于升压而从 V_{DD-} 晶体管 1 的阈值电压 V_{th} 成为 V_{DD+} 晶体管 2 的阈值电压 V_{th} 以上，则点 11 的电位不从 V_{DD} 降低阈值电压 V_{th} 的量而输出为 V_{DD} 。

[0142] 图 5 和图 6 表示缓冲器 22 的反转信号生成部 33 的动作。

[0143] 如图 5 所示，在输入端子 INB 输入 V_{DDA} 的情况下，晶体管 A 成为导通状态。因此，点 Z 的电位成为 V_{SS} 。此时产生直通电流，但是设有高电阻值的电阻 T，因此能够抑制直通电流。

[0144] 如图 6 所示，在输入端子 INB 输入 V_{SS} 的情况下，晶体管 A 成为截止状态。由此，电流从电阻 T 通过点 Z 流向缓冲部 32 侧。该电流较小，因此点 Z 的电位成为 V_{DD} 。

[0145] 这样，在反转信号生成部 33 中存在使用电阻 T 代替晶体管的部分，因此能够减小电路的布设面积。

[0146] 另外，图 24 表示缓冲器 22a 的结构。

[0147] 缓冲器 22a 具备反转信号生成部 33a 和缓冲部 32。在反转信号生成部 33a 中，由晶体管（第 5 晶体管）Ta 构成缓冲器 22 的反转信号生成部 33 的电阻 T。晶体管 Ta 是 n 沟道型晶体管，漏极与 V_{DD} 连接，并且源极与晶体管 A 的漏极即点 Z 连接。另外，晶体管 Ta 是栅极与漏极相互连接的连接成二极管的晶体管。缓冲部 32 与缓冲器 21 的缓冲部 32 相同。

[0148] 在反转信号生成部 33a 中，在晶体管 Ta 被连接成二极管从而产生直通电流，但是想抑制该直通电流的情况下，如图 25 所示，在晶体管 Ta 上纵叠即级联连接晶体管 Tb 等具有相同沟道极性的其它晶体管即可。纵叠的级数不限于上述的 2 级，一般可以是多级。在该情况下，晶体管 Tb 的栅极与晶体管 Ta 的栅极连接，被施加 V_{DD} 。另外，晶体管 Tb 的漏极与晶体管 Ta 的源极连接，晶体管 Tb 的源极与晶体管 A 的漏极即点 Z 连接。晶体管 Ta 和晶体管 Tb 构成第 5 晶体管群。

[0149] 图 26 和图 27 表示具有图 25 的结构反转信号生成部 33a 的动作。

[0150] 如图 26 所示，在输入端子 INB 输入 V_{DDA} 的情况下，晶体管 A 成为导通状态。点 Z 的电位成为 V_{SS} 。此时，电流路径中产生直通电流，但是，晶体管 Ta 和晶体管 Tb 是纵叠的，因此能够加大晶体管 Ta 和晶体管 Tb 的总路径的电阻，由此能够抑制直通电流。

[0151] 如图 27 所示，在输入端子 INB 输入 V_{SS} 的情况下，晶体管 A 成为截止状态。因此，流过晶体管 Ta 和晶体管 Tb 的电流从点 Z 流向缓冲部 32 侧。由此，点 Z 的电位成为 V_{DD-} 阈值电压 V_{th} 而输出。后续的缓冲部的结构能够按照从该 V_{DD} 降低阈值电压 V_{th} 的量的输出来设计。

[0152] 具备图 24 和图 25 的结构反转信号生成部 33a 的缓冲器在反转信号生成部 33a 中具备连接成二极管的晶体管，因此不需要具备反转信号生成部 31 那样的电容，能够相应地减小布设面积。

[0153] 图 7 和图 8 表示缓冲器 21、22 的缓冲部 32 的动作。

[0154] 如图 7 所示，在输入端子 INB 输入 V_{DDA} 的情况下，设定成 $V_{DDA}-V_{SS}$ 在晶体管 6、7 的阈值电压 V_{th} 以上，晶体管 6、7 成为导通状态。晶体管 4 的栅极从反转信号生成部 31 或者 33 的点 11 或者 Z 输入 V_{SS} ，因此晶体管 4 成为截止状态。因此，点 12 的电位成为 V_{SS} 。

晶体管 5 的栅极被输入 VSS, 因此晶体管 5 成为截止状态。其结果是, 输出端子 OUT 输出 VSS。

[0155] 如图 8 所示, 在输入端子 INB 输入 VSS 的情况下, 晶体管 6、7 成为截止状态。晶体管 4 的栅极从反转信号生成部 31 或者 33 的点 11 或者 Z 输入 VDD, 但是设定为 VDD-VSS 在晶体管 4 的阈值电压 V_{th} 以上, 因此晶体管 4 成为导通状态。因此, 点 12 的电位从 VSS 上升到 VDD- 晶体管 4 的阈值电压 V_{th} 。因此, 晶体管 5 由于栅极被输入 VDD- 晶体管 4 的阈值电压 V_{th} 而成为导通状态。随之, 输出端子 OUT 的电位慢慢上升到 VDD- 晶体管 5 的阈值电压 V_{th} 。当点 12 的电位上升到 VDD- 晶体管 4 的阈值电压 V_{th} 时, 晶体管 4 成为截止状态。在该状态下当输出端子 OUT 的电位上升时, 电容 101 使点 12 的电位升压。因此, 只要设计为使点 12 的电位由于升压而从 VDD- 晶体管 4 的阈值电压 V_{th} 成为 VDD+ 晶体管 5 的阈值电压 V_{th} 以上, 则输出端子 OUT 输出没有降低阈值电压 V_{th} 的量的 VDD。

[0156] 下面, 图 9 表示缓冲部 32 的电容 102 的功能。

[0157] 在缓冲部 32 中, 通过设置电容 102 来延迟晶体管 5 成为导通状态而输出端子 OUT 的电位从 VSS 上升到 VDD 的时间。由此, 先将晶体管 4 置为导通状态, 使点 12 的电位上升到 VDD- 晶体管 4 的阈值电压 V_{th} 之后, 晶体管 4 成为截止状态。当晶体管 4 成为截止状态为止, 当由于晶体管 5 的导通状态导致输出端子 OUT 的电位接近 VDD 时, 电容 101 无法使点 12 的电位充分升压。于是, 有可能导致向输出端子 OUT 的输出从 VDD 降低阈值电压 V_{th} 的量, 因此按上述方式设置电容 102, 为了使输出端子 OUT 的电位上升到 VDD 而花费时间, 能够可靠地进行自举。

[0158] 下面, 图 10 表示其它缓冲器 23 的结构。

[0159] 缓冲器 23 具备反转信号生成部 31、反转信号生成部 34 以及缓冲部 32。反转信号生成部 31 和缓冲部 32 与缓冲器 21、22 中说明了的或者本实施方式中叙述的其它结构相同。图 1 和图 2 中说明了的缓冲器 21、22 是将以 VDDA/VSS 电平输入了的输入信号进行电平移位而以 VDD/VSS 电平进行输出的缓冲器。但是, 在用缓冲器 21、22 以高于 VSS 的 VSSA 输入了输入信号的情况下, 晶体管 3、6、7 无法置为截止状态。与此相对, 在缓冲器 23 中, 利用反转信号生成部 34 将输入信号的 VSSA 电平移位到 VSS。

[0160] 反转信号生成部 (输入信号电平变换部) 34 具备晶体管 (第 1 电平变换部晶体管) a、晶体管 (第 2 电平变换部晶体管) b、晶体管 (第 3 电平变换部晶体管) c、晶体管 (第 4 电平变换部晶体管) d、晶体管 (第 5 电平变换部晶体管) e、电容 (第 1 电平变换部电容) 103 以及电容 (第 2 电平变换部电容) 104。电容 103 是自举电容。电源包括高电源的 VDD 和低电源的 VSSA。晶体管 a 的漏极与 VDD 连接, 栅极与漏极连接。晶体管 a 的源极与电容 103 的一方端子连接。晶体管 b 的漏极与 VDD 连接, 栅极与晶体管 a 的源极连接。晶体管 b 的源极与晶体管 c 的漏极和电容 103 的另一方端子连接。晶体管 c 的源极与 VSSA 连接, 栅极与输入端子 IN 连接。电容 104 的一方端子与作为晶体管 b 和晶体管 c 的连接点的点 14 连接。晶体管 d 的漏极与栅极和电容 104 的另一方端子连接, 源极与 VSSA 连接。晶体管 e 的漏极与电容 104 的上述另一方端子连接, 栅极与端子 INIT 连接。晶体管 e 的源极与 VSSA 连接。作为晶体管 d、e 和电容 104 的上述另一方端子的连接点的点 15 是反转信号生成部 34 的输出端子。

[0161] 图 11 ~ 图 13 表示反转信号生成部 34 的动作。

[0162] 如图 11 所示,反转信号生成部 34 中有初始化过程,端子 INIT 输入 VDDA。此时,晶体管 e 成为导通状态,点 15 的电位成为 VSSA。因此,晶体管 d 在栅极上输入 VSSA 而成为截止状态。用虚线包围的电路是与反转信号生成部 31 相同的结构,不同的是在晶体管 c 的栅极上从输入端子 INV 输入 SSA。

[0163] 如图 12 所示,接着,在端子 INIT 输入 VSSA,将晶体管 e 设为截止状态。并且,在输入端子 IN 输入 VDDA 的情况下,进行与图 3 相同的动作。因此,点 14 的电位从 VDD 变为 VSSA。由于该降压,由电容 104 使点 15 的电位也从 VSSA 降压。只要设计为使在点 15 降压后的电位低于 VSS,就能够将图 10 的晶体管 3、6、7 可靠地设为截止状态。

[0164] 如图 13 所示,在与图 12 同样地对端子 INIT 输入 VSSA 的状态下,在输入端子 IN 输入 VSSA 的情况下,进行与图 4 相同的动作。因此,点 14 的电位从 VSSA 变为 VDD。当点 14 的电位升压到 VDD 时,电容 104 使点 15 的电位也从 VSSA 升压。此时,当点 15 的电位成为 VSSA+ 晶体管 d 的阈值电压 V_{th} 以上时,晶体管 d 成为导通状态,因此会控制为点 15 的电位不会变成 VSSA+ 晶体管 d 的阈值电压 V_{th} 以上。因此,如图 12 所示,在输入端子 IN 输入 VDDA 的情况下,点 15 的电位由于电容 104 而降压,会可靠地降压到 VSS 以下。

[0165] 以上的缓冲器全部仅采用极性为 n 沟道型晶体管来构成,但是,如图 14 和图 15 所示,也能够仅采用 p 沟道型晶体管来构成。

[0166] 图 14 所示的缓冲器 24 具备反转信号生成部 35 和缓冲部 36,是将缓冲器 21 的极性从 n 型反转为 p 型的缓冲器。带斜杠的各附图标记对应于缓冲器 21 的相同附图标记。电源包括高电源的 VDDA 和低电源的 VSS。

[0167] 图 15 所示的缓冲器 25 具备反转信号生成部 35、37 和缓冲部 36,是将缓冲器 23 的极性从 n 型反转为 p 型的缓冲器。带斜杠的各附图标记对应于缓冲器 23 的相同附图标记。电源在反转信号生成部 35 和缓冲部 36 中包括高电源 VDD 和低电源 VSS,在反转信号生成部 37 中包括高电源的 VDDA 和低电源的 VSS。

[0168] 另外,不限于上述例子,所有的缓冲器都能够分别以 n 沟道型和 p 沟道型来实现。

[0169] 图 16 表示是输出具有相位相互反转的关系的 2 个信号作为缓冲器的输出的缓冲器 26 的结构。

[0170] 缓冲器 26 具有 A 系统的缓冲器(第 1 缓冲器)和 B 系统的缓冲器(第 2 缓冲器)的个 2 系统的缓冲器。A 系统对从输入端子 IN 输入的信号进行电平移位来输出端子 INB 输出。B 系统对从输入端子 IN 输入的信号进行电平移位来从输出端子 IN 输出。A 系统和 B 系统两者基本上都采用缓冲器 22 的结构,在缓冲器 22 的对应附图标记之后对 A 系统附加 A,对 B 系统附加 B。其中,晶体管 AB 的栅极和晶体管 6B 的栅极与电阻 TA 和晶体管 AA 的连接点连接,晶体管 7B 的栅极与晶体管 5A 和晶体管 7A 的连接点连接。通过采用这样的结构,能够得到以下优点。

[0171] 即,晶体管 7B 需要以较大的驱动能力进行驱动,因此当要以驱动晶体管 6B 的信号 SB 进行驱动时,将 TA 设为高电阻来抑制直通电流,因此驱动能力不足。因此,用从晶体管 5A 和晶体管 7A 的连接点取出的驱动能力较大的信号 SA 来驱动晶体管 7B。因此,能够快速驱动需要较大的驱动能力的晶体管 7B,能够将输出端子 IN 的电位快速地拉到 VEE。

[0172] 另外,也能够构成将图 16 的缓冲器 26 进行改进所得的方式的缓冲器。

[0173] 如图 28 所示,在图 16 的缓冲器 26 的输入端子 IN 输入作为低侧的电压比 VEE 低

的 VSS 的信号的情况下,晶体管 6A 的栅极输入 VSS。另外,晶体管 5A 的栅极与电容 101A 的连接点 20 的电位由于作为自举电容的电容 101A 而升压,成为比 VDD 高的电位。因此,在晶体管 6A 的栅极 / 漏极间产生非常高的电压差 V_H ,有时 would 超过晶体管的耐压。

[0174] 在这种电压差 V_H 成为问题的情况下,构成图 29 所示的缓冲器 27 即可。缓冲器 27 是在缓冲器 26 中将晶体管 6A 的栅极不与输入端子 IN 连接而是与电阻 TB 和晶体管 AB 的连接点 ZB 连接的缓冲器。由此,在输入端子 IN 输入 VSS 输入的情况下,晶体管 AA 成为截止状态,由此使电阻 TA 与晶体管 AA 的连接点 ZA 的电位成为 VDD,因此晶体管 AB 成为导通状态,点 ZB 的电位成为 VEE。因此, $VEE > VSS$,因此在晶体管 6A 的栅极 / 漏极间会产生比电压差 V_H 小的电压差 V_I ,因此能够避免超过晶体管的耐压的问题。

[0175] 另外,在图 16 的缓冲器 26 中电压差 V_H 成为问题的情况下,也可以构成图 30 所示的缓冲器 28。缓冲器 28 是在缓冲器 26 中在晶体管 6A 的漏极与连接点 20 之间级联地插入晶体管 8A 所得的缓冲器。晶体管 8A 与其它晶体管的沟道极性相同。晶体管 8A 的栅极与 VDD 连接。

[0176] 由此,在输入端子 IN 输入 VSS 的情况下,连接点 20 的电位会比 VDD 高,而晶体管 6A 的漏极的电位会比 VDD 低。因此,在晶体管 6A 的栅极 / 漏极间会产生比 $VDD - VSS$ 小的电压差 V_J ,能够避免超过晶体管的耐压的问题。

[0177] 本发明不限于上述实施方式,可在权利要求给出的范围内进行各种变更。即,将在权利要求给出的范围内适当地改变后的技术方案进行组合所获得的实施方式也包含在本发明的技术范围中。例如也可以适用于 EL 显示装置。

[0178] 如上所述,本发明的缓冲器是对输入信号进行阻抗变换来输出输出信号的缓冲器,具备:缓冲器部,其具有包括在高电源与低电源之间相互串联连接的 n 沟道型沟道极性的 2 个晶体管的第 1 串联电路、包括在高电源与低电源之间相互串联连接的 n 沟道型沟道极性的 2 个晶体管的第 2 串联电路以及设置在上述第 1 串联电路的上述 2 个晶体管彼此的连接点与上述第 2 串联电路的上述 2 个晶体管彼此的连接点之间的第 1 电容;和反转信号生成部,其构成为作为晶体管仅包含 n 沟道型沟道极性的晶体管,生成具有与上述输入信号的极性相反的极性并且是任意决定了信号电平的信号的反转信号,上述输入信号输入到上述第 1 串联电路的上述低电源侧的上述晶体管的栅极和上述第 2 串联电路的上述低电源侧的上述晶体管的栅极,由上述反转信号生成部生成的上述反转信号输入到上述第 1 串联电路的上述高电源侧的上述晶体管的栅极,从上述第 2 串联电路的上述 2 个晶体管彼此的连接点输出上述输出信号。

[0179] 另外,如上所述,本发明的缓冲器是对输入信号进行阻抗变换来输出输出信号的缓冲器,具备:缓冲器部,其具有包括在高电源与低电源之间相互串联连接的 p 沟道型沟道极性的 2 个晶体管的第 1 串联电路、包括在高电源与低电源之间相互串联连接的 p 沟道型沟道极性的 2 个晶体管的第 2 串联电路以及设置在上述第 1 串联电路的上述 2 个晶体管彼此的连接点与上述第 2 串联电路的上述 2 个晶体管彼此的连接点之间的第 1 电容;和反转信号生成部,其构成为作为晶体管仅包含 p 沟道型沟道极性的晶体管,生成具有与上述输入信号的极性相反的极性并且是任意决定了信号电平的信号的反转信号,上述输入信号输入到上述第 1 串联电路的上述高电源侧的上述晶体管的栅极和上述第 2 串联电路的上述高电源侧的上述晶体管的栅极,由上述反转信号生成部生成的上述反转信号输入到上述第 1

串联电路的上述低电源侧的上述晶体管的栅极,从上述第 2 串联电路的上述 2 个晶体管彼此的连接点输出上述输出信号。

[0180] 通过如上说明,具有以下效果:能够实现包括单极性沟道晶体管、能够抑制消耗电流并且加大负载的驱动能力的单相输入的缓冲器。

[0181] 本说明书中说明的具体实施方式或实施例归根到底是为了明确本发明的技术内容,不应当仅限于这样的具体例而狭义地解释,而是可以在本发明的精神和所记载的权利要求的范围内进行各种变更来实施。

[0182] 工业上的可利用性

[0183] 本发明特别适用于液晶显示装置。

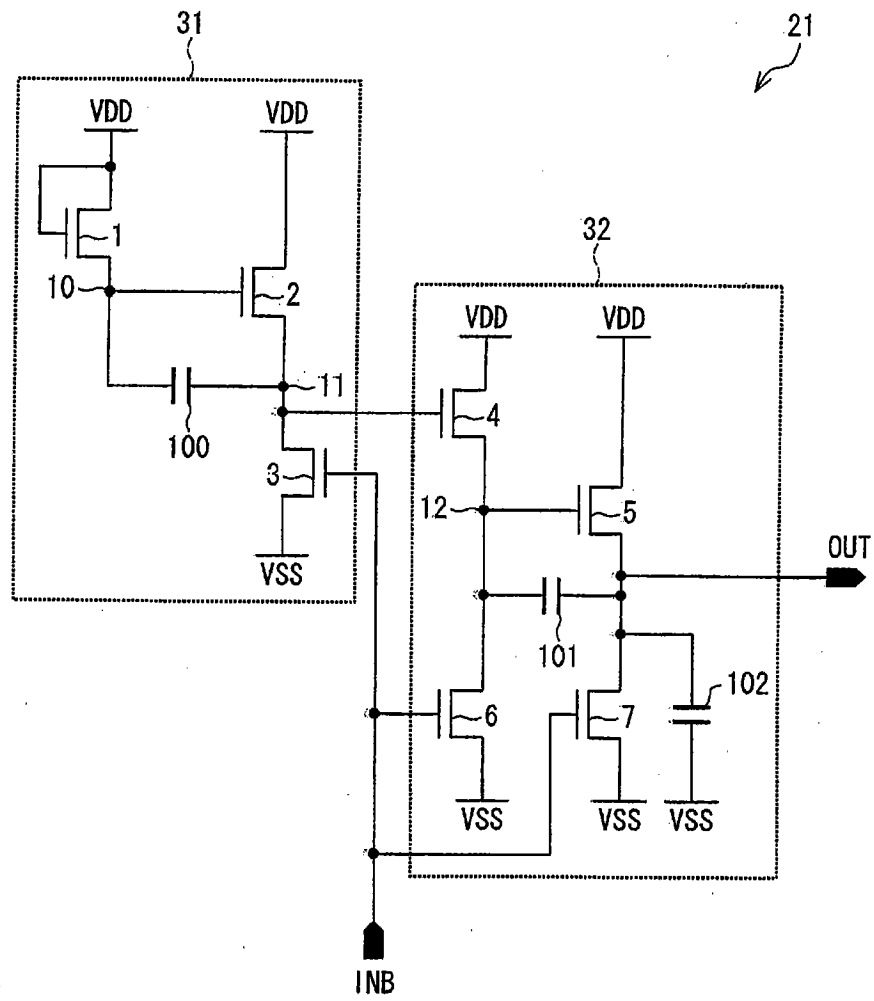


图 1

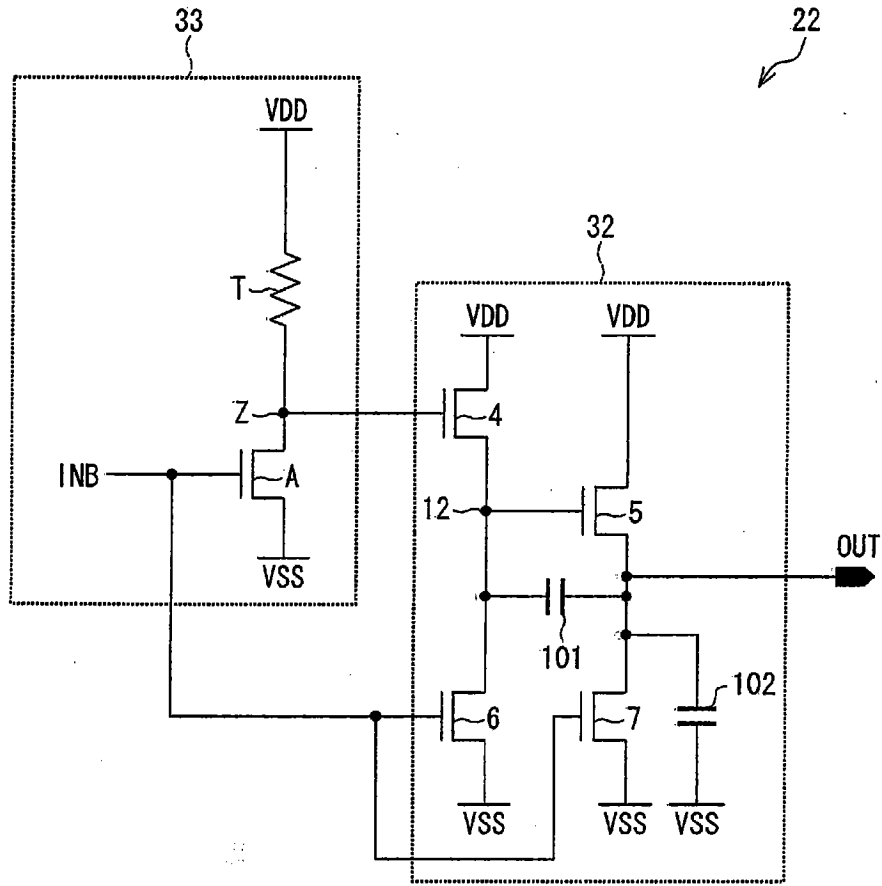


图 2

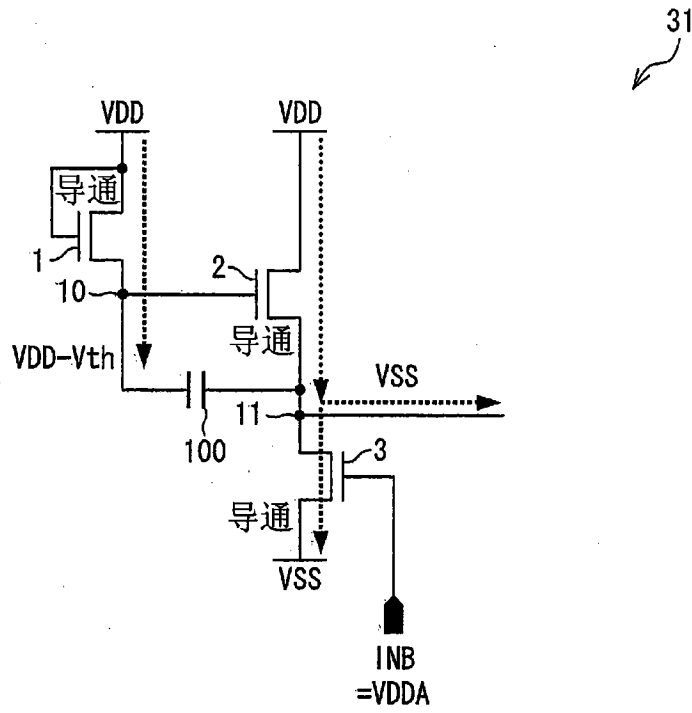


图 3

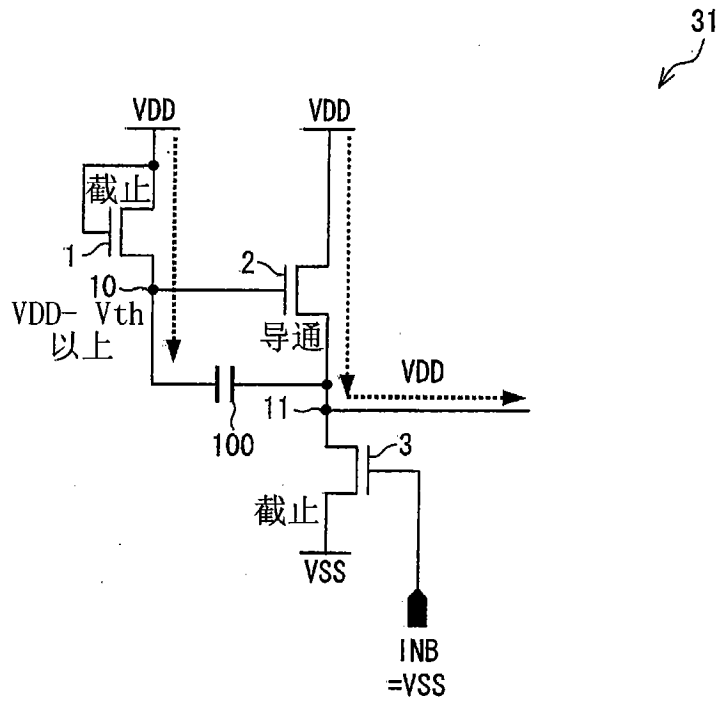


图 4

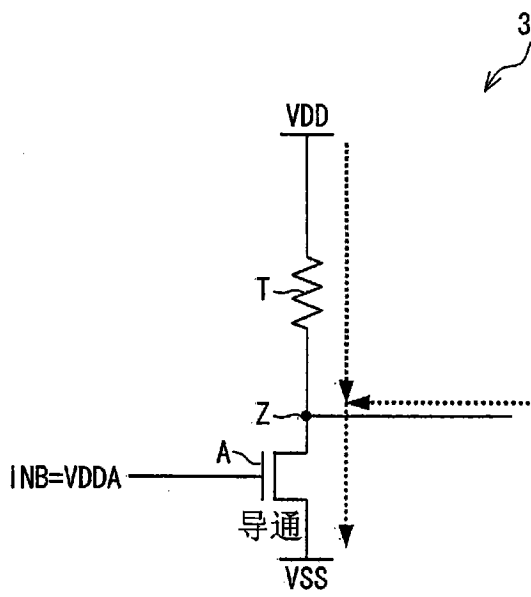


图 5

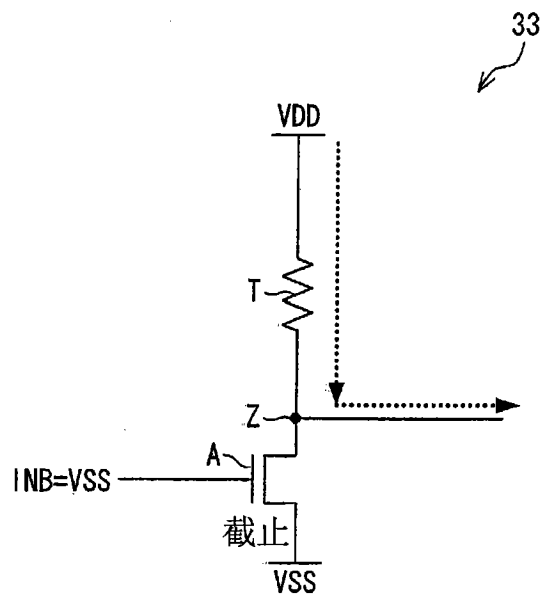


图 6

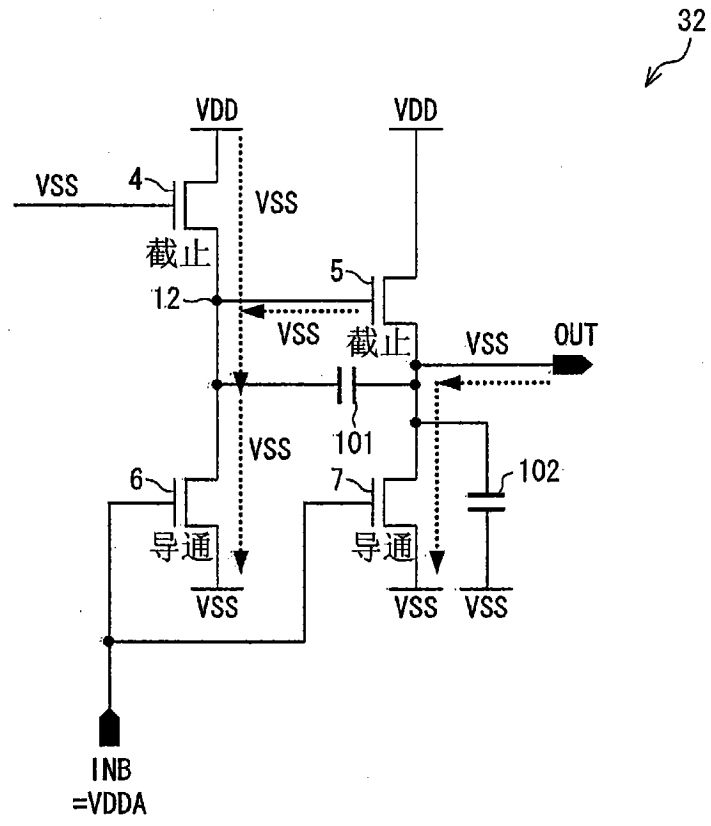


图 7

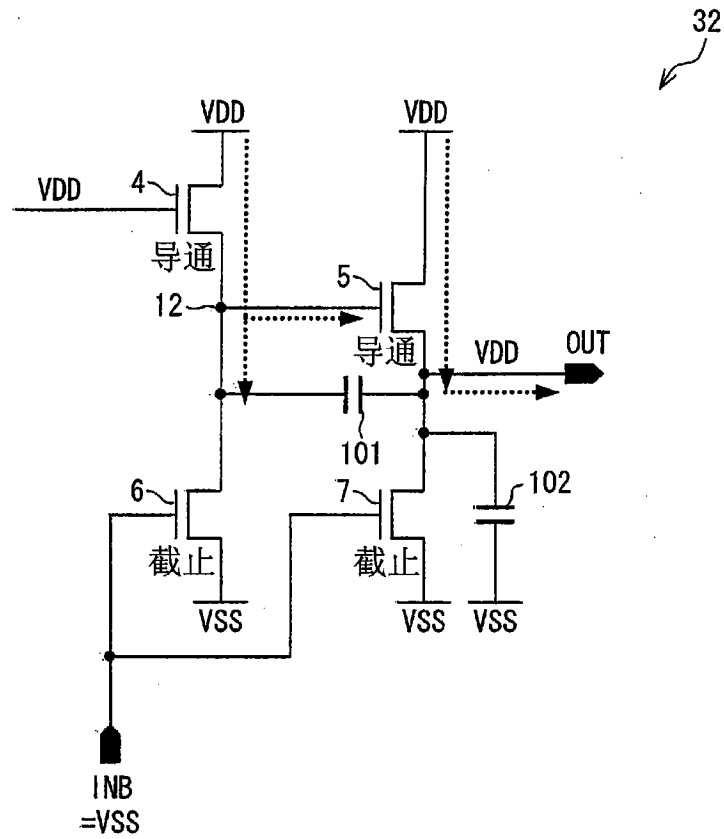


图 8

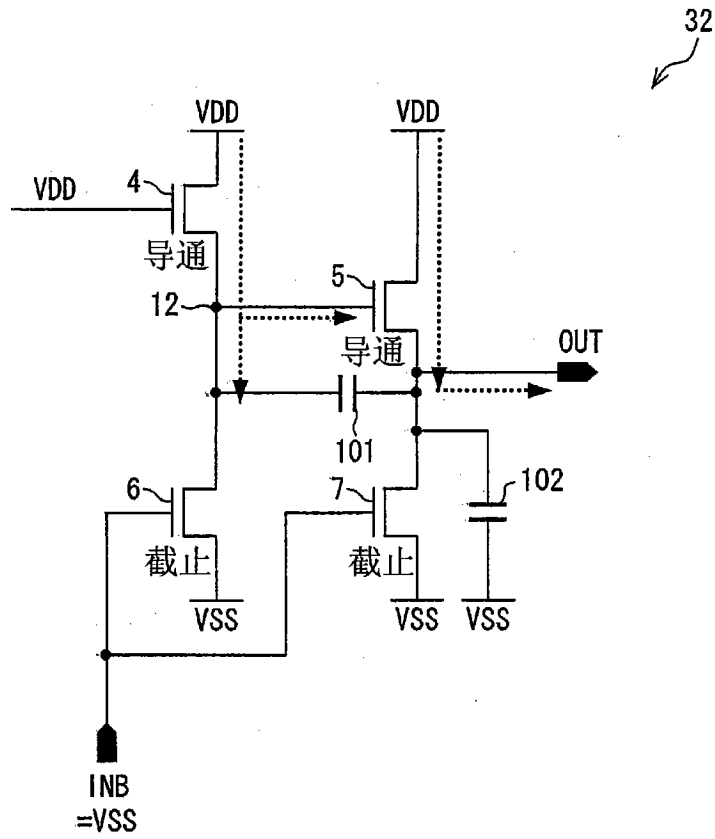


图 9

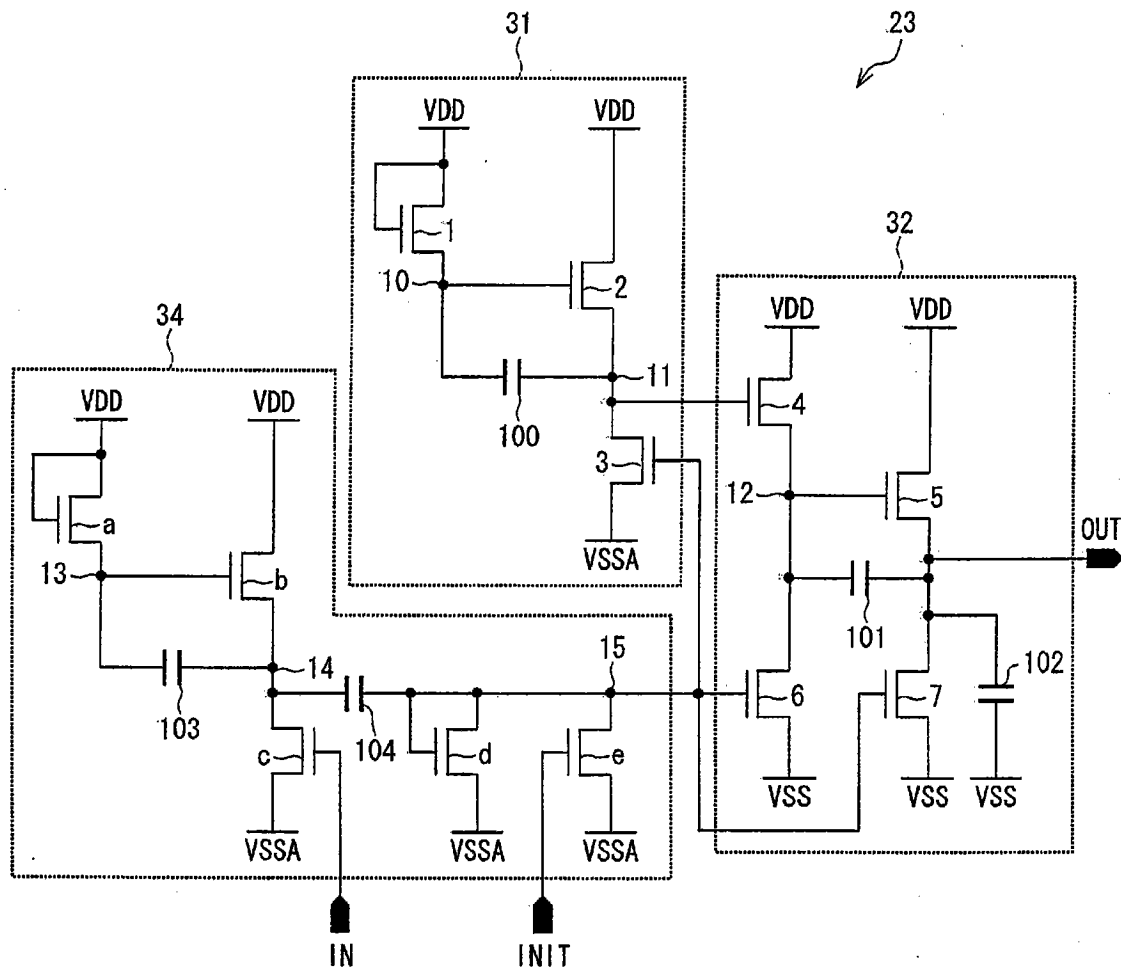


图 10

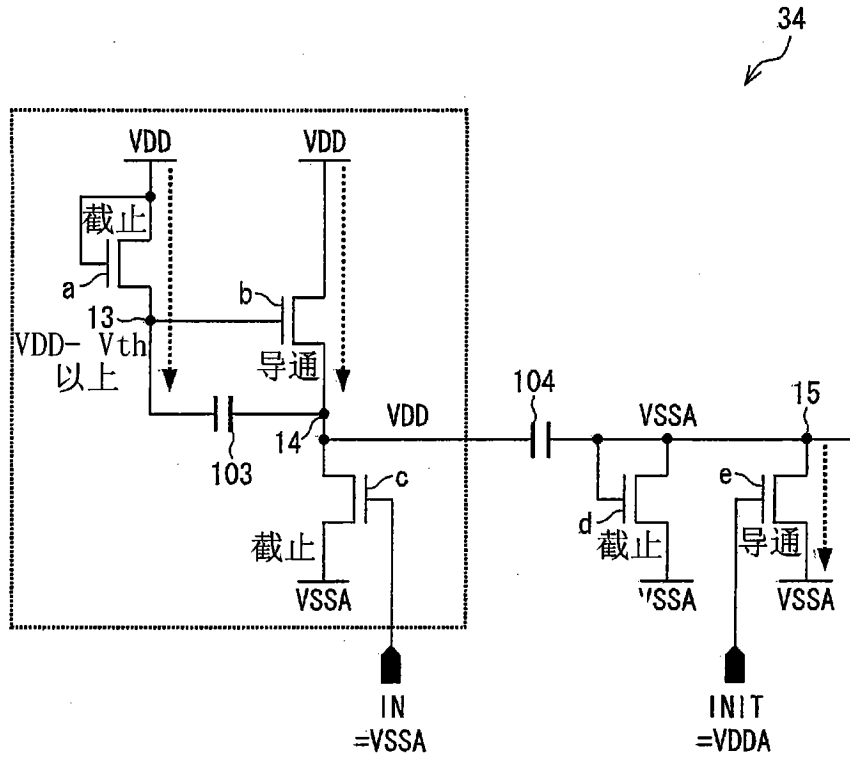


图 11

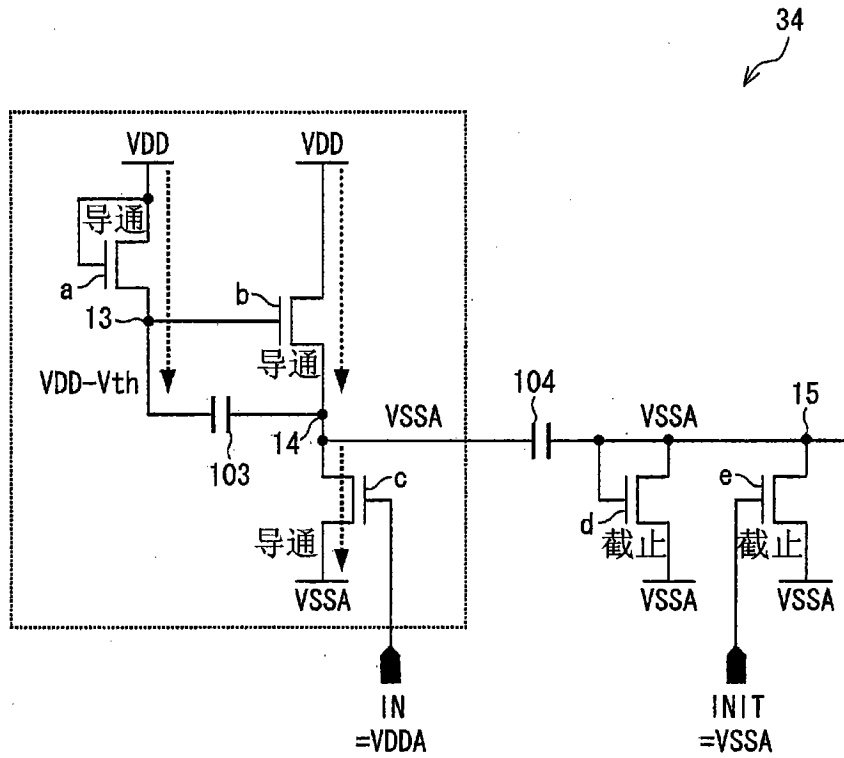


图 12

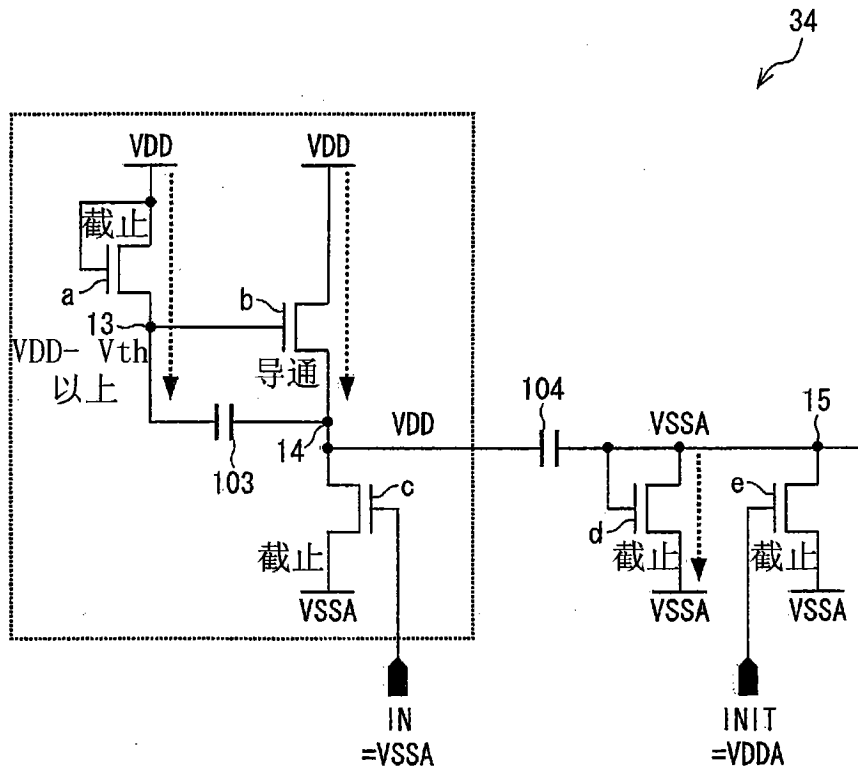


图 13

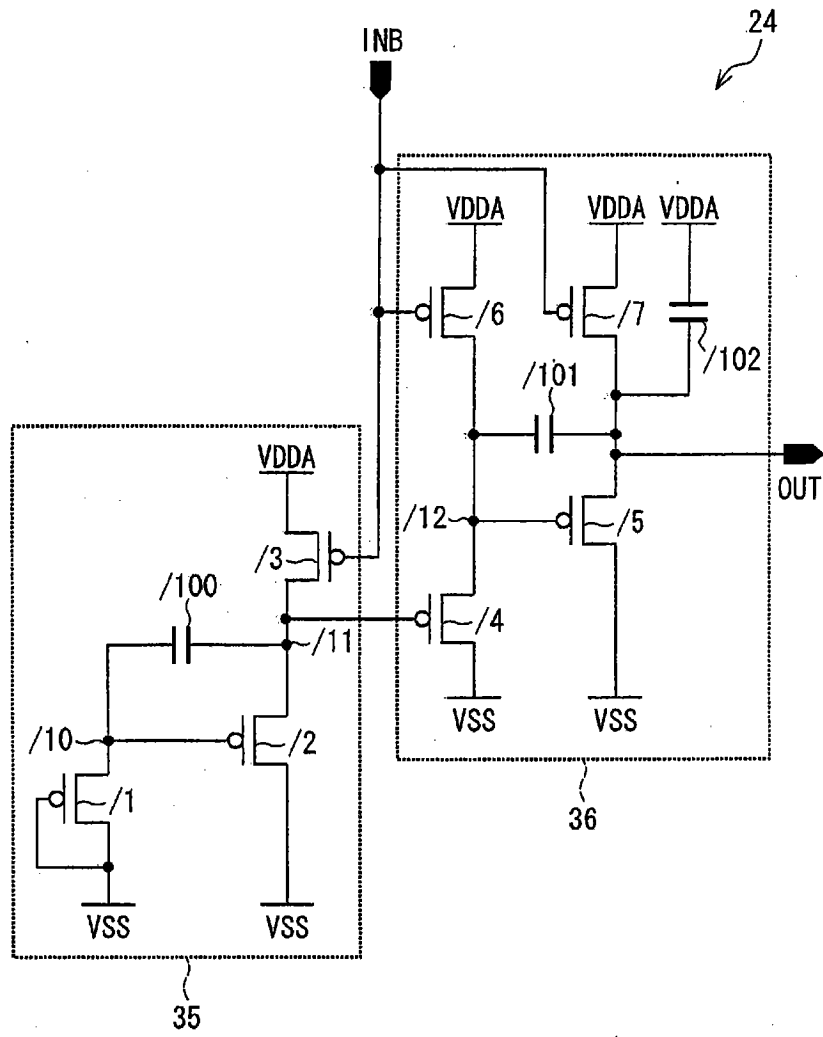


图 14

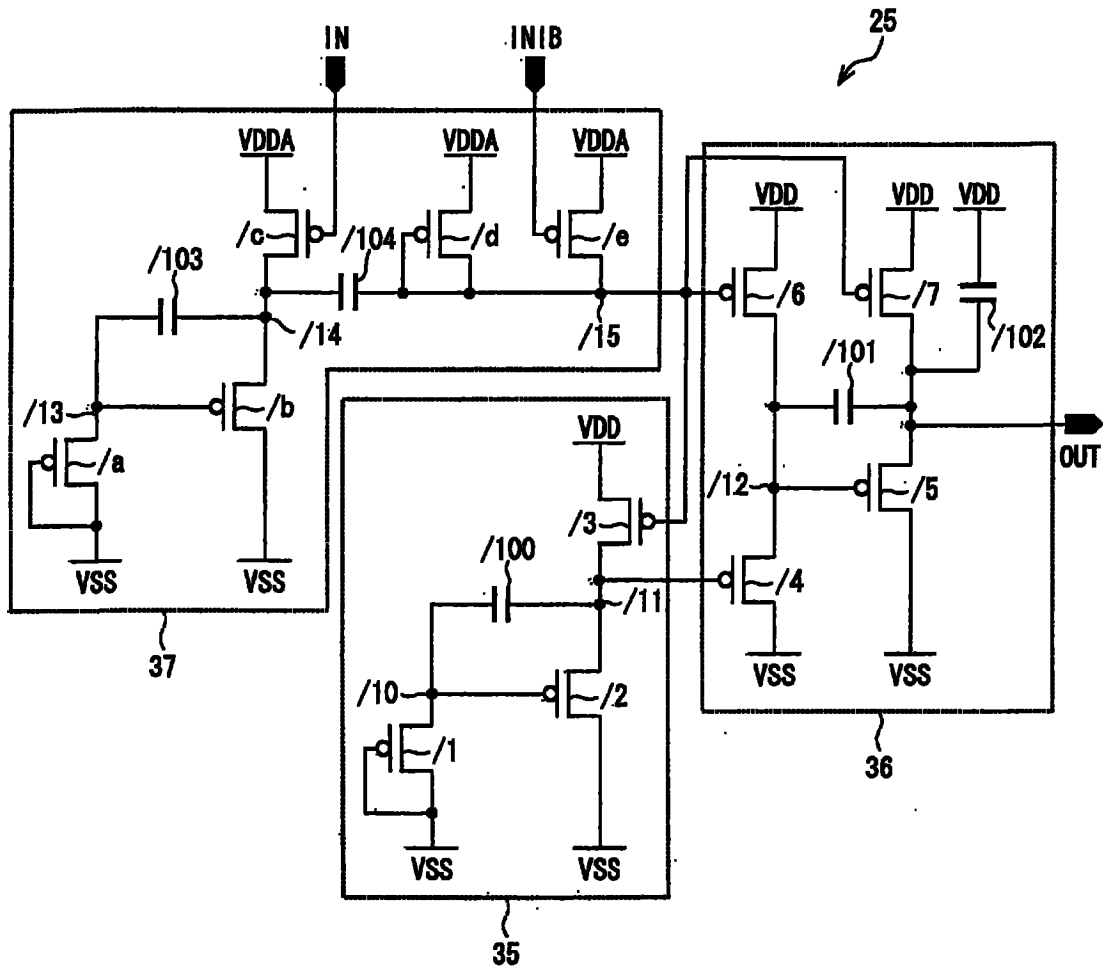


图 15

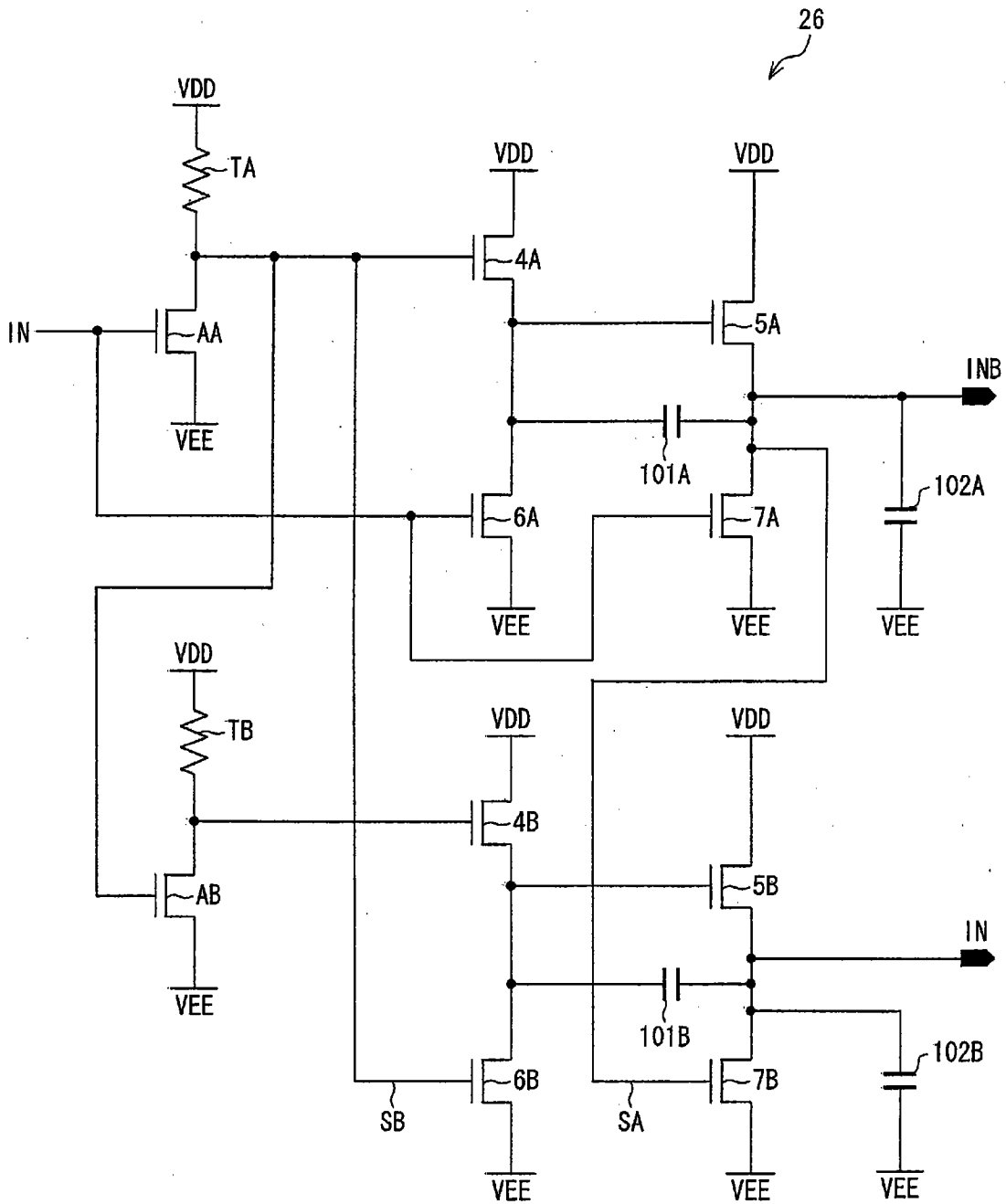


图 16

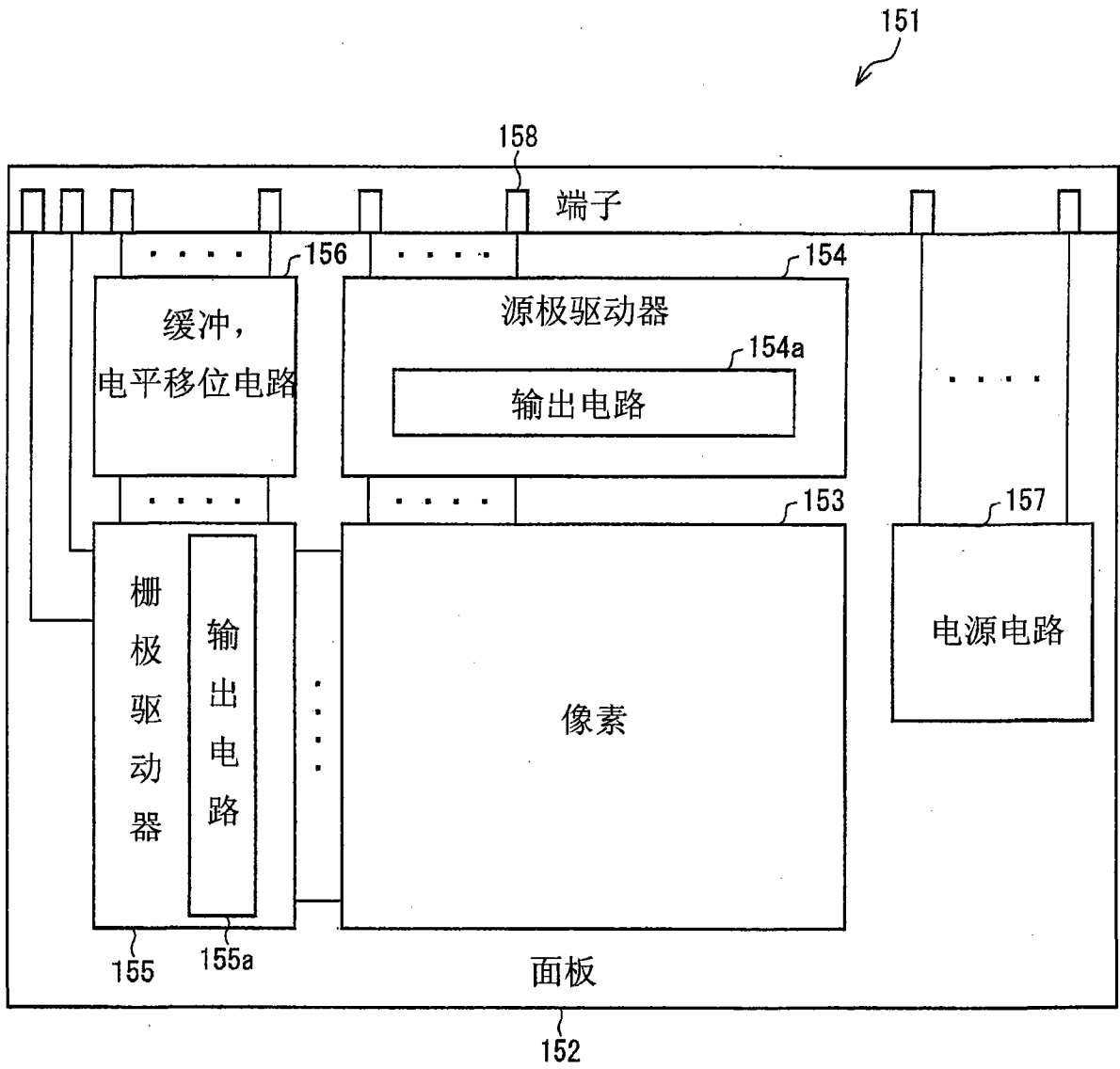


图 17

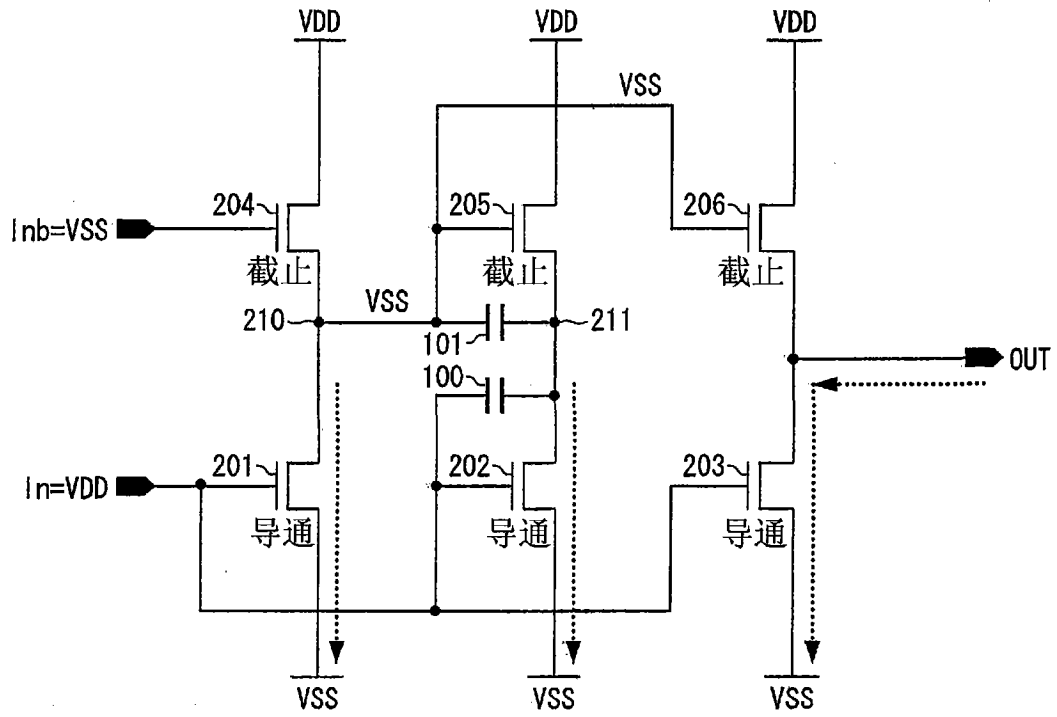


图 18

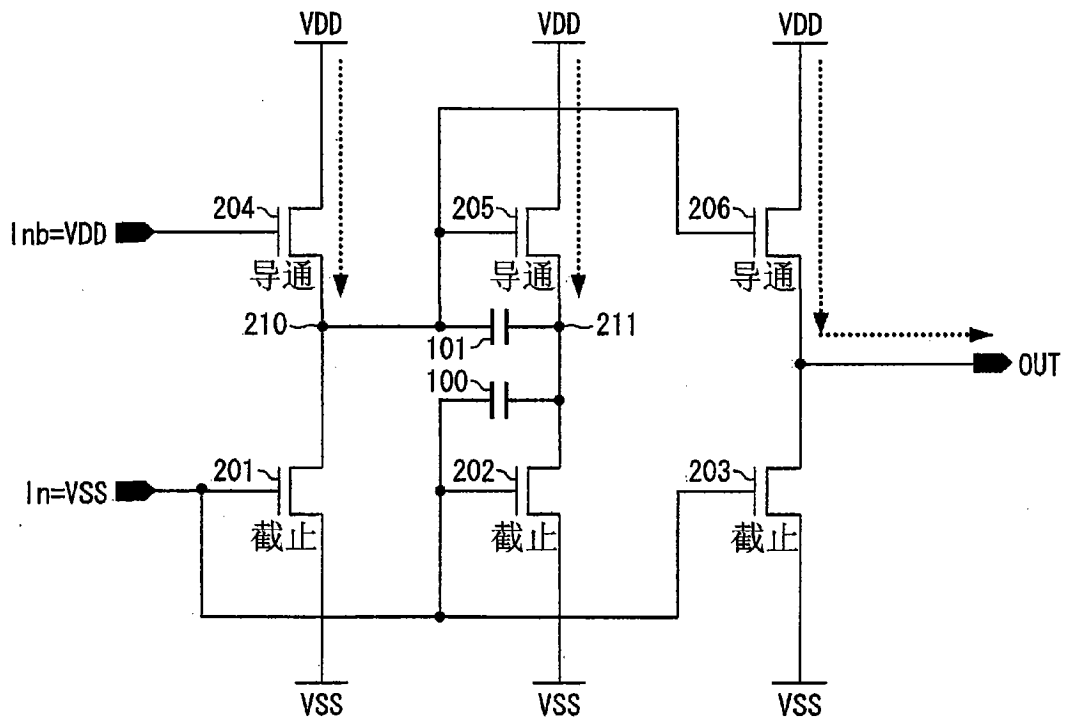


图 19

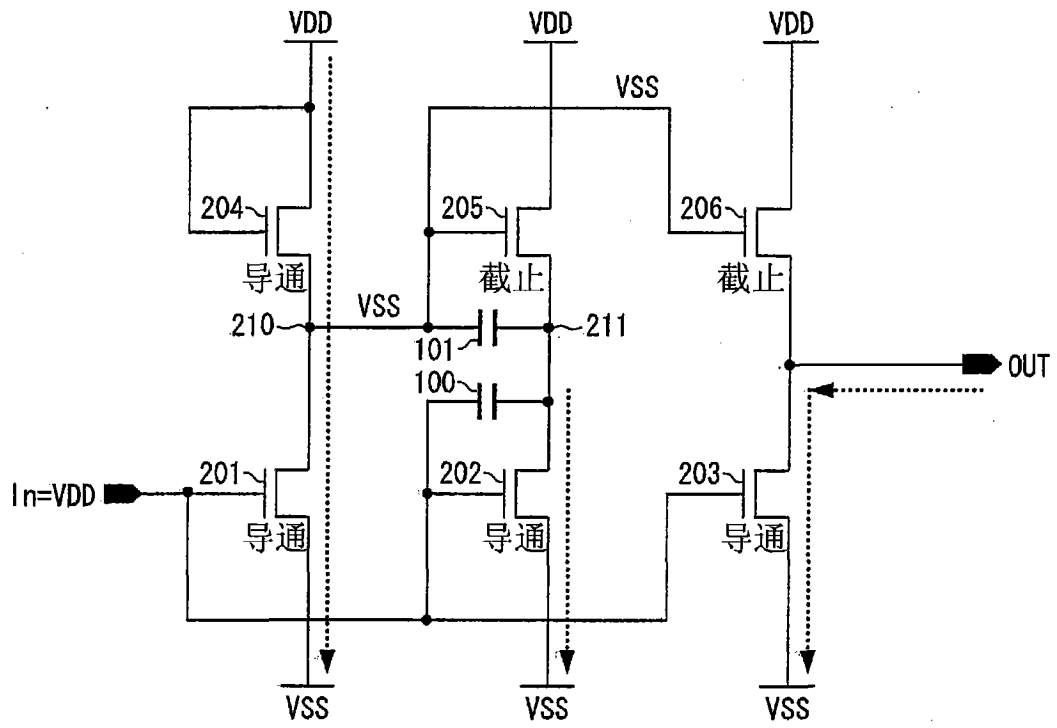


图 20

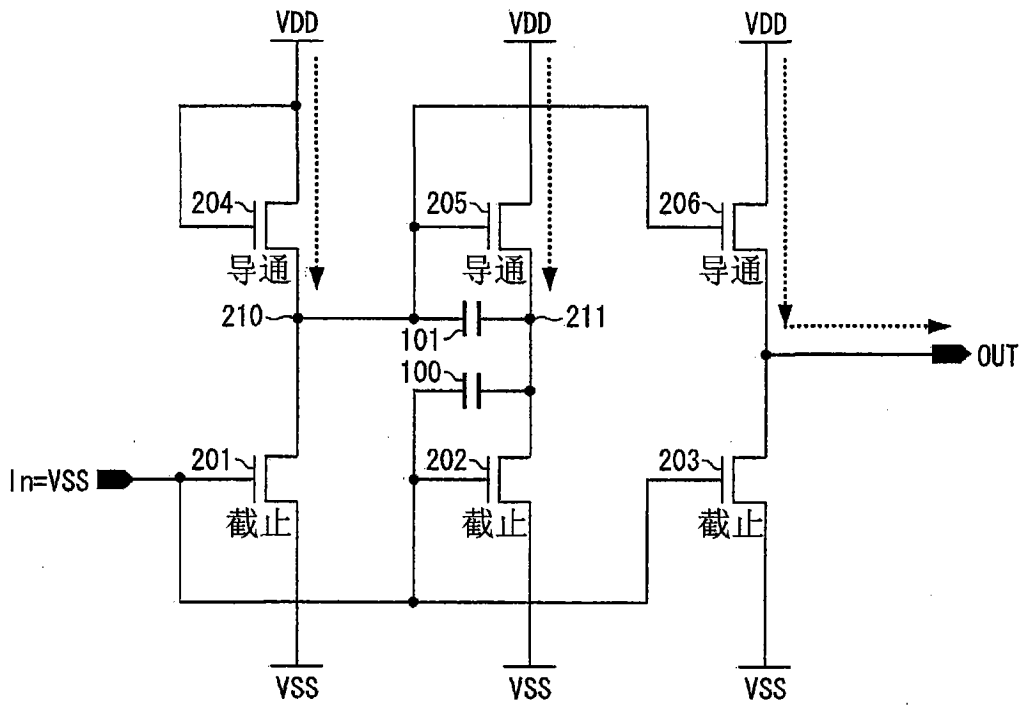


图 21

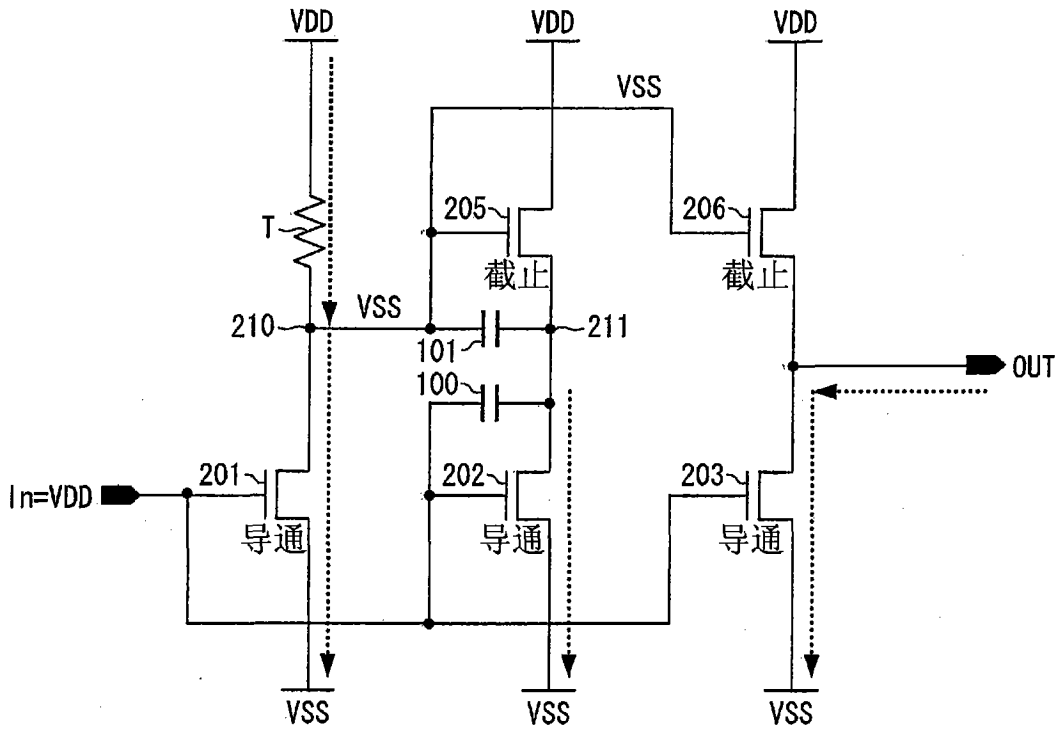


图 22

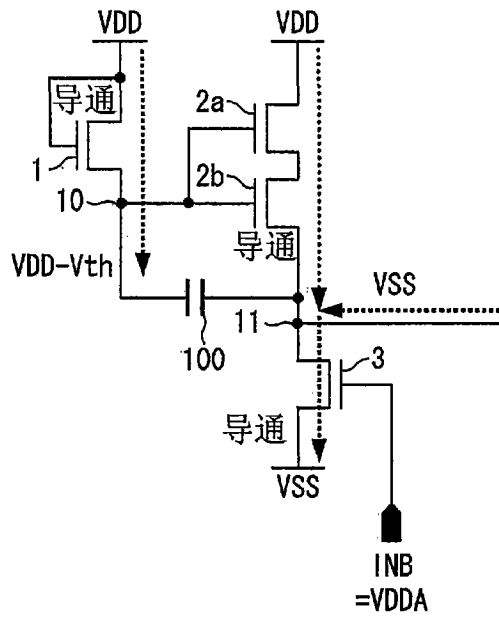


图 23

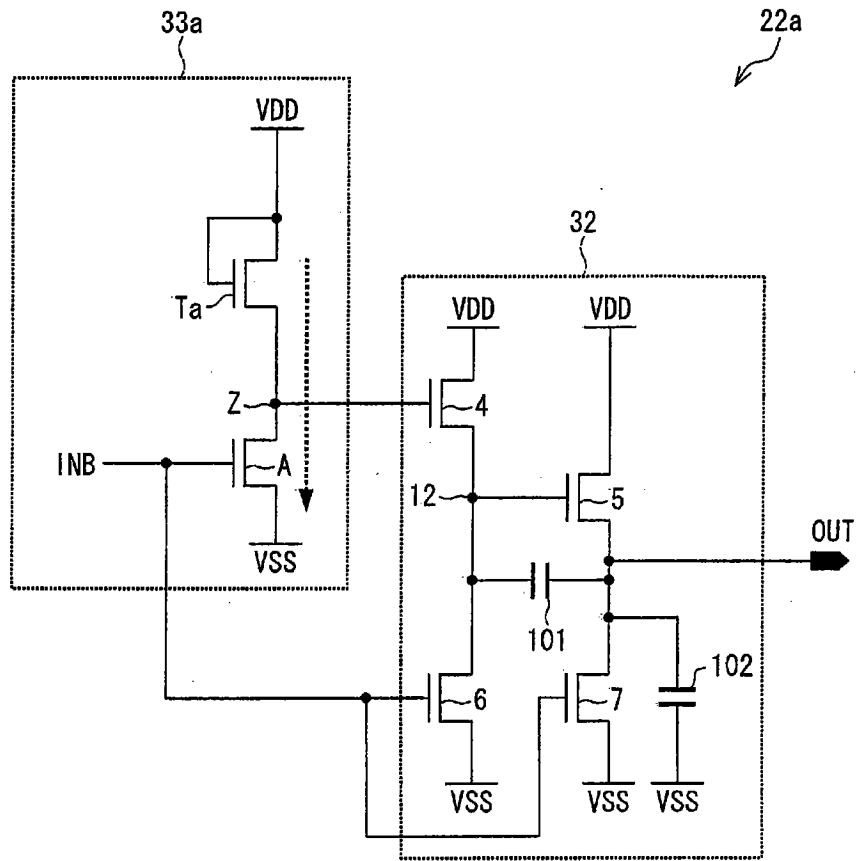


图 24

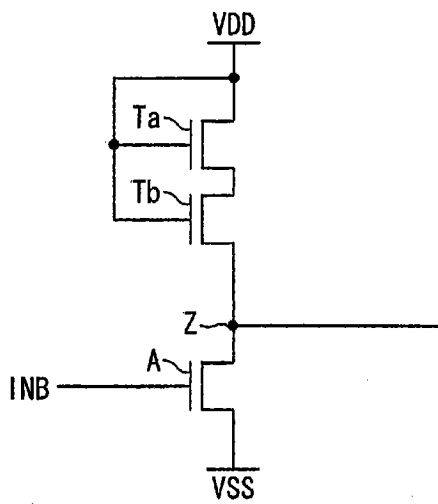


图 25

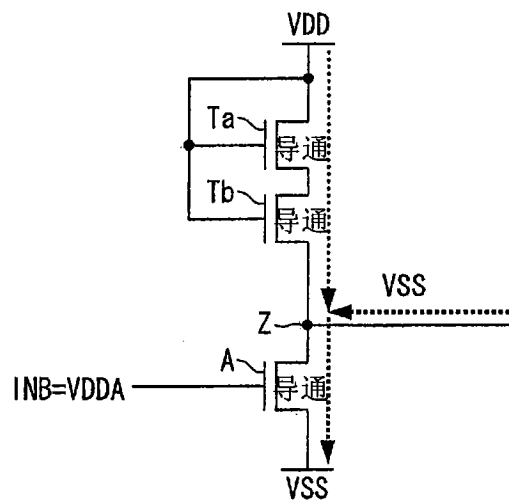


图 26

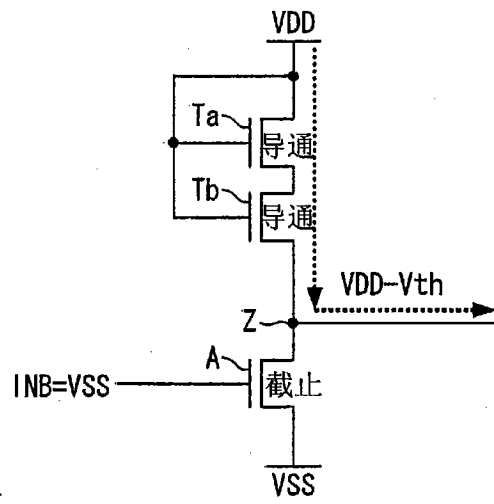


图 27

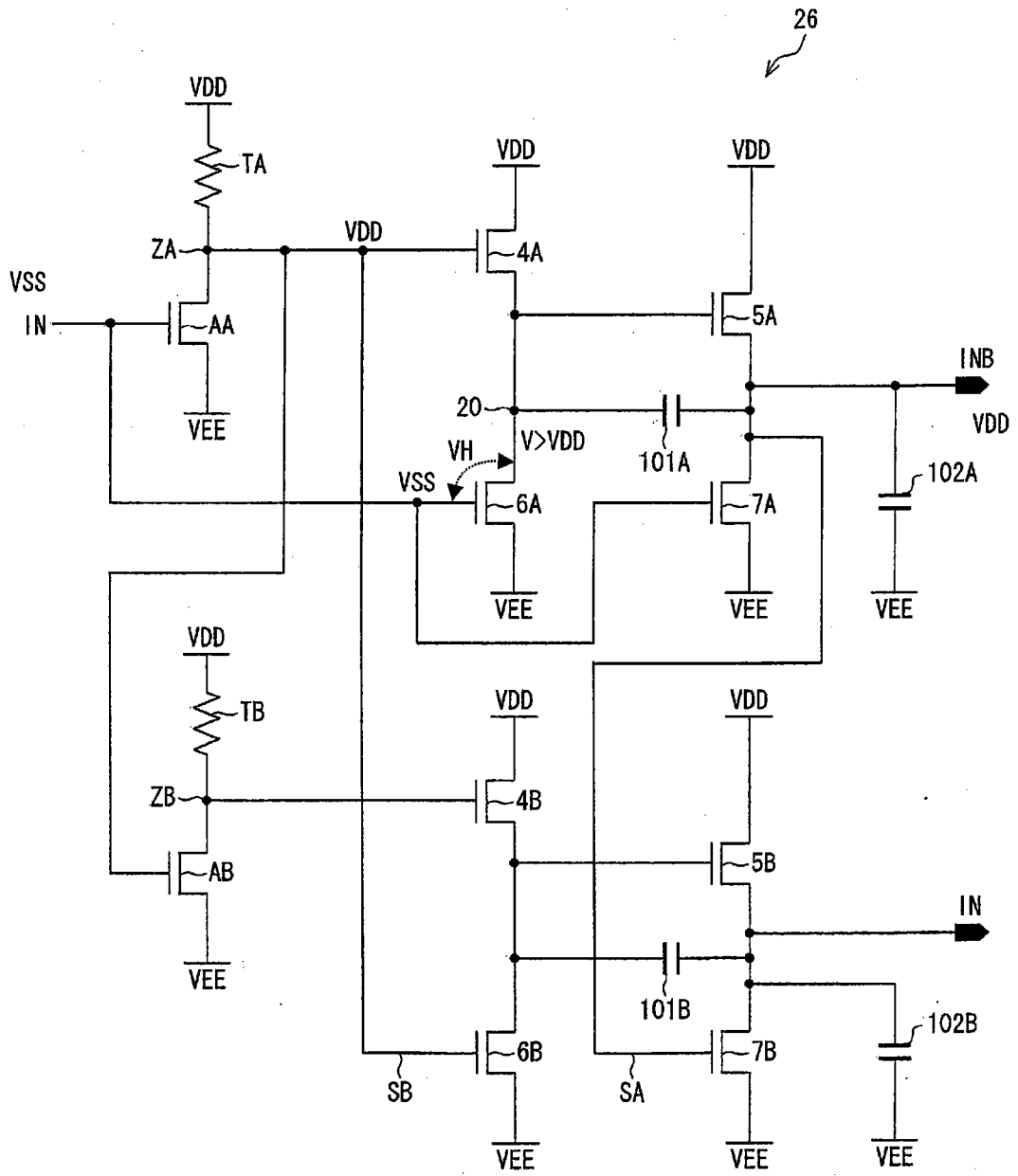


图 28

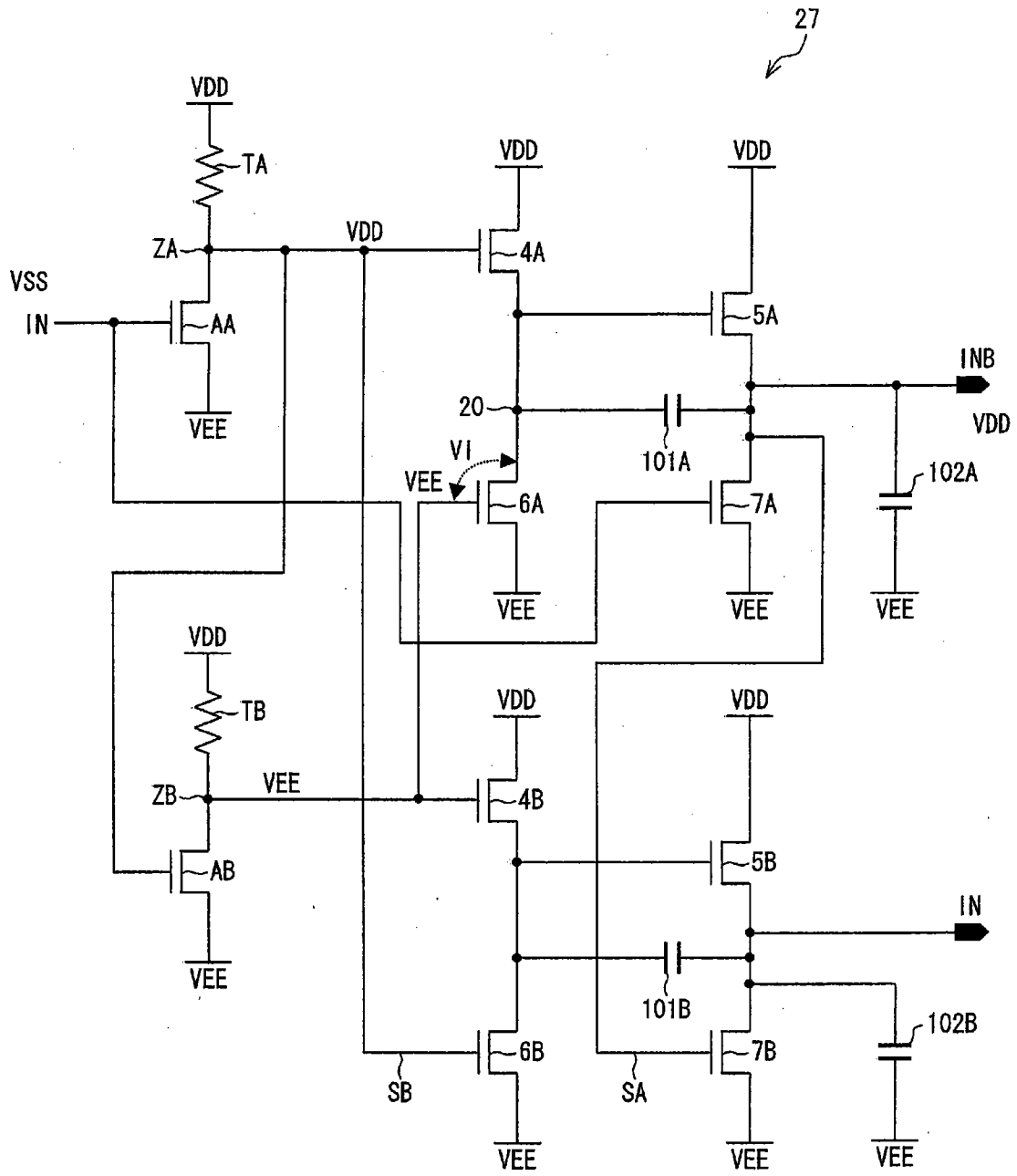


图 29

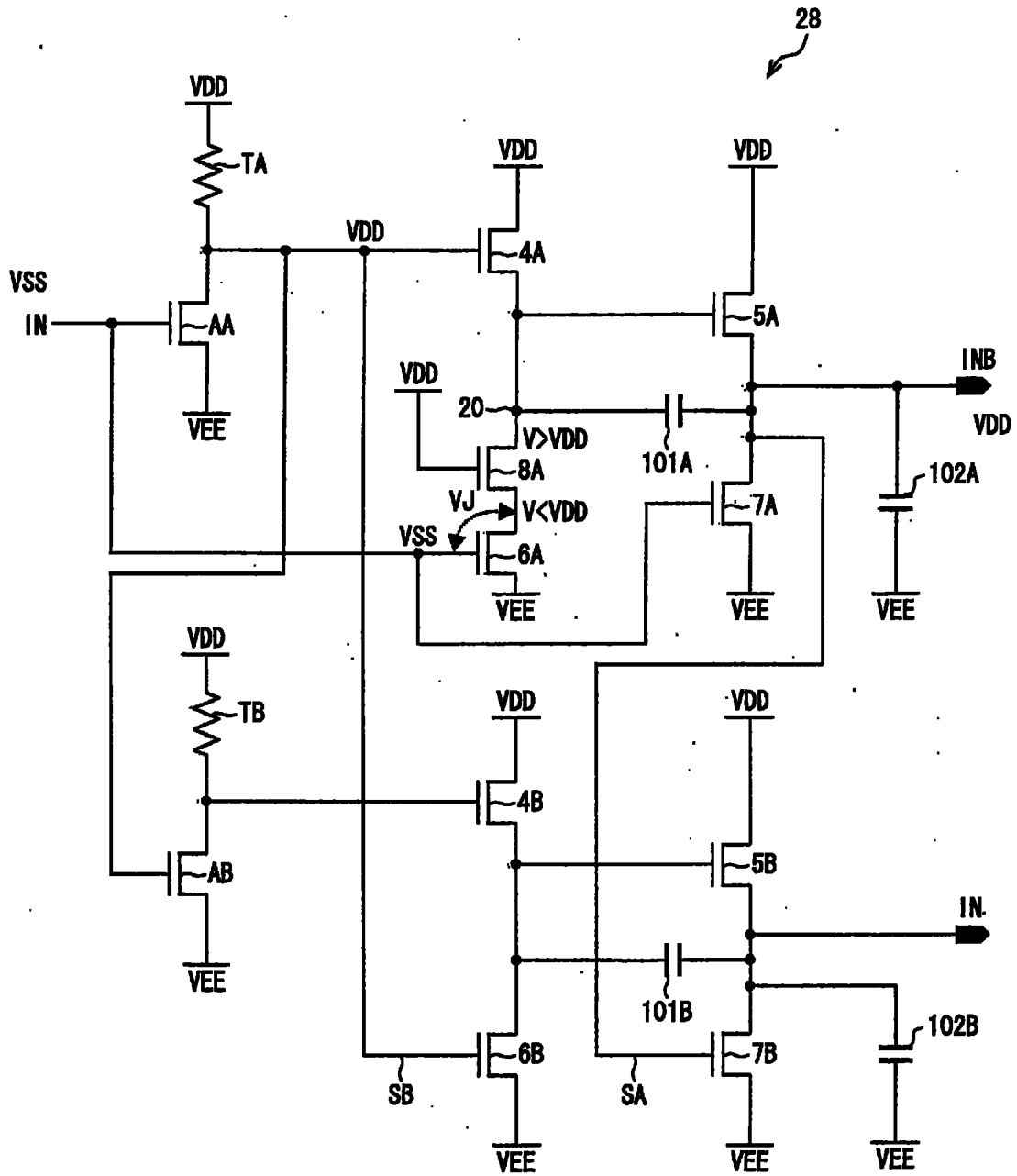


图 30