



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2010년03월30일  
 (11) 등록번호 10-0950552  
 (24) 등록일자 2010년03월24일

(51) Int. Cl.  
*H01L 29/78* (2006.01) *H01L 21/336* (2006.01)  
 (21) 출원번호 10-2008-0024951  
 (22) 출원일자 2008년03월18일  
 심사청구일자 2008년03월18일  
 (65) 공개번호 10-2009-0099774  
 (43) 공개일자 2009년09월23일  
 (56) 선행기술조사문헌  
 KR1020070009140 A\*  
 KR100660881 B1\*  
 KR100881392 B1  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**주식회사 하이닉스반도체**  
 경기 이천시 부발읍 아미리 산136-1  
 (72) 발명자  
**성민규**  
 서울 마포구 현석동 강변현대홈타운 106-502  
**양홍선**  
 경기 용인시 수지구 풍덕천2동 우성아파트 603동 1905호  
 (뒷면에 계속)  
 (74) 대리인  
**특허법인 신성**

전체 청구항 수 : 총 14 항

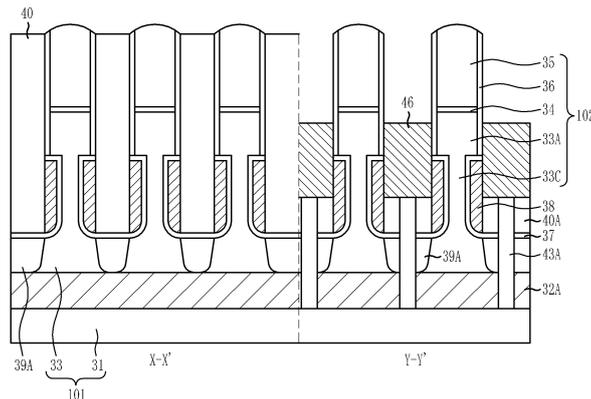
심사관 : 정두한

**(54) 매립형 비트라인과 수직채널트랜지스터를 구비한반도체소자 및 그 제조 방법**

**(57) 요약**

본 발명은 비트라인의 저항을 감소시켜 고속 동작을 구현할 수 있는 수직트랜지스터를 구비하는 반도체소자 및 그 제조 방법을 제공하기 위한 것으로, 본 발명의 반도체소자의 제조 방법은 제1기판과 제2기판 사이에 비트라인으로 사용되는 금속함유막이 매립되고 상기 금속함유막과 상기 제2기판 사이에 배리어막이 삽입된 기판을 준비하는 단계; 상기 제2기판의 일부를 가공하여 활성필라를 포함하는 복수의 필라구조물을 형성하는 단계; 상기 활성필라 각각의 외벽을 에워싸는 게이트전극을 형성하는 단계; 상기 필라구조물 사이의 제2기판 내에 불순물영역을 형성하는 단계; 상기 불순물영역과 상기 금속함유막을 동시에 식각하여 이웃하는 비트라인을 분리시키는 트렌치를 형성하는 단계를 포함하고, 본 발명은 금속함유막으로 이루어진 비트라인을 형성함으로써 비트라인의 저항값이 현저히 감소하게 되고, 이로써 고속동작을 구현할 수 있다. 아울러, 비트라인의 피치를 증가시키지 않아도 되므로  $4F^2$ 의 단위셀면적을 유지하면서 고속소자 특성을 만족시킬 수 있다.

**대표도 - 도3i**



(72) 발명자

**장세익**

경기 이천시 부발읍 아미1리 현대아파트 7차 707동  
1804호

**조홍재**

경기 이천시 대월면 현대I-PARK 아파트 105동 904  
호

**임관용**

경기 이천시 부발읍 아미1리 현대사원임대아파트  
108동 307호

## 특허청구의 범위

### 청구항 1

제1기관;

상기 제1기관 상에 형성된 금속함유막 재질의 비트라인;

상기 비트라인 상에 형성되며 복수의 활성필라를 구비하는 제2기관;

상기 활성필라 각각의 외벽을 에워싸는 게이트전극;

상기 활성필라 사이의 상기 제2기관 내에 형성되며 그 저면이 상기 비트라인과 접촉하는 불순물영역; 및

상기 제2기관과 비트라인 사이에 형성된 배리어막

을 포함하는 반도체 소자.

### 청구항 2

제1항에 있어서,

상기 불순물영역과 상기 비트라인을 동시에 관통하는 트렌치; 및

상기 트렌치 내부 및 상기 활성필라 사이를 캡핑하는 절연막을 더 포함하는 반도체소자.

### 청구항 3

삭제

### 청구항 4

제1항에 있어서,

상기 제2기관은 폴리실리콘막을 포함하는 반도체소자.

### 청구항 5

제1항에 있어서,

상기 제1기관은 베어실리콘웨이퍼(Bare Si wafer) 또는 SOI(Silicon On Insulator) 기판을 포함하는 반도체소자.

### 청구항 6

삭제

### 청구항 7

제1항에 있어서,

상기 배리어막은,

WN, TiN, Ti, WSiN, W<sub>2</sub>N 또는 TiB<sub>2</sub> 중에서 선택된 적어도 어느 하나를 포함하는 반도체소자.

### 청구항 8

제1항, 제2항, 제4항, 제5항 또는 제7항 중 어느 한 항에 있어서,

상기 비트라인은,

WN, TiN, TaN, W, Ti 또는 Ta 선택된 적어도 어느 하나를 포함하는 반도체소자.

### 청구항 9

제1항, 제2항, 제4항, 제5항 또는 제7항 중 어느 한 항에 있어서,

상기 게이트전극은 폴리실리콘막 또는 금속함유막을 포함하는 반도체소자.

**청구항 10**

제1기판과 제2기판 사이에 비트라인으로 사용되는 금속함유막이 매립되고 상기 금속함유막과 상기 제2기판 사이에 배리어막이 삽입된 기판을 준비하는 단계;

상기 제2기판의 일부를 가공하여 활성필라를 포함하는 복수의 필라구조물을 형성하는 단계;

상기 활성필라 각각의 외벽을 에워싸는 게이트전극을 형성하는 단계;

상기 필라구조물 사이의 제2기판 내에 불순물영역을 형성하는 단계;

상기 불순물영역과 상기 금속함유막을 동시에 식각하여 이웃하는 비트라인을 분리시키는 트렌치를 형성하는 단계;

상기 트렌치 내부에 절연막을 깎필하는 단계; 및

상기 필라구조물 사이에 상기 게이트전극과 접촉하는 워드라인을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

**청구항 11**

제10항에 있어서,

상기 불순물영역은 상기 금속함유막과 접촉하는 깊이를 갖는 반도체소자의 제조 방법.

**청구항 12**

삭제

**청구항 13**

제10항에 있어서,

상기 제2기판은 폴리실리콘막을 포함하는 반도체소자의 제조 방법.

**청구항 14**

삭제

**청구항 15**

제10항에 있어서,

상기 배리어막은,

WN, TiN, Ti, WSiN, W<sub>2</sub>N 또는 TiB<sub>2</sub> 중에서 선택된 적어도 어느 하나를 포함하는 반도체소자의 제조 방법.

**청구항 16**

제10항에 있어서,

상기 제1기판은 베어실리콘웨이퍼(Bare Si wafer) 또는 SOI(Silicon On Insulator) 기판을 포함하는 반도체소자의 제조 방법.

**청구항 17**

제10항, 제11항, 제13항, 제15항 또는 제16항 중 어느 한 항에 있어서,

상기 비트라인은,

WN, TiN, TaN, W, Ti 또는 Ta 중에서 선택된 적어도 어느 하나를 포함하는 반도체소자의 제조 방법.

**청구항 18**

제10항, 제11항, 제13항, 제15항 또는 제16항 중 어느 한 항에 있어서,  
상기 게이트전극은 폴리실리콘막 또는 금속함유막을 포함하는 반도체소자의 제조 방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 반도체소자 제조 기술에 관한 것으로, 특히 수직채널 트랜지스터를 구비한 반도체소자 및 그 제조 방법에 관한 것이다.

**배경기술**

[0002] 최근에 집적도 향상을 위해 40nm 이하급 메모리 소자가 요구되고 있는데,  $8F^2$ (F:minimum feature size) 또는  $6F^2$  셀아키텍처(cell architecture) 형태에서 사용하는 플라나(Planar) 또는 리세스드 게이트 트랜지스터(Recessed Gate Transistor)의 경우에는 40nm 이하로 스케일링(scaling) 하기가 매우 어려운 문제가 있다. 따라서 동일 스케일링에서 집적도를 1.5~2 배 향상시킬 수 있는  $4F^2$  셀아키텍처를 갖는 DRAM 소자가 요구되고 있으며, 그에 따라 수직채널 트랜지스터(Vertical channel transistor)가 제안되었다.

[0003] 수직 채널 트랜지스터는 반도체 기판 상에서 수직으로 연장된 필라(Active pillar)의 주위를 감싸는 환형(Surround type) 게이트전극을 형성하고, 게이트 전극을 중심으로 하여 필라의 상부와 하부에 각각 소스영역과 드레인 영역을 형성함으로써 채널이 수직으로 형성되는 트랜지스터이다. 그러므로, 트랜지스터의 면적을 감소시키더라도 채널 길이에 구애받지 않는다.

[0004] 도 1a는 종래기술에 따른 수직채널트랜지스터를 구비한 반도체소자의 구조를 도시한 단면도이고, 도 1b는 종래 기술에 따른 반도체소자의 구조를 도시한 평면도이다.

[0005] 도 1a를 참조하면, 기판(11) 상에 바디필라(12), 헤드필라(13), 버퍼막패턴(14), 하드마스크막패턴(15) 및 캡핑막(16)을 포함하는 복수의 필라구조물(100)이 형성된다.

[0006] 그리고, 바디필라(12)의 외벽을 게이트절연막(17)과 게이트전극(18)이 에워싸고 있으며, 기판(11)내에는 불순물 주입에 의한 매립형 비트라인(19)이 형성되어 있다. 이웃하는 비트라인(19)을 분리시키는 트렌치(19A) 내부에 충전절연막(20)이 매립되어 있다.

[0007] 그리고, 워드라인(21)은 게이트전극(18)에 연결되면서 비트라인(19)과 교차하는 방향으로 형성되어 있다.

[0008] 그러나, 종래기술은 비트라인(19)이 기판(11)에 불순물을 이온주입하여 형성하므로 금속막이 아닌 실리콘배선 형태가 되어 비저항값이 크기 때문에 비트라인의 저항값이 크게 되는 단점이 발생한다.

[0009] 이와 같이, 비트라인을 금속막이 아닌 불순물이 도핑된 실리콘을 이용하므로 비트라인의 저항값이 크게 되고, 이로써 비트라인의 저항값이 높아 고속소자 특성에 불리하다.

[0010] 이를 해결하기 위해서 도 1b와 같이, 비트라인의 전류경로(Current path, 도면부호 'I')를 크게 해야 하므로 비트라인의 피치(pitch)값이 증가해야 한다. 그러나, 이럴 경우 단위셀면적( $2F \times 2F = 4F^2$  이상)이 증가하는 문제가 발생한다.

**발명의 내용**

**해결 하고자하는 과제**

[0011] 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출한 것으로서, 비트라인의 저항값을 감소시켜 고속 동작을 구현할 수 있는 수직트랜지스터를 구비하는 반도체소자 및 그 제조 방법을 제공하는데 그 목적이 있다.

**과제 해결수단**

[0012] 상기 목적을 달성하기 위한 본 발명의 반도체소자는 제1기판; 상기 제1기판 상에 형성된 금속함유막 재질의 비트라인; 상기 비트라인 상에 형성되며 복수의 활성필라를 구비하는 제2기판; 상기 활성필라 각각의 외벽을 에워싸는 게이트전극; 상기 활성필라 사이의 상기 제2기판 내에 형성되며 그 저면이 상기 비트라인과 접촉하는 불순물영역; 및 상기 제2기판과 비트라인 사이에 형성된 배리어막을 포함하는 것을 특징으로 하며, 상기 제2기판은 폴리실리콘막을 포함하며, 상기 제1기판은 베어실리콘웨이퍼(Bare Si wafer) 또는 SOI(Silicon On Insulator) 기판을 포함하고, 상기 비트라인은 WN, TiN, TaN, W, Ti 또는 Ta 중에서 선택된 적어도 어느 하나를 포함하는 것을 특징으로 한다.

[0013] 그리고, 본 발명의 반도체소자의 제조 방법은 제1기판과 제2기판 사이에 비트라인으로 사용되는 금속함유막이 매립되고 상기 금속함유막과 상기 제2기판 사이에 배리어막이 삽입된 기판을 준비하는 단계; 상기 제2기판의 일부를 가공하여 활성필라를 포함하는 복수의 필라구조물을 형성하는 단계; 상기 활성필라 각각의 외벽을 에워싸는 게이트전극을 형성하는 단계; 상기 필라구조물 사이의 제2기판 내에 불순물영역을 형성하는 단계; 상기 불순물영역과 상기 금속함유막을 동시에 식각하여 이웃하는 비트라인을 분리시키는 트렌치를 형성하는 단계; 상기 트렌치 내부에 절연막을 깎필하는 단계; 및 상기 필라구조물 사이에 상기 게이트전극과 접촉하는 워드라인을 형성하는 단계를 포함하는 것을 특징으로 한다.

**효과**

[0014] 본 발명은 금속함유막으로 이루어진 비트라인을 형성함으로써 비트라인의 저항값이 현저히 감소하게 되고, 이로써 고속동작을 구현할 수 있다. 아울러, 비트라인의 피치를 증가시키지 않아도 되므로  $4F^2$ 의 단위셀면적을 유지하면서 고속소자 특성을 만족시킬 수 있다.

**발명의 실시를 위한 구체적인 내용**

[0015] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

[0016] 도 2a는 본 발명의 실시예에 따른 수직채널트랜지스터를 구비한 반도체소자의 사시도이고, 도 2b는 본 발명의 실시예에 따른 워드라인과 게이트전극간 연결관계를 도시한 평면도이다. 편의상 기판, 비트라인, 필라구조물, 게이트전극 및 워드라인을 제외한 절연막 등의 구조는 생략하기로 한다.

[0017] 도 2a 및 도 2b를 참조하면, 기판(101) 상에 매트릭스 형태로 소정 간격 이격되어 복수의 필라구조물(102)이 형성된다. 필라구조물(102)은 기판(101) 상에 형성된 바디필라(33C)와 기판(101) 표면 상에 형성된 게이트절연막(37), 게이트절연막(37) 상에서 바디필라(33C)를 에워싸는 게이트전극(38)을 포함한다. 따라서, 게이트전극(38)은 필라구조물(101)의 하부측인 바디필라(33C)의 외벽을 에워싸는 환형 형태일 수 있다. 도시하지 않았지만, 바디필라(33C) 위에는 헤드필라가 구비될 수 있고, 헤드필라 위에는 버퍼막패턴과 하드마스크막패턴이 적층되어 있을 수 있다. 바디필라(33C)는 활성필라(Active pillar)라고 일컫는다.

[0018] 기판(101)은 제1기판(31)과 제2기판(33)을 포함한다. 제1기판(31)은 베어실리콘웨이퍼(Bare Si wafer) 또는 SOI(Silicon On Insulator) 기판을 포함하고, 제2기판(33)은 활성영역으로 사용될 물질이다. 바람직하게, 제2기판(33)은 폴리실리콘막을 포함한다.

[0019] 그리고, 기판(101) 내에는 비트라인(32A)으로 사용되는 금속함유막이 매립되어 있다. 즉, 제1기판(31)과 제2기판(33) 사이에 비트라인(32A)이 위치하여 기판(101) 내부에서 비트라인(32A)이 매립된 형태를 갖는다. 비트라인(32A)은 텅스텐막을 포함한다. 바람직하게, 비트라인(32A)은 WN, TiN, TaN, W, Ti, Ta, 텅스텐실리사이드, 티타늄실리사이드, 또는 탄탈륨실리사이드 중에서 선택된 적어도 어느 하나를 포함한다. 제2기판(33)과 비트라인(32A) 사이에는 배리어막(도시 생략)이 구비될 수 있다. 배리어막은 제2기판(33)과 비트라인(32A) 사이의 실리콘사이드반응을 억제하기 위한 확산배리어(Diffusion barrier) 역할을 하는 것으로서, WN, TiN, Ti, WSiN, W<sub>2</sub>N 또는 TiB<sub>2</sub> 중에서 선택된 적어도 어느 하나를 포함한다.

[0020] 그리고, 제2기판(33) 내에는 불순물 주입에 의해 드레인영역(39A)이 형성되어 있다.

[0021] 그리고, 워드라인(46)은 기판(101) 내에 형성된 비트라인(32A)과는 교차하는 방향으로 필라구조물(102) 사이에 배치된다.

- [0022] 마지막으로, 게이트전극(38)으로 폴리실리콘막 또는 금속함유막을 사용하고, 워드라인(46)은 금속함유막을 포함한다. 여기서, 워드라인(46)은 텅스텐실리사이드막, TiN, W, Al, Cu, Au 및 Ru로 이루어진 그룹 중에서 선택된 적어도 어느 하나를 포함한다. 그리고, 게이트전극(38)과 워드라인(46) 사이에 형성된 배리어막을 더 포함할 수 있다. 배리어막은 TiN, TaCN, TaC, WN, WSiN, TaN, Ti 및 WSi<sub>x</sub>로 이루어진 그룹 중에서 선택된 적어도 어느 하나를 포함할 수 있다.
- [0023] 도 2a 및 도 2b에 따르면, 기판(101) 내부에 금속함유막으로 이루어진 비트라인(32A)을 형성함으로써 비트라인(32A)의 저항값이 현저히 감소하게 되고, 이로써 고속동작을 구현할 수 있다. 아울러, 비트라인의 피치를 증가시키지 않아도 되므로 4F<sup>2</sup>의 단위셀면적을 유지하면서 고속소자 특성을 만족시킬 수 있다.
- [0024] 도 3a 내지 도 3i은 본 발명의 실시예에 따른 수직채널트랜지스터를 구비한 반도체소자의 제조 방법을 도시한 공정 단면도이다. 이하, 도 2b의 X-X'선에 따른 단면과 Y-Y'선에 따른 단면을 동시에 도시하였다.
- [0025] 도 3a에 도시된 바와 같이, 기판(101)을 준비한다. 기판(101)은 제1기판(31)과 제2기판(33)이 적층된 구조이다. 먼저, 제1기판(31)은 베어실리콘웨이퍼(Bare Si wafer) 또는 SOI(Silicon On Insulator) 기판이고, 제2기판(33)은 활성영역으로 사용될 물질이다. 바람직하게, 제2기판(33)은 폴리실리콘막을 포함한다.
- [0026] 그리고, 기판(101) 내에는 비트라인으로 사용될 금속함유막(32)이 매립되어 있다. 즉, 제1기판(31)과 제2기판(33) 사이에 금속함유막(32)이 위치하여 기판(101) 내부에서 금속함유막(32)이 매립된 형태를 갖는다. 금속함유막(32)은 텅스텐막 등의 금속성분이 함유된 막을 포함한다. 바람직하게, 금속함유막(32)은 WN, TiN, TaN, W, Ti, Ta, 텅스텐실리사이드, 티타늄실리사이드, 또는 탄탈륨실리사이드 중에서 선택된 적어도 어느 하나를 포함한다. 제2기판(33)과 금속함유막(32) 사이에는 배리어막(도시 생략)이 삽입될 수 있다. 배리어막은 제2기판(33)과 금속함유막(32) 사이의 실리사이드반응을 억제하기 위한 확산배리어(Diffusion barrier) 역할을 하는 것으로서, WN, TiN, Ti, WSiN, W<sub>2</sub>N 또는 TiB<sub>2</sub> 중에서 선택된 적어도 어느 하나를 포함한다.
- [0027] 이어서, 기판(101) 상에 버퍼막패턴(34)과 하드마스크막패턴(35)을 형성한다. 버퍼막패턴(34)은 실리콘산화막(SiO<sub>2</sub>)으로서, 열산화 방식으로 형성할 수 있고, 50~150Å 두께로 형성할 수 있다. 하드마스크막패턴(35)은 실리콘질화막(Si<sub>3</sub>N<sub>4</sub>) 또는 탄화실리콘막(SiC)으로 형성할 수 있으며, 그 두께는 2000Å으로 할 수 있다. 버퍼막패턴(34)과 하드마스크막패턴(35)은 감광막패턴(도시 생략)을 이용한 식각에 의해 형성할 수 있다.
- [0028] 다음으로, 하드마스크막패턴(35)을 식각장벽으로 하여 제2기판(33)을 일정 깊이(1100Å) 식각하는 1차 식각(이하 '1차 필라식각'이라고 약칭함)을 진행한다. 이와 같은 1차 필라식각에 의해 활성영역으로 기능하는 헤드필라(Head Pillar, 33A)가 형성된다. 바람직하게, 헤드 필라(33A) 형성을 위한 제2기판(33)의 식각은 비등방성(Anisotropic) 건식식각이며, Cl<sub>2</sub> 또는 HBr 가스를 단독으로 사용하거나, 또는 Cl<sub>2</sub>와 HBr 가스의 혼합가스를 이용하여 식각한다.
- [0029] 도 3b에 도시된 바와 같이, 전면에 캡핑막(Capping layer, 36)을 형성한다. 이때, 캡핑막(36)은 질화막을 단독으로 사용하거나 또는 산화막과 질화막을 순차적으로 증착할 수 있다. 산화막은 실리콘산화막(SiO<sub>2</sub>)일 수 있고, 질화막은 실리콘질화막(Si<sub>3</sub>N<sub>4</sub>)일 수 있다. 이어서, 직진성의 식각공정, 예컨대 에치백(Etchback)을 진행하여 헤드필라(33A)의 측벽에 캡핑막(36)을 잔류시키고, 헤드필라(33A) 사이의 제2기판(33) 표면을 노출시킨다. 여기서, 직진성의 식각공정에 의해 캡핑막(36)은 하드마스크막패턴(35)과 버퍼막패턴(34)의 측벽에도 잔류한다. 상술한 캡핑막(36)은 헤드필라(33A)의 측벽을 후속 공정으로부터 보호하는 캡핑막(Capping layer) 역할을 하는데, 두께는 50~100Å으로 할 수 있다.
- [0030] 다음으로, 캡핑막(36) 및 하드마스크막패턴(35)을 식각장벽으로 하여 캡핑막(36) 에치백후 노출되어 있는 제2기판(33)을 일정 깊이(2000Å) 추가로 식각하는 2차 필라식각을 진행한다. 이때, 2차 필라식각은 직진성 식각을 이용하고, 이로써 헤드필라(33A) 아래에 바디필라(Body pillar, 33B)가 형성된다. 바디필라(33B)는 1차 필라식각시의 헤드필라(33A)보다 그 높이가 더 높을 수 있다. 바람직하게, 바디필라(33B) 형성을 위한 2차 필라식각은 비등방성 건식식각이며, Cl<sub>2</sub> 또는 HBr 가스를 단독으로 사용하거나, 또는 Cl<sub>2</sub>와 HBr 가스의 혼합가스를 이용하여 식각한다.
- [0031] 위와 같이 2차 필라식각이 완료된 후에 제2기판(33) 상에 일정 높이의 바디필라(33B)가 구축된다.
- [0032] 도 3c에 도시된 바와 같이, 바디필라(33B)의 측벽을 등방성 식각하는 3차 필라식각을 진행한다. 이때, 등방성식

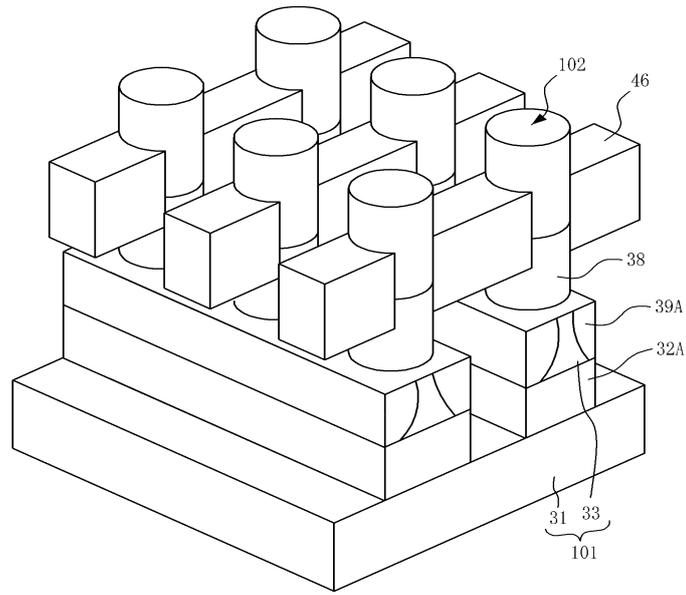
각을 적용하는 3차 필라식각은 습식식각(Wet etch) 또는 화학적건식식각(Chemical Dry Etch; CDE) 방식을 이용한다.

- [0033] 위와 같은 등방성식각 공정을 필라 트리밍(Phillar Trimming) 공정이라고 하며, 등방성식각이 진행되는 부분은 바디필라(33B)의 노출된 측벽에서만 150Å 정도 진행되며 캡핑막(36)에 의해 커버링(Covering)되어 있는 헤드필라(33A)는 식각되지 않는다.
- [0034] 따라서, 등방성식각까지 진행된 바디필라(33C)와 바디필라(33C) 상부의 헤드필라(33A)는 T형 필라 구조가 되며, 바디필라(33C)는 후속 게이트전극이 에워싸는 부분이고, 캡핑막(36)에 의해 커버링된 헤드필라(33A)는 후속 스토리지노드가 수직으로 연결될 부분이다.
- [0035] 전술한 바와 같은 일련의 식각공정에 의해 기판(101) 위에 헤드필라(33A) 및 바디필라(33C)를 포함하는 필라구조물(102)이 형성된다. 필라구조물(102)은 캡핑막(36), 버퍼막패턴(34) 및 하드마스크막패턴(35)을 포함한다. 바디필라(33C)와 헤드필라(33A)는 활성필라가 된다.
- [0036] 도 3d에 도시된 바와 같이, 제2기판(33)과 바디필라(33C)의 노출된 표면 상에 게이트절연막(37)을 형성한다. 게이트절연막(37)은 실리콘산화막을 포함할 수 있으며, 게이트절연막(37)은 증착공정 또는 산화공정에 의해 50Å 두께로 형성될 수 있다.
- [0037] 이어서, 게이트절연막(37)이 형성된 바디필라(33C)의 측벽을 감싸는 게이트전극(38)을 형성한다. 게이트전극(38)은 전면에 도전층을 증착한 후 필라구조물(102) 사이 제2기판(33) 상부의 게이트절연막(37)이 노출될때까지 에치백(Etchback)하여 얻어진다. 게이트전극(38)으로는 N형 불순물이 도핑된 폴리실리콘막 또는 P형 불순물이 도핑된 폴리실리콘막이 이용될 수 있다. 또한, 게이트전극(38)은 실리콘저마늄막(SiGe) 또는 텅스텐 등의 금속 함유막이 사용될 수도 있다.
- [0038] 도 3e에 도시된 바와 같이, 필라구조물(102) 사이의 제2기판(33)에 불순물, 예컨대 인(P) 또는 비소(As)와 같은 N형 불순물을 이온주입하여 제2기판(33) 내에 불순물영역(39)을 형성한다. 이때, 불순물영역(39)은 드레인영역이 형성될 영역으로서, 금속함유막(32)과 접촉하는 깊이를 갖는다.
- [0039] 이어서, 필라구조물(102) 사이를 갭필(Gapfill)하도록 전면에 제1층간절연막(40)을 형성한다. 이때, 제1층간절연막(40)은 갭필 특성이 우수한 BPSG막으로 형성하고, 제1층간절연막(40) 형성후에는 표면 단차 제거를 위해 하드마스크막패턴(35)의 표면이 드러날때까지 CMP(Chemical Mechanical Polishing)와 같은 평탄화 공정이 진행될 수 있다.
- [0040] 도 3f에 도시된 바와 같이, Y-Y' 방향으로 배열된 필라구조물(102) 사이의 제1층간절연막(40)의 일부 표면을 노출시키는 라인-스페이스(line-space) 형태의 제1감광막패턴(41)을 형성한다. 이때, 제1감광막(41)에 의해 X-X' 방향으로 배열된 필라구조물(102)의 상부는 덮이게 된다.
- [0041] 이어서, 제1감광막패턴(41)을 이용하여 제1층간절연막(40)을 식각하고, 연속해서 게이트절연막(37)을 식각한 후에 불순물영역(39) 및 금속함유막(32)까지 식각하여 제1트렌치(42)를 형성한다.
- [0042] 이와 같이, 제1트렌치(42)에 의해 불순물영역(39)은 드레인영역(39A)이 되고, 금속함유막(32)은 비트라인(32A)이 된다. 즉, 제1트렌치(42)에 의해 이웃하는 비트라인(32A)이 분리된다. 비트라인(32A)은 제1기판(31)과 제2기판(33) 사이에서 매립된 형태를 가지므로 매립형 비트라인(Buried Bitline)이라고 한다. 아울러, 분리된 비트라인(32A)은 게이트전극(38)에 대해 수직인 형상을 갖고, 비트라인(32A)은 Y-Y' 방향에 대해 수직으로 교차하는 배열을 갖는다.
- [0043] 도 3g에 도시된 바와 같이, 제1감광막패턴(41)을 제거한 후에 제1트렌치(42)를 갭필하도록 전면에 제2층간절연막(43)을 증착한다. 여기서, 제2층간절연막(43)은 갭필특성이 우수한 BPSG막일 수 있으며, 제2층간절연막(43)은 Y-Y' 방향에서 이웃한 비트라인(32A)간 절연막 역할을 한다.
- [0044] 이어서, 필라구조물(102)의 표면이 드러나도록 제2층간절연막(43)을 평탄화시킨다.
- [0045] 도 3h에 도시된 바와 같이, Y-Y' 방향이 노출되도록 패턴닝된 라인-스페이스(line-space) 형태의 제2감광막패턴(44)을 형성한다. 이때, 제2감광막패턴(44)에 의해 X-X' 방향에서는 필라구조물(102)의 표면만 노출되고 Y-Y' 방향에서는 모든 구조가 노출된다.
- [0046] 이어서, 제2감광막패턴(44)을 이용하여 노출되어 있는 Y-Y' 방향에 대해 건식식각을 진행한다. 이때, Y-Y' 방향에서는 필라구조물(102) 사이의 제2층간절연막 및 제1층간절연막(43, 40)이 식각되며, 식각깊이는 게이트전극

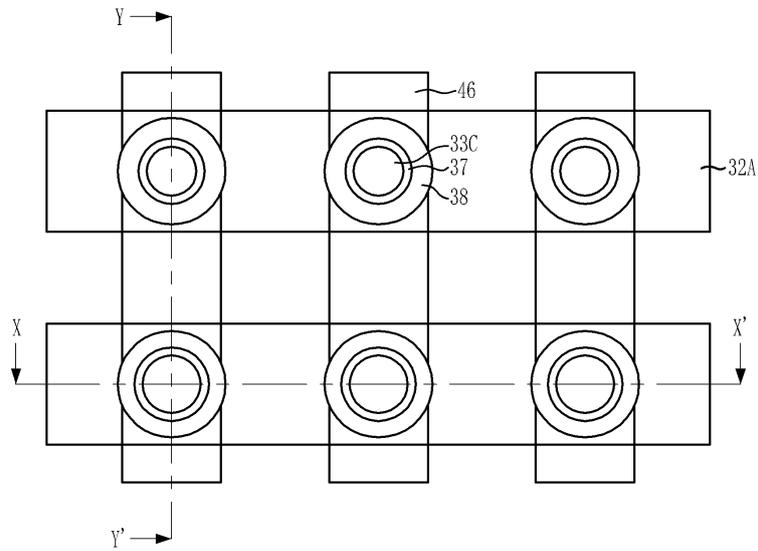




도면2a

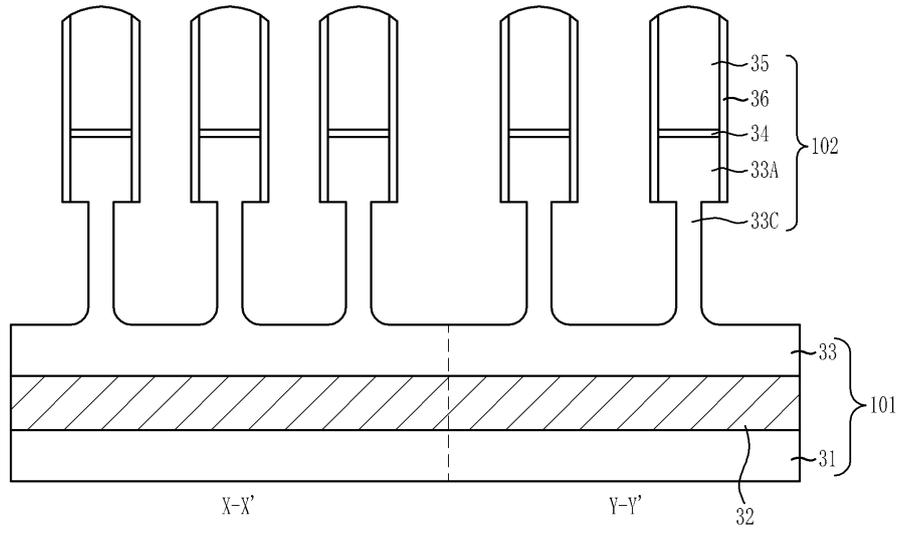


도면2b

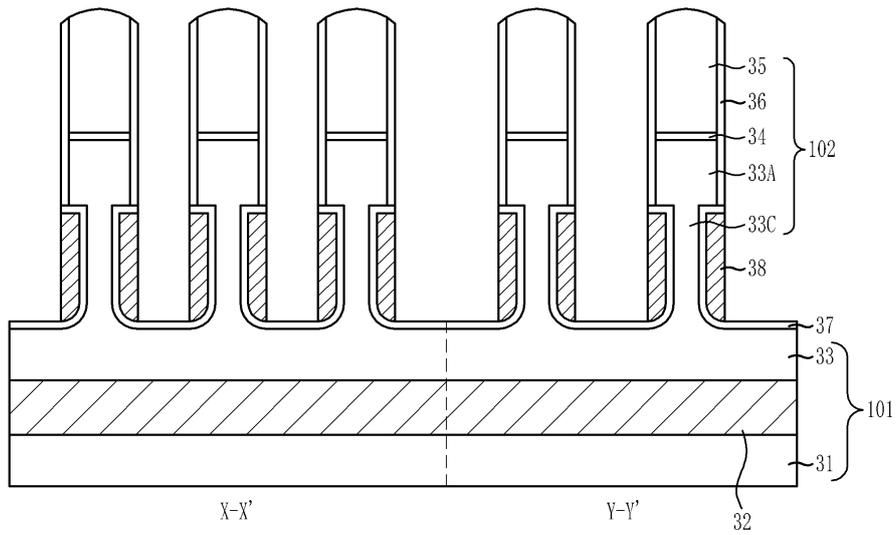




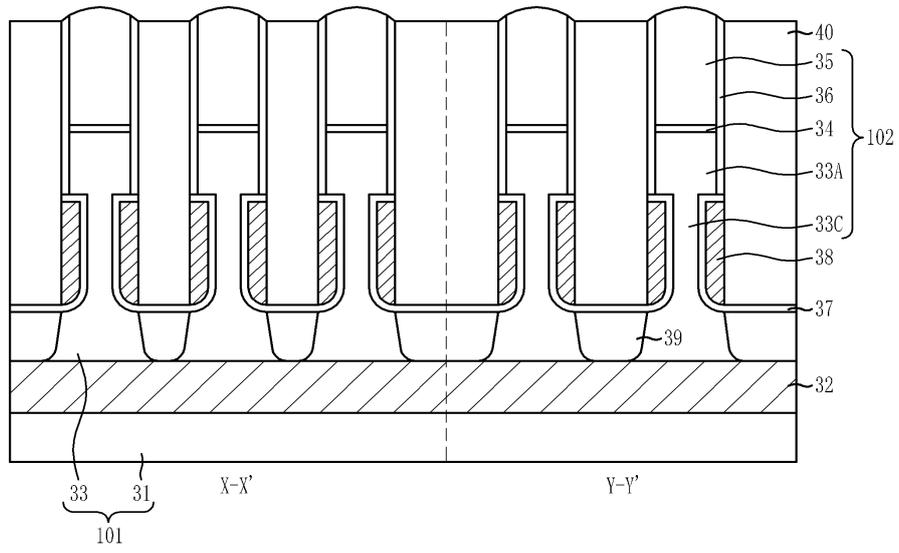
도면3c



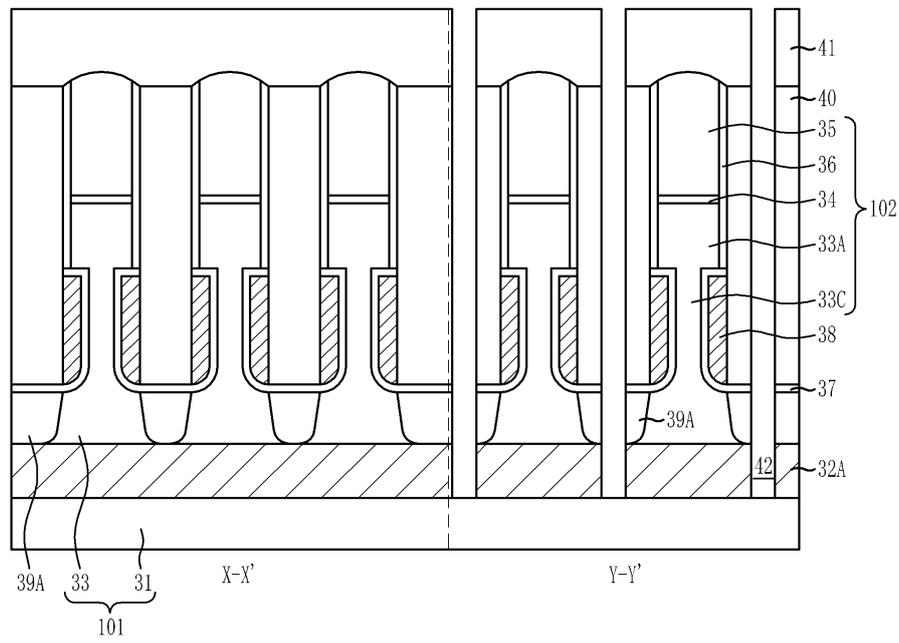
도면3d



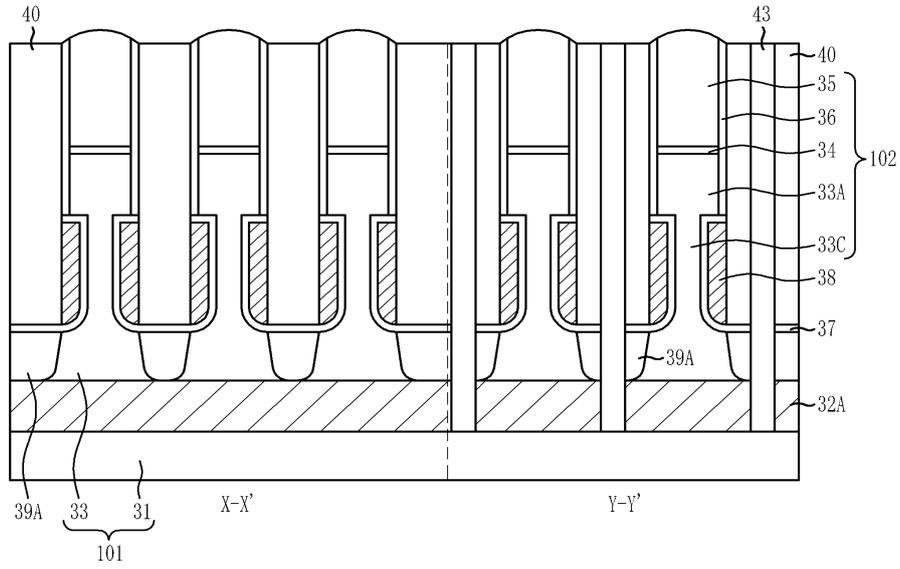
도면3e



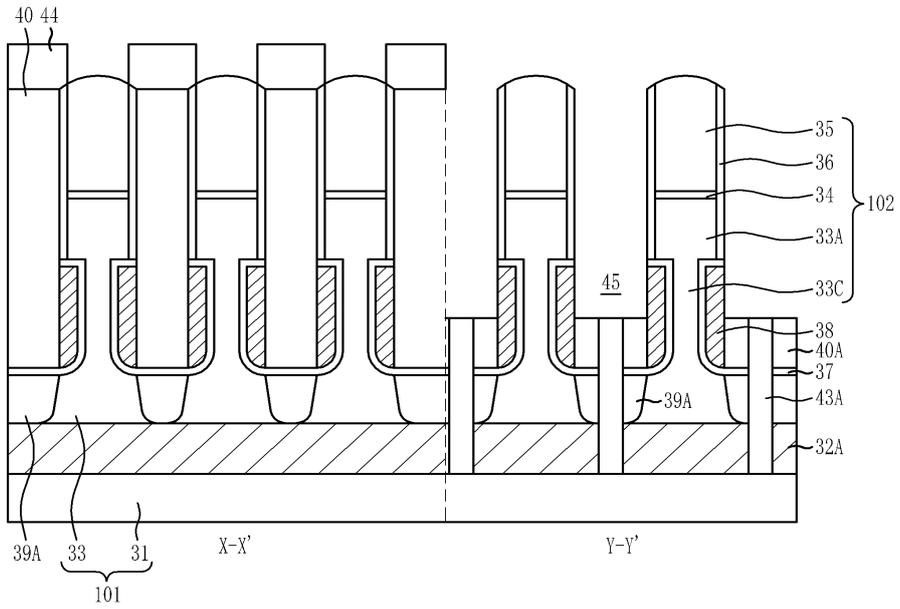
도면3f



도면3g



도면3h



도면3i

