

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 9 月 6 日 (06.09.2019)



(10) 国际公布号
WO 2019/165804 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01)

(21) 国际申请号: PCT/CN2018/116430

(22) 国际申请日: 2018 年 11 月 20 日 (20.11.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810172362.7 2018年3月1日 (01.03.2018) CN

(71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号, Beijing
100015 (CN)。北京京东方显示技术有限公司(**BEIJING BOE DISPLAY TECHNOLOGY CO.,**

LTD.) [CN/CN]; 中国北京市北京经济技术开发区经海一路118号, Beijing 100176 (CN)。

(72) 发明人: 于淑环(**YU, Shuhuan**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。
段欣(**DUAN, Xin**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。罗信忠(**LO, Hsinchung**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 中国专利代理(香港)有限公司
(**CHINA PATENT AGENT (H.K.) LTD.**); 中国香港特别行政区湾仔港湾道23号鹰君中心22号楼, Hong Kong (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) **Title:** DRIVE CONTROL METHOD, COMPONENT AND DISPLAY APPARATUS

(54) 发明名称: 驱动控制方法、组件及显示装置

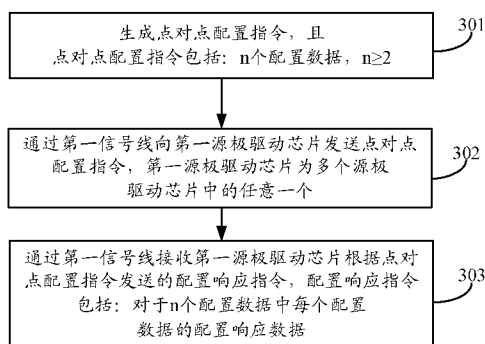


图 3

301 Generate a point-to-point configuration instruction, the point-to-point configuration instruction comprising: n pieces of configuration data, n being greater than or equal to 2

302 Send the point-to-point configuration instruction to a first source driver chip by means of a first signal line, the first source driver chip being any one of multiple source driver chips

303 Receive, by means of the first signal line, a configuration response instruction sent by the first source driver chip according to the point-to-point configuration instruction, the configuration response instruction comprising: configuration response data for each piece of configuration data from among the n pieces of configuration data

(57) **Abstract:** A drive control method, a component and a display apparatus. The drive control method is applied to a timer controller (01), and comprises: generating a point-to-point configuration instruction, the point-to-point configuration instruction comprising: n pieces of configuration data, n being greater than or equal to 2 (S301); sending the point-to-point configuration instruction to a first source driver chip by means of a first signal line, the first source driver chip being any one of multiple source driver chips (02) (S302); and receiving, by means of the first signal line (L), a configuration response instruction sent by the first source driver chip according to the point-to-point configuration instruction, the configuration response instruction comprising: configuration response data for each piece of configuration data from among the n pieces of configuration data (S303). The drive control method is used for signal drive control of a display panel, and improves the transmission efficiency and utilization rate of the first signal line (L).

(57) **摘要:** 一种驱动控制方法、组件及显示装置。驱动控制方法应用于时序控制器(01)，包括：生成点对点配置指令，点对点配置指令包括：n个配置数据，n≥2(S301)；通过第一信号线向第一源极驱动芯片发送点对点配置指令，第一源极驱动芯片为多个源极驱动芯片(02)中的任意一个(S302)；通过第一信号线(L)接收第一源极驱动芯片根据点对点配置指令发送的配置响应指令，配置响应指令包括：对于n个配置数据中每个配置数据的配置响应数据(S303)。驱动控制方法用于显示面板的信号驱动控制，提高了第一信号线(L)的传输效率与利用率。

CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

驱动控制方法、组件及显示装置

相关申请

本申请要求于 2018 年 3 月 1 日递交的中国专利申请 No. 201810172362.7 的优先权，在此全文引用上述中国专利申请公开的内容作为本申请的一部分。

技术领域

本公开涉及面板制造领域，特别涉及驱动控制方法、组件及显示装置。

背景技术

显示装置一般可以包括显示面板以及用于驱动该显示面板的面板驱动电路。该驱动电路可以包括时序控制器（timer controller; TCON）和源极驱动电路，源极驱动电路包括多个源极驱动（source driver）芯片。

在面板驱动电路中，通常包括两种信号线。该两种信号线包括：第一信号线和第二信号线。第一信号线的信号传输速率小于第二信号线。该第一信号线可称为低速信号线，通常用于传输配置指令。第二信号线可称为高速信号线，通常用于传输高速差分信号。在面板驱动过程中，一般采用点对点的高速信号传输技术来进行信号传输，其特点是在时序控制器和源极驱动芯片之间建立一对一的第二信号线，以传输高速差分信号。另外，时序控制器还设置有额外的一根第一信号线。多个源极驱动芯片并行连接，且都连接到第一信号线上。该第一信号线用于传输配置指令，以配合第二信号线进行高速差分信号的传输。

但是，上述第一信号线的传输效率较低，而且第一信号线的利用率较低。

发明内容

本公开提供了一种驱动控制方法、组件及显示装置。

在第一方面，提供了一种驱动控制方法，应用于时序控制器。所

述时序控制器通过一第一信号线与并行连接的多个源极驱动芯片通信。所述方法包括：生成点对点配置指令，所述点对点配置指令包括：
n 个配置数据， $n \geq 2$ ；通过所述第一信号线向第一源极驱动芯片发送所述点对点配置指令，所述第一源极驱动芯片为所述多个源极驱动芯片
5 中的任意一个；通过所述第一信号线接收所述第一源极驱动芯片根据所述点对点配置指令发送的配置响应指令，所述配置响应指令包括：对于所述 n 个配置数据中每个配置数据的配置响应数据。

可选的，所述点对点配置指令包括：用于 n 个配置数据的地址、第一指示器和数据部分。所述第一指示器用于指示所述用于 n 个配置
10 数据的地址是否连续。所述数据部分携带所述 n 个配置数据。

可选的，在所述第一指示器指示所述用于 n 个配置数据的地址连续时，所述用于 n 个配置数据的地址包括连续地址中的第一地址和最后一个地址。

可选的，所述点对点配置指令还包括第二指示器。所述第二指示
15 器用于指示所述点对点配置指令中配置数据的个数。

可选的，所述点对点配置指令包括至少五个字节。所述第一指示器包括：所述至少五个字节中第三个字节中的第五个比特位。所述第二指示器包括：所述第三个字节中的第六个至第八个比特位。

可选的，所述时序控制器通过多个第二信号线分别与所述多个源
20 极驱动芯片一一对应连接，且所述时序控制器与所述第一源极驱动芯片通过所述多个第二信号线中的被分配给所述第一源极驱动芯片的目标第二信号线连接。在所述生成点对点配置指令之前，所述方法还包括：通过所述被分配的第二信号线向所述第一源极驱动芯片发送开始指令，所述开始指令用于指示所述点对点配置指令所携带的配置数据
25 的最大个数。

可选的，所述开始指令包括至少七个字节。所述至少七个字节中的第七个字节中的四个比特位用于指示所述最大个数。

可选的，所述点对点配置指令和所述配置响应指令中的每个指令均包括：依次排列的前导码、起始标识、数据主体和结束标识。所述
30 前导码包括：连续的至少八个比特周期的第一信号，每个所述比特周期为两微秒。所述起始标识包括：连续的至少两个所述比特周期的第二信号。所述数据主体包括：所述 n 个配置数据或所述 n 个配置响应

数据。所述结束标识包括：连续的至少两个所述比特周期的第三信号。所述第一信号、所述第二信号、所述 n 个配置数据及其配置响应数据均采用曼彻斯特编码得到。

在第二方面，提供了一种驱动控制方法，应用于第一源极驱动芯片。所述第一源极驱动芯片是多个源极驱动芯片中的任意一个。所述多个源极驱动芯片并行连接，且通过一第一信号线与时序控制器通信。所述方法包括：接收所述时序控制器通过所述第一信号线发送的点对点配置指令，所述点对点配置指令包括：用于第一源极驱动芯片的 n 个配置数据， $n \geq 2$ ；根据所述点对点配置指令通过所述第一信号线向所述时序控制器发送配置响应指令，所述配置响应指令包括：所述 n 个配置数据中每个配置数据的配置响应数据。

可选的，所述点对点配置指令包括：所述用于 n 个配置数据的地址、第一指示器和数据部分。在所述根据所述点对点配置指令通过所述第一信号线向所述时序控制器发送配置响应指令之前，所述方法还包括：获取所述第一指示器的值，所述第一指示器用于指示所述用于 n 个配置数据的地址是否连续，所述数据部分携带所述 n 个配置数据；根据所述第一指示器的值从所述用于 n 个配置数据的地址获取目标地址，其中，当所述第一指示器指示所述用于 n 个配置数据的地址连续时，所述用于 n 个配置数据的地址包括：连续地址中的第一个地址和最后一个地址，以及获取的目标地址包括：由所述第一个地址和最后一个地址界定的一段连续地址；当所述第一指示器指示所述用于 n 个配置数据的地址不连续时，获取的目标地址包括：所述 n 个配置数据中的每个配置数据的地址；根据参考信息获取所述数据部分携带的所述 n 个配置数据，所述参考信息包括所述目标地址。

可选的，所述点对点配置指令还包括第二指示器。在所述根据参考信息获取所述数据部分携带的所述 n 个配置数据之前，所述方法还包括：获取所述第二指示器的值，所述第二指示器用于指示所述点对点配置指令中配置数据的个数；根据所述第二指示器的值确定所述个数，所述参考信息还包括所述个数。

可选的，所述点对点配置指令包括至少五个字节。所述第一指示器包括：所述至少五个字节中第三个字节中的第五个比特位。所述第二指示器包括：所述至少五个字节中第三个字节中的第六个至第八个

比特位。

可选的，所述时序控制器通过多个第二信号线分别与所述多个源极驱动芯片一一对应连接，且所述时序控制器与所述第一源极驱动芯片通过所述多个第二信号线中的分配给所述第一源极驱动芯片的目标第二信号线连接。在所述根据所述点对点配置指令通过所述第一信号线向所述时序控制器发送配置响应指令之前，所述方法还包括：接收所述时序控制器通过所述被分配的第二信号线发送的开始指令，所述开始指令用于指示所述点对点配置指令所携带的配置数据的最大个数。

10 可选的，所述开始指令包括至少七个字节。所述至少七个字节中的第七个字节中的四个比特位用于指示所述最大个数。

可选的，所述点对点配置指令和所述配置响应指令中的每个指令均包括：依次排列的前导码、起始标识、数据主体和结束标识。所述前导码包括：连续的至少八个比特周期的第一信号，每个所述比特周期为两微秒。所述起始标识包括：连续的至少两个所述比特周期的第二信号。所述数据主体包括：所述 n 个配置数据或所述 n 个配置响应数据。所述结束标识均包括：连续的至少两个所述比特周期的第三信号。所述第一信号、所述第二信号、所述 n 个配置数据及其配置响应数据均采用曼彻斯特编码得到。

20 在第三方面，提供了一种驱动控制组件，应用于时序控制器。所述时序控制器通过一第一信号线与并行连接的多个源极驱动芯片通信。所述驱动控制组件包括：生成模块，用于生成点对点配置指令，所述点对点配置指令包括： n 个配置数据， $n \geq 2$ ；第一发送模块，用于通过所述第一信号线向第一源极驱动芯片发送所述点对点配置指令，
25 所述第一源极驱动芯片为所述多个源极驱动芯片中的任意一个；接收模块，用于通过所述第一信号线接收所述第一源极驱动芯片根据所述点对点配置指令发送的配置响应指令，所述配置响应指令包括：对于所述 n 个配置数据中每个配置数据的配置响应数据。

可选的，所述点对点配置指令包括：所述用于 n 个配置数据的地址、第一指示器和数据部分。所述第一指示器用于指示所述用于 n 个配置数据的地址是否连续，所述数据部分携带所述 n 个配置数据。

可选的，在所述第一指示器指示所述用于 n 个配置数据的地址连

续时，所述用于 n 个配置数据的地址包括连续地址中的第一地址和最后一个地址。

可选的，所述点对点配置指令还包括第二指示器，所述第二指示器用于指示所述点对点配置指令中配置数据的个数。

- 5 可选的，所述点对点配置指令包括至少五个字节。所述第一指示器包括：所述至少五个字节中第三个字节中的第五个比特位。所述第二指示器包括：所述第三个字节中的第六个至第八个比特位。

10 可选的，所述时序控制器通过多个第二信号线分别与所述多个源极驱动芯片一一对应连接，且所述时序控制器与所述第一源极驱动芯片通过所述多个第二信号线中的被分配给所述第一源极驱动芯片的目标第二信号线连接。所述驱动控制组件还包括：第二发送模块，用于通过所述被分配的第二信号线向所述第一源极驱动芯片发送开始指令，所述开始指令用于指示所述点对点配置指令所携带的配置数据的最大个数。

- 15 可选的，所述开始指令包括至少七个字节。所述至少七个字节中的第七个字节中的四个比特位用于指示所述最大个数。

20 可选的，所述点对点配置指令和所述配置响应指令中的每个指令均包括：依次排列的前导码、起始标识、数据主体和结束标识。所述前导码包括：连续的至少八个比特周期的第一信号，每个所述比特周期为两微秒。所述起始标识包括：连续的至少两个所述比特周期的第二信号。所述数据主体包括：所述 n 个配置数据或所述 n 个配置响应数据。所述结束标识包括：连续的至少两个所述比特周期的第三信号。所述第一信号、所述第二信号、所述 n 个配置数据及其配置响应数据均采用曼彻斯特编码得到。

- 25 在第四方面，提供了一种驱动控制组件，应用于第一源极驱动芯片。所述第一源极驱动芯片是多个源极驱动芯片中的任意一个。所述多个源极驱动芯片并行连接，且通过一第一信号线与时序控制器通信。所述驱动控制组件包括：第一接收模块，用于接收所述时序控制器通过所述第一信号线发送的点对点配置指令，所述点对点配置指令包括：
30 用于第一源极驱动芯片的 n 个配置数据， $n \geq 2$ ；发送模块，用于根据所述点对点配置指令通过所述第一信号线向所述时序控制器发送配置响应指令，所述配置响应指令包括：所述 n 个配置数据中每个配置数

据的配置响应数据。

可选的，所述点对点配置指令包括：所述用于 n 个配置数据的地址、第一指示器和数据部分。所述驱动控制组件还包括：第一获取模块，用于获取所述第一指示器的值，所述第一指示器用于指示所述用于 n 个配置数据的地址是否连续，所述数据部分携带所述 n 个配置数据；第二获取模块，用于根据所述第一指示器的值从所述用于 n 个配置数据的地址获取目标地址，其中，当所述第一指示器用于指示所述用于 n 个配置数据的地址连续时，所述用于 n 个配置数据的地址包括：连续地址中的第一个地址和最后一个地址，以及获取的目标地址包括：由所述第一个地址和最后一个地址界定的一段连续地址；当所述第一指示器用于指示所述用于 n 个配置数据的地址不连续时，获取的目标地址包括：所述 n 个配置数据中的每个配置数据的地址；第三获取模块，用于根据参考信息获取所述数据部分携带的所述 n 个配置数据，所述参考信息包括所述目标地址。

可选的，所述点对点配置指令还包括第二指示器。所述驱动控制组件还包括：第四获取模块，用于获取所述第二指示器，所述第二指示器用于指示所述点对点配置指令中配置数据的个数；确定模块，用于根据所述第二指示器的值确定所述个数，所述参考信息还包括所述个数。

可选的，所述点对点配置指令包括至少五个字节。所述第一指示器包括：所述至少五个字节中第三个字节中的第五个比特位。所述第二指示器包括：所述至少五个字节中第三个字节中的第六个至第八个比特位。

可选的，所述时序控制器通过多个第二信号线分别与所述多个源极驱动芯片一一对应连接，且所述时序控制器与所述第一源极驱动芯片通过所述多个第二信号线中的分配给所述第一源极驱动芯片的目标第二信号线连接。所述驱动控制组件还包括：第二接收模块，用于接收所述时序控制器通过所述被分配的第二信号线发送的开始指令，所述开始指令用于指示所述点对点配置指令所携带的配置数据的最大个数。

可选的，所述开始指令包括至少七个字节。所述至少七个字节中的第七个字节中的四个比特位用于指示所述最大个数。

可选的，所述点对点配置指令和所述配置响应指令中的每个指令均包括：依次排列的前导码、起始标识、数据主体和结束标识。所述前导码包括：连续的至少八个比特周期的第一信号，每个所述比特周期为两微秒。所述起始标识包括：连续的至少两个所述比特周期的第二信号。所述数据主体包括：所述 n 个配置数据或所述 n 个配置响应数据。所述结束标识均包括：连续的至少两个所述比特周期的第三信号。所述第一信号、所述第二信号、所述 n 个配置数据及其配置响应数据均采用曼彻斯特编码得到。

在第五方面，提供了一种驱动控制组件，包括存储器，处理器及存储在存储器上并可在处理器上运行的计算机程序，所述处理器执行所述计算机程序时实现第一方面所述方法的步骤。

在第六方面，提供了一种驱动控制组件，包括存储器，处理器及存储在存储器上并可在处理器上运行的计算机程序，所述处理器执行所述计算机程序时实现第二方面所述方法的步骤。

在第七方面，提供了一种计算机可读存储介质，其上存储有计算机程序，该程序被处理器执行时实现第一方面和第二方面所述的方法的步骤。

在第八方面，提供了一种显示装置。所述显示装置包括：时序控制器和源极驱动芯片；所述时序控制器包括第三方面或第五方面所述的驱动控制组件，所述源极驱动芯片包括第四方面或第六方面所述的驱动控制组件。

在第九方面，提供了一种芯片，所述芯片包括可编程逻辑电路和/或程序指令，当所述芯片运行时用于实现第一方面所述的方法。

在第十方面，提供了一种芯片，所述芯片包括可编程逻辑电路和/或程序指令，当所述芯片运行时用于实现第二方面所述的方法。

应当理解的是，以上的一般描述和后文的细节描述仅是示例性的，并不能限制本公开。

附图说明

现在将参考示出本公开的实施例的附图来更详细地描述本公开的上述以及其它方面。

图 1 是本公开实施例提供的一种驱动控制方法的应用环境示意图。

图 2 是本公开实施例提供的一种第一信号线上传输的指令的示意图。

图 3 是本公开实施例提供的一种驱动控制方法的流程示意图。

图 4 是本公开实施例提供的另一种驱动控制方法的流程示意图。

5 图 5 是本公开实施例提供的又一种驱动控制方法的流程示意图。

图 6 是本公开实施例提供的一种驱动控制组件的结构示意图。

图 7 是本公开实施例提供的另一种驱动控制组件的结构示意图。

图 8 是本公开实施例提供的又一种驱动控制组件的结构示意图。

图 9 是本公开实施例提供的再一种驱动控制组件的结构示意图。

10 图 10 是本公开另一实施例提供的一种驱动控制组件的结构示意图。

图 11 是本公开另一实施例提供的另一种驱动控制组件的结构示意图。

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。

具体实施方式

在以下的说明中，为了解释而不是限制，阐述了所公开的实施例的某些特定细节，以便清楚和彻底地理解本公开。然而本领域技术人员应当容易明白，在不严重偏离本公开的精神和范围的情况下，本公开可以按并非精确地符合本文中所述细节的其它实施例来实施。此外，在这个上下文中，为了简单明了，省略了对熟悉的设备、电路和方法的详细描述，以避免多余的细节和可能的混淆。

25 面板驱动电路包括第一信号线与第二信号线。时序控制器可以通过第一信号线传输配置指令，以配合第二信号线进行高速差分信号的传输。该配置指令包括：前导码、起始标识、数据以及结束标识。由于第一信号线传输的每个指令携带的数据较少，导致需要通过多个指令来传输多个数据，且传输多个指令过程中需要传输的前导码、起始标识以及结束标识均较多，使得第一信号线的传输效率与利用率较低。

30 本公开实施例提供了一种驱动控制方法，可以提高第一信号线的传输效率与利用率。

图 1 是本公开实施例提供的一种驱动控制方法的应用环境示意图。

如图 1 所示, 该驱动控制方法应用于显示装置中。该显示装置包括时序控制器 01 和多个源极驱动芯片 02。该时序控制器 01 通过多个第二信号线 H 分别与多个源极驱动芯片 02 连接。通常的, 该时序控制器 01 通过多个第二信号线 H 与多个源极驱动芯片 02 一一对应连接, 其中, 第二信号线中的信号是单向传输的。该时序控制器还连接有一第一信号线 L。多个源极驱动芯片 02 并行连接, 且与第一信号线 L 连接, 以便与时序控制器通信。第一信号线中的信号是双向传输的。

在显示装置的面板驱动电路中, 第一信号线 L 可以进行不同指令的传输以实现不同的数据传输功能。每种数据传输功能对应至少一种传输模式 (mode)。例如, 时序控制器可以通过该第一信号线实现向源极驱动芯片发送广播配置指令的功能, 也即在所有源极驱动芯片中设置初始化程序。该功能对应广播交流 (broadcast communication; BC) 模式, 也即广播交流模式指示时序控制器进行数据广播。时序控制器还可以通过该第一信号线向源极驱动芯片发送身份配置指令以实现为源极驱动芯片发送身份标识 (identification, ID) 的功能。该功能对应身份标识分配 (ID assignment; IA) 模式, 也即身份标识分配模式指示时序控制器对源极驱动芯片进行身份标识的分配。时序控制器还可以通过该第一信号线向源极驱动芯片发送点对点 (也称端对端) 配置指令, 以实现点对点控制的功能, 该功能对应下行交流 (downstream communication; DC) 模式, 也即下行交流模式指示时序控制器对源极驱动芯片进行点对点数据传输。源极驱动芯片可以通过该第一信号线向时序控制器发送针对点对点配置指令的控制响应指令, 或者通过该第一信号线向时序控制器发送针对身份配置指令的身份配置响应指令。该功能对应回复传输 (reply transaction; RT) 模式, 也即回复传输模式指示源极驱动芯片对时序控制器进行指令的回复。通过上述各个模式的配合, 时序控制器可以依次完成对源极驱动芯片的身份标识分配、数据的读/写操作、接收源极驱动芯片的数据反馈等操作。需要说明的是, 本公开实施例提供的驱动控制方法可以用于 DC 模式。

可选的, 在本公开实施例中, 时序控制器和源极驱动芯片之间在第一信号线 L 上传输的指令的格式相同。图 2 是本公开实施例提供的一种第一信号线上传输的指令的示意图。如图 2 所示, 第一信号线上

传输的每个指令均包括依次排列的前导码 (preamble)、起始(start)标识、数据主体(也称: 传输主体, transaction body)和结束 (stop) 标识。

前导码用于指示接收端进行时钟和相位校准。接收端 (时序控制器或源极驱动芯片) 在检测到第一信号线上有前导码传输时, 便根据前导码的内容进行时钟和相位调整。时钟和相位调整是指保持接收端的时钟与发送端的时钟一致, 相位与发送端相同。接收端在接收前导码的过程中调整时钟和相位。在前导码传输结束后, 时钟和相位调整完毕。起始标识用于指示数据传输开始, 数据主体用于携带配置数据, 结束标识用于指示数据传输结束。

在实施例 10 中, 前导码可以由包含规律变化的跳变沿的信号构成。示例的, 继续参考图 2, 前导码可以包括连续的至少八个比特周期的第一信号, 且每个比特周期为两微秒。起始标识可以包括: 连续的至少两个比特周期的第二信号。结束标识可以包括: 连续的至少两个比特周期的第三信号。该第一信号、第二信号、数据主体携带的配置数据及其配置响应数据均可以采用曼彻斯特 (Manchester) 编码 (如第二版的曼彻斯特编码 MII) 得到。在一个示例中, 第一信号的电平跳变由低到高, 第二信号的电平跳变由低到高, 第三信号的电平跳变由高到低。可以理解, 除了曼彻斯特编码外, 起始标识和结束标识还可以采用发送端和接收端约定的其他形式的信号, 包括在指定时间内维持低电平或者高电平的信号。

需要说明的是, 由于采用曼彻斯特编码可以使数据产生明显的跳变沿, 便于数据的检测, 因此, 本公开实施例中需要编码的数据均可以采用曼彻斯特编码。但是实际应用中, 也可以采用其他编码方式或者不进行编码。进一步的, 为了保证数据主体携带的配置数据在解码端能够有效识别, 参考图 2, 在数据主体中的配置数据的首位可以与起始标识产生一跳变沿 (即数据主体中的配置数据的首位与起始标识的末位数值不同。例如, 数据主体中的配置数据的首位为 1, 起始标识的末位为 0)。在数据主体中的配置数据的末位可以与结束标识产生一跳变沿 (即数据主体中的配置数据的末位与结束标识的首位数值不同。例如, 数据主体中的配置数据的末位为 0, 结束标识的末位为 1)。上述跳变沿可以便于接收端进行数据的有效识别。在仅有一根第一信号线的情况下, 可以采用曼彻斯特编码实现数据的传输, 从而可以丰富

第一信号线的功能，提高第一信号线的利用率。

进一步的，假设点对点配置指令的接收端为第一源极驱动芯片，则点对点配置指令的数据主体携带的配置数据可以包括：第一源极驱动芯片的身份标识，第一源极驱动芯片上需要配置的寄存器的地址、
5 操作类型和与操作类型所指示的操作对应的数据。寄存器可用以存储第一源极驱动芯片所接收的配置数据。第一源极驱动芯片从不同的寄存器地址取回配置数据来用于不同的操作。

图 3 是本公开实施例提供的一种驱动控制方法的流程示意图。该驱动控制方法可以应用于图 1 中的时序控制器。该时序控制器通过一
10 第一信号线与并行连接的多个源极驱动芯片通信。如图 3 所示，该方法包括：

步骤 301、生成点对点配置指令，且点对点配置指令包括： n 个配置数据， $n \geq 2$ 。

步骤 302、通过第一信号线向第一源极驱动芯片发送点对点配置指令，第一源极驱动芯片为多个源极驱动芯片中的任意一个。
15

步骤 303、通过第一信号线接收第一源极驱动芯片根据点对点配置指令发送的配置响应指令，配置响应指令包括：对于 n 个配置数据中每个配置数据的配置响应数据。

综上所述，在本公开实施例提供的驱动控制方法中，点对点配置指令包括： n 个配置数据，且 $n \geq 2$ ，也即一个指令中可以携带多个数据。通过第一信号线向第一源极驱动芯片发送的点对点配置指令可以包括多个配置数据。这减少了传输多个配置数据时的指令的个数，进而减少了在指令传输过程中需要传输的前导码、起始标识和结束标识的个数，因此，提高了第一信号线的数据传输效率和利用率。
20

图 4 是本公开实施例提供的另一种驱动控制方法的流程示意图。该驱动控制方法可以应用于图 1 中的第一源极驱动芯片，该第一源极驱动芯片为多个源极驱动芯片中的任意一个。该多个源极驱动芯片并行连接，且通过一第一信号线与时序控制器通信。如图 4 所示，该方法包括：
25

步骤 401、接收时序控制器通过第一信号线发送的点对点配置指令，点对点配置指令包括：用于第一源极驱动芯片的 n 个配置数据， $n \geq 2$ 。
30

步骤 402、根据点对点配置指令通过第一信号线向时序控制器发送配置响应指令，配置响应指令包括：n 个配置数据中每个配置数据的配置响应数据。

综上所述，在本公开实施例提供的驱动控制方法中，点对点配置指令包括：n 个配置数据，且 $n \geq 2$ ，也即一个指令中可以携带多个数据。通过第一信号线接收的点对点配置指令可以包括多个配置数据，减少了接收多个配置数据时的传输的指令的个数，进而减少了需要传输的前导码、起始标识和结束标识的个数，因此，提高了第一信号线的数据传输效率和利用率。

图 5 是本公开实施例提供的又一种驱动控制方法的流程示意图。该驱动控制方法可以应用于图 1 中的应用环境。假设第一源极驱动芯片为多个源极驱动芯片中的任意一个。时序控制器可以通过多个第二信号线分别与多个源极驱动芯片一一对应连接。时序控制器通过所述多个第二信号线中分配给所述第一源极驱动芯片的第二信号线与第一源极驱动芯片通信。该方法可以包括：

步骤 501、时序控制器通过该被分配的第二信号线向第一源极驱动芯片发送开始指令。

该开始指令可以用于指示时序控制器即将发送的点对点配置指令中配置数据的最大个数。示例的，该开始指令可以包括至少七个字节，该至少七个字节中的第七个字节中的四个比特位用于指示所述最大个数，例如通过十五种状态指示配置数据的十五种最大个数。示例性地，该四个比特位具有十六种状态，这十六种状态中有一种状态为无效状态，剩余十五种状态指示十五种最大个数。例如，当该四个比特位上存储的二进制数字均为 0 时，该四个比特位所表示的状态可以为无效状态；或者，当该四个比特位上存储的二进制数字均为 1 时，该四个比特位所表示的状态可以为无效状态。另外，该四个比特位也可以为其他字节（如第六个字节）中的四个比特位，该比特位的个数也可以为其他数值（如三个比特位），本公开实施例不限于此。

步骤 502、时序控制器生成点对点配置指令。

点对点配置指令可以是例如参考图 2 所示的指令。可选的，该点对点配对指令可以包括：用于配置数据的地址、第一指示器和数据部分。该数据部分携带 n 个配置数据， $n \geq 2$ 。用于 n 个配置数据的地址

可以是第一源极驱动芯片中用于存储配置数据的寄存器地址。该第一指示器用于指示该用于 n 个配置数据的地址是否连续。可选的，该数据主体还可以包括第二指示器，该第二指示器可以用于指示点对点配置指令中配置数据的个数 n 。第二指示器可以用于直接确定或者检查传输过程中的配置数据个数是否准确，从而进一步避免因差错而造成的配置数据的遗漏。

示例的，该数据主体可以包括至少五个字节。该用于 n 个配置数据的地址可以存储于数据主体的第三个字节中的第五个比特位之前的比特位中（如存储在第二个字节中）。该第一指示器可以包括：该至少五个字节中第三个字节中的第五个比特位。第二指示器可以包括：该第三个字节中的第六个至第八个比特位。数据部分可以存储在该至少五个字节中第三个字节之后的字节中。

另外，第一指示器中存储的二进制数字为 0 可以用于指示用于 n 个配置数据的地址是连续的，第一指示器中存储的二进制数字为 1 可以用于指示用于 n 个配置数据的地址是不连续的。若数据主体的第三个字节中的第六个至第八个比特位中存储的二进制数字均为 1，则第二指示器指示的配置数据的个数最大，该个数可以为 8。若该第三个字节中的第六个至第八个比特位中存储的二进制数字均为 0，则第二指示器指示的配置数据的个数最小，该个数可以为 1；若该第三个字节中的第六个至第八个比特位中存储的二进制数字依次为 0、0 和 1，则第二指示器指示的配置数据的个数可以为 2；以此类推。这样便可以得出第二指示器的各个状态所指示的配置数据的个数。

步骤 503、时序控制器通过第一信号线向第一源极驱动芯片发送点对点配置指令。

步骤 504、第一源极驱动芯片获取接收到的点对点配置指令中的第一指示器的值。

示例的，若第一指示器包括：点对点配置指令中第三个字节中的第五个比特位，则第一源极驱动芯片可以获取该第五个比特位上存储的二进制数字，该二进制数字即为第一指示器的值。

步骤 505、第一源极驱动芯片获取点对点配置指令中的第二指示器的值。

示例的，若第二指示器包括：点对点配置指令中第三个字节中的

第六个至第八个比特位，则第一源极驱动芯片可以获取该第六个至第八个比特位上存储的三个二进制数字，该三个二进制数字组成的二进制数即为该第二指示器的值。例如，第六个至第八个比特位上存储的二进制数字均为 0，该三个二进制数字组成的二进制数为 000，该二进制数即为第二指示器的值。

步骤 506、第一源极驱动芯片根据第二指示器的值确定点对点配置指令中配置数据的个数。

示例的，步骤 505 中第一源极驱动芯片获取的第二指示器的值与点对点配置指令中配置数据的个数可以相同，但是本公开的实施例不限于此。在其他实施例中，第二指示器的值与点对点配置指令中配置数据的个数也可以不同，只要两者之间存在预定的对应关系即可。例如，第二指示器的值为 011 所指示的点对点配置指令中配置数据的个数可以不是 3，而是 4。

步骤 507、第一源极驱动芯片根据第一指示器的值从用于 n 个配置数据的地址来获取目标地址。目标地址可以指示用于存储配置指令中的 n 个配置数据的寄存器地址。

若在步骤 504 中，在第一源极驱动芯片获取的第一指示器指示用于 n 个配置数据的地址连续时，则所述用于 n 个配置数据的地址可以是：连续地址中的第一个地址和最后一个地址。当 n 个配置数据被顺序存储时，所述用于 n 个配置数据的地址可以是第一个配置数据的地址和最后一个配置数据的地址。相应地，目标地址可以是由该第一个地址和最后一个地址所界定的一段连续地址。若第一指示器指示用于 n 个配置数据的地址不连续，则所述用于 n 个配置数据的地址，以及相应地，目标地址可以包括：n 个配置数据中的每个配置数据的地址。由于在用于 n 个配置数据的地址连续和间断时，第一源极驱动芯片获取的目标地址不同，且在该用于 n 个配置数据的地址连续时，第一源极驱动芯片需要获取的地址较少，因此数据传输的速率较快。

示例的，若第一指示器指示用于 n 个配置数据的地址连续，且配置数据的个数 $n=3$ ，则当用于存储该 n 个数据的寄存器地址分别为 1、2 和 3 时，配置指令中用于该 3 个配置数据的地址为 1 和 3。这样，第一源极驱动芯片将从配置指令中获取地址 1 和 3，作为目标地址的头地址和尾地址。若第一指示器指示用于 n 个配置数据的地址不连续，且

配置数据的个数 $n=3$, 则当用于存储该 n 个数据的寄存器地址分别为 1、3 和 4 时, 配置指令中用于该 3 个配置数据的地址即为全部的对应该 n 个数据的 n 个地址。这样, 第一源极驱动芯片将获取用于该 n 个数据的地址中的每一个地址。

5 步骤 508、第一源极驱动芯片根据参考信息获取 n 个配置数据。

该参考信息可以包括: 目标地址和可选地, 点对点配置指令中配置数据的个数 (也即 n 的值)。若用于 n 个配置数据的地址不连续, 则第一源极驱动芯片需要分别获取每个配置数据的地址对应的配置数据。若用于 n 个配置数据的地址连续, 则第一源极驱动芯片仅需直接
10 获取 n 个配置数据中的第一个配置数据的地址和最后一个配置数据的地址之间的配置数据。此时, 第一源极驱动芯片可以快速的获取到所有的配置数据, 因此获取配置数据的效率较高。配置数据的个数可以用于进一步校验配置指令中配置数据传输的正确性。

15 步骤 509、第一源极驱动芯片执行 n 个配置数据所指示的 n 个配置操作。

示例的, 配置数据可以包括: 第一源极驱动芯片上需要配置的寄存器的地址、操作类型和与操作类型所指示的操作对应的数据。配置数据对应的配置操作可以为读操作或写操作。

20 步骤 510、第一源极驱动芯片根据点对点配置指令通过第一信号线向时序控制器发送配置响应指令。

配置响应指令的具体结构可以是例如参照图 2 所示的指令的结构。另外, 该配置响应指令可以包括: n 个配置数据中每个配置数据的配置响应数据。每个配置数据的配置响应数据可以用于指示每个配置数据所指示的配置操作是否执行完成。例如, 当某个配置数据所指示的配置操作已经执行完成时, 该配置数据对应的配置响应数据可以为 1。当
25 某个配置数据所指示的配置操作未执行完成时, 该配置数据对应的配置响应数据可以为 0, 且此时, 时序控制器可以重新向该第一源极驱动芯片发送点对点配置指令。

可选的, 第一源极驱动芯片可以在接收到点对点配置指令后预设
30 的回复等待时长后, 通过第一信号线向时序控制器发送配置响应指令。另外, 时序控制器发送两个相邻的指令的间隔时长可称为挂起时长或待命时长。第一源极驱动芯片的回复等待时长可以大于挂起时长, 以

避免第一源极驱动芯片在时序控制器发送的一个指令未传输完时发送下一个指令，那样会导致线路冲突。因此，该回复等待时长可以大于挂起时长。挂起时长可以为 10 微秒 (us)，相应地，回复等待时长大于 10 微秒。

- 5 需要说明的是，上述第一信号线可以称为双向指令通道 (Bidirectional command channel; BCC) 信号线。上述点对点配置指令以及配置响应指令均可以称为 BCC 指令。

综上所述，在本公开实施例提供的驱动控制方法中，点对点配置指令包括：n 个配置数据，且 $n \geq 2$ ，也即一个指令中可以携带多个数据。
10 通过第一信号线向第一源极驱动芯片发送的点对点配置指令可以包括多个配置数据。这样便减少了传输多个配置数据时的指令的个数，进而减少了需要传输的前导码、起始标识和结束标识的个数，因此，提高了第一信号线的数据传输效率与利用率。

图 6 是本公开实施例提供的一种驱动控制组件的结构示意图。该
15 驱动控制组件应用于时序控制器。时序控制器通过一第一信号线与并行连接的多个源极驱动芯片通信。该驱动控制组件 60 可以包括：

生成模块 601，用于生成点对点配置指令，点对点配置指令包括：
n 个配置数据， $n \geq 2$ 。

第一发送模块 602，用于通过第一信号线向第一源极驱动芯片发送
20 点对点配置指令，第一源极驱动芯片为多个源极驱动芯片中的任意一个。

接收模块 603，用于通过第一信号线接收第一源极驱动芯片根据点对点配置指令发送的配置响应指令。配置响应指令包括：n 个配置数据中每个配置数据的配置响应数据。

25 综上所述，在本公开实施例提供的驱动控制组件中，点对点配置指令包括：n 个配置数据，且 $n \geq 2$ ，也即一个指令中可以携带多个配置数据。第一发送模块通过第一信号线向第一源极驱动芯片发送的点对点配置指令中可以包括多个配置数据。这样便减少了传输多个配置数据时传输的指令的个数，进而减少了需要传输的前导码、起始标识和结束标识的个数，因此，提高了第一信号线的数据传输效率与利用率。
30

可选的，点对点配置指令包括：用于 n 个配置数据的地址、第一

指示器和数据部分。第一指示器用于指示用于 n 个配置数据的地址是否连续，数据部分携带 n 个配置数据。

可选的，点对点配置指令还包括第二指示器。第二指示器用于指示点对点配置指令中配置数据的个数。

- 5 可选的，点对点配置指令包括至少五个字节。第一指示器包括：至少五个字节中第三个字节中的第五个比特位。第二指示器包括：第三个字节中的第六个至第八个比特位。

10 可选的，时序控制器通过多个第二信号线分别与多个源极驱动芯片一一对应连接，且时序控制器与第一源极驱动芯片通过多个第二信号线中的目标第二信号线连接。图 7 是本公开实施例提供的另一种驱动控制组件的结构示意图。如图 7 所示，除了图 6 中已示出的模块外，驱动控制组件 60 还包括：

15 第二发送模块 604，用于通过目标第二信号线向第一源极驱动芯片发送开始指令，开始指令用于指示点对点配置指令所携带的配置数据的最大个数。

可选的，开始指令包括至少七个字节，至少七个字节中的第七个字节中的四个比特位用于通过例如十五种状态指示十五种最大个数。

可选的，点对点配置指令和配置响应指令中的每个指令均包括：依次排列的前导码、起始标识、数据主体和结束标识，

- 20 前导码包括：连续的至少八个比特周期的第一信号，每个比特周期为两微秒。起始标识包括：连续的至少两个比特周期的第二信号。结束标识包括：连续的至少两个比特周期的第三信号。

25 第一信号、第二信号、 n 个配置数据及其配置响应数据均采用曼彻斯特编码得到，且第一信号的电平跳变由低到高，第二信号的电平跳变由低到高，第三信号的电平跳变由高到低。

30 综上所述，在本公开实施例提供的驱动控制组件中，点对点配置指令包括： n 个配置数据，且 $n \geq 2$ ，也即一个指令中可以携带多个配置数据。第一发送模块通过第一信号线向第一源极驱动芯片发送的点对点配置指令中可以包括多个配置数据这样便减少了传输多个配置数据时传输的指令的个数，进而减少了需要传输的前导码、起始标识和结束标识的个数，因此，提高了第一信号线的数据传输效率与利用率。

图 8 是本公开实施例提供的又一种驱动控制组件的结构示意图。

该驱动控制组件应用于第一源极驱动芯片。该第一源极驱动芯片是多个源极驱动芯片中的任意一个。该多个源极驱动芯片并行连接，且通过一第一信号线与时序控制器通信，该驱动控制组件 80 可以包括：

第一接收模块 801，用于接收时序控制器通过第一信号线发送的点对点配置指令，点对点配置指令包括：第一源极驱动芯片的 n 个配置数据， $n \geq 2$ ；

发送模块 802，用于根据点对点配置指令通过第一信号线向时序控制器发送配置响应指令，配置响应指令包括： n 个配置数据中每个配置数据的配置响应数据。

综上所述，本公开实施例提供的驱动控制组件中，点对点配置指令包括： n 个配置数据，且 $n \geq 2$ ，也即一个指令中可以携带多个配置数据。第一接收模块通过第一信号线接收的点对点配置指令可以包括多个配置数据这样便减少了接收多个配置数据时传输的指令的个数，进而减少了需要传输的前导码、起始标识和结束标识的个数，因此，提高了第一信号线的数据传输效率与利用率。

可选的，点对点配置指令包括：用于 n 个配置数据的地址、第一指示器和数据部分。图 9 是本公开实施例提供的再一种驱动控制组件的结构示意图，除了图 8 中所示的模块外，该驱动控制组件 80 还包括：

第一获取模块 803，用于获取第一指示器的值，第一指示器用于指示用于 n 个配置数据的地址是否连续，数据部分携带 n 个配置数据；

第二获取模块 804，用于根据第一指示器的值获取用于 n 个配置数据的地址中的目标地址。当第一指示器指示用于 n 个配置数据的地址连续时，目标地址包括： n 个配置数据中的第一个配置数据的地址和最后一个配置数据的地址。当第一指示器用于指示用于 n 个配置数据的地址不连续时，目标地址包括： n 个配置数据中的每个配置数据的地址；

第三获取模块 805，用于根据参考信息获取数据部分携带的 n 个配置数据，参考信息包括目标地址。

可选的，点对点配置指令还包括第二指示器。图 10 是本公开另一实施例提供的一种驱动控制组件的结构示意图，除了图 8 所示的模块外，该驱动控制组件 80 还包括：

第四获取模块 806，用于获取第二指示器，第二指示器用于指示点对点配置指令中配置数据的个数；

确定模块 807, 用于根据第二指示器的值确定点对点配置指令中配置数据的个数, 参考信息还包括该个数。

可选的, 点对点配置指令包括至少五个字节。第一指示器包括: 至少五个字节中第三个字节中的第五个比特位。第二指示器包括: 至少五个字节中第三个字节中的第六个至第八个比特位。

可选的, 时序控制器通过多个第二信号线分别与多个源极驱动芯片一一对应连接, 且时序控制器与第一源极驱动芯片通过多个第二信号线中的目标第二信号线连接。图 11 是本公开另一实施例提供的另一种驱动控制组件的结构示意图, 除了图 8 所示的模块外, 该驱动控制组件 80 还包括:

第二接收模块 808, 用于接收时序控制器通过目标第二信号线发送的开始指令, 开始指令用于指示点对点配置指令所携带的配置数据的最大个数。

可选的, 开始指令包括至少七个字节, 至少七个字节中的第七个字节中的四个比特位用于通过十五种状态指示十五种最大个数。

可选的, 点对点配置指令和配置响应指令中的每个指令均包括: 依次排列的前导码、起始标识、数据主体和结束标识,

前导码包括: 连续的至少八个比特周期的第一信号, 每个比特周期为两微秒。起始标识包括: 连续的至少两个比特周期的第二信号。

结束标识均包括: 连续的至少两个比特周期的第三信号;

第一信号、第二信号、 n 个配置数据及其配置响应数据均采用曼彻斯特编码得到, 且第一信号的电平跳变由低到高, 第二信号的电平跳变由低到高, 第三信号的电平跳变由高到低。

综上所述, 在本公开实施例提供的驱动控制组件中, 点对点配置指令包括: n 个配置数据, 且 $n \geq 2$, 也即一个指令中可以携带多个配置数据。第一接收模块通过第一信号线接收的点对点配置指令可以包括多个配置数据。这样便减少了接收多个配置数据时传输的指令的个数, 进而减少了需要传输的前导码、起始标识和结束标识的个数, 因此, 提高了第一信号线的数据传输效率与利用率。

本公开另一实施例提供了又一种驱动控制组件, 包括存储器, 处理器及存储在存储器上并可在处理器上运行的计算机程序, 该处理器执行该程序时实现上述驱动控制方法中时序控制器或源极驱动芯片执

行的步骤。

本公开实施例还提供了一种计算机可读存储介质，其上存储有计算机程序，该程序被处理器执行时实现上述驱动控制方法中时序控制器或源极驱动芯片执行的步骤。计算机可读存储介质可以为非瞬态的
5 计算机可读存储介质。

本公开实施例还提供了一种芯片，该芯片包括可编程逻辑电路和/或程序指令，当该芯片运行时用于实现上述驱动控制方法中时序控制器或源极驱动芯片执行的步骤。

本公开实施例提供了一种显示装置，包括：时序控制器和源极驱动芯片，两者连接方式可以参考在前文描述的图 1。该时序控制器和源极驱动芯片均可以包括相应的驱动控制组件。
10 动芯片，两者连接方式可以参考在前文描述的图 1。该时序控制器和源极驱动芯片均可以包括相应的驱动控制组件。

该时序控制器中的驱动控制组件如图 6 或图 7 所示，该源极驱动芯片中的驱动控制组件如图 8 至图 11 任一所示。

或者，该时序控制器中的驱动控制组件包括：存储器，处理器及存储在存储器上并可在处理器上运行的计算机程序，该处理器执行该程序时实现上述驱动控制方法中时序控制器执行的步骤。该源极驱动芯片中的驱动控制组件包括：存储器，处理器及存储在存储器上并可在处理器上运行的计算机程序，该处理器执行该程序时实现上述驱动控制方法中第一源极驱动芯片执行的步骤。
15 存储在存储器上并可在处理器上运行的计算机程序，该处理器执行该程序时实现上述驱动控制方法中第一源极驱动芯片执行的步骤。

该显示装置可以为液晶面板、电子纸、有机发光二极管（Organic Light-Emitting Diode; OLED）面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。
20 该显示装置可以为液晶面板、电子纸、有机发光二极管（Organic Light-Emitting Diode; OLED）面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

需要说明的是，本公开实施例中术语“和/或”，仅仅是一种描述关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 这三种情况。另外，本文中字符“/”，一般表示前后关联对象是一种“或”的关系。
25 关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 这三种情况。另外，本文中字符“/”，一般表示前后关联对象是一种“或”的关系。

本公开实施例提供的驱动控制方法步骤的先后顺序可以进行适当调整，步骤也可以根据情况进行相应增减，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化的方法，都应涵盖在本公开的保护范围之内。所属领域的技术人员可以清楚地了解到，为描述的方便和简洁，上述描述的装置、组件和模块的具体工作过程，
30 技术人员在本公开揭露的技术范围内，可轻易想到变化的方法，都应涵盖在本公开的保护范围之内。所属领域的技术人员可以清楚地了解到，为描述的方便和简洁，上述描述的装置、组件和模块的具体工作过程，

可以参考前述方法实施例中的对应过程。

各种实施例中的模块可以通过使用硬件单元、软件单元或它们的组合而被实施。硬件单元的例子可包括设备、构件、处理器、微处理器、电路、电路元件（例如，晶体管、电阻器、电容器、电感器等等）、集成电路、专用集成电路（ASIC）、可编程逻辑器件（PLD）、数字信号处理器（DSP）、现场可编程门阵列（FPGA）、存储器单元、逻辑门、寄存器、半导体器件、芯片、微芯片、芯片组等等。软件单元的例子可包括软件构件、程序、应用、计算机程序、应用程序、系统程序、机器程序、操作系统软件、中间件、固件、软件模块、例行程序、子程序、函数、方法、过程、软件接口、应用程序接口（API）、指令集、计算代码、计算机代码、代码段、计算机代码段、单词、值、符号、或它们的任何组合。确定实施例是否通过使用硬件单元和/或软件单元来实施可以根据对于给定实现所想要的任意数量的因素而变化，因素可以是诸如想要的计算速率、功率电平、耐热性、处理周期预算、输入数据速率、输出数据速率、存储器资源、数据总线速度、和其它设计或性能约束等。

本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本公开旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和精神由权利要求指出。

应当理解的是，本公开并不局限于上面已经描述并在附图中示出的精确结构，并且可以在不脱离其范围进行各种修改和改变。本公开的范围仅由所附的权利要求来限制。

权 利 要 求

1、一种驱动控制方法，应用于时序控制器，所述时序控制器通过一第一信号线与并行连接的多个源极驱动芯片通信，所述方法包括：

5 生成点对点配置指令，所述点对点配置指令包括： n 个配置数据， $n \geq 2$ ；

通过所述第一信号线向第一源极驱动芯片发送所述点对点配置指令，所述第一源极驱动芯片为所述多个源极驱动芯片中的任意一个；

10 通过所述第一信号线接收所述第一源极驱动芯片根据所述点对点配置指令发送的配置响应指令，所述配置响应指令包括：对于所述 n 个配置数据中每个配置数据的配置响应数据。

2、根据权利要求 1 所述的方法，其中，所述点对点配置指令包括：用于 n 个配置数据的地址、第一指示器和数据部分，

15 所述第一指示器用于指示所述用于 n 个配置数据的地址是否连续，所述数据部分携带所述 n 个配置数据。

3、根据权利要求 2 所述的方法，其中，在所述第一指示器指示所述用于 n 个配置数据的地址连续时，所述用于 n 个配置数据的地址包括连续地址中的第一地址和最后一个地址。

20 4、根据权利要求 2 所述的方法，其中，所述点对点配置指令还包括第二指示器，所述第二指示器用于指示所述点对点配置指令中配置数据的个数。

25 5、根据权利要求 4 所述的方法，其中，所述点对点配置指令包括至少五个字节，所述第一指示器包括：所述至少五个字节中第三个字节中的第五个比特位，所述第二指示器包括：所述第三个字节中的第六个至第八个比特位。

30 6、根据权利要求 1 所述的方法，其中，所述时序控制器通过多个第二信号线分别与所述多个源极驱动芯片一一对应连接，且所述时序控制器与所述第一源极驱动芯片通过所述多个第二信号线中的被分配给所述第一源极驱动芯片的第二信号线连接，在所述生成点对点配置指令之前，所述方法还包括：

通过所述被分配的第二信号线向所述第一源极驱动芯片发送开始指令，所述开始指令用于指示所述点对点配置指令所携带的配置数据

的最大个数。

7、根据权利要求 6 所述的方法，其中，所述开始指令包括至少七个字节，所述至少七个字节中的第七个字节中的四个比特位用于指示所述最大个数。

- 5 8、根据权利要求 1 所述的方法，其中，所述点对点配置指令和所述配置响应指令中的每个指令均包括：依次排列的前导码、起始标识、数据主体和结束标识，

所述前导码包括：连续的至少八个比特周期的第一信号，每个所述比特周期为两微秒；所述起始标识包括：连续的至少两个所述比特
10 周期的第二信号；所述数据主体包括：所述 n 个配置数据或所述 n 个配置响应数据；所述结束标识包括：连续的至少两个所述比特周期的第三信号；

所述第一信号、所述第二信号、所述 n 个配置数据及其配置响应数据均采用曼彻斯特编码得到。

- 15 9、一种驱动控制方法，应用于第一源极驱动芯片，所述第一源极驱动芯片是多个源极驱动芯片中的任意一个，所述多个源极驱动芯片并行连接，且通过一第一信号线与时序控制器通信，所述方法包括：

接收所述时序控制器通过所述第一信号线发送的点对点配置指令，所述点对点配置指令包括：用于第一源极驱动芯片的 n 个配置数
20 据， $n \geq 2$ ；

根据所述点对点配置指令通过所述第一信号线向所述时序控制器发送配置响应指令，所述配置响应指令包括：所述 n 个配置数据中每个配置数据的配置响应数据。

- 25 10、根据权利要求 9 所述的方法，其中，所述点对点配置指令包括：所述用于 n 个配置数据的地址、第一指示器和数据部分，在根据所述点对点配置指令通过所述第一信号线向所述时序控制器发送配置响应指令之前，所述方法还包括：

获取所述第一指示器的值，所述第一指示器指示所述用于 n 个配置数据的地址是否连续，所述数据部分携带所述 n 个配置数据；

- 30 根据所述第一指示器的值从所述用于 n 个配置数据的地址获取目标地址，其中，当所述第一指示器指示所述用于 n 个配置数据的地址连续时，所述用于 n 个配置数据的地址包括：连续地址中的第一个地

址和最后一个地址，以及获取的目标地址包括：由所述第一个地址和最后一个地址界定的一段连续地址；当所述第一指示器指示所述用于 n 个配置数据的地址不连续时，获取的目标地址包括：所述 n 个配置数据中的每个配置数据的地址；

- 5 根据参考信息获取所述数据部分携带的所述 n 个配置数据，所述参考信息包括所述目标地址。

11、根据权利要求 10 所述的方法，其中，所述点对点配置指令还包括第二指示器，在根据参考信息获取所述数据部分携带的所述 n 个配置数据之前，所述方法还包括：

- 10 获取所述第二指示器的值，所述第二指示器用于指示所述点对点配置指令中配置数据的个数；

根据所述第二指示器的值确定所述个数，所述参考信息还包括所述个数。

- 12、根据权利要求 11 所述的方法，其中，所述点对点配置指令包
15 括至少五个字节，

所述第一指示器包括：所述至少五个字节中第三个字节中的第五个比特位，所述第二指示器包括：所述至少五个字节中第三个字节中的第六个至第八个比特位。

- 13、根据权利要求 9 所述的方法，其中，所述时序控制器通过多
20 个第二信号线分别与所述多个源极驱动芯片一一对应连接，且所述时序控制器与所述第一源极驱动芯片通过所述多个第二信号线中的分配给所述第一源极驱动芯片的第二信号线连接，

在所述根据所述点对点配置指令通过所述第一信号线向所述时序控制器发送配置响应指令之前，所述方法还包括：

- 25 接收所述时序控制器通过所述被分配的第二信号线发送的开始指令，所述开始指令用于指示所述点对点配置指令所携带的配置数据的最大个数。

- 14、根据权利要求 13 所述的方法，其中，所述开始指令包括至少
30 七个字节，所述至少七个字节中的第七个字节中的四个比特位用于指示所述最大个数。

15、根据权利要求 9 所述的方法，其中，所述点对点配置指令和所述配置响应指令中的每个指令均包括：依次排列的前导码、起始标

识、数据主体和结束标识，

所述前导码包括：连续的至少八个比特周期的第一信号，每个所述比特周期为两微秒；所述起始标识包括：连续的至少两个所述比特周期的第二信号；所述数据主体包括：所述 n 个配置数据或所述 n 个配置响应数据；所述结束标识均包括：连续的至少两个所述比特周期的第三信号；

所述第一信号、所述第二信号、所述 n 个配置数据及其配置响应数据均采用曼彻斯特编码得到，且所述第一信号的电平跳变由低到高，所述第二信号的电平跳变由低到高，所述第三信号的电平跳变由高到低。

16、一种驱动控制组件，应用于时序控制器，所述时序控制器通过一第一信号线与并行连接的多个源极驱动芯片通信，所述驱动控制组件包括：

生成模块，用于生成点对点配置指令，所述点对点配置指令包括： n 个配置数据， $n \geq 2$ ；

第一发送模块，用于通过所述第一信号线向第一源极驱动芯片发送所述点对点配置指令，所述第一源极驱动芯片为所述多个源极驱动芯片中的任意一个；

接收模块，用于通过所述第一信号线接收所述第一源极驱动芯片根据所述点对点配置指令发送的配置响应指令，所述配置响应指令包括：对于所述 n 个配置数据中每个配置数据的配置响应数据。

17、根据权利要求 16 所述的驱动控制组件，其中，所述点对点配置指令包括：所述用于 n 个配置数据的地址、第一指示器和数据部分，

所述第一指示器用于指示所述用于 n 个配置数据的地址是否连续，所述数据部分携带所述 n 个配置数据。

18、根据权利要求 17 所述的驱动控制组件，其中，在所述第一指示器指示所述用于 n 个配置数据的地址连续时，所述用于 n 个配置数据的地址包括连续地址中的第一地址和最后一个地址。

19、根据权利要求 17 所述的驱动控制组件，其中，

所述点对点配置指令还包括第二指示器，所述第二指示器用于指示所述点对点配置指令中配置数据的个数。

20、根据权利要求 19 所述的驱动控制组件，其中，

所述点对点配置指令包括至少五个字节，所述第一指示器包括：所述至少五个字节中第三个字节中的第五个比特位，所述第二指示器包括：所述第三个字节中的第六个至第八个比特位。

21、根据权利要求 16 所述的驱动控制组件，其中，所述时序控制器通过多个第二信号线分别与所述多个源极驱动芯片一一对应连接，且所述时序控制器与所述第一源极驱动芯片通过所述多个第二信号线中的被分配给所述第一源极驱动芯片的第二信号线连接，所述驱动控制组件还包括：

第二发送模块，用于通过所述被分配的第二信号线向所述第一源极驱动芯片发送开始指令，所述开始指令用于指示所述点对点配置指令所携带的配置数据的最大个数。

22、根据权利要求 21 所述的驱动控制组件，其中，所述开始指令包括至少七个字节，所述至少七个字节中的第七个字节中的四个比特位用于指示所述最大个数。

23、根据权利要求 16 所述的驱动控制组件，其中，所述点对点配置指令和所述配置响应指令中的每个指令均包括：依次排列的前导码、起始标识、数据主体和结束标识，

所述前导码包括：连续的至少八个比特周期的第一信号，每个所述比特周期为两微秒；所述起始标识包括：连续的至少两个所述比特周期的第二信号；所述数据主体包括：所述 n 个配置数据或所述 n 个配置响应数据；所述结束标识包括：连续的至少两个所述比特周期的第三信号；

所述第一信号、所述第二信号、所述 n 个配置数据及其配置响应数据均采用曼彻斯特编码得到，且所述第一信号的电平跳变由低到高，所述第二信号的电平跳变由低到高，所述第三信号的电平跳变由高到低。

24、一种驱动控制组件，应用于第一源极驱动芯片，所述第一源极驱动芯片是多个源极驱动芯片中的任意一个，所述多个源极驱动芯片并行连接，且通过一第一信号线与时序控制器通信，所述驱动控制组件包括：

第一接收模块，用于接收所述时序控制器通过所述第一信号线发送的点对点配置指令，所述点对点配置指令包括：用于第一源极驱动

芯片的 n 个配置数据, $n \geq 2$;

发送模块, 用于根据所述点对点配置指令通过所述第一信号线向所述时序控制器发送配置响应指令, 所述配置响应指令包括: 所述 n 个配置数据中每个配置数据的配置响应数据。

- 5 25、根据权利要求 24 所述的驱动控制组件, 其中, 所述点对点配置指令包括: 所述用于 n 个配置数据的地址、第一指示器和数据部分, 所述驱动控制组件还包括:

10 第一获取模块, 用于获取所述第一指示器的值, 所述第一指示器指示所述用于 n 个配置数据的地址是否连续, 所述数据部分携带所述 n 个配置数据;

15 第二获取模块, 用于根据所述第一指示器的值从所述用于 n 个配置数据的地址获取目标地址, 其中, 当所述第一指示器用于指示所述用于 n 个配置数据的地址连续时, 所述用于 n 个配置数据的地址包括: 连续地址中的第一个地址和最后一个地址, 以及获取的目标地址包括: 由所述第一个地址和最后一个地址界定的一段连续地址; 当所述第一指示器用于指示所述用于 n 个配置数据的地址不连续时, 获取的目标地址包括: 所述 n 个配置数据中的每个配置数据的地址;

20 第三获取模块, 用于根据参考信息获取所述数据部分携带的所述 n 个配置数据, 所述参考信息包括所述目标地址。

- 20 26、根据权利要求 25 所述的驱动控制组件, 其中, 所述点对点配置指令还包括第二指示器, 所述驱动控制组件还包括:

25 第四获取模块, 用于获取所述第二指示器, 所述第二指示器用于指示所述点对点配置指令中配置数据的个数;

25 确定模块, 用于根据所述第二指示器的值确定所述个数, 所述参考信息还包括所述个数。

27、根据权利要求 26 所述的驱动控制组件, 其中, 所述点对点配置指令包括至少五个字节,

30 所述第一指示器包括: 所述至少五个字节中第三个字节中的第五个比特位, 所述第二指示器包括: 所述至少五个字节中第三个字节中的第六个至第八个比特位。

28、根据权利要求 24 所述的驱动控制组件, 其中, 所述时序控制器通过多个第二信号线分别与所述多个源极驱动芯片一一对应连接,

且所述时序控制器与所述第一源极驱动芯片通过所述多个第二信号线中的分配给所述第一源极驱动芯片的第二信号线连接，所述驱动控制组件还包括：

第二接收模块，用于接收所述时序控制器通过所述被分配的第二信号线发送的开始指令，所述开始指令用于指示所述点对点配置指令所携带的配置数据的最大个数。

29、根据权利要求 28 所述的驱动控制组件，其中，所述开始指令包括至少七个字节，所述至少七个字节中的第七个字节中的四个比特位用于指示所述最大个数。

10 30、根据权利要求 24 所述的驱动控制组件，其中，所述点对点配置指令和所述配置响应指令中的每个指令均包括：依次排列的前导码、起始标识、数据主体和结束标识，

所述前导码包括：连续的至少八个比特周期的第一信号，每个所述比特周期为两微秒；所述起始标识包括：连续的至少两个所述比特周期的第二信号；所述数据主体包括：所述 n 个配置数据或所述 n 个配置响应数据；所述结束标识均包括：连续的至少两个所述比特周期的第三信号；

所述第一信号、所述第二信号、所述 n 个配置数据及其配置响应数据均采用曼彻斯特编码得到。

20 31、一种驱动控制组件，包括存储器、处理器及存储在存储器上并可在处理器上运行的计算机程序，其中，所述处理器执行所述计算机程序时实现权利要求 1 至 8 中任一项所述方法的步骤。

32、一种驱动控制组件，包括存储器，处理器及存储在存储器上并可在处理器上运行的计算机程序，其中，所述处理器执行所述计算机程序时实现权利要求 9 至 15 中任一项所述方法的步骤。

33、一种计算机可读存储介质，其上存储有计算机程序，其中，该计算机程序在被处理器执行时使得处理器实现权利要求 1 至 15 中任一项所述方法的步骤。

34、一种显示装置，包括：时序控制器和源极驱动芯片；

30 所述时序控制器包括权利要求 16 至 23 和 31 中任一项所述的驱动控制组件，所述源极驱动芯片包括权利要求 24 至 30 和 32 中任一项所述的驱动控制组件。

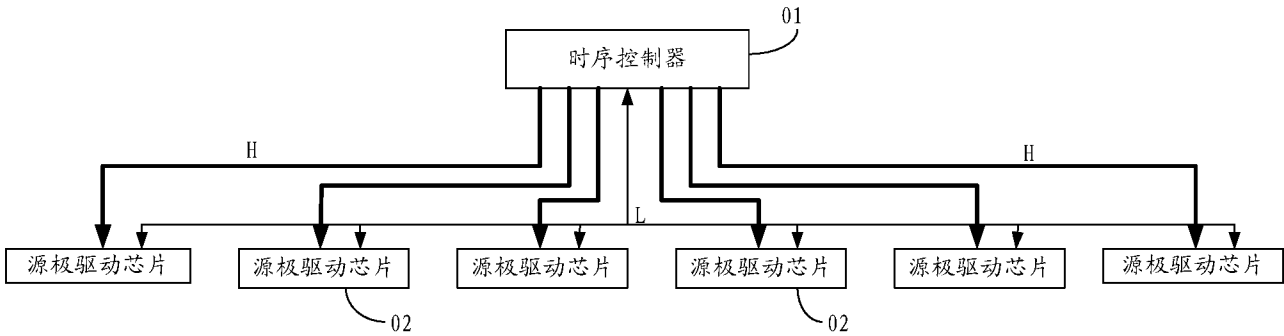


图 1

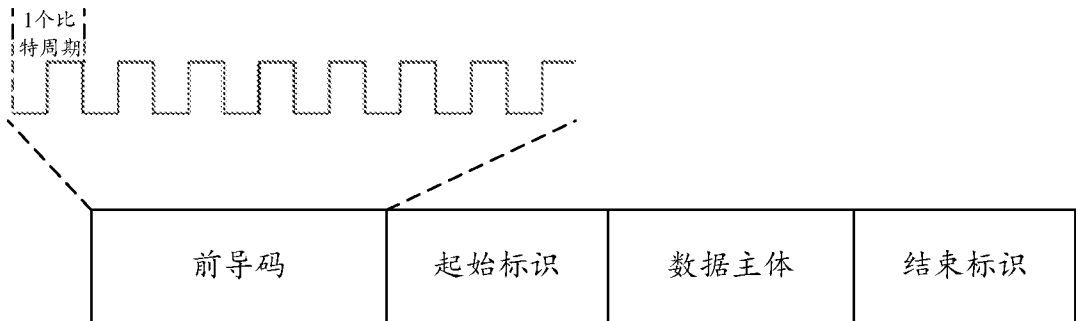


图 2

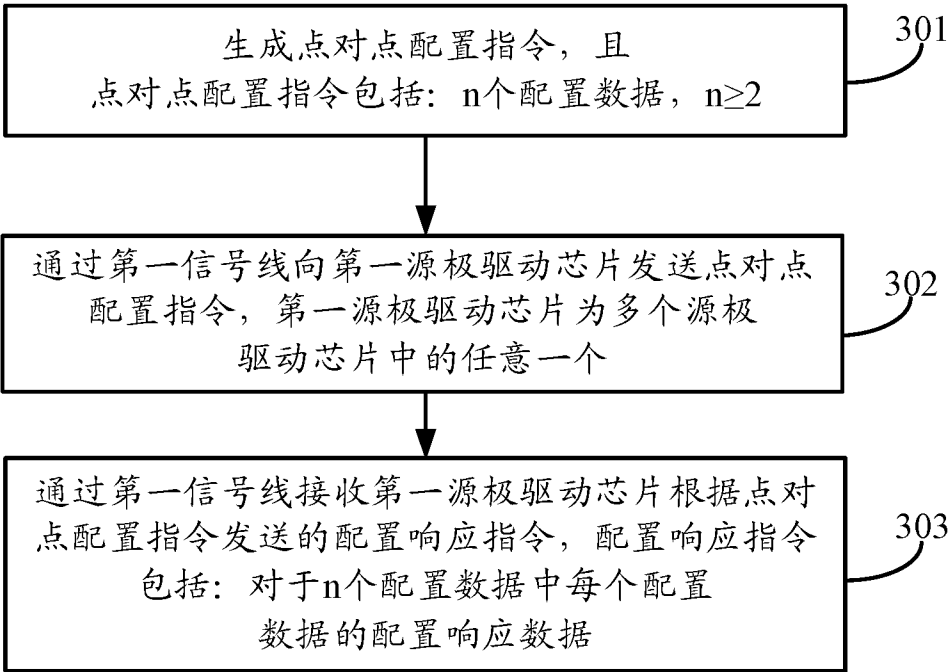


图 3

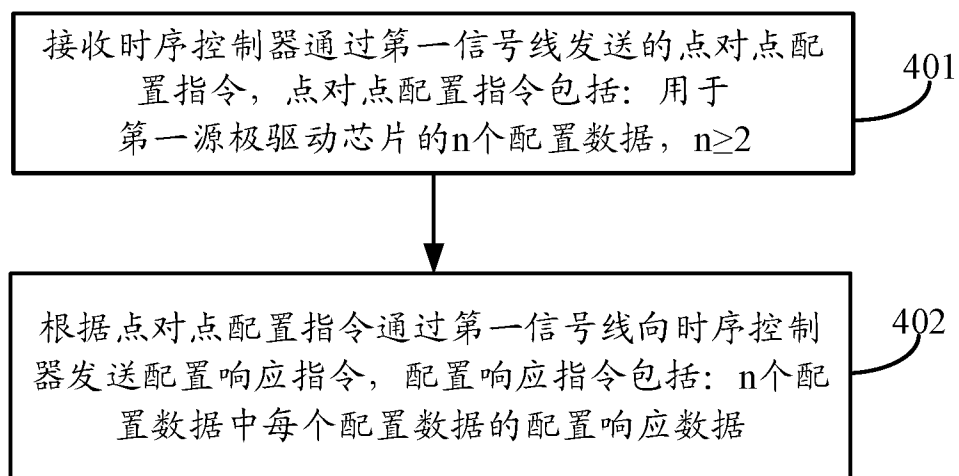


图 4

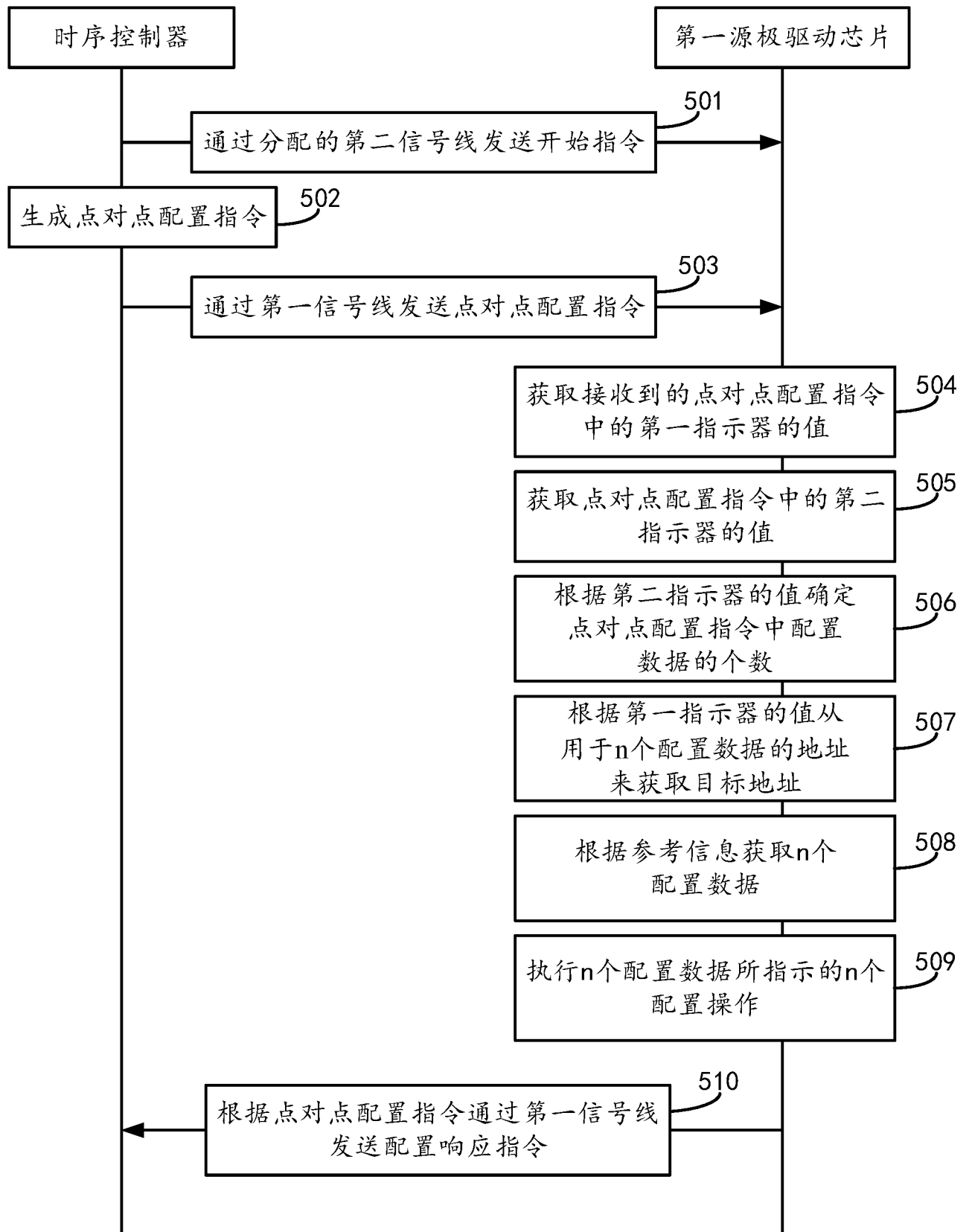


图 5

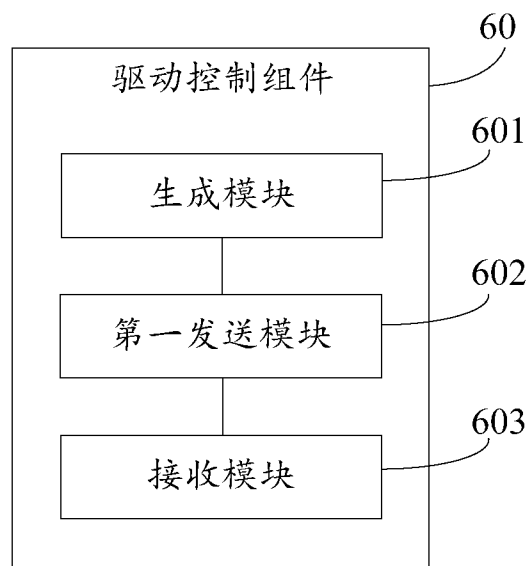


图 6

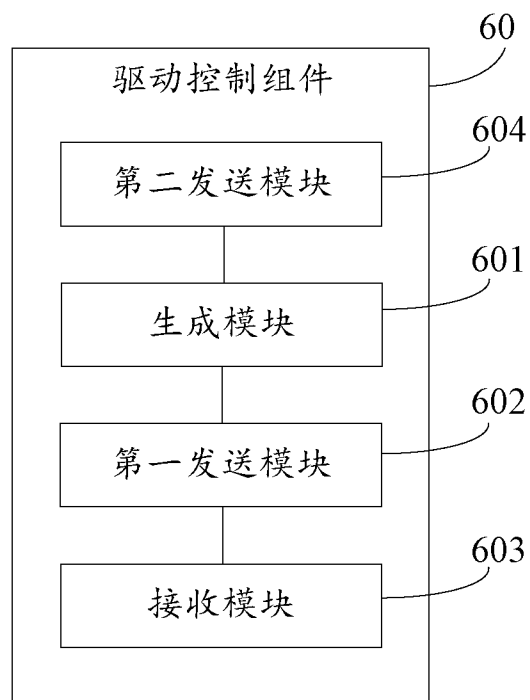


图 7

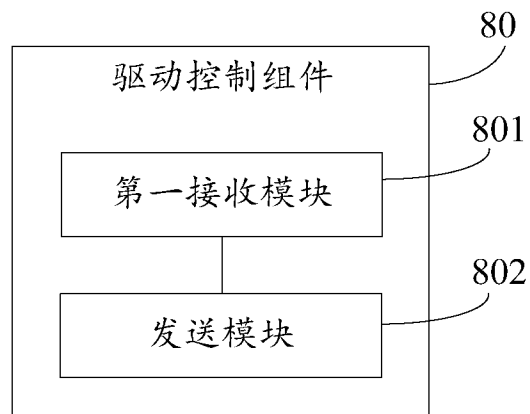


图 8

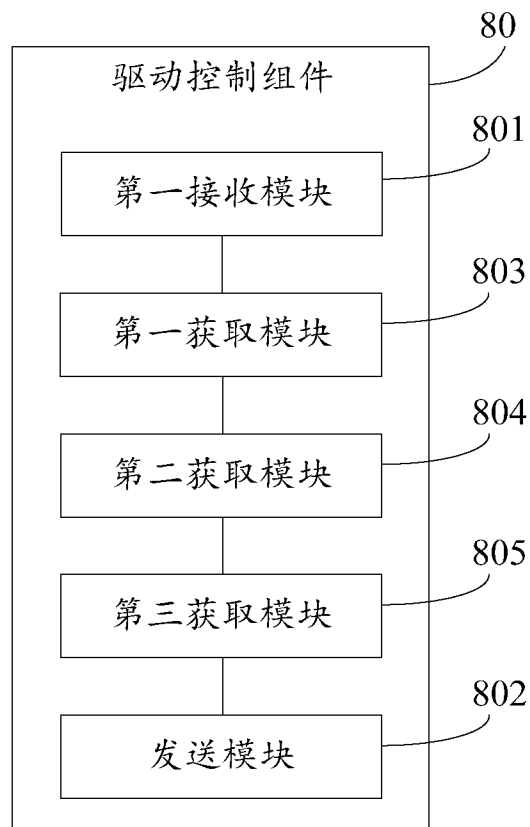


图 9

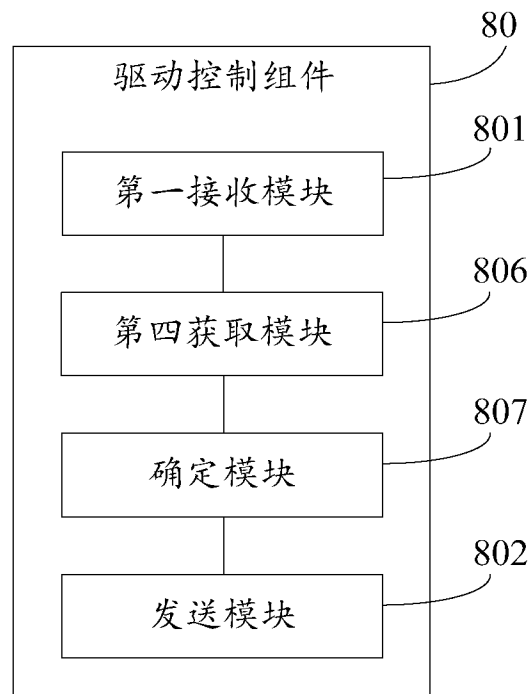


图 10

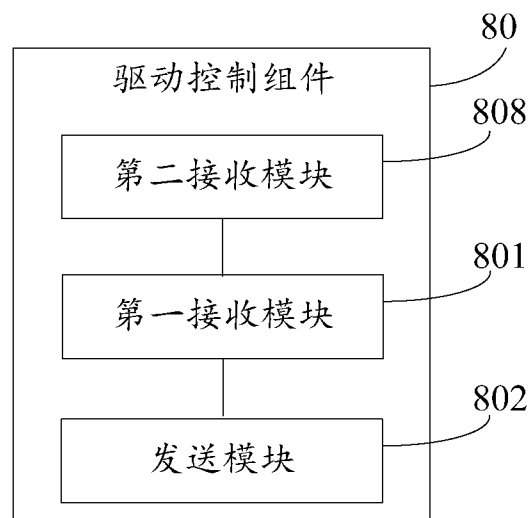


图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/116430

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; CNKI; WPI; EPODOC: 时序控制器, 配置, 命令, 指令, 源极驱动, 数据驱动, 信号线, 多个, 回复, 答复, 确认, 地址, timing 1w control+, config+, command, source, driv+, multi+, data, line, address, reply, ACK

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 103794184 A (LG DISPLAY CO., LTD.) 14 May 2014 (2014-05-14) description, paragraphs [0046]-[0048] and [0060]-[0072], and figures 2 and 6-8	1, 8, 9, 15, 16, 23, 24, 30-34
Y	CN 101572047 A (NOVATEK MICROELECTRONICS CO., LTD.) 04 November 2009 (2009-11-04) description, page 1, the last paragraph to page 2, paragraph 1, and figure 1	1, 8, 9, 15, 16, 23, 24, 30-34
A	CN 105609068 A (BOE TECHNOLOGY GROUP CO., LTD.) 25 May 2016 (2016-05-25) entire document	1-34
A	CN 1503217 A (SEIKO EPSON CORPORATION) 09 June 2004 (2004-06-09) entire document	1-34
A	US 2009219276 A1 (ATSUSHI HIRAMA) 03 September 2009 (2009-09-03) entire document	1-34
A	US 2017154597 A1 (PANASONIC LIQUID CRYSTAL DISPLAY CO., LTD.) 01 June 2017 (2017-06-01) entire document	1-34



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 December 2018

Date of mailing of the international search report

30 January 2019

Name and mailing address of the ISA/CN

National Intellectual Property Administration, PRC (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/116430

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103794184	A	14 May 2014	US	9524693	B2	20 December 2016
				US	2014118235	A1	01 May 2014
				KR	20140056775	A	12 May 2014
				CN	103794184	B	03 August 2016
CN	101572047	A	04 November 2009	CN	101572047	B	18 May 2011
CN	105609068	A	25 May 2016	US	2018090093	A1	29 March 2018
				WO	2017118043	A1	13 July 2017
				CN	105609068	B	07 November 2017
CN	1503217	A	09 June 2004	CN	100338646	C	19 September 2007
				JP	2004177595	A	24 June 2004
				US	2004135758	A1	15 July 2004
				US	7116321	B2	03 October 2006
				JP	3698137	B2	21 September 2005
US	2009219276	A1	03 September 2009	JP	4512647	B2	28 July 2010
				US	8736595	B2	27 May 2014
				JP	2009210687	A	17 September 2009
US	2017154597	A1	01 June 2017	US	10013944	B2	03 July 2018

A. 主题的分类 G09G 3/20 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT; CNKI; WPI; EPODOC: 时序控制器, 配置, 命令, 指令, 源极驱动, 数据驱动, 信号线, 多个, 回复, 答复, 确认, 地址, timing lw control+, config+, command, source, driv+, multi+, data, line, address, reply, ACK		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 103794184 A (乐金显示有限公司) 2014年 5月 14日 (2014 - 05 - 14) 说明书[0046]-[0048], [0060]-[0072]段、附图2, 6-8	1, 8-9, 15-16, 23-24, 30-34
Y	CN 101572047 A (联咏科技股份有限公司) 2009年 11月 4日 (2009 - 11 - 04) 说明书第1页最后1段-第2页第1段、附图1	1, 8-9, 15-16, 23-24, 30-34
A	CN 105609068 A (京东方科技集团股份有限公司) 2016年 5月 25日 (2016 - 05 - 25) 全文	1-34
A	CN 1503217 A (精工爱普生株式会社) 2004年 6月 9日 (2004 - 06 - 09) 全文	1-34
A	US 2009219276 A1 (ATSUSHI HIRAMA) 2009年 9月 3日 (2009 - 09 - 03) 全文	1-34
A	US 2017154597 A1 (PANASONIC LIQUID CRYSTAL DISPLAY CO. LTD.) 2017年 6月 1日 (2017 - 06 - 01) 全文	1-34
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2018年 12月 25日		国际检索报告邮寄日期 2019年 1月 30日
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 高倩倩 电话号码 86-(10)-53962593

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/116430

检索报告引用的专利文件				公布日 (年/月/日)		同族专利	公布日 (年/月/日)
CN	103794184	A	2014年 5月 14日	US	9524693	B2	2016年 12月 20日
				US	2014118235	A1	2014年 5月 1日
				KR	20140056775	A	2014年 5月 12日
				CN	103794184	B	2016年 8月 3日
CN	101572047	A	2009年 11月 4日	CN	101572047	B	2011年 5月 18日
CN	105609068	A	2016年 5月 25日	US	2018090093	A1	2018年 3月 29日
				WO	2017118043	A1	2017年 7月 13日
				CN	105609068	B	2017年 11月 7日
CN	1503217	A	2004年 6月 9日	CN	100338646	C	2007年 9月 19日
				JP	2004177595	A	2004年 6月 24日
				US	2004135758	A1	2004年 7月 15日
				US	7116321	B2	2006年 10月 3日
				JP	3698137	B2	2005年 9月 21日
US	2009219276	A1	2009年 9月 3日	JP	4512647	B2	2010年 7月 28日
				US	8736595	B2	2014年 5月 27日
				JP	2009210687	A	2009年 9月 17日
US	2017154597	A1	2017年 6月 1日	US	10013944	B2	2018年 7月 3日